

**OTONOM VE OTONOM OLMAYAN  
İKİ KAOTİK OSİLATÖR TASARIMI**

**YÜKSEK LİSANS TEZİ  
Müh. Cafer TOGUR  
504031205**

**Tezin Enstitüye Verildiği Tarih : 2 ŞUBAT 2007  
Tezin Savunulduğu Tarih : 6 ŞUBAT 2007**

**Tez Danışmanı : Doç.Dr. Serdar ÖZOĞUZ  
Diğer Jüri Üyeleri : Prof.Dr. Ali ZEKİ  
Y.Doç.Dr. Osman Kaan EROL**

**ŞUBAT 2007**

## **ÖNSÖZ**

Bu tez çalışması boyunca yardımlarını esirgemeyen Doç. Dr. Serdar ÖZOĞUZ'a ve desteğinden dolayı eşime ve oğluma teşekkürlerimi sunarım.

**Şubat 2007**

**Müh. Cafer TOGUR**

## İÇİNDEKİLER

<b>KISALTMALAR</b>	<b>iv</b>
<b>ŞEKİL LİSTESİ</b>	<b>v</b>
<b>SEMBOL LİSTESİ</b>	<b>vii</b>
<b>ÖZET</b>	<b>viii</b>
<b>SUMMARY</b>	<b>ix</b>
<b>1. GİRİŞ</b>	<b>1</b>
1.1. Kaotik Sistemlerin Temel Özellikleri	1
1.1.1 Sistem Özellikleri	1
1.1.2 Başlangıç Koşullarına Üstel Duyarlılık	2
1.2. Elektrik Mühendisliğinde Kaosun Uygulamaları	3
1.2.1 Kaotik Haberleşme	3
1.2.2 Rastgele Sayı Üretimi	4
1.2.3 Şifreleme Örneği	5
1.3. Kaotik Elektronik Devreler	6
<b>2. CMOS KAOTİK OSİLATÖR TASARIMI</b>	<b>9</b>
2.1. Negatif-gm LC Osilatör Yapısı	9
2.2. Temel Kaotik Osilatör Yapısı	11
2.3. Otonom LC Kaotik Osilatör Yapısı	13
2.4. Otonom Olmayan Kaotik Osilatör Yapısı	19
<b>3. YÜZEN GEÇİT TRANSİSTÖR VE UYGULAMALARI</b>	<b>23</b>
3.1. FG MOS Temel Yapısı	23
3.2. FG MOS Transistör I-V Karakteristikleri	26
3.3. FG MOS Transistör Akım Aynası	27
<b>4. YÜZEN GEÇİT TRANSİSTÖR KULLANILARAK TASARLANAN KAOTİK OSİLATÖRLER</b>	<b>29</b>
4.1. Otonom LC Kaotik Osilatör	29
4.2. Otonom Kaotik Tümdevrenin Tasarlanması	30
4.3. Otonom Olmayan Kaotik Osilatör	32
4.4. Otonom Olmayan Kaotik Tümdevrenin Tasarlanması	33
<b>5. SONUÇLAR</b>	<b>35</b>
<b>KAYNAKLAR</b>	<b>36</b>
<b>EK-A : OTONOM OLMAYAN KAOTİK OSİLATÖR SPICE KODU</b>	<b>38</b>
<b>EK-B : OTONOM KAOTİK OSİLATÖR SPICE KODU</b>	<b>40</b>
<b>ÖZGEÇMİŞ</b>	<b>42</b>

## **KISALTMALAR**

<b>CGSO</b>	: Geçit – Kaynak Örtüşme Kapasitesi
<b>CGDO</b>	: Geçit – Savak Örtüşme Kapasitesi
<b>MOS</b>	: Metal Oxide Semiconductor (Metal Oksit Yarıiletken)
<b>FG MOS</b>	: Floating Gate Metal Oxide Semiconductor (Yüzen Geçit Metal Oksit Yarıiletken)

## ŞEKİL LİSTESİ

	<u>Sayfa No</u>
Şekil 1.1 : F vektör alanı ile oluşturulmuş sürekli sistem.....	1
Şekil 1.2 : $\Phi$ ayrık fonksiyonu ile oluşturulmuş dinamik sistemin durum portresi...	2
Şekil 1.3 : İki yakın yörünge nin faz uzayında gösterimi.....	3
Şekil 1.4 : Kaotik rastgele sayı üretici blok diyagramı.....	5
Şekil 1.5 : Chua devresi.....	7
Şekil 1.6 : Chua diyotunun V – I karakteristiği.....	7
Şekil 1.7 : Sayısal analiz sonucu elde edilen chua devresi kaotik çekici.....	8
Şekil 2.1 : Negatif - $g_m$ LC osilatör.....	9
Şekil 2.2 : $V_1/V_s$ ' nin zamana göre değişimi.....	10
Şekil 2.3 : Temel kaotik osilatör yapısı.....	11
Şekil 2.4 : $V_1$ ' in zamana göre değişimi.....	12
Şekil 2.5 : Temel yapı ile elde edilen kaotik çekici.....	13
Şekil 2.6 : Otonom kaotik osilatör.....	13
Şekil 2.7 : Sayısal analiz sonucu elde edilen $z - x_1$ kaotik çekici.....	16
Şekil 2.8 : Sayısal analiz sonucu elde edilen $z$ 'nin zamana göre değişimi.....	16
Şekil 2.9 : $V_{c3}$ & $(V_{c2}-V_{c1})$ için benzetimle elde edilen kaotik çekici.....	17
Şekil 2.10 : $I_{d_{M3}} - I_{d_{Md1}}$ akımlarının zamana göre değişimi ( $V_{dd}=2.5V$ ).....	18
Şekil 2.11 : $I_{d_{M3}} - I_{d_{Md1}}$ akımlarının zamana göre değişimi ( $V_{dd}=3.5V$ ).....	18
Şekil 2.12 : Otonom olmayan kaotik osilatör devresi.....	19
Şekil 2.13 : Sayısal analiz sonucu elde edilen $x - y$ kaotik çekici.....	20
Şekil 2.14 : $(I_R-I_L)$ & $V_1$ için benzetimle elde edilen kaotik çekici.....	21
Şekil 3.1 : Yüzen geçit transistör (NMOS).....	23
Şekil 3.2 : Yüzen geçit transistör sembol gösterimi.....	24
Şekil 3.3 : Yüzen geçit transistör eşdeğer devresi.....	24

	<u>Sayfa No</u>
<b>Şekil 3.4</b> : FG PMOS & PMOS $V_{GS}$ - $I_D$ karakteristikleri.....	26
<b>Şekil 3.5</b> : FG PMOS & PMOS $I_D$ - $V_{DS}$ karakteristikleri.....	26
<b>Şekil 3.6</b> : Yüzen geçit PMOS transistör akım aynası.....	27
<b>Şekil 3.7</b> : FG MOS akım aynası ile MOS akım aynasının karşılaştırılması..	28
<b>Şekil 4.1</b> : Otonom kaotik osilatör.....	29
<b>Şekil 4.2</b> : $V_{c3}$ & ( $V_{c2}$ - $V_{c1}$ ) için benzetimle elde edilen kaotik çekici.....	31
<b>Şekil 4.3</b> : $V_{c3}$ zaman domeni analizi .....	31
<b>Şekil 4.4</b> : Otonom olmayan kaotik osilatör devresi .....	32
<b>Şekil 4.5</b> : ( $I_R$ - $I_L$ ) & $V_1$ için benzetimle elde edilen kaotik çekici.....	34

## SEMBOL LİSTESİ

$C_{ox}$	: MOS oksit kapasitesi
$W/L$	: Transistör boyut oranı
$V_{TH}$	: Eşik gerilimi
$\mu_n$	: Elektron hareket yeteneği
$C_{FGS}$	: Yüzen geçit - kaynak örtüşme kapasitesi
$C_{FGD}$	: Yüzen geçit - savak örtüşme kapasitesi
$t_n$	: Normalize zaman
$C_{G1}$	: Yüzen geçit transistör 1 no'lu giriş ucu kapasitesi
$C_{G2}$	: Yüzen geçit transistör 2 no'lu giriş ucu kapasitesi
$\mathbf{x}(t)$	: Sistem durum vektörü
$\mathbf{k}$	: Ayrık zaman değişkeni
$\mathbf{x}(\mathbf{k})$	: $k$ ayrık andaki vektör

## OTONOM VE OTONOM OLMAYAN İKİ KAOTİK OSİLATÖR TASARIMI

### ÖZET

Kaos matematikten doğaya kadar birçok alanda rastlanan bir durumdur. Eğer deterministik bir sistem, ilk koşullara gösterdiği duyarlılığın sonucunda uzun dönemde tahmin edilemez davranışlar gösteriyorsa, kaotik sistem olarak adlandırılır. Kaotik sistem periyodik değildir. Zaman sonsuza giderken sistemin izlediği yol sabit noktalara veya yörüngelere oturmaz. Kaotik devreler kaotik haberleşme, rastgele sayı üretimi, şifreleme teknikleri gibi birçok alanda kullanılmaktadır.

Çalışmanın birinci bölümünde kaosu tanımlayarak kullanım alanları anlatılmıştır. İkinci bölümde, temel osilatör yapısı, temel kaotik blok yapısı anlatılmıştır. Ardından da CMOS transistörler ile tasarlanan otonom ve otonom olmayan negatif -  $g_m$  LC kaotik osilatör devre yapıları ve çalışma şekilleri açıklanmıştır. Üçüncü bölümde, kaotik osilatörün düşük pasif eleman değerlerinde çalışabilmesi için kullanılan yüzen geçit transistör teknolojisi ve yüzen geçit akım aynası yapısı anlatılmıştır. Dördüncü bölümde otonom ve otonom olmayan LC kaotik osilatör devre yapıları açıklanmış ve uygun sayısal analiz programları kullanılarak devre karakteristik grafikleri ve benzetim sonuçları elde edilmiştir. Son bölümde teze ilişkin sonuçlar verilmiştir.



## **AUTONOMOUS AND NON-AUTONOMOUS CHAOTIC OSCILLATORS DESIGN**

### **SUMMARY**

Chaos is the phenomenon which is encountered in both mathematics and nature. A deterministic system is called chaotic if it exhibits a sensitive dependence on initial conditions, so that even small variations in initial conditions will produce wildly differing results. Chaotic systems are aperiodic systems in time domain and trajectory of the system does not go through the same point twice. Chaos provides many useful applications in electrical engineering such as chaotic modulation, random number generations and encryption.

In the first chapter, chaos is defined and some examples are given about the applications. In the second chapter, first a basic chaotic oscillator structure is explained and then autonomous and non-autonomous negative- $g_m$  LC chaotic oscillators are obtained. In the third chapter, floating gate transistor technology and floating gate current mirror structure are explained. In the fourth chapter, autonomous and non-autonomous LC chaotic oscillators are explained and simulation results are presented. Finally in the fifth chapter, the conclusion of the thesis is given.

# 1. GİRİŞ

## 1.1 Kaotik Sistemlerin Temel Özellikleri

Kaotik işaret/sistemler astronomi, matematik, mühendislik bilimleri, sosyal bilimler, meteoroloji gibi farklı alanlarda araştırmacıların karşısına çıkmaktadır. Kaotik sistemlerin en belirgin özellikleri ürettikleri işaretlerin aperiodyk ve düzensiz olmalarıdır. Bu sistemlerin bir diğer önemli özelliği de ürettikleri işaretlerin ilk koşullara üstel olarak duyarlı olmasıdır. Sistem çözümü sabit noktalara veya kapalı çevrimlere oturmaz [1,2]. Kaotik davranışı gösteren sistemlerin gösterdikleri özellikler bu bölümde kısaca tanıtılmıştır.

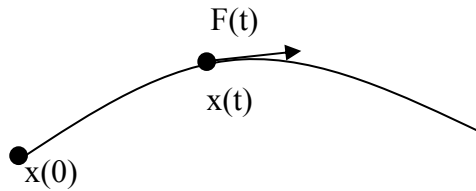
### 1.1.1 Sistem Özellikleri

Dinamik sistem, bir sistemin zaman içinde ilerleyen durumunda meydana gelen gelişmenin matematiksel olarak ifade edilebilmesi şeklinde açıklanabilir. Dinamik sistemler zamanın sürekli ya da ayrık değerlerde olmasına göre iki temel sınıfa ayrılırlar.

Matematiksel denklemleri (1.1a)'da verilmiş olan bir dinamik sistemin çözümü durum (faz) uzayında Şekil 1.1'deki gibi bir yörünge ile gösterilebilir.

$$\frac{dx}{dt} = \dot{x} = F(x) \quad (1.1a)$$

Şekil 1.1'de  $t=0$  anı sistemin başlangıç anı olmakta ve herhangi bir  $t$  anında yörüngeye teğetli  $F$  vektör alanı ile hesaplanabilmektedir.



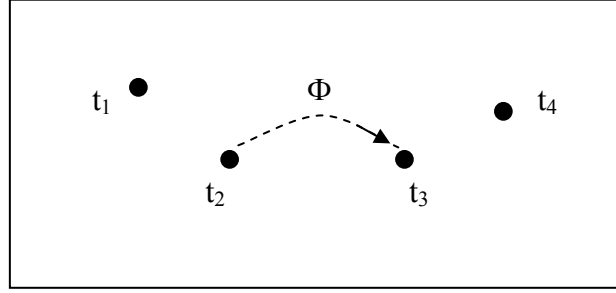
Şekil 1.1 : F Vektör Alanı ile Oluşturulmuş Sürekli Sistem

Benzer şekilde en genel halde doğrusal olmayan ayrık zaman sistem denklemleri

$$x_{n+1} = \Phi(x_n) \quad (1.1b)$$

şeklinde gösterilebilir.

Ayrık zamanlı dinamik sisteme ilişkin faz uzayı gösterimi Şekil 1.2’de olduğu gibi ayrık noktalardan oluşmaktadır. Burada  $t_2$  zamanında  $x_2$  noktasında bulunan sistemin bir sonraki  $x_3$  noktasına gitme kuralını  $\Phi$  fonksiyonu belirlemektedir [4].



**Şekil 1.2 :**  $\Phi$  Ayrık Fonksiyonu ile Oluşturulmuş Dinamik Sistemin Durum Portresi

Ayrıca dinamik sistemleri otonom ve otonom olmayan sistemler olarak iki ayrı sınıfa ayırmak mümkündür. Otonom olmayan sistemlerin durum denklemlerinde genelde periyodik zamana bağlı bir terim bulunur. Bu tezde inceleyeceğimiz kaotik sistemlerin durum denklemleri en genel halde;

$$\dot{x} = F(x, t) \quad (1.2a)$$

$$x_{n+1} = \Phi(x_n, t_n) \quad (1.2b)$$

olarak verilecektir.

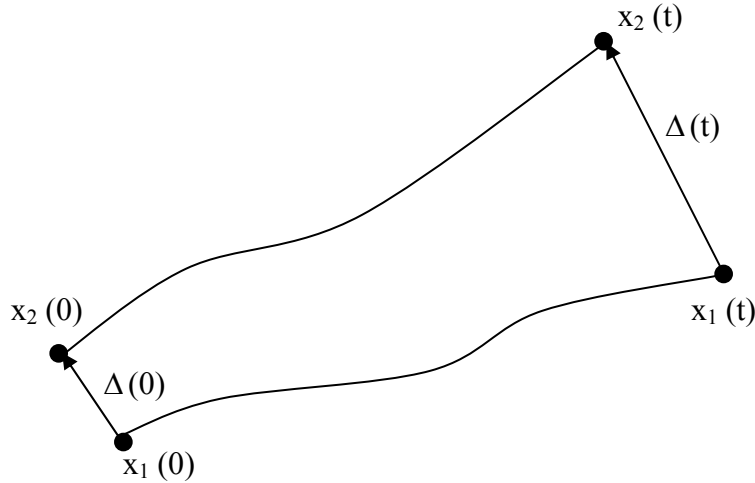
Dinamik bir sistemin kaos davranışına sahip olması için doğrusal olmaması gereklidir.

### 1.1.2 Başlangıç Koşullarına Üstel Duyarlılık

Kaotik davranış gösteren dinamik bir sistem, başlangıç koşullarına üstel olarak duyarlılık özelliği gösterir. Şekil 1.3’ te  $x_1(0)$  ve  $x_2(0)=x_1(0)+\Delta(0)$  şeklinde ifade edilen iki başlangıç koşulu görülmektedir. Bu dinamik sistemin bu iki başlangıç koşuluna ait çözümlerinin, belli bir “t” anında  $x_1(t)$  ve  $x_2(t)$  olduğunu düşünelim. Bu

anda iki yörünge arasındaki uzaklık  $\Delta(t)=x_2(t) - x_1(t)$  şeklinde ifade edilsin. Eğer “t” anındaki bu uzaklık,  $\lambda>0$  olan bir reel sayı olmak üzere  $\Delta(t)=e^{\lambda t}$  şeklinde yazılabiliyor ve sistem çözümleri  $|x_1(t)|$  ve  $|x_2(t)|$ , her t anı için sınırlı kalıyorsa bu sisteme başlangıç koşullarına üstel duyarlı sistem denir [4].

Burada  $\lambda$  katsayısına sistemin Lyapunov üsteli denir. Kaotik sistemlerin en belirgin özellikleri başlangıç koşullarına üstel duyarlı olmaları, bir başka deyişle Lyapunov üstellerinin pozitif olmasıdır [4].



Şekil 1.3 : İki Yakın Yörünge'nin Faz Uzayında Gösterimi

## 1.2 Elektrik Mühendisliğinde Kaosun Uygulamaları

Kaotik devreler birçok alanda kullanılmaya başlanmıştır. Bunlara örnek olarak kaotik haberleşme, rastgele sayı üretimi, şifreleme teknikleri gösterilebilir [5-7].

### 1.2.1 Kaotik Haberleşme

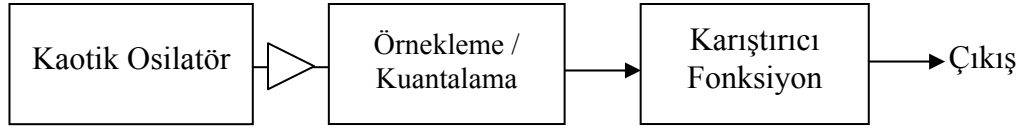
Kaotik sistemler iletişim teknolojilerinde yakın zamanda kullanılmaya başlanmıştır. Bu konuyu ilginç hale getiren, kaotik davranışın karmaşık yapıya sahip olmasına karşın, basit dinamik sistemler ile elde edilebilmesidir. Kaotik sistemler periyodik olmayan, ilk koşullara büyük duyarlılık gösteren uzun süreler sonrasında da davranışları kestirilemeyen işaretler üretir. Bu özellik kaotik devreleri, şifreleme ve geniş spektrumlu haberleşme uygulamaları için uygun sistemler olarak ortaya çıkarmaktadır. Geniş spektrumlu haberleşmede amaç, taşınan işaretin dar bantlı işaretlerin etkilendiği unsurlardan daha az etkilenmesinin sağlanmasıdır. Kaosun haberleşme alanında kullanımında, aşağıdaki üç temel karakteristik öne çıkmaktadır [7].

- Kaotik işaretler karmaşık, periyodik olmayan, düzensiz bir yapıya sahiptir. Başlangıç koşullarında meydana gelen ufak bir değişim sonucu, kaos üretici çok farklı yörüngeye sahip işaretler üretecektir. Bu sebeple kaotik işaretlerin uzun zamanda kestirilmesi çok zordur.
- Kaotik işaretler hızlı bir şekilde kaybolan otokorelasyon fonksiyonlarına sahiptirler. Farklı üreticilerden veya aynı üreticilerden değişik başlangıç koşullarında üretilen işaretler arasındaki korelasyon çok düşük olmaktadır. Yani bu işaretler ortogonal işaretler olarak kabul edilebilir. Bu özellik sayesinde kaotik işaretlerin haberleşme sistemlerinde kullanılması mümkün olmuştur.
- Kaotik işaretler periyodik olmayan sürekli spektrum yapısına sahiptir ve genelde bu spektrumlar geniş bir aralıkta güçlü işaretler barındırmaktadır. Bu sebeple kaotik işaretler geniş bantlıdır ve kaos temelli haberleşme sistemleri kanallar arası dar bantlı girişime daha az duyarlıdır.

### 1.2.2 Rastgele Sayı Üretimi

Günümüz bilgi teknolojisi, rastgele sayılara ve bunun sonucu olarak rastgele sayı üreticilerine artan bir ihtiyaç duymaktadır. Güvenlik uygulamaları ve simülasyonlarda (Monte Carlo analizi vb.) kullanılmak üzere tekrarlanamaz ve tahmin edilemez rastgele sayı dizileri oluşturulması büyük öneme sahiptir. Rastgele sayıların çoğu çekirdek (seed) adı verilen bir başlangıç değerine sayısal algoritmalar uygulanarak üretilmektedir. Eğer sayısal algoritmada kullanılan çekirdek aynı olursa, algoritmanın çıkışı gerçek anlamda rastgele olmamaktadır. Bu nedenle rastgele sayı üreten algoritmaların rastgelelikleri (randomness) çekirdeğin rastgeleliği ile sınırlıdır.

Kaotik süreçlerden yararlanarak tekrar edilemeyen çekirdek üretmek mümkündür. Bu amaçla kullanılacak bir yapı Şekil 1.4' te verilmiştir. Bir kaotik işaret üreticinin çıkış değerlerinin örneklenmesi ve kuantalanması prensibiyle gerçekleştirilmiş bu yapı, bir rastgele sayı üreticinin çekirdeği olarak kullanılabilir. Burada kaotik süreç tahmin edilemez olduğundan, çekirdek de aynı şekilde tahmin edilemez olacaktır. Üretilen rastgele sayının korelasyonu yeterince düşük değil ise, korelasyonun daha da azaltılması için, örneklemeyle elde edilen değerlere bir karıştırıcı fonksiyon uygulanabilir.



**Şekil 1.4:** Kaotik Rastgele Sayı Üreteci Blok Diyagramı

Bütün bunların tek bir kırma üzerinde üretilmesi, sistem parametrelerinin çok azının dışarıdan gözlemlenebilir olması nedeniyle, güvenliği önemli ölçüde arttıracaktır. Bu kırmanın sıradan bir bilgisayarın alt sistemi olarak kullanılması ise, bilgisayarda yapılacak simülasyonlar için kolayca rastgele sayı üretebilmeyi mümkün kılar. Kaotik osilatörden elde edilen değerler, örnekleme aşamasından sonra 0 ve 1 şeklinde iki seviyede kodlanırlar. Kaotik sürece uygulanan örnekleme işlemi osilatörün temel frekansına göre çok küçükse, örneklerin korelasyonu çok düşük olacaktır. Daha yüksek çıkış hızı istendiğinde, daha hızlı örnekleme ihtiyacı duyulur. Ancak bu durumda sistemin korelasyonun yükseleceğini öngörmek mümkündür [8].

### 1.2.3 Şifreleme Örneği

Kaotik sistemlerin kullanıldığı birçok şifreleme yöntemi geliştirilmiştir. Bu bölümde Baptista'nın önerdiği şifreleme yöntemi örnek olarak açıklanacaktır. Teknoloji geliştikçe bilgiye daha bağımlı hale gelmektedir. Bunun sonucunda da bu bilginin korunması önemli bir olgu olarak ortaya çıkmaktadır. Günümüzde bilginin bir noktadan diğer bir noktaya güvenli bir şekilde iletilmesi amacıyla da kaotik sistemlerden faydalanılmaktadır. Örneğin mesajın Tablo 1.1'de verilen ASCII karakterlerinden oluştuğunu düşünelim. Kaotik çekicinin tamamı veya bir kısmı  $\epsilon = (V_{\max} - V_{\min}) / S$  genişliğinde S adet bölüme ayrılır.

**Tablo 1.1:** Kaotik Çekicinin S Bölüme Ayrılması

Karakter	Bölüm No	Aralık Pozisyonu
*	1	$X_{\min}$
@	2	$X_{\min} + \varepsilon$
%	3	$X_{\min} + 2\varepsilon$
.	.	.
.	.	.
b	S-3	$X_{\min} + (S-3)\varepsilon$
a	S-2	$X_{\min} + (S-2)\varepsilon$
/	S-1	$X_{\min} + (S-1)\varepsilon$
+	S	$X_{\min} + S\varepsilon$

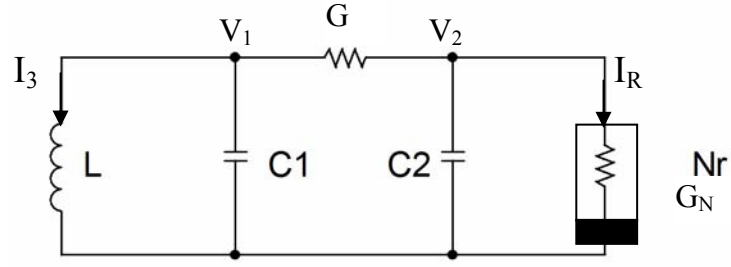
Örneğin,  $X_{n+1}=b.X_n(1-X_n)$  lojistik atamasında (logistic map) b parametresi kaotik davranışı sağlayacak şekilde seçilirse, sistemin  $X_0$  başlangıç koşulundan istenen kısma gelene kadar gerekli olan iterasyon sayısı, bu karakter için şifreyi oluşturur. Şifrenin çözülebilmesi için  $X_0$  başlangıç koşulu, S aralıkları ve “b” kontrol parametresinin değeri bilinmelidir. Örnek olarak,  $b=3.8$  değeri için çekicinin (0.2V- 0.8V) aralığı 256 bölüme ayrılmıştır. Her bir  $\varepsilon =0.00234375$  genişliğindeki aralık, ASCII alfabesinin 256 karakterinden birine karşılık düşürülmüştür. Bu değerler için “a” harfi 97 numaralı bölüme rastgelmektedir. Ayrıca sistemin yörüngesi, 256 aralığın her birinden en az 60 kez geçmektedir [9].

### 1.3 Kaotik Elektronik Devreler

Elektronik devre ile kaos oluşturmak için, direnç, kapasite ve endüktans ihtiva eden otonom bir sistem en az;

- Enerji depolayan üç eleman
- Doğrusal olmayan bir eleman içermelidir.

Chua devresi yukarıda açıklanan kriterleri sağlayan en basit elektronik devredir.



**Şekil 1.5 : Chua Devresi**

Şekil 1.5’ te Chua devresi görülmektedir. Devre bir direnç, bir endüktans, iki kapasite ve Chua diyotu olarak anılan bir gerilim kontrollü doğrusal olmayan direnç elemanından oluşur [10].

Chua devresinin durum denklemleri,

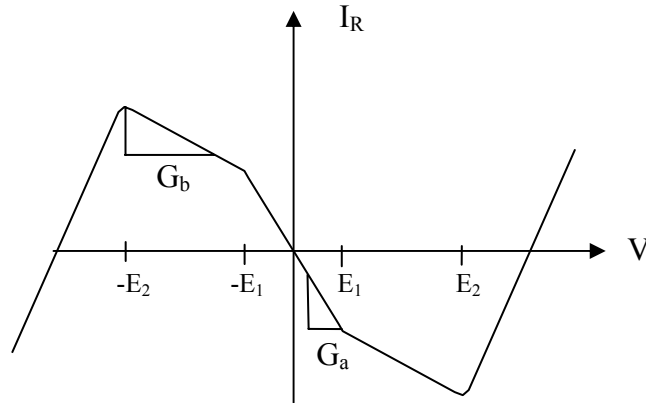
$$\frac{dv_1}{dt} = \frac{1}{C_1} \left[ G.(v_2 - v_1) - \left( G_b v_1 + \frac{1}{2} (G_a - G_b) [|v_1 + E| - |v_1 - E|] \right) \right] \quad (1.3)$$

$$\frac{dv_2}{dt} = \frac{1}{C_2} [G.(v_1 - v_2) + i_3] \quad (1.4)$$

$$\frac{di_3}{dt} = -\frac{1}{L} v_2 \quad (1.5)$$

biçimindedir.

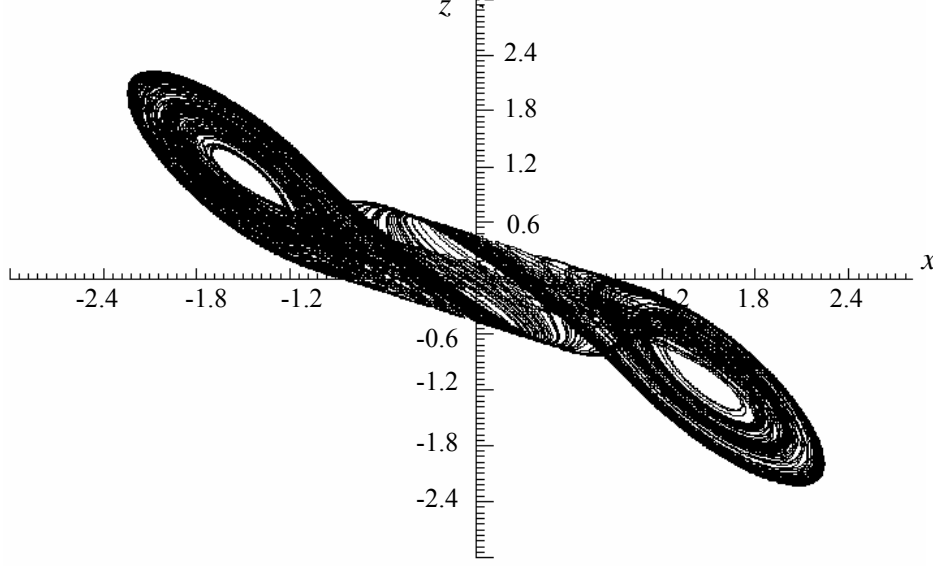
Devrede kullanılan Chua diyotunun V – I karakteristiği Şekil 1.6’ da görülmektedir



**Şekil 1.6 : Chua Diyodunun V – I Karakteristiği**



Chua devresinin sayısal analizi yapılırken,  $x=V_1/E$ ,  $y=V_2/E$ ,  $z=I_3$  ve parametre değerleri  $C_1=0.111$ ,  $C_2=1$ ,  $G=0.7$ ,  $G_a=-0.8$ ,  $G_b=-0.5$ ,  $L=0.1428$  alınmıştır. Sayısal analiz programında Runge-Kutta yöntemi kullanılarak elde edilen  $(z-x)$ 'e ait kaotik çekici Şekil 1.7' de görülmektedir.



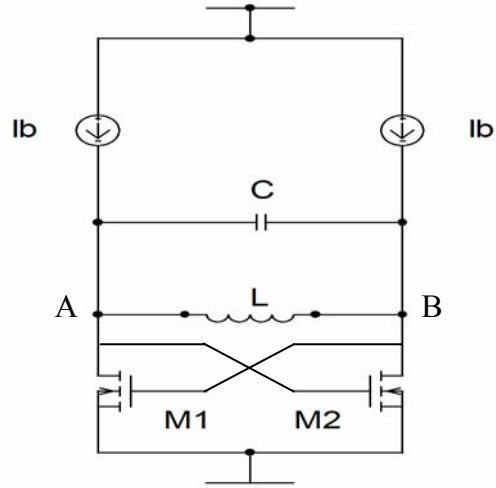
**Şekil 1.7 :** Sayısal Analiz Sonucu Elde Edilen Chua Devresi Kaotik Çekici

Bu devre basitliği ve laboratuvar ortamında kolay gerçekleştirilebilir olması nedeniyle kaotik işaret üretici olarak literatürde sıklıkla kullanılmıştır.

## 2. CMOS KAOTİK OSİLATÖR TASARIMI

### 2.1 Negatif- $g_m$ LC Osilatör Yapısı

Kaotik osilatöre ait denklemlere geçmeden önce, negatif- $g_m$  LC osilatör devresinin incelenmesi ve durum denklemlerinin çıkartılması konunun anlaşılmasına yardımcı olacaktır. LC osilatörler oluşturulurken negatif direnç elemanını gerçeklemek üzere genellikle çapraz bağlı transistör yapıları kullanılmaktadır. Şekil 2.1’de bu şekilde oluşturulmuş basit bir LC osilatör yapısı görülmektedir.



Şekil 2.1 : Negatif -  $g_m$  LC Osilatör

Şekil 2.1’deki endüktansın her iki ucunda da ortak işaret ( $V_c$ ) ve fark işareti ( $V_1$ ) vardır. Eğer A düğümü için ( $V_c + V_1$ ) yazarsak, B düğümü için ( $V_c - V_1$ ) yazmamız gereklidir.

Bu şartlar altında A ve B düğümleri için durum denklemleri aşağıdaki şekilde ifade edilir

$$2V_1 = L \cdot \frac{dI_L}{dt} \quad (2.1)$$

$$C \cdot \frac{d(2V_1)}{dt} + I_L + \frac{\beta}{2} \cdot (V_c - V_1 - V_{TH})^2 - I_B = 0 \quad (2.2)$$

$$-C \cdot \frac{d(2V_1)}{dt} - I_L + \frac{\beta}{2} \cdot (V_c + V_1 - V_{TH})^2 - I_B = 0 \quad (2.3)$$

(2.2) ve (2.3)' ün farkı alınırsa (2.4) eşitliğine ulaşılır.

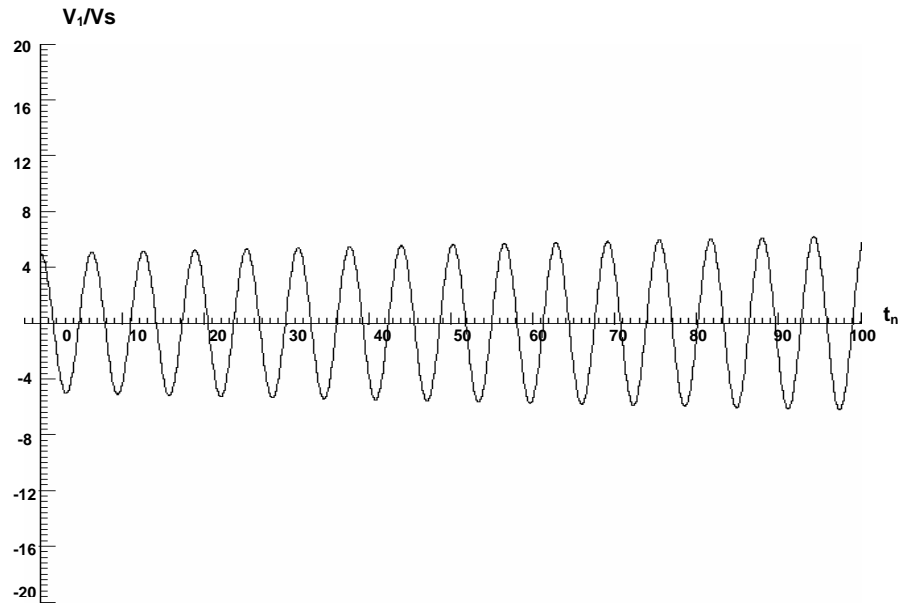
$$2C \cdot \frac{dV_1}{dt} = -I_L + \beta \cdot (V_c - V_{TH}) \cdot V_1 \quad (2.4)$$

$x = \frac{V_1}{V_s}$ ,  $y = \frac{I_L \cdot R}{2V_s}$ ,  $x_c = \frac{V_c}{V_s}$ ,  $t_n = \frac{t}{RC}$ ,  $R = \sqrt{\frac{L}{C}}$  normalize değerleri ve dönüşümleri (2.1) ve (2.4) denklemlerinde yerlerine koyulduğunda;

$$\dot{x} = -y + b \cdot (x_c - 1) \cdot x \quad (2.5a)$$

$$\dot{y} = 2V_s \cdot x \quad (2.5b)$$

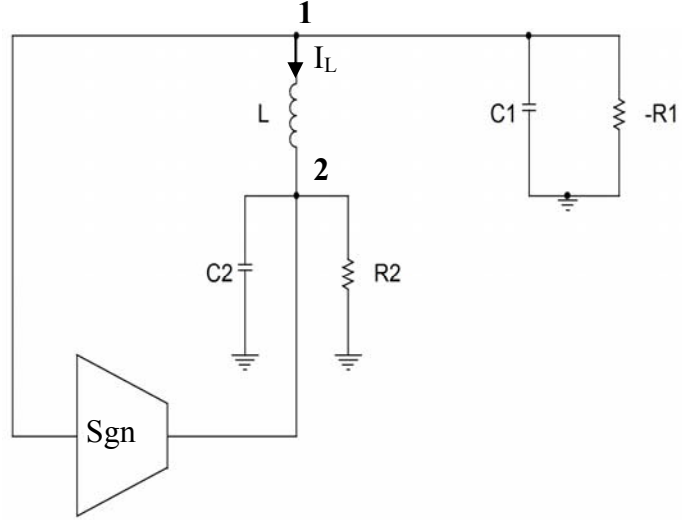
denklemleri elde edilir. (2.5a) ve (2.5b) durum denklemleri, sayısal analiz programında Runge-Kutta yöntemi kullanılarak analiz edilirse Şekil 2.2' deki grafik elde edilir.



Şekil 2.2 :  $V_1/V_s$ ' nin Zamana Göre Değişimi

## 2.2 Temel Kaotik Osilatör Yapısı

Şekil-2.1’de verilen devre basit bir doğrusal olmayan eleman ekleyerek bir kaotik osilatöre dönüştürülebilir. Elektronik devrelerde kaos meydana getirebilmek için direnç, kapasite ve endüktans ihtiva eden otonom bir devre; en az bir lineer olmayan eleman ve üç enerji depolayan elemandan oluşmalıdır. Böyle bir yapı Şekil 2.3’ te gösterilmiştir.



Şekil 2.3 : Temel Kaotik Osilatör Yapısı

1. düğümü için akımlar;

$$C_1 \cdot \frac{dV_1}{dt} = -i_L + \frac{V_1}{R_1} \quad (2.6a)$$

2. düğümü için akımlar;

$$C_2 \cdot \frac{dV_2}{dt} = \text{sgn}(V_1) + i_L - \frac{V_2}{R_2} \quad (2.6b)$$

Endüktanstan geçen akım denklemi;

$$V_1 - V_2 = L \cdot \frac{di_L}{dt} \quad (2.6c)$$

olarak elde edilir.

$x=V_1$ ,  $y=R.i_L$ ,  $z=V_2$  dönüşümleri,  $t_n = \frac{t}{RC}$  normalizasyonu yapılır ve  $C_1=C_2=C$  alınırsa,

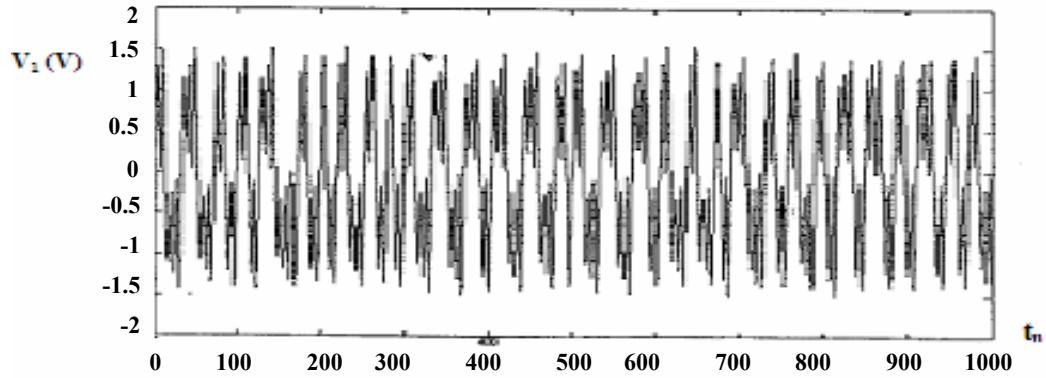
$$\dot{x} = -y + \frac{R}{R_1} x \quad (2.7a)$$

$$\dot{z} = R \cdot \text{sgn}(x) + y - \frac{R}{R_2} \cdot z \quad (2.7b)$$

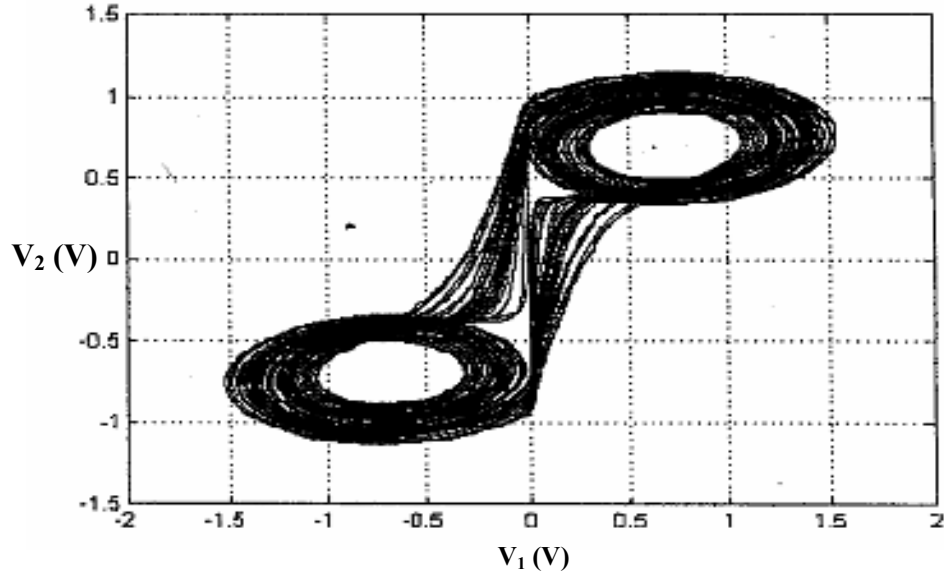
$$\dot{y} = \frac{R^2}{(L/C)} \cdot (x - z) \quad (2.7c)$$

durum denklemlerine ulaşılır.

$(R/R_1) = 0.8$ ,  $(R/R_2) = 0.6$ ,  $(R^2/(L/C)) = 1$  değerleri durum denklemlerine uygulanıp, Runge-Kutta yöntemi kullanılarak sayısal analizleri yapılırsa,  $V_1$ ' in zamana göre değişimi ve kaotik çekici Şekil 2.4 ve Şekil 2.5'te olduğu gibi elde edilir.



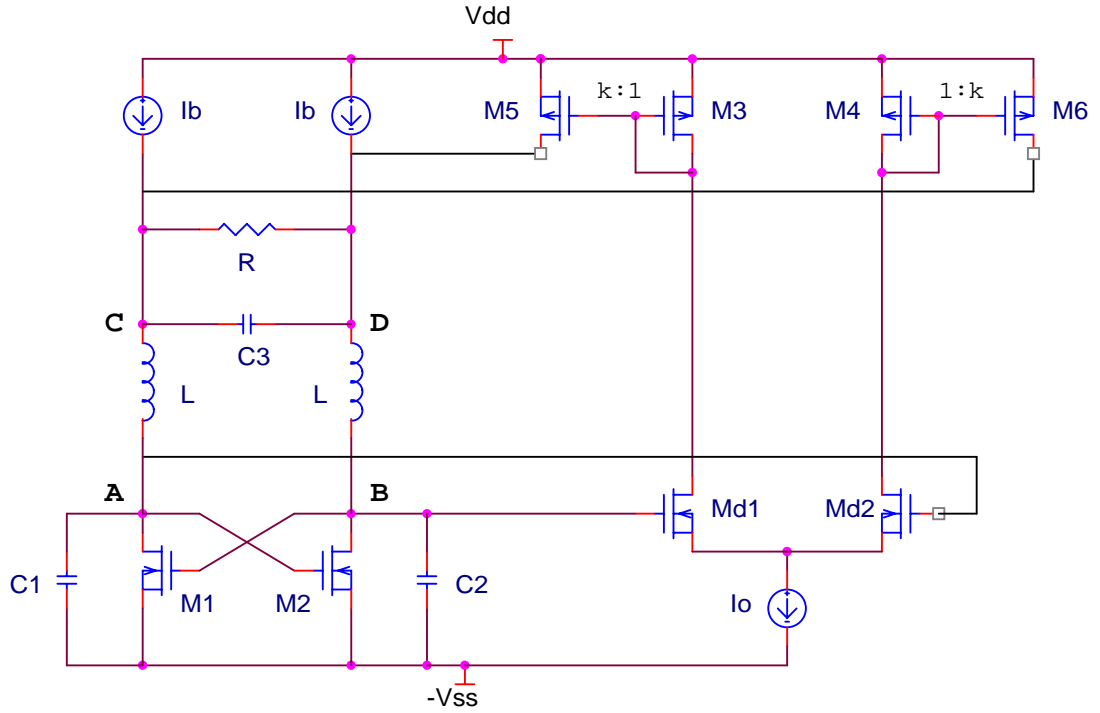
Şekil 2.4 :  $V_1$ ' in Zamana Göre Değişimi



Şekil 2.5 : Temel Yapı ile Elde Edilen Kaotik Çekici

### 2.3 Otonom LC Kaotik Osilatör Yapısı

İkinci bölümde incelenen temel negatif- $g_m$  LC osilatör devresine, bir  $RC_3$  kısmı ve  $(M_{d1} - M_{d2})$ ' den oluşan diferansiyel kat eklenerek Şekil 2.6' daki otonom LC kaotik osilatör devresi elde edilmiştir [11].



Şekil 2.6 : Otonom Kaotik Osilatör

A ve B düğümlerindeki gerilim  $V_{c1}$  ve  $V_{c2}$  olarak ifade edilebilir. Benzer şekilde C düğümdeki gerilim  $V_{c3}$  ise D düğümündeki gerilim de  $-V_{c3}$  şeklinde ifade edilebilir. A-C düğümleri arasındaki endüktansın akımı  $I_L+i_L$ , B-D düğümleri arasındaki endüktansın akımı da  $I_L+i_R$ ' dir. Devredeki lineer olmayan eleman ( $M_{d1}$ - $M_{d2}$ ) diferansiyel kat ile gerçekleşmiş olup, ( $M_3$ - $M_5$ ) ve ( $M_4$ - $M_6$ ) akım aynalarının kazancı (1:k) dır.

A,B,C ve D düğümleri için akım denklemleri  $C_1=C_2=C_3=C$  olarak kabul edilip yazılırsa;

$$C \cdot \frac{d(V_{c1})}{dt} + \frac{\beta}{2} \cdot (V_{c1} - V_{TH})^2 - I_L + i_L = 0 \quad (2.8a)$$

$$C \cdot \frac{d(V_{c2})}{dt} + \frac{\beta}{2} \cdot (V_{c2} - V_{TH})^2 - I_L + i_R = 0 \quad (2.8b)$$

$$I_L - i_L - k \cdot I_2 + \frac{2V_{c3}}{R} + C \cdot \frac{d(2V_{c3})}{dt} - I_B = 0 \quad (2.8c)$$

$$I_L - i_R - k \cdot I_1 - \frac{2V_{c3}}{R} - C \cdot \frac{d(2V_{c3})}{dt} - I_B = 0 \quad (2.8d)$$

şeklinde bulunur.

(2.8a) denklemini, (2.8b) 'den çıkartılırsa;

$$C \cdot (\dot{V}_{c2} - \dot{V}_{c1}) = \frac{\beta}{2} \times (V_{c2} - V_{c1}) [(V_{c2} + V_{c1}) - 2V_{TH}] - (i_R - i_L) \quad (2.9a)$$

(2.8c) ve (2.8d) denklemleri toplanırsa;

$$2C \dot{V}_{c3} = (i_R - i_L) - \frac{2V_{c3}}{R} + \frac{k}{2} \cdot (I_1 - I_2) \quad (2.9b)$$

bulunur. ( $I_1$ - $I_2$ ), diferansiyel katın çıkış fark akımını ifade etmektedir. (2.9b) eşitliği, MOS diferansiyel kat için çıkış akımı-giriş fark gerilimi denklemleri de eklenerek düzenlenirse;

$$2CV_{c3} = (i_R - i_L) \frac{2V_{c3}}{R} + k \begin{cases} -I_0 & V_{c2} - V_{c1} < -V_{sat} \\ g_m(V_{c2} - V_{c1}) \sqrt{1 - \left( \frac{V_{c2} - V_{c1}}{\sqrt{2}V_{sat}} \right)^2} & |V_{c2} - V_{c1}| < V_{sat} \\ I_0 & V_{c2} - V_{c1} > V_{sat} \end{cases} \quad (2.9c)$$

denklemine ulaşılır. Benzer şekilde;

$$L(i_R - i_L) = V_{c2} - V_{c1} - V_{c3} \quad (2.9d)$$

$$C \cdot (V_{c2} + V_{c1}) = k \cdot I_0 - i_R - \frac{\beta}{4} [(V_{c2} + V_{c1} - 2V_{TH})^2 + (V_{c2} - V_{c1})^2] \quad (2.9e)$$

elde edilir.

$$b_n = \beta_n \cdot R \cdot V_s, \quad b = \beta \cdot R \cdot V_s, \quad C = \frac{I_0 \cdot R}{2V_s}, \quad d = \frac{(k \times I_0 - I_B) \cdot R}{2V_s}, \quad x_{sat} = \frac{V_{sat}}{2V_s} = \sqrt{\frac{c}{b}},$$

$$x_1 = \frac{(V_{c2} - V_{c1})}{2V_s}, \quad x_2 = \frac{(V_{c2} + V_{c1})}{2V_s}, \quad y = \frac{(i_R - i_L)}{2V_s}, \quad z = \frac{V_{c3}}{2V_s},$$

$$t_n = \frac{t}{RC}, \quad \text{dönüşüm ve normalizasyonları (2.9a)-(2.9e) denklemlerine}$$

uygulandığında aşağıdaki durum denklemlerine ulaşılır;

$$\dot{x}_1 = b x_1 \cdot (x_2 - 1) - y \quad (2.10a)$$

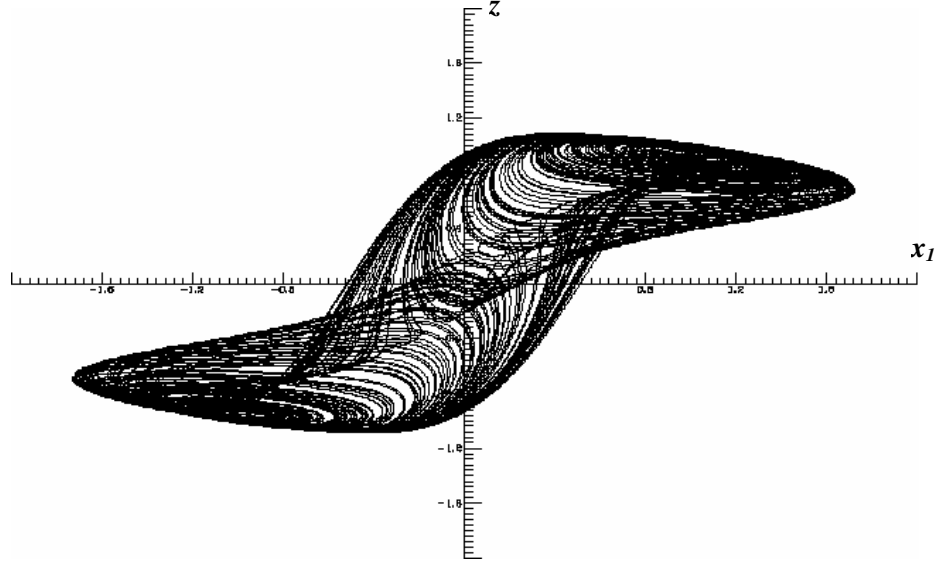
$$\dot{y} = x_1 - z \quad (2.10b)$$

$$2\dot{z} = y - 2z + k \cdot \begin{cases} -c & x_1 < -x_{sat} \\ \sqrt{2b_n c} \cdot x_1 \cdot \sqrt{1 - \left( \frac{x_1}{\sqrt{2} x_{sat}} \right)^2} & |x_1| < x_{sat} \\ c & x_1 > x_{sat} \end{cases} \quad (2.10c)$$

$$\dot{x}_2 = d - \frac{b}{2} \cdot [(x_2 - 1)^2 + x_1^2] \quad (2.10d)$$

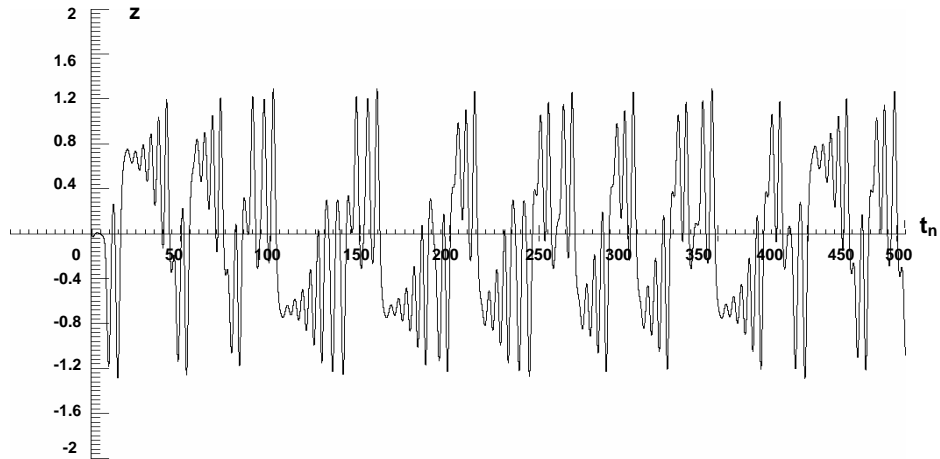


$b_n=0.5$ ,  $b=1$ ,  $c=0.3$ ,  $d=0.7$ ,  $k=8$  değerleri için (2.10a) - (2.10d) durum denklemleri kullanılarak sayısal analiz programında Runge-Kutta yöntemi ile Şekil 2.7'deki kaotik çekici elde edilir.



**Şekil 2.7 :** Sayısal Analiz Sonucu Elde Edilen  $z - x_1$  Kaotik Çekici

Sayısal analiz programıyla elde edilen  $z$ 'nin zaman göre değişimi Şekil 2.8'de gösterilmiştir. Şekil 2.7'deki işaretin periyodik olmadığını anlaşılması için Şekil 2.8'de  $z$ 'nin zamana göre analizi yapılmıştır. Şekil 2.8'den açıkça görüldüğü üzere işaret aperiyoiktir. Bu işaretin çok daha uzun süre sonunda da periyodik olmadığını ispatlanması maksadıyla Lyapunov üsteli hesaplanarak  $\lambda=0.09$  bulunmuştur. Bölüm 1'de açıklandığı üzere Lyapunov üstelinin pozitif çıkması sistemin kaotik olduğunu gösterir.

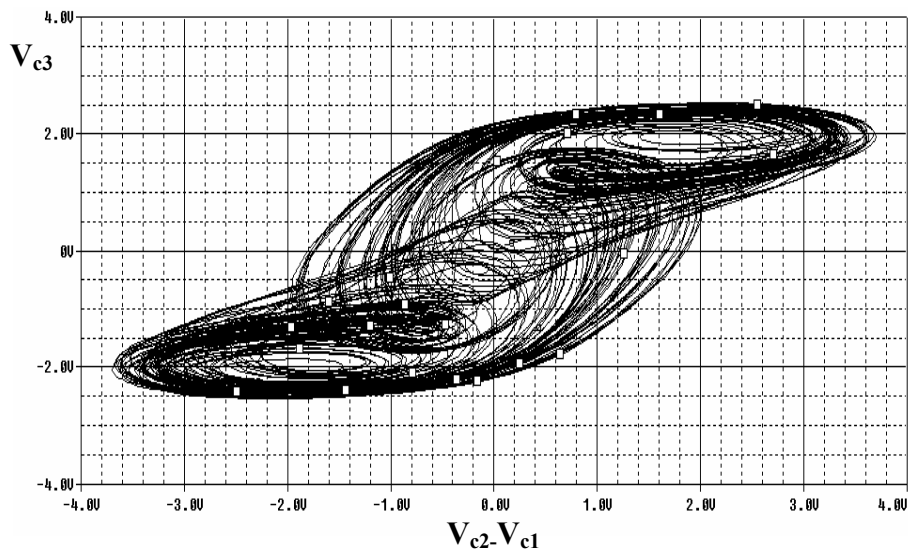


**Şekil 2.8 :** Sayısal Analiz Sonucu Elde Edilen  $z$ 'nin Zamana Göre Değişimi

Devrenin tasarım aşamasına geçildiğinde bazı sorunlarla karşılaşılmaktadır.  $c = I_0 \cdot R / (2 \cdot V_s)$  ve  $R = \sqrt{L/C}$  eşitlikleri dikkate alındığında, kapasite değerleri sabit tutulup endüktans değerleri düşürülürse, R değerinin de  $\sqrt{L}$  oranında düşmesi gerekmektedir. Bunu sonucunda da,  $c = I_0 \cdot R / (2 \cdot V_s)$  eşitliğinin bozulmaması için  $I_0$  akımının  $\sqrt{L}$  oranında artması gerekmektedir. Açıklanan şekilde 150-60 nH endüktans değerleri arasında  $V_{c3}$  &  $(V_{c2}-V_{c1})$  için Şekil 2.9'da verilen benzer kaotik çekici elde edilmiştir. Benzetimlerde MOSIS (T3AF AMISC5) BSIM3  $0.5\mu$  model parametreleri kullanılmıştır. R, L, C,  $I_B$ ,  $I_0$  ve transistör boyutlarını hesaplarken  $b=1$ ,  $c=0.3$ ,  $b_n=0.5$ ,  $d=0.7$ ,  $k=8$  parametre seti ve (2.10a) - (2.10d) eşitlikleri kullanılmıştır. Otonom devre için hesaplanan ve benzetimde kullanılan eleman değerleri Tablo 2.1'de verilmiştir.

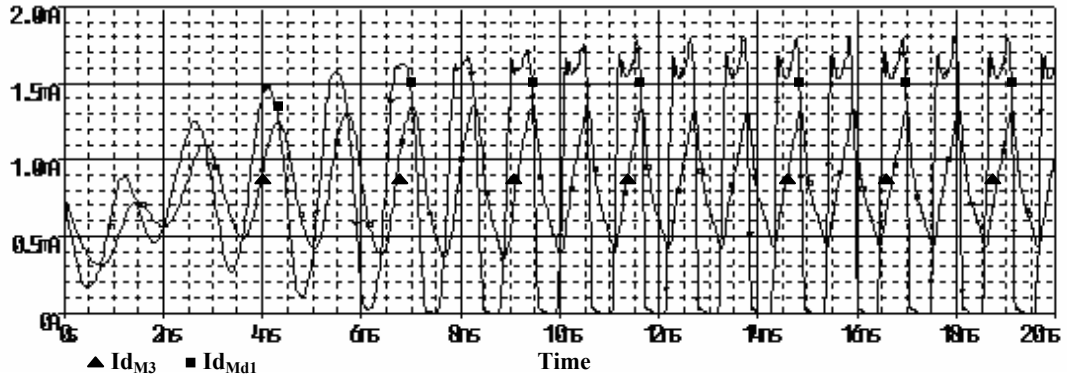
**Tablo 2.1 :** Otonom Devrenin Eleman Değerleri ve Transistör Boyutları

$C1=C2$ (fF)	480	$V_{dd}$ (V)	2.5
$C3$ (fF)	100	$V_{ss}$ (V)	-2.5
L (nH)	60	$I_0$ ( $\mu$ A)	1280
R (Ohm)	287	$I_B$ ( $\mu$ A)	352
$(W/L)_{M1,M2}$	$7\mu\text{m}/1\mu\text{m}$	$(W/L)_{M3,M4}$	$20\mu\text{m}/0.5\mu\text{m}$
$(W/L)_{Md1,Md2}$	$7\mu\text{m}/0.5\mu\text{m}$	$(W/L)_{M5,M6}$	$180\mu\text{m}/0.5\mu\text{m}$



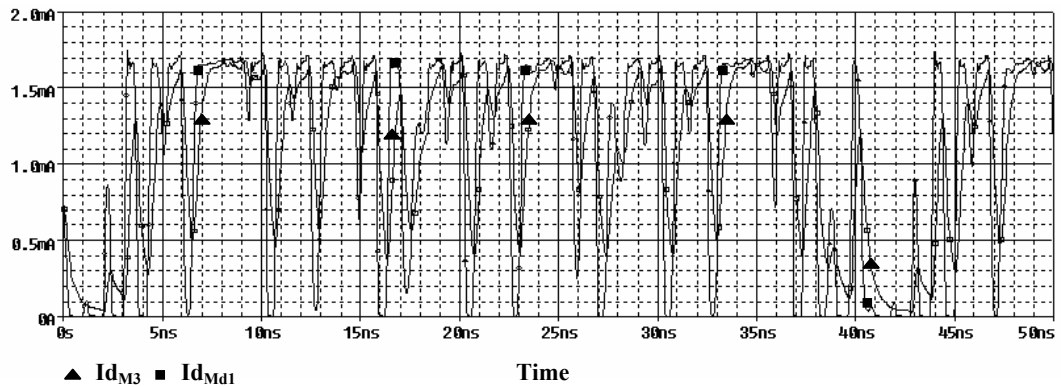
**Şekil 2.9 :**  $V_{c3}$  &  $(V_{c2}-V_{c1})$  İçin Benzetimle Elde Edilen Kaotik Çekici

$I_o$  akımı büyüdükçe ( $M_3$ - $M_5$ ) ve ( $M_4$ - $M_6$ ) akım aynaları bu yüksek akımı akıtabilmek için daha büyük  $V_{GS}$  gerilimlerine ihtiyaç duymaktadır. Ancak endüktans değeri  $60nH$ 'nin altına düşürülmeye çalışıldığında, akım aynalarının yüksek  $V_{GS}$  değerleri sebebiyle ( $M_3 - M_4$ ) transistörleri doymadan çıkmaktadır. Örneğin endüktans değeri  $45nH$ 'ye düşürüldüğünde  $I_o$  akımının  $1.67 mA$  olması gerekmektedir. Fakat Şekil 2.10'da görüldüğü üzere,  $\pm 2.5 V$  besleme gerilimlerinde ( $M_3$ - $M_5$ ) akım aynası doymadan çıkmaktadır.



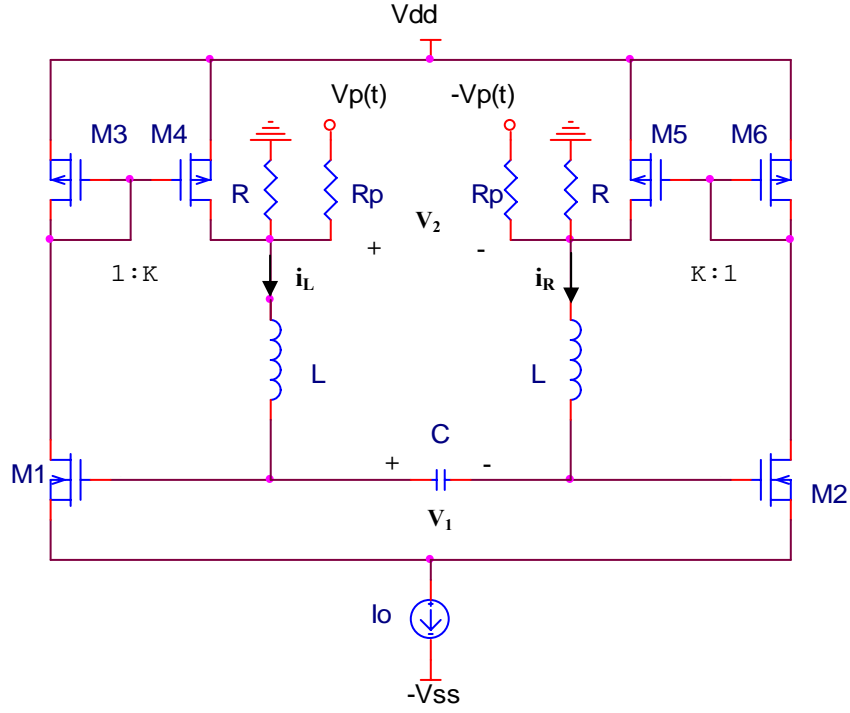
Şekil 2.10 :  $I_{d_{M3}} - I_{d_{Md1}}$  Akımlarının Zamana Göre Değişimi  
( $V_{dd}=2.5V$   $V_{ss}=-2.5V$   $I_0=1.67mA$ ,  $L=45nH$ )

Kaotik çekici ancak besleme gerilimleri artırılırsa elde edilebilmektedir. Şekil 2.11'de görüldüğü üzere aynı eleman değerleri için,  $V_{dd} = 3,5V$  olduğunda  $M_3$  transistörü doymada kalmaktadır.



Şekil 2.11 :  $I_{d_{M3}} - I_{d_{Md1}}$  Akımlarının Zamana Göre Değişimi  
( $V_{dd}=3.5V$ ,  $V_{ss}=-2.5V$ ,  $I_0=1.67mA$ ,  $L=45nH$ )

## 2.4 Otonom Olmayan Kaotik Osilatör Yapısı



Şekil 2.12 : Otonom Olmayan Kaotik Osilatör Devresi

Otonom olmayan kaotik osilatör devresi Şekil 2.12' de verilmiştir. Devre, sinüs osilatörüne bir periyodik darbe kaynağı olan  $V_p(t)$  ve doğrusal olmayan geribesleme eklenerek oluşturulmuştur.  $M_4$  ve  $M_5$  transistörlerinin savaklarından görülen parazitik kapasitelere  $C_p$  denir ve bu varsayıma göre durum denklemlerini çıkartılırsa;

$$C \dot{V}_1 = -(i_R - i_L) \quad (2.11a)$$

$$L(\dot{i}_R - \dot{i}_L) = (V_1 - V_2) \quad (2.11b)$$

$$C_p \dot{V}_2 = (i_R - i_L) - \left( \frac{1}{R} + \frac{1}{R_p} \right) V_2 + \frac{2V_p(t)}{R_p} + K \cdot \begin{cases} I_0 & V_1 \geq \sqrt{2}V_{sat} \\ g_m V_1 \sqrt{1 - \left( \frac{V_1}{2V_{sat}} \right)^2} & V_1 < \sqrt{2}V_{sat} \\ -I_0 & V_1 \leq -\sqrt{2}V_{sat} \end{cases} \quad (2.11c)$$

eşitlikleri elde edilir.

$i_3=(i_R-i_L)$ ,  $x=V_1/V_s$ ,  $y=i_3.R_0/V_s$ ,  $z = V_2/V_s$ ,  $c_o = I_o R_o / V_s$ ,  $\alpha = R_o / R_p$ ,  
 $\beta = R_o / R$ ,  $\varepsilon = C_p / C$ ,  $w = \Omega \sqrt{LC}$ ,  $b_o = 0,5.R_o.V_s.\mu_n C_{ox} (W/L)_{1,2}$ ,  $V_s=2.V_p$ ,  
 $t_n = t/R_o C$ ,  $V_{sat} = \sqrt{I_o L / \mu_n C_{ox} W}$ ,  $v_p(t)=V_p \text{sgn}(\sin wt)$  dönüşüm ve  
 normalizasyonları (2.11a)-(2.11c) denklemlerine uygulandığında aşağıdaki durum  
 denklemlerine ulaşılır.

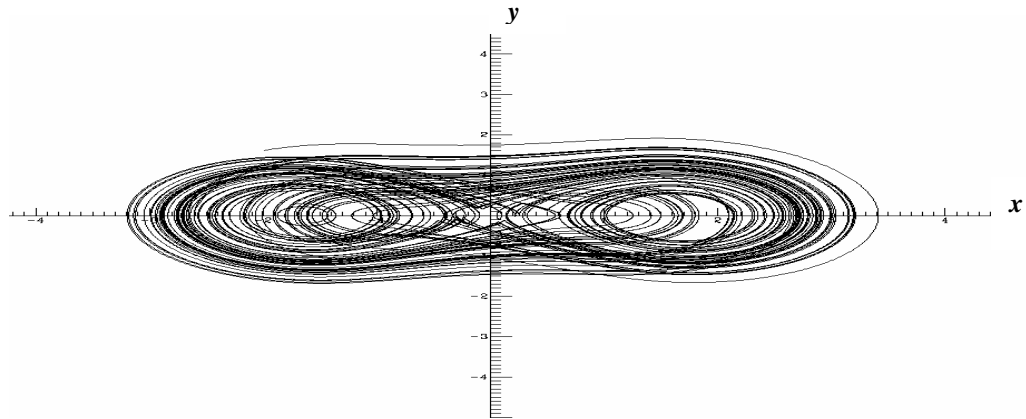
$$\dot{x} = -y \quad (2.12a)$$

$$\dot{y} = x - z \quad (2.12b)$$

$$\varepsilon \dot{z} = y - (\alpha + \beta)z + \alpha \text{sgn}(\sin wt) + f(x) \quad (2.12c)$$

$$\left\{ \begin{array}{l} f(x)=K b_o x \sqrt{2c_o/b_o - x^2}, \quad |x| < \sqrt{c_o/b_o} \\ f(x)=K c_o \text{sgn}(x - \sqrt{c_o/b_o}), \quad \text{Diğer} \end{array} \right.$$

$c_o=2$ ,  $\alpha=3$ ,  $\beta=8$ ,  $w=0.33$ ,  $K=15$ ,  $\varepsilon = 0.1$  değerleri için (2.12a) - (2.12c) durum  
 denklemleri kullanılarak sayısal analiz programında Runge-Kutta yöntemi ile Şekil  
 2.13'deki kaotik çekici elde edilir.



**Şekil 2.13 :** Sayısal Analiz Sonucu Elde Edilen x – y Kaotik Çekici

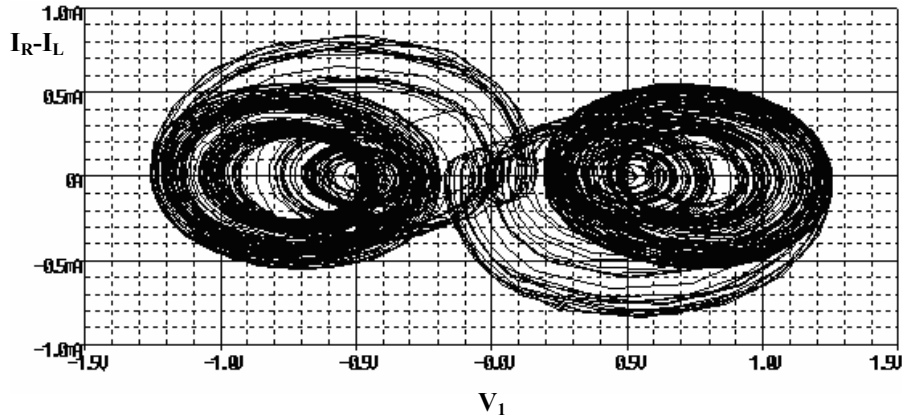
Devrenin tasarım aşamasına geçildiğinde bu devrede de, otonom kaotik osilatör  
 devresinde açıklanan sorunlarla karşılaşmaktadır.  $c = I_o.R_o / V_s$  ve  $R = \sqrt{L/C}$   
 eşitlikleri dikkate alındığında, kapasite değerleri sabit tutulup endüktans değerleri

düşürülürse,  $R_0$  değerinin de  $\sqrt{L}$  oranında düşmesi gerekmektedir. Bunu sonucunda da,  $c = \frac{I_0 \cdot R_0}{V_s}$  eşitliğinin bozulmaması için  $I_0$  akımının  $\sqrt{L}$  oranında artması gerekmektedir. Açıklanan şekilde 5 – 1,5  $\mu\text{H}$  endüktans değerleri arasında benzer kaotik çekici elde edilmiştir (Şekil 2.14). Ancak 1,5  $\mu\text{H}$  endüktans değerinin altında kaotik çekici elde edilememektedir.

Benzetimlerde MOSIS (T3AF AMISC5) BSIM3 0.5 $\mu$  model parametreleri kullanılmıştır.  $R$ ,  $R_p$ ,  $L$ ,  $C$ ,  $C_p$ ,  $I_0$  ve transistör boyutlarını hesaplarken  $c_0=2$ ,  $\alpha=3$ ,  $\beta=8$ ,  $w=0.33$ ,  $K=15$ ,  $\varepsilon=0.1$  parametre seti ve (2.12a)-(2.12c) eşitlikleri kullanılmıştır. Otonom devre için hesaplanan eleman değerleri Tablo 3.2’de verilmiştir.

**Tablo 3.2:** Otonom Olmayan Devrenin Eleman Değerleri ve Transistör Boyutları

C (fF)	500	(W/L) <sub>M3,M6</sub>	20 $\mu\text{m}/2\mu\text{m}$
(W/L) <sub>M1,M2</sub>	240 $\mu\text{m}/2\mu\text{m}$	(W/L) <sub>M4,M5</sub>	250 $\mu\text{m}/2\mu\text{m}$
L ( $\mu\text{H}$ )	1.5	$I_0(\mu\text{A})$	520
R (Ohm)	120	$V_{dd}$ (V)	2.5
$R_p$ (Ohm)	430	$V_{ss}$ (V)	-2.5



**Şekil 2.14 :**  $(I_R - I_L)$  &  $V_1$  İçin Benzetimle Elde Edilen Kaotik Çekici

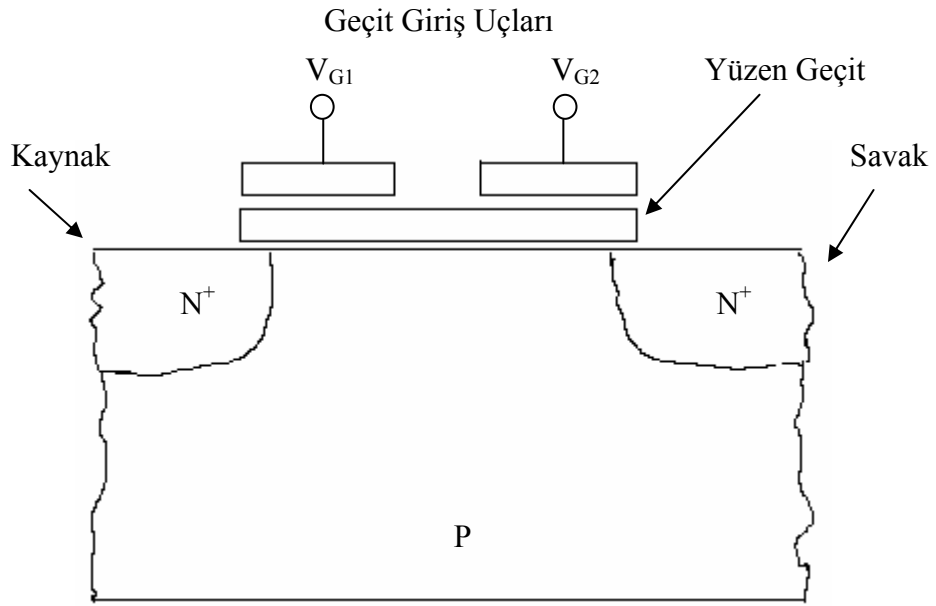
Görüldüğü üzere, her iki devre de MOS transistörler ile tasarlandığında, pasif eleman değerleri küçültülmeye çalışılırsa besleme gerilimlerinden kaynaklanan sebeplerden dolayı akım aynaları doymadan çıkmaktadır. Akım aynalarında kullanılan

transistörlerin boyutları büyütülerek yüksek akım akıtması sağlanabilir fakat bu durumda da parazitik kapasiteler büyüyecektir ve devrelerin hızı düşecektir. Bu nedenle her iki kaotik osilatörde de, akım aynalarının doymada çalışabilmesini sağlamak maksadıyla, bölüm 3'te yapısı açıklanan yüzen geçit transistör teknolojisinden faydalanılacaktır.

### 3. YÜZEN GEÇİT TRANSİSTÖR VE UYGULAMALARI

MOS teknolojisiyle oluşturulan akım aynalarının yüksek  $V_{GS}$  değerleri nedeniyle, her iki kaotik osilatör devresinde de, yüzen geçit transistörlerle oluşturulmuş akım aynaları kullanılacaktır. Yüzen geçit transistörlerin seçilmesinin nedeni, bu transistörlerin sahip olduğu alçak eşik gerilimi karakteristiğidir. Bu bölümde, yüzen geçit transistör teknolojisi ve uygulama alanları açıklanmıştır.

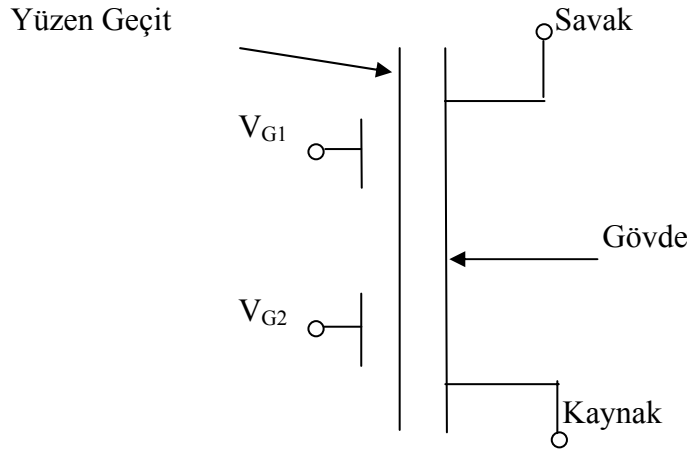
#### 3.1 FG MOS Temel Yapısı



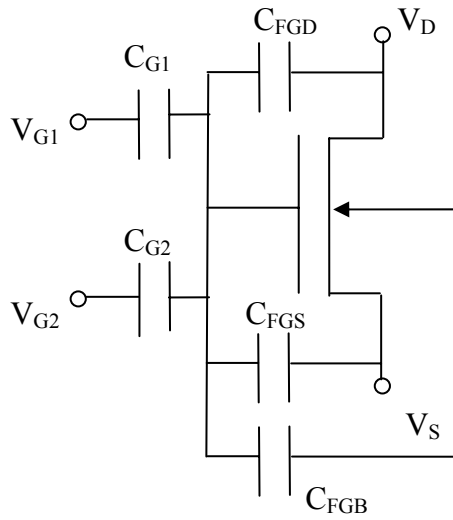
Şekil 3.1 : Yüzen Geçit Transistör (NMOS)

FG MOS transistör temel yapısı Şekil 3.1' de gösterilmiştir. Transistörün girişleri olan " $V_{G1}$ ,  $V_{G2}$ ", ikinci bir polisilikon tabaka kullanılarak yüzen geçitin üzerinde oluşturulmuştur.





**Şekil 3.2 :** FG MOS Transistör Sembol Gösterimi



**Şekil 3.3 :** FG MOS Eşdeğer Devresi

FG MOS transistörün sembol gösterimi ve eşdeğer devresi Şekil 3.2 ve Şekil 3.3'te gösterilmiştir. Şekil 3.3' teki eşdeğer devreden de açıkça görüldüğü üzere yüzen geçit transistör elemanının her bir giriş ucu ile yüzen geçiti arasında bir kapasite bulunmaktadır.

Yüzen geçitteki potansiyel,  $\Phi_F$ , öncelikle bu kapasite değerleri ve giriş uçlarına uygulanan gerilim ile belirlenir.

$$\Phi_F = \frac{C_{G1} \cdot V_{G1} + C_{G2} \cdot V_{G2} + C_{FGS} \cdot V_S + C_{FGD} \cdot V_D}{C_{TOT}} \quad (3.1)$$

$$C_{TOT} = C_{G1} + C_{G2} + C_{FGS} + C_{FGD} \quad (3.2)$$

$C_{G1}$  ve  $C_{G2}$  : Giriş uçları ile yüzen geçit arasındaki kapasiteler,

$C_{FGS}$  : Yüzen geçit - kaynak arasındaki kapasite,

$C_{FGD}$  : Yüzen geçit - savak arasındaki kapasite,

$C_{TOT}$  : Toplam kapasitedir.

Şekil 3.3' teki eşdeğer devrenin 1 no' lu ucundan görülen  $V_{TH1}$  (eşik gerilimi), yüzen geçitteki  $V_{TH}$  ile 2. no' lu uca uygulanan gerilime bağlıdır.

$$V_{TH1} = \frac{C_{G1} + C_{G2} + C_{FGD} + C_{FGS}}{C_{G1}} \cdot V_{TH} - \frac{C_{G2}}{C_{G1}} \cdot V_2 \quad (3.3)$$

$C_{FGD}, C_{FGS} \ll C_{G2}$  olduğundan eşitlik aşağıdaki hali alır.

$$V_{TH1} = V_{TH} + \frac{C_{G2}}{C_{G1}} \cdot (V_{TH} - V_2) \quad (3.4)$$

$C_{FGD}, C_{FGS} \ll C_{G2}$ , şartının sağlanması için  $C_{G2}$  kapasitesinin boyutları MOS transistörün ( $W \times L$ ) alanından en az 2 kat büyük olmalıdır.

Kapasite değerlerini hesaplarken kullanılan formüller :

$$C_{FGD} = CGDO \cdot W_{eff} \quad (3.5)$$

$$C_{FGS} = \frac{2}{3} \cdot C_{ox} \cdot W \cdot L + CGSO \cdot W_{eff} \quad (3.6)$$

$$C_{G1, G2} = WL \cdot C_{ox} \quad (3.7)$$

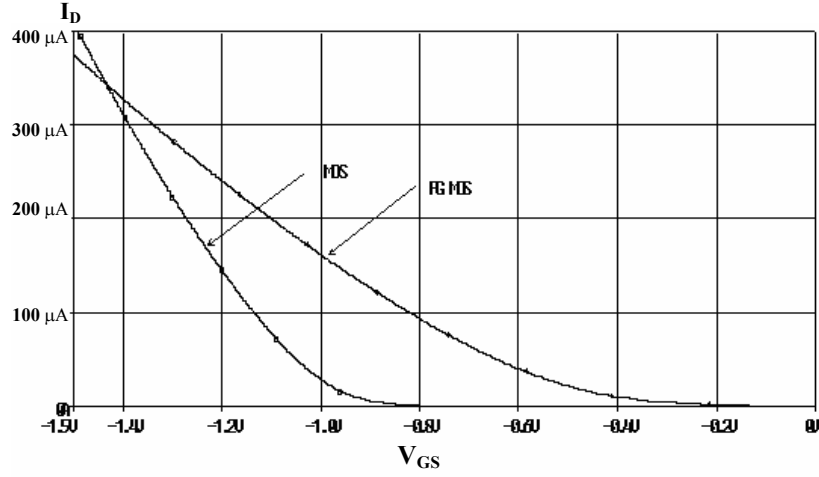
$CGSO$  : Geçit – kaynak arası overlap kapasitesinin birim uzunluk başına değeri,

$CGDO$  : Geçit – savak arası overlap kapasitesinin birim uzunluk başına değeridir.

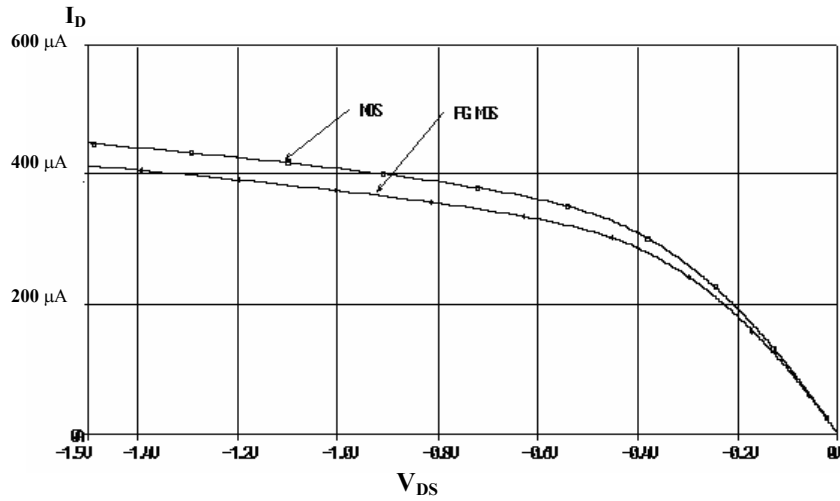
(3.4) eşitliğinden de anlaşılacağı üzere 2 no' lu giriş ucuna uygulanacak belirli değerdeki DC gerilim ile 1 no' lu uçtan görülen eşdeğer eşik gerilimi değeri düşürebilir [12-13].

### 3.2 FG MOS Transistör I-V Karakteristikleri

Şekil 3.3’ te eşdeğer devresi görülen yüzen geçit transistörün DC analizi yapılırken tüm kapasitelere paralel bağlı büyük değerli dirençler kullanılmıştır. Fakat bu işlem sırasında bütün zaman sabitleri (RC) eşit olacak şekilde uygun direnç değerleri alınmıştır. Kaotik osilatörlerde bulunan akım aynaları PMOS olduğundan, burada yapılan analizlerde de FG PMOS transistörün karakteristikleri çıkartılmıştır. DC analiz sonuçları Şekil 3.4, Şekil 3.5 ve Şekil 3.6’ da olduğu gibidir. Şekil 3.4’ten açıkça görüldüğü üzere, MOS transistörün  $V_{TH}$  değeri  $-0.85V$  iken, FG PMOS transistörün  $V_{TH}$  değeri  $-0.25V$  civarındadır. Buna karşılık Şekil 3.5 incelenirse her iki transistörün de, aynı  $V_{DS}$  gerilimi altında benzer  $I_D$  akımını akıttığı görülmektedir.



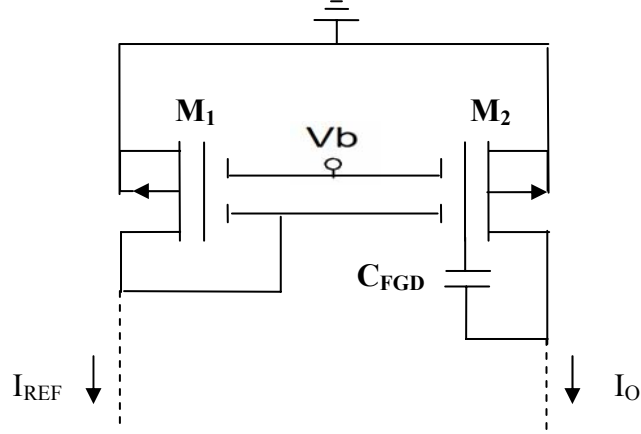
Şekil 3.4 : FG PMOS & PMOS  $V_{GS}$ - $I_D$  Karakteristikleri  
( $W=26\mu m$  ,  $L=0.5\mu m$   $V_{bias_{FG}}=-1.5 V$ )



Şekil 3.5 : FG PMOS & PMOS  $I_D$ - $V_{DS}$  Karakteristikleri  
( $W=26\mu m$  ,  $L=0.5\mu m$   $V_{bias_{FG}}=-1.5 V$ )

### 3.3 FG MOS Transistör Akım Aynası

Akım aynası, analog tümdevre tasarımında en önemli yapı taşlarından biridir. Basit bir akım aynası ele alındığında; giriş ucundaki transistörün neden olduğu yüksek  $V_{GS}$  gerilimi, bu yapıların düşük gerilim ihtiyacı duyulan devrelerde kullanılmasını engellemektedir. Bu gibi durumlarda kullanılan FG MOS transistörle oluşturulmuş akım aynası yapısı Şekil 3.6’da görülmektedir.



Şekil 3.6 : Yüzen Geçit PMOS Transistör Akım Aynası

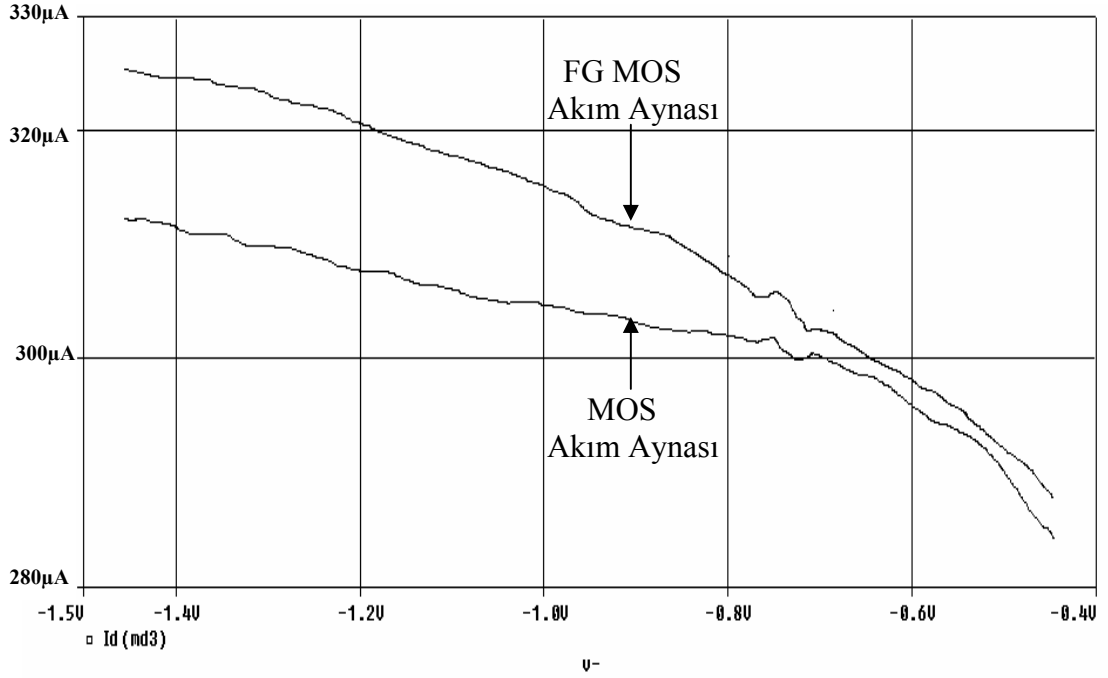
Şekil 3.6’ da görülen  $M_2$  transistörünün  $C_{FGD}$  kapasitesinin neden olduğu geri besleme nedeniyle FG akım aynasının çıkış empedansı düşmektedir.  $M_1$  transistörü de  $C_{FGD}$  kapasitesine sahiptir. Fakat  $M_1$  transistörünün geçit - savak uçları bağlı olduğu için bunun etkisi göz ardı edilebilir.

$M_2$  üzerindeki  $C_{FGD}$  parazitik kapasitesi  $M_2$  transistörünün  $V_{DS}$  gerilim artarken, yüzen geçit geriliminin de artmasına neden olmaktadır. Bu gerilim değişimi ( $I_{out}$ ) çıkış akımının değişmesine, dolayısıyla çıkış ucunun empedansının düşmesine neden olmaktadır [14].

Akım aynasının çıkış empedansı;

$$Z_{out} = \frac{1}{g_{ds_{M2}} + g_{m_{M2}} \times \left( \frac{C_{GD_{M2}}}{C_{TOT_{M2}}} \right)} \quad (3.7)$$

şeklinde ifade edilebilir. Yüzen geçit transistörle oluşturulan akım aynasının yukarıda bahsedilen çıkış akımında meydana gelen değişmeye ait grafik sonuçları Şekil 3.7' de olduğu gibidir.

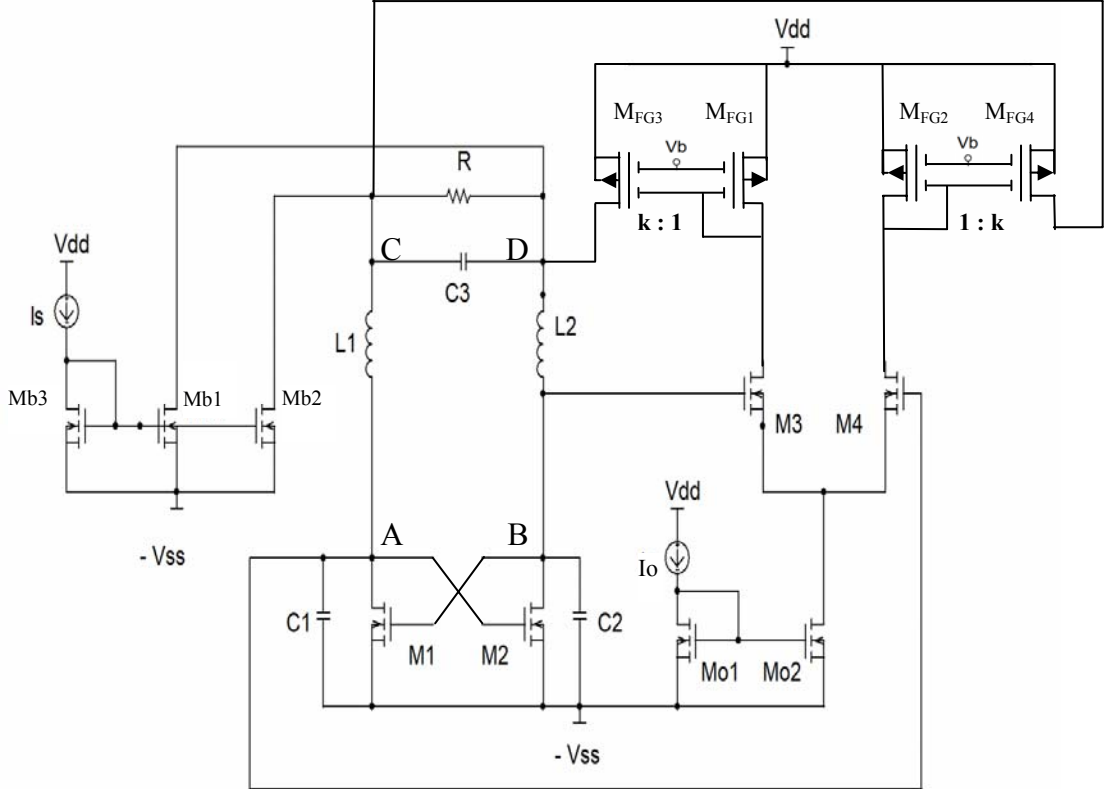


Şekil 3.7 : FG MOS Akım Aynası ile MOS Akım Aynasının Karşılaştırılması

## 4.YÜZEN GEÇİT TRANSİSTÖR KULLANILARAK TASARLANAN KAOTİK OSİLATÖRLER

### 4.1 Otonom LC Kaotik Osilatör

Üçüncü bölümde incelenen ve kaotik davranışı ispatlanan fakat, MOS akım aynasının yüksek  $V_{GS}$  gerilimi nedeniyle pasif eleman değerleri düşürülemeyen Şekil 2.6'daki otonom kaotik osilatörde,  $(M_3-M_5)$  ve  $(M_4-M_6)$  akım aynalarının yerine yüzen geçit transistör akım aynaları eklenerek oluşturulan devre Şekil 4.1'de görülmektedir. Temel negatif -  $g_m$  LC osilatör yapısına paralel bir  $RC_3$  kısmı ve  $(M_3-M_4)$ ' den oluşan diferansiyel kat eklenerek istediğimiz otonom LC kaotik osilatör elde edilmiştir.



Şekil 4.1 : Otonom Kaotik Osilatör

Devredeki lineer olmayan eleman ( $M_3 - M_4$ ) diferansiyel kat ile gerçekleştirilmektedir. Bu diferansiyel katın ve akım aynalarının doymada çalışabilmesi için üçüncü bölümde açıklandığı şekilde yüzen geçit akım aynaları kullanılmıştır. Bölüm 2.3'te incelenen CMOS otonom kaotik osilatör devresi için bulunan (2.10a-2.10d) durum denklemleri Şekil 4.1'de verilen otonom kaotik osilatör devre için de aynen geçerlidir. Bu sebeple  $R$ ,  $L$ ,  $C$ ,  $I_B$ ,  $I_0$  ve transistör boyutları hesaplanırken  $b=1$ ,  $c=0.3$ ,  $b_n=0.5$ ,  $d=0.7$ ,  $k=8$  parametre seti, (2.10a) - (2.10d) ve (3.1) - (3.6) denklem setleri kullanılmıştır.

#### 4.2 Otonom Kaotik Tümdevrenin Tasarlanması

Benzetimlerde MOSIS (T3AF AMISC5) BSIM3 0.5 $\mu$  model parametreleri kullanılmıştır. Hesapladığımız değerleri Spice simülasyon programında yerleştirip gerekli düzeltmeler yapıldığında Tablo 4.1'deki sonuçlar elde edilir.

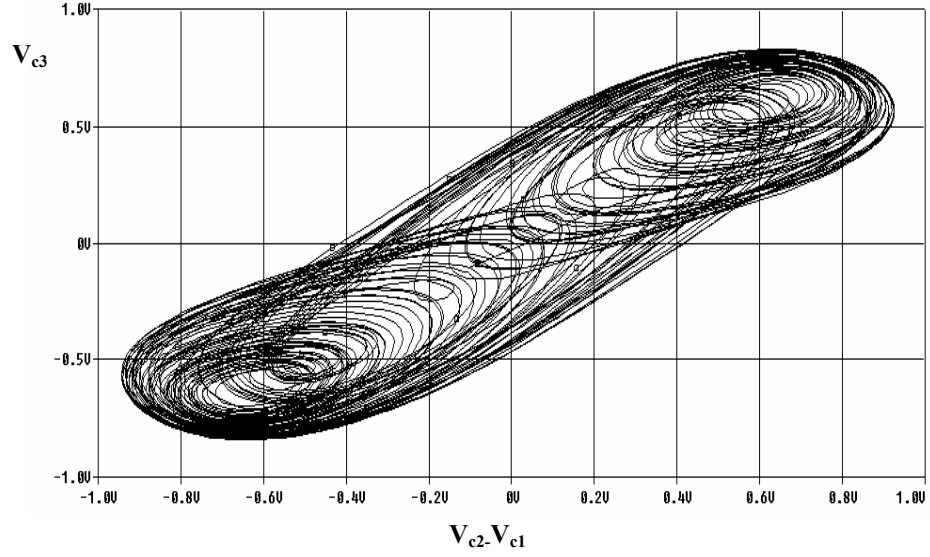
**Tablo 4.1:** Otonom Devrenin Eleman Değerleri ve Transistör Boyutları

$C1=C2$ (fF)	200	$(W/L)_{M01,M02}$	26 $\mu$ m/1 $\mu$ m
$C3$ (fF)	210	$(W/L)_{Mb1,Mb2,Mb3}$	16 $\mu$ m/0.5 $\mu$ m
$L$ (nH)	15	$I_0$ ( $\mu$ A)	350
$R$ (Ohm)	248	$I_B$ ( $\mu$ A)	160
$(W/L)_{M1,M2}$	65 $\mu$ m/0.5 $\mu$ m	$V_b$ (V)	-1.45
$(W/L)_{M3,M4}$	26 $\mu$ m/0.5 $\mu$ m	$(W/L)_{MFG1,MFG2}$	26 $\mu$ m/0.5 $\mu$ m
$V_{dd}$ (V)	2.5	$V_{SS}$ (V)	-2.5
$(W/L)_{MFG3,MFG4}$	52 $\mu$ m/0.5 $\mu$ m		

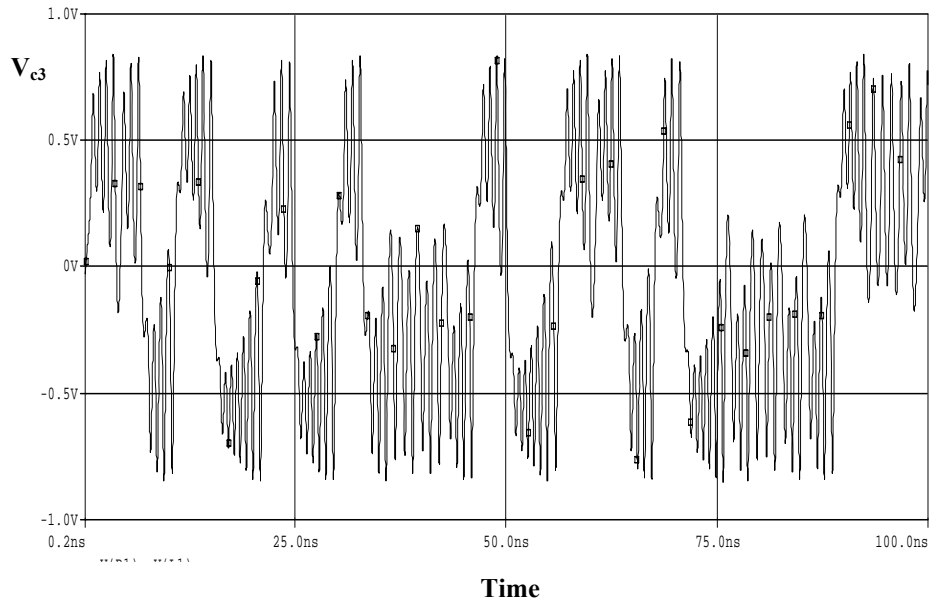
Yüzen geçit transistörle oluşturulan akım aynasını gerçeklerken bölüm 3.3'te anlatılan, parazitik  $C_{FGD}$  kapasitesinin sebep olduğu geri besleme nedeniyle, akım aynasının giriş ve çıkış akımları arasındaki fark sebebiyle 2 kat kazanç sağlayan bir blok yapı yeterli olmuştur.

Benzetim sonucunda elde edilen kaotik çekici ve gerilim farklarının zaman domeni analizleri Şekil 4.2 ve Şekil 4.3'te gösterilmiştir. Şekil 4.2'den de görüleceği üzere,

Tablo 4.1’de verilen deęerler ile tasarlanan devre kaotik davranıř göstermektedir. Ayrıca sayısal analiz sonucu elde edilen Őekil 2.7 ile benzetim sonucu elde edilen Őekil 4.2 karřılařtırılacak olursa benzer yapıya sahip oldukları grlmektedir.



**Őekil 4.2 :** ( $V_{c2}-V_{c1}$ ) &  $V_{c3}$  İin Benzetimle Elde Edilen Kaotik ekici

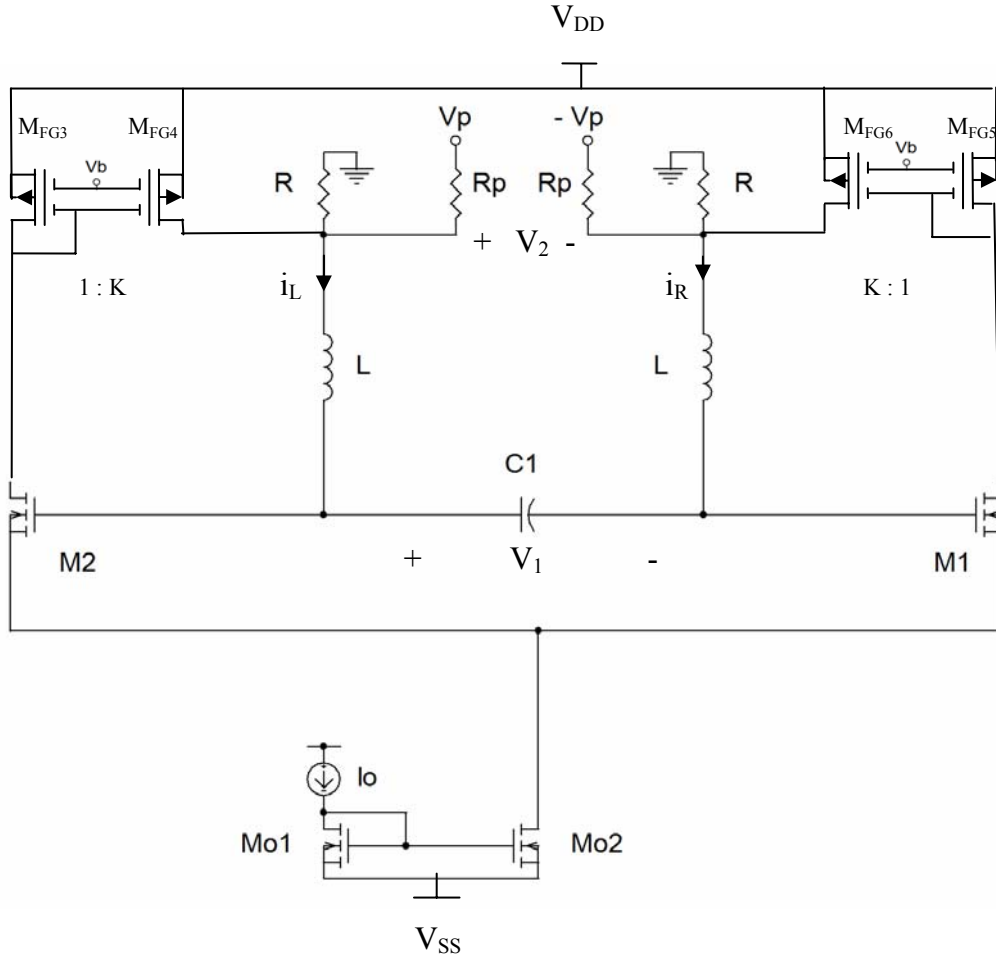


**Őekil 4.3 :**  $V_{c3}$  Zaman Domeni Analizi



### 4.3 Otonom Olmayan Kaotik Osilatör

Bölüm 2.4'te incelenen ve kaotik davranışı ispatlanan fakat, MOS akım aynasının yüksek  $V_{GS}$  gerilimi nedeniyle pasif eleman değerleri düşürülemeyen Şekil 2.12'deki otonom olmayan kaotik osilatörde,  $(M_3-M_4)$  ve  $(M_5-M_6)$  akım aynalarının yerine yüzen geçit transistör akım aynaları eklenerek oluşturulan devre Şekil 4.4'te görülmektedir.



Şekil 4.4 : Otonom Olmayan Kaotik Osilatör Devresi

Otonom olmayan kaotik osilatör devresi Şekil 4.4' te verilmiştir. Devre, sinüs osilatörüne bir periyodik darbe kaynağı olan  $V_p(t)$  ve doğrusal olmayan geribesleme eklenerek oluşturulmuştur. M1-M2 transistörlerinin doymadan çıkmadan istenen akımı akıtabilmesi için  $(M_{FG3}-M_{FG4})$  ve  $(M_{FG5}-M_{FG6})$  yüzen geçit transistörle oluşturulan akım aynaları geribesleme olarak kullanılmıştır. Klasik akım aynasında

giriş ucuna ait yüksek  $V_{GS}$  gerilimi FG transistör kullanılarak çok küçük değerlere çekilmiştir.

Bölüm 2.4'te incelenen CMOS otonom olmayan kaotik osilatör devresi için bulunan (2.12a-2.12c) durum denklemleri Şekil 4.4'te verilen otonom olmayan kaotik osilatör devre için de aynen geçerlidir. Bu sebeple  $R$ ,  $R_p$ ,  $L$ ,  $C$ ,  $C_p$ ,  $I_0$  ve transistör boyutları hesaplanırken  $c_0=2$ ,  $\alpha=3$ ,  $\beta=8$ ,  $w=0.33$ ,  $K=15$ ,  $\varepsilon=0.1$  parametre seti, (2.12a)- (2.12c) ve (3.1) - (3.6) denklem setleri kullanılmıştır.

#### 4.4 Otonom Olmayan Kaotik Tümdevrenin Tasarlanması

Devrenin benzetimlerinde MOSIS (T3AF AMISC5) BSIM3 0.5  $\mu$  model parametreleri kullanılmıştır.

Hesapladığımız değerler ile devreyi simülasyon programında yerleştirip gerekli düzeltmeler yapıldığında Tablo 4.2'deki sonuçlar elde edilir.

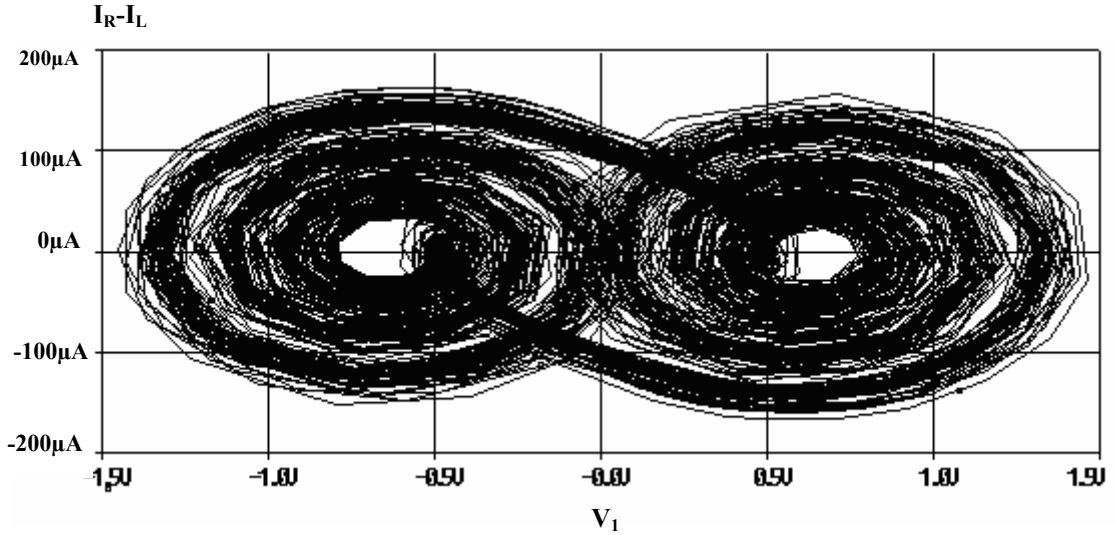
**Tablo 4.2:** Otonom Olmayan Devrenin Eleman Değerleri ve Transistör Boyutları

C (fF)	100	$(W/L)_{Mo1,Mo2}$	26 $\mu$ m/1 $\mu$ m
$C_p$ (fF)	10	$(W/L)_{MFG4,MFG6}$	52 $\mu$ m/0.5 $\mu$ m
L (nH)	15	$I_0(\mu$ A)	350
R (Ohm)	355	$V_b$ (V)	-0.5
$R_p$ (Ohm)	20	$V_{dd}$ (V)	2.5
$(W/L)_{M1,M2}$	26 $\mu$ m/0.5 $\mu$ m	$V_{ss}$ (V)	-2.5
$f_0$	7 MHz	$(W/L)_{MFG3,MFG5}$	26 $\mu$ m/0.5 $\mu$ m

$V_p(t)$  periyodik darbe kaynağının genliği 700mV, frekansı 5.55 MHz olarak alınmıştır.

Yüzen geçit transistörle oluşturulan akım aynasını gerçeklerken bölüm 3.3'te anlatılan, parazitik  $C_{FGD}$  kapasitesinin sebep olduğu geri besleme nedeniyle, akım aynasının giriş ve çıkış akımları arasındaki fark sebebiyle 2 kat kazanç sağlayan bir blok yapı yeterli olmuştur.

Devrenin benzetimlerinde MOSIS (T3AF AMISC5) BSIM3 0.5 $\mu$  model parametreleri kullanılmıştır. Benzetim sonucu elde edilen kaotik çekici analizi Şekil 4.5'te görülmektedir. Şekil 4.5'ten de görüleceği üzere, Tablo 4.2'de verilen değerler ile tasarlanan devre kaotik davranış göstermektedir. Ayrıca sayısal analiz sonucu elde edilen Şekil 2.13 ve benzetim sonucu elde edilen Şekil 4.5 karşılaştırılacak olursa benzer yapıya sahip oldukları görülmektedir.



Şekil 4.5 :  $(I_R-I_L)$  &  $V_1$  İçin Benzetimle Elde Edilen Kaotik Çekici

## 5. SONUÇLAR

Bu çalışmada tümdevre yapısı üzerinde gerçekleştirilecek pasif eleman değerlerine sahip yüksek hızlı otonom ve otonom olmayan iki kaotik osilatör tasarlanmıştır.

Tasarlanan her iki devreye ait benzetimlerde MOSIS (T3AF AMISC5) BSIM3 0.5 $\mu$  BSIM3 model parametre seti, sayısal analizlerde dördüncü mertebe Runge-Kutta yöntemi kullanılmıştır.

CMOS teknolojisi ile tasarlanan ikinci bölümdeki osilatörlerin her ikisinin de, tümdevre üzerinde gerçekleştirilemeyecek kadar büyük endüktans değerlerine sahip oldukları görülmüştür. Ayrıca otonom CMOS osilatör devresi 11 MHz frekansında, otonom olmayan CMOS osilatör devresi 2,5 MHz frekansında çalışmaktadırlar. Buna karşılık bu çalışmada sunulan yüzen geçit transistörlü kaotik osilatör devreleri 15nH endüktans değerleri ile tasarlanabilmiştir. Devrelerin çalışma frekansları incelendiğinde otonom devrenin 70 MHz frekansında, otonom olmayan devrenin 7 MHz frekansında çalıştıkları görülmektedir.

Devrelerde yüzen geçit transistörler kullanılarak iki önemli fayda sağlanmıştır. Öncelikle, devrelerde kullanılan endüktansların boyutları küçültülerek tümdevre yapısı üzerinde gerçekleştirilecek değerlere inilmesi sağlanmıştır. Ayrıca pasif eleman değerlerinin küçülmesi nedeniyle osilatörlerin çalışma frekansları artırılmıştır.

Yüzen geçit transistörlerin geçitlerindeki yüksek parazitik kapasiteler nedeniyle, her iki devreye ait pasif eleman değerleri daha fazla küçültülememekte ve bunun sonucu olarak daha yüksek frekanslarda çalışma sağlanamamaktadır.

Bu çalışmada elde edilen kaotik osilatör devre yapıları yüksek hızlı tümdevre uygulamaları için uygundur. Uygun sayısal devrelerle bir arada kullanıldığında, özellikle rastgele sayı üreticilerinde çekirdek devre olarak kullanılabilirler.

## KAYNAKLAR

- [1] **Bratly, P., Fox, B. L. and Floberg, H.**, 1987. A Guide to Simulation, *Springer-Verlag*, New York.
- [2] **Rasband S. N.**, 1990. Chaotic Dynamics of Nonlinear Systems, A *Wiley-Interscience Publication*, UTAH.
- [3] **Delgado-Restituto, M. and Rodriguez-Vazquez, A.**, 2002. Integrated Chaos Generators, *Proceedings of the IEEE*, 90, 747-767.
- [4] **Ott E.**, 1993. Chaos is Dynamical Systems, Cambridge University Press, USA.
- [5] **Pecora, L. M. and Carroll, T. L.**, 1990. Synchronization in Chaotic Systems, *Physical Review Letters*, **64**, 821-824.
- [6] **Cuomo, K. M. and Oppenheim, A. V.**, 1993. Circuit Implementation of Synchronized Chaos with Applications to Communications, *Physical Review*, **71**, 65-68.
- [7] **Abel, A. and Schwarz, W.**, 2002. Chaos Communications- Principles, *Schemes, and System Analysis*, *Proceedings of the IEEE*, **90 (5)**, 691-710.
- [8] **Johansson, A. J. and Floberg, H.**, 1999, Random Number Generation by Chaotic Double Scroll Oscillator on Chip, *IEEE International Symposium on Circuits and Systems*, June 1999, 407-409.
- [9] **Baptista, M.S.**, 1998. Cryptography with Chaos, *Physics Letters A*, **240**, 50-54.
- [10] **Chua, L.O. and Lin G. N.**, 1990. Canonical Realization of Chua's Circuit Family, *IEEE Transactions on Circuits and Systems*, **40**, 885-902.
- [11] **Özoğuz, S., Elwakil, A.S. and Ergün, S.**, 2006, Cross Coupled Chaotic Oscillators and Application to Random Bit Generation, *IEEE Proc. Circuits, Devices & Systems*, **153,5**, pp. 506-510.
- [12] **Ramirez-Angulo, J., Gonzalez-Altamirano, G. and Choi, S. C.**, 1997. Modelling Multiple Input Floating Gate Transistors for Analog Signal Processing, *IEEE International Symposium on Circuits and Systems*, Hong Kong, June 9-12.

- [13] **Ramirez-Angulo, J., and Lopez, J.**, 2001. MITE Circuits : The Continuous Time Counterpart to Switched-Capacitor Circuits., *IEEE Transactions on Circuits and Systems-II:Analog and Digital Signal Processing*, **48** (1), 45-54.
- [14] **Rodriguez-Villegas, E., Jimenez, M. and Gonzalez-Carvajal, R.**, 2005. Reliable techniques for the design of floating gate transistors based circuits, *Conference on Design of Circuits and Integrated Systems*, Lisboa, November 1-6.

## EK A

### \*LC OTONOM OLMAYAN KAOTİK OSİLATÖR BENZETİM KODU

.PARAM L=15n, I0={350u}

C1 L1 R1 {100f}

LL L2 L1 {L}

LR R2 R1 {L}

CpL vdd L2 {10f}

CpR vdd R2 {10f}

RL 0 L2 355

RR 0 R2 355

Rp1 p1 L2 20

Rp2 p2 R2 20

### \* Periyodik Kare Dalga

vp p1 0 pulse(500e-3 -500e-3 100f 100f 100f 2n 4n)

evp2 p2 0 p1 0 -1

### \* Lineer Olmayan Blok

Mdid1 L2x L1 sr1 sr1 NMOS W=26u L=.5u

Mdif2 R2x R1 sr1 sr1 NMOS W=26u L=.5u

### \* Yüzen Geçit Transistör Akım Aynası

xd3 L2x L2x 8 vdd vdd fgPMOS

xd61 L2 L2x 8 vdd vdd fgPMOS

xd62 L2 L2x 8 vdd vdd fgPMOS

xd4 R2x R2x 8 vdd vdd fgPMOS

xd51 R2 R2x 8 vdd vdd fgPMOS

xd52 R2 R2x 8 vdd vdd fgPMOS

Is1 vdd sr2 dc {I0}

Mo1 sr1 sr2 vss vss NMOS W={26u} L=1u

Mo21 sr2 sr2 vss vss NMOS W={26u} L=1u

### \* Yüzen Geçit MOS Altdevresi

\* .subckt fgpmos drain gate1 gate2 source bulk

.subckt fgpmos 3 1 2 4 5

m01 3 7 4 5 PMOS W={26u} L=.5u

cg1 1 7 500f

r1 1 7 1e13

cg2 2 7 500f

r2 2 7 1e13

cg3 4 7 21.5f

```
r3 4 7 23.25e13  
cg4 3 7 6f  
r4 3 7 88.65e13  
.ends
```

```
vb 8 0 -.5  
v+ vdd 0 dc 2.5  
v- vss 0 dc -2.5
```

```
.tran .1u 10u 1u  
.probe  
.ic v(L1)=0.2 v(R1)=.1  
.op  
.END
```



## EK B

### \* OTONOM LC KAOTİK OSİLATÖR BENZETİM KODU

.PARAM C=200f, L=15n, R0=248, P1=65u, Pw=26u, IB={160u}, IO={350u}

#### \*IB Akımı için Kullanılan Alt Devre

IB vdd vb2 dc {IB}

MB1 vb2 vb2 vss vss NMOS W={P1/4} L=.5u

MB21 R2 vb2 vss vss NMOS W={P1/4} L=.5u

MB22 L2 vb2 vss vss NMOS W={P1/4} L=.5u

#### \*IO akımı için kullanılan alt devre

Is1 vdd sr2 dc {IO}

Mo1 sr1 sr2 vss vss NMOS W={Pw/2} L=.5u

Mo21 sr2 sr2 vss vss NMOS W={Pw/2} L=.5u

#### \*pasif elemanlar

CL1 L1 0 {C}

CR1 R1 0 {C}

LL L2 L1 {L}

LR R2 R1 {L}

R2 R2 L2 {R0}

C2 R2 L2 {210f}

#### \* Yüzen Geçit Transistör Akım Aynası

\* .subckt fgpmos drain gate1 gate2 source bulk

.subckt fgPmos 3 1 2 4 5

m01 3 7 4 5 PMOS W={Pw} L=.5u

cg1 1 7 500f

r1 1 7 1e13

cg2 2 7 500f

r2 2 7 1e13

cg3 4 7 21.5f

r3 4 7 23.25e13

cg4 3 7 5.64f

r4 3 7 88.65e13

.ends

Mm1 R1 L1 vss vss NMOS W={P1} L=.5u

Mm2 L1 R1 vss vss NMOS W={P1} L=.5u

Md1 R2x L1 sr1 sr1 NMOS W={Pw} L=.5u

Md2 L2x R1 sr1 sr1 NMOS W={Pw} L=.5u

\* Yüzen Geçit Transistör Akım Aynası

```
xd3 L2x L2x 8 vdd vdd fgPMOS
xd4 R2x R2x 8 vdd vdd fgPMOS
xd51 R2 L2x 8 vdd vdd fgPMOS
xd52 R2 L2x 8 vdd vdd fgPMOS
xd61 L2 R2x 8 vdd vdd fgPMOS
xd62 L2 R2x 8 vdd vdd fgPMOS
```

```
v+ vdd 0 dc 2.5
v- vss 0 dc -2.5
vb 8 0 -1.45
.tran 1u 2u
.probe
.ic v(L1)=0.2 v(R1)=.1
.op
.END
```

## **ÖZGEÇMİŞ**

Cafer TOGUR, 21 Mart 1977 İstanbul doğumludur. İlk, orta ve lise eğitimini İstanbul’ da tamamlamıştır. 1995 yılında başladığı Deniz Harp Okulu Elektrik – Elektronik Mühendisliği Bölümü öğrenimini 1999 yılında tamamlamıştır. Deniz Kuvvetleri Komutanlığında değişik görevlerde bulunduktan sonra 2004 yılında İstanbul Teknik Üniversitesi Elektronik ve Haberleşme Mühendisliği Ana Bilim Dalı Elektronik Mühendisliği programında yüksek lisans eğitimine başlamıştır.