

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

LOGARİTMİK TABANLI SÜZGEÇ TASARIMI

YÜKSEK LİSANS TEZİ

Müh. İsmail UĞUR

Anabilim Dalı: ELEKTRONİK MÜHENDİSLİĞİ

Programı: ELEKTRONİK MÜHENDİSLİĞİ

Tez Danışmanı: Prof. Dr. Ali TOKER

ARALIK 2006

LOGARİTMİK TABANLI SÜZGEÇ TASARIMI

**YÜKSEK LİSANS TEZİ
Müh. İsmail UĞUR
504021228**

**Tezin Enstitüye Verildiği Tarih : 25 Aralık 2006
Tezin Savunulduğu Tarih : 23 Ocak 2007**

**Tez Danışmanı : Prof. Dr. Ali TOKER
Diğer Jüri Üyeleri: Prof.Dr. Sadri ÖZCAN
Doç Dr. Özcan KALENDERLİ**

ARALIK 2006

ÖNSÖZ

Bu tez çalışmam süresince teknik anlamda ve etkili bir çalışmanın nasıl yapılacağı konusunda verdiği fikirlerle yardımlarını esirgemeyen hocam Prof. Dr. Ali Toker'e, katkılarından dolayı jüri üyelerim Prof. Dr. Sadri Özcan ve Doç. Dr. Özcan Kalenderli'ye ve benden desteğini esirgemeyen herkese teşekkürlerimi sunarım.

Aralık 2006

İsmail UĞUR

İÇİNDEKİLER

TABLO LİSTESİ	iv
ŞEKİL LİSTESİ	v
ÖZET	vii
SUMMARY	viii
1. LOGARİTMİK TABANLI SÜZGEÇ TASARIMI	1
1.1. Tarihsel Gelişimi	1
1.2. Sunduğu Olanaklar	3
1.3. Logaritmik Tabanlı Sistemlerin Lineerleştirilmesi	4
1.4. Lineer Sistemlerin Logaritmik Tabanlı Olarak Gerçeklenmesi	5
1.5. Sentez Teknikleri	6
2. LOGARİTMİK TABANLI İNTEGRATÖR TASARIMI	7
2.1. Translineer İlkesi	7
2.2. İntegratör Tasarımı	9
3. LC İŞLEMSEL SİMÜLASYON YÖNTEMİ	18
3.1. LC İşlemsel Simülasyonu Yöntemi	18
3.2. Logaritmik Tabanlı İşlemsel Simülasyon	20
4. DURUM DENKLEMLERİYLE YÖNTEMİ	25
4.1 Giriş	25
4.2. Durum Denklemleriyle Tasarım	25
4.3. Örnek Uygulama	30
4.4. Sonuç	31
5. SABİT DİSK OKUMA KANALI İÇİN SÜZGEÇ TASARIMI	32
5.1. İntegratör Tasarımı	34
5.2. İkinci Dereceden Süzgeçlerin Tasarımı	39
5.3. Giriş-Çıkış Kartları	41
5.4. Simülasyon Sonuçları	44
6. SONUÇ VE ÖNERİLER	51
KAYNAKLAR	53
ÖZGEÇMİŞ	55

TABLO LİSTESİ

	<u>Sayfa No</u>
Tablo 4.1 Üçüncü Dereceden Eliptik Süzgeç için Normalize Değerler.....	25
Tablo 5.1 Birinci ve İkinci Derece Süzgeçlerin f_c ve Q değerleri.....	39
Tablo 5.2 İstenen f_c ve Q değerlerini Veren Kapasite Değerleri.....	39

ŞEKİL LİSTESİ

Sayfa No

Şekil 1.1	: Adams'ın Önerdiği Logaritmik Tabanlı İlk Süzgeç.....	1
Şekil 1.2	: Birinci Dereceden Pasif RC Süzgeç.....	1
Şekil 1.3	: Giriş Log ve Çıkış Anti-log Bloğu.....	2
Şekil 1.4	: Genel Logaritmik Devre Yapısı.....	4
Şekil 1.5	: Lineerleştirme İşlemi.....	4
Şekil 1.6	: Örnek Lineer Sistem.....	5
Şekil 1.7	: Lineerleştirme İşlemi.....	5
Şekil 1.8	: Lineerleştirilmiş Logaritmik Tabanlı Sistem.....	6
Şekil 2.1	: Translineer Çevrimi.....	8
Şekil 2.2	: Genel Logaritmik Tabanlı İntegratör Yapısı.....	10
Şekil 2.3	: Pozitif logaritmik Hücre ve Sembolik Gösterimi.....	10
Şekil 2.4	: Negatif Logaritmik Hücre ve Sembolik Gösterimi.....	11
Şekil 2.5	: Logaritmik Tabanlı İntegratör.....	12
Şekil 2.6	: Logaritmik Tabanlı İntegratörün Grafikselsel Gösterimi.....	13
Şekil 2.7	: Sönümlü İntegratör.....	14
Şekil 2.8	: Sönümlü İntegratörün Devre Karşılığı.....	14
Şekil 2.9	: Lineerleştirme İşlemi.....	14
Şekil2.10a	: Giriş Log Bloğu.....	15
Şekil2.10b	: Çıkış Anti-Log Bloğu.....	15
Şekil 2.11	: Lineerleştirilmiş İntegratör.....	16
Şekil 2.12	: Sadeleştirilmiş Lineer Logaritmik İntegratör.....	17
Şekil 3.1	: Üçüncü Dereceden LC Basamak Devresi.....	18
Şekil 3.2	: LC Devresinin İşaret Akış Diyagramı.....	19
Şekil 3.3	: Logaritmik LC simülasyon.....	20
Şekil 3.4	: İkinci Dereceden Pasif LC.....	20
Şekil 3.5	: Pasif LC'ye ait İşaret Akış Diyagramı.....	21
Şekil 3.6	: Lineerleştirilmiş logaritmik İşaret Akış Diyagramı.....	21
Şekil 3.7a	: Birinci İntegratör Bloğu.....	22
Şekil 3.7b	: İşaret Akış Diyagramını Gerçekleyen Devre.....	22
Şekil 3.8a	: İkinci İntegratöre ait Kısmi İşaret Akış Diyagramı.....	23
Şekil 3.8b	: İkinci İntegratör Bloğunu Gerçekleyen Devre.....	23
Şekil 3.9	: İkinci Dereceden Logaritmik Tabanlı Süzgeç.....	24
Şekil 4.1	: Logaritmik İntegratör ve Sembolik Gösterimi	26
Şekil 4.2	: (4.3) Bağntısına ait İşaret Akış diyagramı	27
Şekil 4.3	: Birinci Dereceden Durum Denk. İntegratörlerle Gerçeklenmesi	27
Şekil 4.4a	: Süzgecin Çıkış Bağntısının Grafikselsel olarak Gerçeklenmesi.....	28
Şekil 4.4b	: Çıkış Bağntısını Logaritmik Olarak Gerçeklenmesi.....	29
Şekil 4.5	: Çıkış Devresinin İntegratörlerle Gerçeklenmesi.....	29
Şekil 4.6	: LC Basamak Devresi.....	30

Şekil 4.7	: Üçüncü Dereceden Eliptik Logaritmik Tabanlı Süzgeç [2].....	31
Şekil 5.1	: Sabit disk Okuma Kanalı.....	32
Şekil 5.2	: Yedinci Derece Kaskad Süzgeç Topolojisi.....	34
Şekil 5.3	: Tek Çıkışlı Genel Logaritmik Tabanlı İntegratör Yapısı.....	35
Şekil 5.4	: (5.9) Bağıntısının Şematik Gösterimi.....	36
Şekil 5.5	: Logaritmik E+ Devresi.....	36
Şekil 5.6	: Fark Alıcı İntegratör Yapısı.....	37
Şekil 5.7	: Bağlantı Devresi.....	38
Şekil 5.8	: Fark alıcı İntegratör Devresi.....	38
Şekil 5.9	: Girişleri Çoğullanmış İntegratör.....	39
Şekil 5.10	: Logaritmik İntegratör Sembolü.....	39
Şekil 5.11	: İki integratörlü İkinci dereceden Süzgeç Topolojisi.....	39
Şekil 5.12	: İkinci dereceden Logaritmik Süzgeç.....	40
Şekil 5.13	: Yedinci Dereceden Kaskad Süzgeç.....	40
Şekil 5.14	: Asimetrik sıfırlar eklenmiş Yedinci Dereceden Süzgeç.....	41
Şekil 5.15	: AB sınıfı Fark alıcı Giriş Bloğu.....	41
Şekil 5.16	: Çıkış Katı.....	42
Şekil 5.17	: Kesim Frekansı Kontrolü (15 MHz-75 MHz).....	45
Şekil 5.18	: Süzgecin Grup Gecikme Eğrileri	46
Şekil 5.19	: Kesim Frekansı Etrafında 13dB'ye kadar Yükseltme İşlemi.....	47
Şekil 5.20	: Giriş-Çıkış Kazanç Kontrolü (± 10 dB).....	48
Şekil 5.21	: Giriş İşareti Genliğine Bağlı THD Sonuçları.....	48
Şekil 5.22	: Giriş İşaretinin Frekansıyla THD Değerinin Değişimi.....	49

LOGARİTMİK TABANLI SÜZGEÇ TASARIMI

ÖZET

Uygulamada herhangi bir sistem için giriş-çıkış lineerliği sürekli istenen bir durumdur. Ancak bu durum lineer bir sistem elde etmek için, sistemi oluşturan yapı bloklarının da lineer olması gerektiği anlamına gelmez. Logaritmik tabanlı tasarım lineer olmayan yapı bloklarından lineer sistem gerçeklemeye iyi bir örnektir.

Logaritmik tabanlı süzgeç tasarımı, düşük gerilim gerektiren ortamlarda çalışabilen lineer süzgeç gerçeklemek için yeni olanaklar sunmaktadır. Bu avantaj giriş sinyalinin logaritmik olarak sıkıştırılmasından sağlanır. Sıkıştırılmış gerilim lineer olmayan devre blokları tarafından işlenir ve çıkış bloğu tarafından sinyal girişteki dinamik aralığı koruyacak şekilde tekrar üstel olarak genişletilir. Bu yöntem klasik analog işaret işleyen yapılardan daha iyi bir dinamik aralık sağlayabilir, özellikle düşük gerilimli düşük güç uygulamaları için uygundur. Sıkıştırmanın getirdiği diğer bir avantaj ise, logaritmik tabanlı süzgeç içerisindeki gerilim seviyeleri küçük ve sinyal yolunun empedansı düşüktür. Bu sebeple bu sinyal yolu üzerindeki kondansatörlerin dolması ve boşalması hızlı olacaktır. Bu özellik logaritmik tabanlı süzgeçleri yüksek hız uygulamaları için cazip hale getirir. Deneysel sonuçlar bu öngörüğü doğrulamaktadır. Ayrıca bu süzgeçlerin kesim frekanslarını, kazançlarını, faz cevaplarını kutuplama akımlarıyla kontrol etmek mümkündür.

Logaritmik tabanlı süzgeçler bipolar jonksiyon tranzistörlerin üstel i-v ilişkisini kullanır. Bir diğer yöntem ise MOS tranzistörlerin düşük evirtim bölgesindeki üstel i-v ilişkisini kullanmaktır. Fakat zayıf evirtimde çalışan MOS tranzistörler düşük bant genişliği sebebiyle süzgeç performansı oldukça sınırlı olacaktır.

LOG DOMAIN FILTER DESIGN

SUMMARY

For any practical system, an input to output linearity is always desired. However, it doesn't mean that linear building blocks must be used to achieve a linear system. Log domain design is a good example of achieving linear systems from non-linear building blocks.

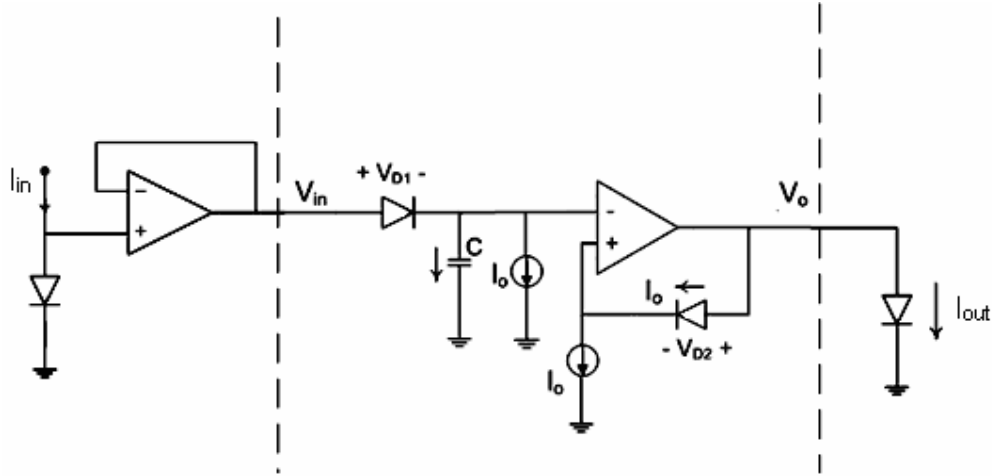
Log-domain filtering is a very promising technique for realizing linear analog filters with capability for operating at low voltage environment. This capability is originated from their companding nature. The voltage is processed by the non-linear circuit blocks, then exponentially expanding it at the output to restore its full dynamic range. This technique can result higher dynamic range compared to conventional analog signal processors, especially suitable for low-power applications. The other advantage of companding is voltage swing inside log-domain filter is small and impedance level along the signal path is typically low. Thus, charging and discharging of capacitors in these signal paths will be fast. This feature makes log-domain filtering attractive for high-speed applications. Experimental results are agreed with this argument. Also gain, cut-off frequency and phase response of log-domain filters can be tuned by dc biasing currents.

Log-domain filters use exponential i-v relationship of a bipolar junction transistor (BJT). Another way for implementing log-domain filters is by using exponential i-v relationship of MOS transistors in weak inversion region. Due to limited bandwidth of the MOS transistor operated in this region, performance of derived filter will be quite limited.

1. LOGARİTMİK TABANLI SÜZGEÇ TASARIMI

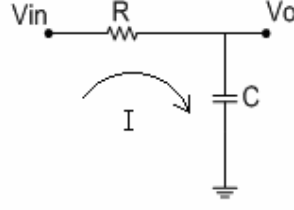
1.1 Tarihsel Gelişimi

Logaritmik tabanlı ilk süzgeç 1979'da Adams tarafından geliştirilmiştir [1]. Adams klasik süzgeçlerde kullanılan direnç-kondansatör ikilisi yerine diyot-kondansatör kullanılarak süzgeç gerçekleştirilebileceğini göstermiştir. Bu yaklaşım lineer olmayan bir elemandan (diyot) oluşan ve lineer olmayan bir süzgecin, logaritmik ve anti-logaritmik çevrim yapan blokların arasına yerleştirildiğinde lineer bir süzgeç tasarlanabildiğini gösterdiği gibi aynı zamanda da süzgecin kesim frekansının kutuplama akımı ile birkaç dekat aralığında kontrol edilebileceğini göstermiştir. Şekil 1.1'de bu süzgece ait devre görülmektedir.



Şekil 1.1: Adams'ın Önerdiği Logaritmik Tabanlı İlk Süzgeç [1]

Bu devrenin çalışma prensibini birinci dereceden pasif bir RC süzgeç ile karşılaştırmalar yaparak açıklayabiliriz. Lineer bir alçak geçiren süzgecin gerilim bağıntısı (1.1)'deki diferansiyel denklem ile ifade edilir.



Şekil 1.2: Birinci Dereceden Pasif RC Süzgeç

$$V_o + RC.V_o' = V_{in}, I = C \frac{dV_o}{dt} = CV_o' \quad (1.1)$$

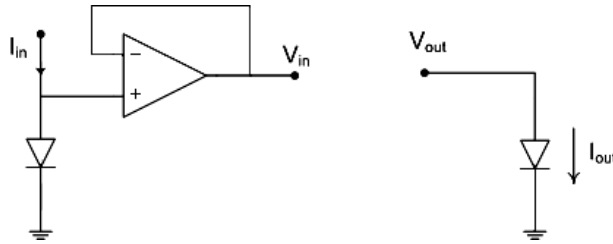
Adams bu lineer devreyi logaritmik olarak gerçeklemek için direnç yerine belli bir I_0 akımıyla kutuplanmış diyot önermiştir. Şekil 1.1'de görülen devrede diyot ve kutuplama akımı dışındaki elemanlar gerilim seviyelerini ötelemek ve tamponlama amaçlı kullanılmaktadır. Şekil 1.1'deki devre aşağıdaki bağıntıyı gerçekleştirir.

$$I_s.e^{\frac{V_2}{V_T}} + \frac{V_T.C}{I_0} \cdot \frac{d}{dt} \left(I_s.e^{\frac{V_2}{V_T}} \right) = I_s.e^{\frac{V_1}{V_T}} \quad (1.2)$$

(1.2) bağıntısı incelendiğinde aslında birinci dereceden logaritmik tabanlı bir süzgeç olduğu görülebilir. $I_s.e^{\frac{V_1}{V_T}}$ ve $I_s.e^{\frac{V_2}{V_T}}$ terimleri giriş ve çıkış akımları olarak düşünüldüğünde, (1.2)'deki bağıntı (1.3)'deki şekli alır.

$$I_{OUT} + \frac{V_T.C}{I_0} \cdot I'_{OUT} = I_{in} \quad (1.3)$$

Bu bağıntıyla (1.1) karşılaştırıldığında, (1.3)'ünde birinci dereceden alçak geçiren bir süzgeç denklemi olduğu anlaşılır. Giriş ve çıkış akımlarını gerçeklemek için (1.3)'deki log ve anti-log çevirici olarak aşağıdaki devre blokları kullanıldığında giriş ve çıkış akımları arasında lineer bir bağıntı elde edilir.



Şekil 1.3: Giriş Log ve Çıkış Anti-log Bloğu

Burada R elemanının yerini V_T/I_0 almıştır ki, bu süzgecin R'ye bağımlı olan kesim frekansının kutuplama akımıyla kontrol edilebileceği anlamına gelmektedir. Lineer süzgeçteki kesim frekansı,

$$f_{kesim} = \frac{1}{2\pi.R.C} \quad (1.4)$$

iken, logaritmik tabanlı süzgeçte ise,

$$f_{kesim} = \frac{1}{2\pi} \left(\frac{I_0}{V_T C} \right) \quad (1.5)$$

olur. Buradan kutuplama akımının kesim frekansı ile doğru orantılı olduğu görülür. Adams tarafından önerilen bu yöntemin işaret ettiği önemli çıkarımlar şöyle sıralanabilir.

- Lineer olmayan bir elemanın (diyot), lineer olmayan bağıntısı kullanılarak lineer bir sistem gerçekleştirilebilir. Lineerleştirme lineer olmayan devrenin log ve anti-log çeviriciler arasına yerleştirilmesiyle sağlanır.
- Süzgeç kesim frekansı kutuplama akımı ile birkaç dekat aralığında kontrol edilebilir.
- (1.5)'deki bağıntıda da görüldüğü üzere süzgeç kesim frekansı sıcaklığa bağımlıdır. Bu değişim negatif sıcaklık katsayılı bir akım kaynağı ile kompanze edilebilir.
- Diyot yerine logaritmik karakteristiği daha iyi olan diyot bağlanmış bir transistör kullanılabilir.
- Anti-log bloğun kutuplama akımı değiştirilerek süzgecin genlik kontrolü yapılabilir.
- Bu sentez tekniğinin en önemli eksiği yüksek dereceli süzgeçlere tam olarak hatasız uygulanamamasıdır [2].

Adams'ın 1979'daki çalışmasının getirdiği yenilikler uzunca bir aradan sonra değerlendirilerek yeni çalışmalara temel teşkil etmiştir. 1990'da Seevink ilk translineer çevrimlerden oluşan logaritmik tabanlı integratörü geliştirmiştir [3]. Daha sonra Frey 1993'de durum denklemleri ile logaritmik tabanlı tasarımı, sonrasında ise genel bir yöntem önermiştir. Bu yöntem daha genel ismiyle ESS olarak bilinir (Exponential State Space Synthesis, 1996) [4, 5]. Sonrasında Perry ve Roberts pasif

LC merdiven süzgeçlerinin simülasyonu yaparak yüksek dereceli logaritmik tabanlı süzgeçler tasarlamıştır [6]. Ayrıca Yang lineer süzgeçlerdeki elemanların yerine log domain eşdeğerlerini koyarak logaritmik tabanlı süzgeç tasarımı geliştirmiştir [7]. 1997'de Drakakis, Bernuolli hücresi ile tasarımı [8] ve 1998'de Wu ve El-Masry sinyal akış diyagramı yöntemini önermiştir [9].

1.2 Logaritmik Tabanlı Tasarımın Sunduğu Olanaklar

Logaritmik tabanlı devreler doğrudan BJT tranzistörlerin (zayıf evirtim bölgesinde çalışan MOS tranzistörlerde kullanılabilir) üstel olan gerilim-akım ilişkisini kullanırlar. Devrenin giriş çıkış sinyalleri BJT tranzistörlerin kollektör akımlarıdır. Devre içindeki düğümlerdeki gerilim seviyeleri giriş akımının BJT tarafından bazında küçük gerilimlere dönüştürülmesinden dolayı oldukça düşüktür. Bu özellik devrenin düşük besleme gerilimlerinde çalışmasına olanak sağlar. Ayrıca düşük gerilim seviyeleri, sinyal yolundaki empedansın düşük olmasına ve böylece devre içindeki kondansatörlerin daha hızlı dolup boşalmasını sağlar ki bu da yüksek hızlarda çalışmaya olanak tanımaktadır. Devrenin giriş sinyalini sıkıştırılmış olarak işlemesi devrenin çalıştığı dinamik aralığı önemli ölçüde iyileştirir. Geleneksel sistemlerde dinamik aralığı iyileştirmek için, distorsiyon seviyesini yükseltmek için besleme gerilimi artırmak ve gürültü eşiğini düşürmek içinde daha büyük kapasiteler kullanmak gerekir. Bu yöntem hem güç tüketiminin artması hem kullanılan silikon alanının artması gibi dezavantajlar getirir. Bundan dolayı logaritmik tabanlı sistemlerdeki sıkıştırma tekniği, besleme gerilimini yükseltmeye, kapasiteleri büyütmeğe gerek duymadan, dinamik aralığı iyileştiren iyi bir alternatiftir.

Logaritmik tabanlı sistemler ayrıca "ELIN (externally linear, internally nonlinear)" devre tasarımının bir alt grubudur. Çünkü logaritmik tabanlı devrelerin giriş-çıkış transfer fonksiyonu lineer olmakla birlikte devrenin iç düğümleri arasında lineer olmayan bağıntılar vardır. Dolayısıyla ELIN sunduğu olanaklar logaritmik tabanlı sistemler içinde geçerlidir. ELIN tasarımının bazı avantajları şöyle sıralanabilir:

- 1) Lineer olmayan modelleri doğrudan kullanabilmek.
- 2) Elemanların toleranslarından kaynaklanan etkilerini, sıcaklık bağımlılıklarını vs. iyileştirmek

- 3) Sinyalleri sıkıştırarak güç tüketiminde, besleme geriliminde, dinamik çalışma aralığında iyileştirmeler sağlamak,
- 4) Akım ya da gerilim ile kontrol edilebilirliği yüksek devreler tasarlamaktır [10].

1.3 Logaritmik Tabanlı Sistemlerin Lineerleştirilmesi

Logaritmik tabanlı bir devrenin giriş çıkış uçları arasında lineer bir transfer fonksiyonu elde edebilmek için, devre giriş ve çıkış uçlarına birbirinin eşleniği olan log ve anti-log blokları eklenmesi gerekir. Şekil 1.4'de tipik bir logaritmik tabanlı sistem görülmektedir. Arada kalan blok lineer olmasına rağmen giriş ve çıkıştaki log ve anti-log bloklarından dolayı giriş çıkış düğümleri arasındaki bağıntı lineer değildir.



Şekil 1.4: Genel Logaritmik Devre Yapısı

Sistemi lineerleştirmek için Şekil 1.5'de görüldüğü gibi, girişteki anti-log bloğu önüne bir log bloğu ve çıkıştaki log bloğundan sonra ise anti-log bloğu yerleştirildiğinde giriş çıkış düğümleri arasındaki transfer fonksiyonu lineer olan $H(s)$ olacaktır. Çünkü devre içindeki log, anti-log blokları ile dışardan eklenen log ve anti-log blokları birbirinin eşleniğidir. Bundan dolayı sadeleştirme yapılabilir.



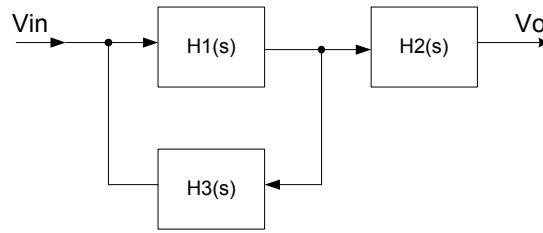
Şekil 1.5: Lineerleştirme İşlemi

Şekil 1.5'de görüldüğü gibi giriş ve çıkış blokları yerleştirildiğinde giriş çıkış transfer fonksiyonu $H(s)$ olur. Burada kullanılan log ve anti-log bloklarının tam olarak birbirinin eşleniği olması önemlidir. Aksi takdirde transfer fonksiyonunda istenmeyen bazı lineer olmayan terimler olacaktır.

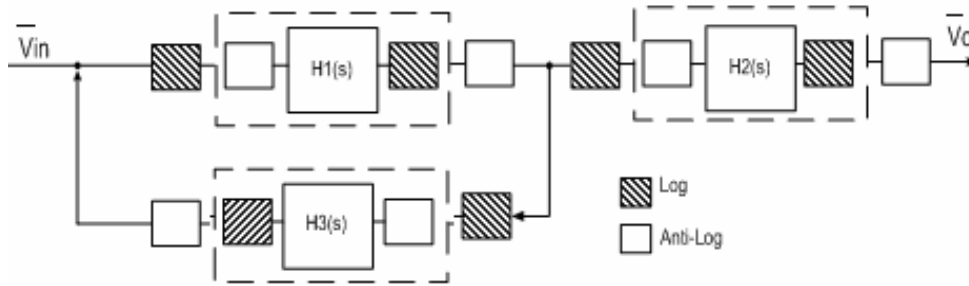
1.4 Lineer Sistemlerin Logaritmik Tabanlı Olarak Gerçeklenmesi

Herhangi bir lineer sistemi logaritmik tabanlı olarak gerçeklemek için, lineer bloklar yerine logaritmik tabanlı eşdeğerleri konur. Ortaya çıkan sistem lineer değildir. Lineerleştirmek için ise 1.4 bölümünde anlatılan yöntem kullanılır. Yani sistemdeki her bir logaritmik bloğun giriş ve çıkışına log ve anti-log blokları eklenir. Bu şekilde sistem lineer eşdeğeriyle aynı transfer fonksiyonunu verir hale getirilir.

Örnek olarak Şekil 1.6'daki sisteme lineerleştirme işlemini uygulayalım. Sistemi oluşturan lineer transfer fonksiyonları olan $H1(s)$, $H2(s)$ ve $H3(s)$ yerine lineer eşdeğerleri bulunduğu Şekil 1.7'deki logaritmik bloklardan oluşmuş lineer sistem elde edilir.

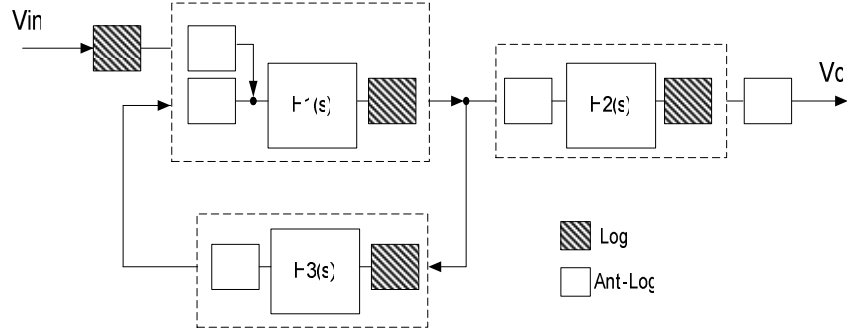


Şekil 1.6: Örnek Lineer Sistem



Şekil 1.7: Lineerleştirme İşlemi

Şekil 1.7'de görülen sistem lineerdir. Ancak şekil incelendiğinde birbirinin eşleniği olan log ve anti-log bloklarının birbirini takip ettiği durumlar görülmektedir. Bu da sadeleştirmeler yapılabileceğini gösterir. Şekil 1.8'de ilgili sadeleştirmeler yapılmış sistem görülmektedir.



Şekil 1.8: Lineerleştirilmiş Logaritmik Tabanlı Sistem

Şekil 1.8’de görüldüğü üzere sistemi lineerleştiren log ve anti-log bloklardan sadeleştirme sonrasında sadece giriş ve çıkış uçlarındaki bloklara ihtiyaç duyulmaktadır. Bu da göstermektedir ki logaritmik olarak gerçekleştirilmek istenen sistem ister tek bir yapı bloğundan (Şekil 1.4) ister birden çok bloktan (Şekil 1.6) oluşmuş olsun, sistem girişine bir log ve çıkışına bir anti-log bloğu yerleştirmek tüm sistemi lineerleştirmek için yeterlidir.

1.5 Sentez Teknikleri

Logaritmik tabanlı süzgeç tasarımı için işlemsel LC basamak devre simülasyonu, gm-C simülasyonu, durum denklemleri yöntemi ve Bernoulli hücresi yöntemi anlatılacaktır. Bu yöntemlerden ilk üçü integratör tabanlı tasarımıdır. Yani ilk önce logaritmik tabanlı integratör tasarlanır ve bu integratörler kullanılarak süzgeç tasarımı yapılır. Bernoulli hücresiyle tasarım ise temel yapı bloğu olarak integratör kullanmak yerine, bir BJT tranzistör ve onun emetöründen toprağa giden kapasitör çiftinden oluşur. Bu bloklar uygun şekilde kaskat bağlanarak süzgeç tasarımı yapılır.

2. LOGARİTMİK TABANLI İNTEGRATOR TASARIMI

Logaritmik tabanlı süzgeçlerin tasarımında kullanılan integratörler translineer prensibi ile tasarlanmaktadır. Bundan dolayı ilk önce translineer prensibi ve ardından bu yöntemle tasarlanan integratörler anlatılacaktır.

2.1. Translineer İlkesi

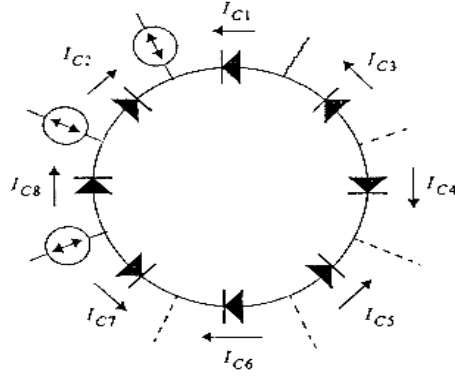
Translineer devreler bir BJT tranzistörün akım-geçiş iletkenliği bağıntısını kullanarak çok farklı matematiksel bağıntılar gerçekleyebilir. Bir BJT tranzistörün akım-gerilim ilişkisinden aşağıdaki bağıntılar elde edilir. (I_C tranzistör kollektör akımı, I_S doyma akımı, V_T ısıl gerilim, V_{BE} baz-emetör jonksiyon gerilimidir.)

$$I_C = I_S(T).e^{V_{BE}/V_T} \quad (2.1)$$

$$V_T = \frac{kT}{q} \quad (2.2)$$

$$V_{BE} = V_T \cdot \ln\left(\frac{I_C}{I_S(T)}\right) \quad (2.3)$$

Genel bir ifadeyle translineer prensibin kapalı bir çevrim oluşturan eşit sayıda ileri ve ters yönde kutuplanmış diyotların ya da BJT'lerin baz-emetör jonksiyonlarının oluşturduğu akımların arasındaki lineer bağıntıdır. Bu durumu Şekil 2.1'de verilen topoloji üzerinde açıklayalım.



Şekil 2.1: Translineer Çevrimi

Bir çevrim oluşturan p-n (Şekilde diyot olarak gösterilmiştir ancak BJT lerin bazemetör jonksiyonu olarak da düşünülebilir) jonksiyonlarının gerilim toplamını KVL'ye uygun olarak yazarsak,

$$\sum_{k=1}^{N_1} V_{F,2k} - \sum_{k=1}^{N_2} V_{F,2k-1} = 0 \quad (2.4)$$

(2.4)'deki bağıntı elde edilir. Bu bağıntıdaki ilk terim ileri yönde kutuplanmış diyotları ifade ederken ikinci terim ise ters yönde kutuplanmış diyotları ifade etmektedir ve bunların sayıları eşittir. Yani toplam eleman sayısı N ve $N_1 = N_2 = N/2$ 'dir.

(2.4) bağıntısındaki gerilimler BJT tranzistörlerin V_{BE} gerilimleri olarak düşünülüp, bu terimler yerine (2.1) bağıntısı kullanılarak ilgili tranzistörlerin kollektör akımları yazılırsa (2.5) bağıntısı elde edilir.

$$\sum_{k=1}^{N_1} V_{T,2k} \cdot \ln\left(\frac{I_{C,2k}}{I_{S,2k}}\right) - \sum_{k=1}^{N_2} V_{T,2k-1} \cdot \ln\left(\frac{I_{C,2k-1}}{I_{S,2k-1}}\right) = 0 \quad (2.5)$$

Tranzistörlerin aynı sıcaklıkta çalıştığı varsayılırsa V_T terimleri eşit olacaktır. Dolayısıyla sadeleştirilebilir.

$$\sum_{k=1}^{N_1} \ln\left(\frac{I_{C,2k}}{I_{S,2k}}\right) - \sum_{k=1}^{N_2} \ln\left(\frac{I_{C,2k-1}}{I_{S,2k-1}}\right) = 0 \quad (2.6)$$

(2.6) bağıntısı yeniden düzenlenirse,

$$\prod_{k=1}^{N_1} \left(\frac{I_{C,2k}}{I_{S,2k}} \right) \cdot \prod_{k=1}^{N_2} \left(\frac{I_{S,2k-1}}{I_{C,2k-1}} \right) = 1 \quad (2.7)$$

elde edilir.

Çevrimdeki ileri ve ters yönde kutuplanmış jonksiyonların sayısı eşit olduğundan doyma akımları sadeleştirilebilir. Bu aynı zamanda sıcaklık sonuç bağıntısını sıcaklıktan bağımsız yapacaktır. Bununla birlikte tranzistörlerin jonksiyon kesit alanlarındaki dengesizlik bir çarpan olarak ortaya çıkacaktır.

$$\prod_{k=1}^{N/2} \frac{I_{S,2k}}{I_{S,2k-1}} = \lambda \quad (2.8)$$

(2.8)'deki terim kesit alanları arasındaki farktan kaynaklanan terimi ifade etmektedir. (2.7) ve (2.8) birleştirilirse,

$$\prod_{k=1}^{N/2} I_{C,2k} = \lambda \cdot \prod_{k=1}^{N/2} I_{C,2k-1} \quad (2.9)$$

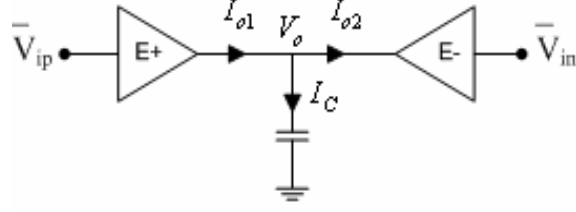
(2.9)'daki bağıntı elde edilir. Bu bağıntı B. Gilbert tarafından geliştirilen translineer ilkesinin temelini teşkil etmektedir. Şayet translineer çevrime V_S büyüklüğünde bir gerilim dahil edilirse (2.9) bağıntısı (2.10) bağıntısı halini alır.

$$\prod_{k=1}^{N/2} I_{C,2k} = \lambda \cdot e^{\frac{V_S}{V_T}} \cdot \prod_{k=1}^{N/2} I_{C,2k-1} \quad (2.10)$$

Sonuç olarak, baz-emetör jonksiyonları ile kapalı bir çevrim oluşturan tranzistörlerin kolektör akımları arasında (2.10)'daki lineer bağıntı elde edilebilir.

2.2 İntegratör Tasarımı

İntegratör tasarımı, logaritmik hücre diye adlandırabileceğimiz translineer çevrimden oluşan eşlenik iki bloğun çıkış akımlarının topraklanmış bir kapasite düğümüne bağlanmasıyla oluşur. İntegratör yapısı genel olarak Şekil 2.2'deki gibi gösterilebilir.

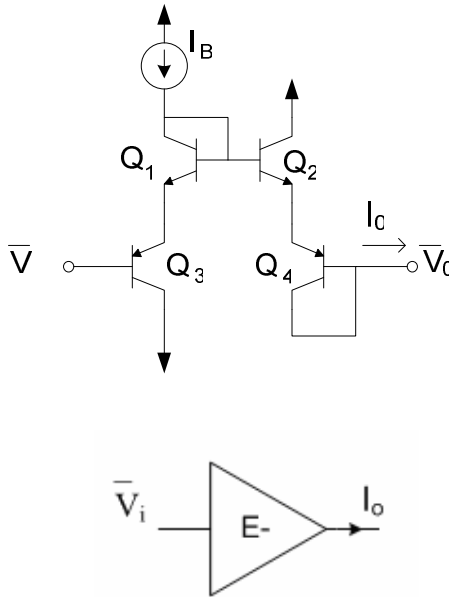


Şekil 2.2: Genel Logaritmik Tabanlı İntegratör Yapısı

E+ ve E- hücreleri çok farklı şekillerde tasarlanabilir. Gerçekleştiği bağıntının genel formu (2.11)'deki gibidir.

$$I_{out} = I_B \cdot e^{\frac{V_{BE}}{k \cdot V_T}} \quad (2.11)$$

E+ ve E- logaritmik hücrelerinin farkı girişine uygulanan aynı gerilim için aynı büyüklükte fakat zıt yönlü bir çıkış akımı vermesidir. Pozitif (E+) bir logaritmik hücreyi temsil eden (2.11) bağıntısını translineer bir çevrim içeren Şekil 2.3'deki devre gerçekleyebilir.



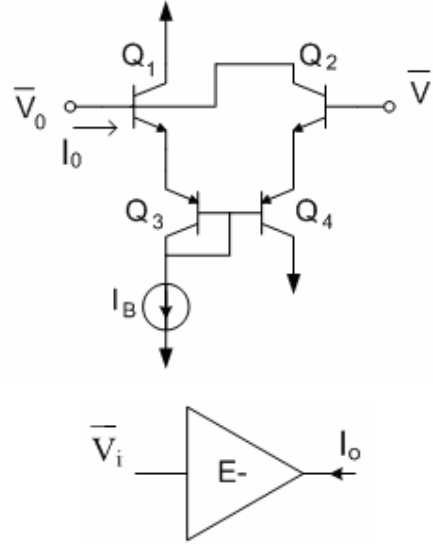
Şekil 2.3: Pozitif Logaritmik Hücre ve Sembolik Gösterimi

Devreyi Q₁, Q₂, Q₃ ve Q₄ transistörlerinden oluşan translineer çevrime KVL uygulayarak analiz edebiliriz. Q₁ ve Q₃ transistörlerinin kolektör akımı I_o ve Q₂, Q₄ transistörlerinin kolektör akımı I_{out} olmak üzere,

$$I_o^2 . e^{(V_i - V_0)/V_T} = I_o^2 \quad (2.12a)$$

$$I_{out} = I_o . e^{(V_i - V_0)/2V_T} \quad (2.12b)$$

olur. Dolayısıyla bu yapı pozitif logaritmik hücre olarak kullanılabilir. Negatif logaritmik hücre elde etmek için benzer bir devre kullanılabilir. Şekil 2.4’de ilgili devre görülmektedir.

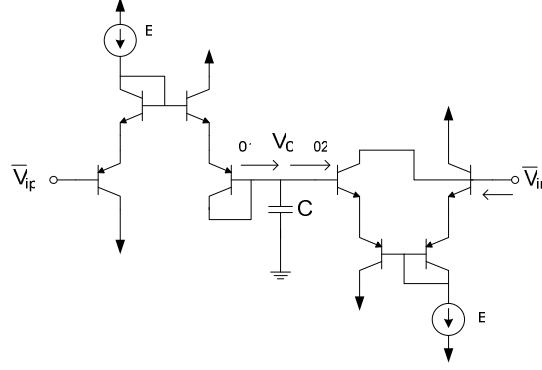


Şekil 2.4: Negatif Logaritmik Hücre ve Sembolik Gösterimi

Şekil 2.4’deki devre yine aynı yöntemle analiz edilirse,

$$I_{out} = I_o . e^{(V_i - V_0)/2V_T} \quad (2.13)$$

olur. Ancak Şekil 2.3’den farklı olarak buradaki akım görüldüğü gibi zıt yönlüdür. E+ ve E- logaritmik hücreleri tasarlandıktan sonra yapılması gereken bir kapasitör üzerinden bu akımları toplamaktır. Şekil 2.2’deki yapıya uygun olarak logaritmik hücreler bir araya getirilirse Şekil 2.5’deki logaritmik tabanlı integratör elde edilir.



Şekil 2.5: Logaritmik Tabanlı İntegratör

Şekil 2.5’deki devrede kapasite akımı yazılırsa,

$$C \cdot \frac{dV_o}{dt} = I_{o1} - I_{o2} \quad (2.14)$$

(2.14) bağıntısı elde edilir.

$$I_{o1} = I_B \cdot e^{(V_{ip}-V_o)/2V_T} \quad (2.15a)$$

$$I_{o2} = I_B \cdot e^{(V_{in}-V_o)/2V_T} \quad (2.15b)$$

Bu bağıntıda (2.15a) ve (2.15b) bağıntılarında verilen E+ ve E- hücrelerinin akımları yerine konursa,

$$C \cdot \frac{dV_o}{dt} = I_B \cdot e^{(V_{ip}-V_o)/2V_T} - I_B \cdot e^{(V_{in}-V_o)/2V_T} \quad (2.16)$$

elde edilir. Bu bağıntıda V_o çıkış gerilimi, V_{ip} pozitif giriş gerilimi ve V_{in} negatif giriş gerilimidir. Şekil 1.3’de gösterilen genel logaritmik sistem yapısını logaritmik integratör içinde uygulayarak 2.5’deki devrenin içerdiği log ve anti-log blokları tespit etmemiz gerekir. Bu önemlidir çünkü logaritmik tabanlı integratörü lineerleştirmek için bu log ve anti-log bloklarının eşlenikleri kullanılacaktır. Bu tespit, Şekil 2.5’deki devre üzerinden yapılabileceği gibi (2.16)’dan da matematiksel olarak çıkarılabilir.

Herhangi bir x sinyaline uygulanan log ve anti-log işlemlerinin matematiksel ifadesi (2.17a) ve (2.17b) bağıntıları olduğu düşünülür,

$$LOG(x) = 2V_T \cdot \ln\left(\frac{I_B + x}{I_B}\right) \quad (2.17a)$$

$$ANTILOG(x) = I_B \cdot e^{x/2V_T} - I_B \quad (2.17b)$$

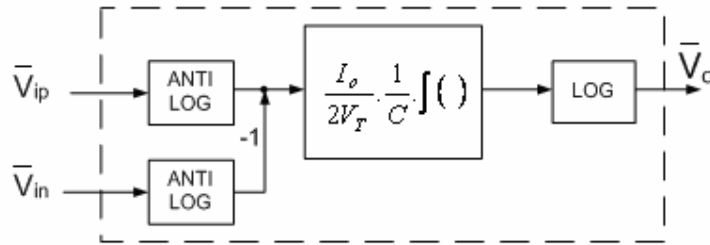
ve (2.16) bağıntısı (2.17a) ve (2.17b) bağıntılarını içeren hale getirecek halde yeniden düzenlenirse,

$$\frac{2V_T}{I_o} \cdot C \cdot \frac{d}{dt} \left(I_B \cdot e^{\frac{V_o}{2V_T}} - I_B \right) = \left(I_B \cdot e^{\frac{V_{ip}}{2V_T}} - I_B \right) - \left(I_B \cdot e^{\frac{V_{in}}{2V_T}} - I_B \right) \quad (2.18)$$

haline dönüşür. (2.17a) ve (2.17b) bağıntıları (2.18) bağıntısında yerlerine konursa sonuç olarak (2.19) bağıntısı elde edilir. Görüldüğü üzere bu bir logaritmik integratör bağıntısıdır.

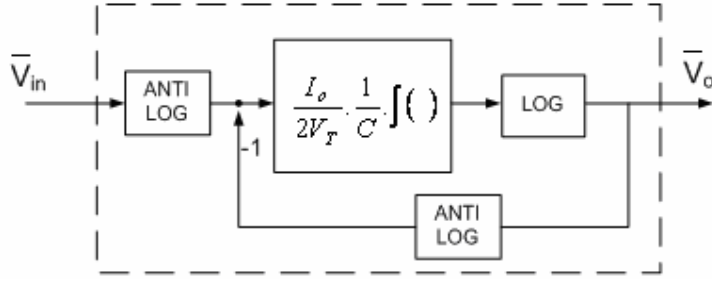
$$ANTILOG(V_o) = \frac{I_o}{2V_T} \cdot \frac{1}{C} \cdot \int (ANTILOG(V_{ip}) - ANTILOG(V_{in})) dt \quad (2.19)$$

(2.19) bağıntısının grafiksel olarak gösterimi aşağıdaki gibi olacaktır.



Şekil 2.6: Logaritmik Tabanlı İntegratörün Grafiksel Gösterimi

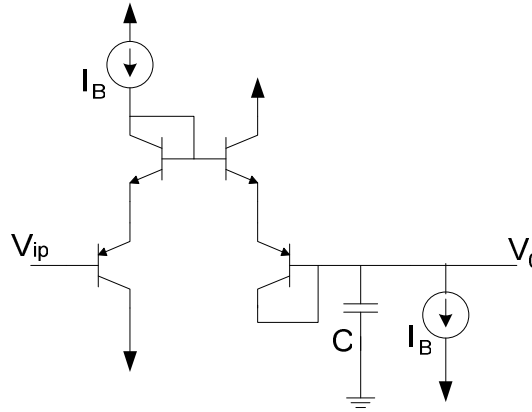
Buradaki log ve anti-log bloklarının matematiksel ifadesi (2.17a) ve (2.17b)' de verilmiştir. Şekil 2.6'daki integratörün negatif girişini çıkışına bağlayarak sönümlü bir integratör elde edebiliriz.



Şekil 2.7: Sönümlü İntegratör

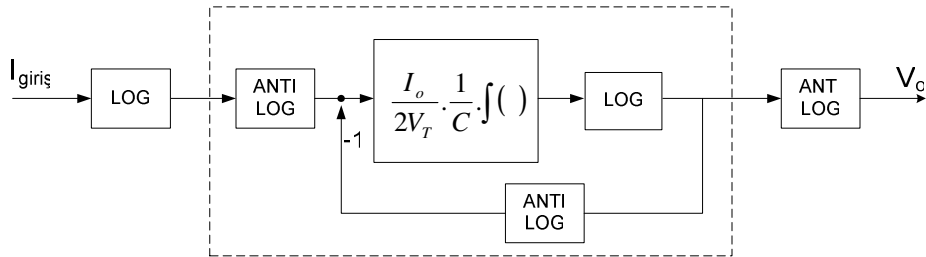
(2.16) bağıntısında V_{in} sinyali yerine V_o konursa ifade (2.20)'ye indirgenmiş olur. Bu bağıntının devre karşılığı ise Şekil 2.8'deki gibi olacaktır.

$$C \cdot \frac{dV_o}{dt} = I_B \cdot e^{(V_{ip}-V_o)/2V_T} - I_B \quad (2.20)$$



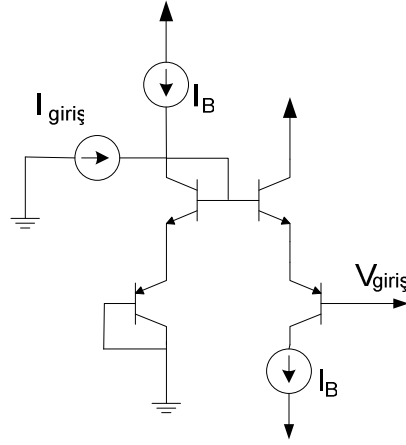
Şekil 2.8: Sönümlü İntegratörün Devre Karşılığı

İntegratörü lineerleştirmek için daha önce bölüm 1.13'de sözü edilen yöntemi kullanırsak Şekil 2.9'daki lineer integratörü elde ederiz.

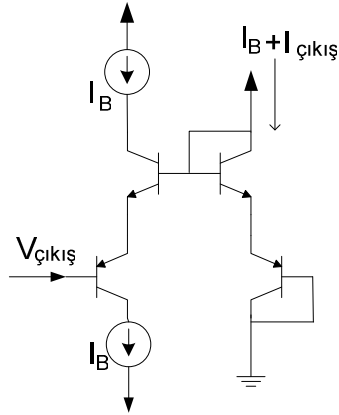


Şekil 2.9: Lineerleştirme İşlemi

Şekil 2.9'daki blokların temsil ettiği devreler 2.10a,b'de gösterilmiştir.

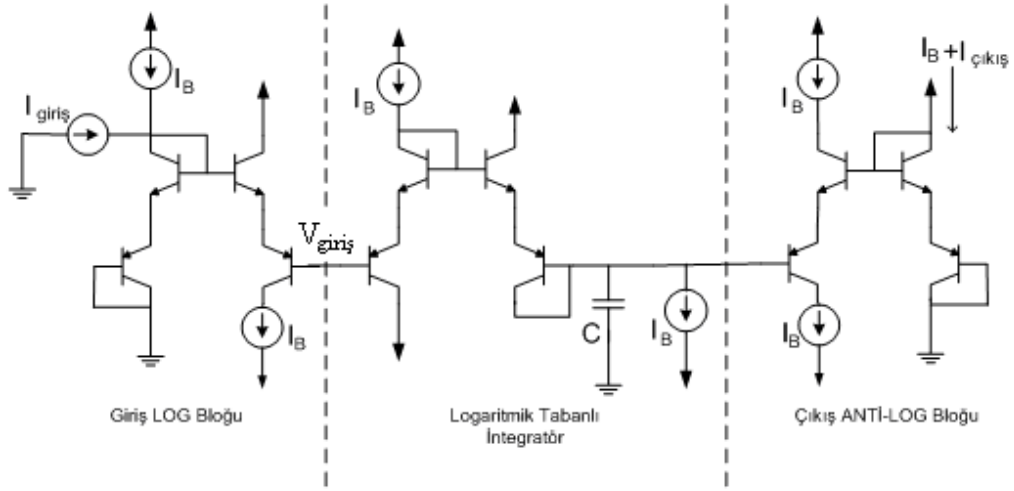


Şekil 2.10a: Giriş Log Bloğu



Şekil 2.10b: Çıkış Anti-Log Bloğu

Şekil 2.10a ve 2.10b'deki devreleri Şekil 2.8'deki devrenin giriş ve çıkışına uygularsak Şekil 2.11'deki giriş-çıkış bağıntısı lineer olan devre elde edilir.



Şekil 2.11: Lineerleştirilmiş İntegratör

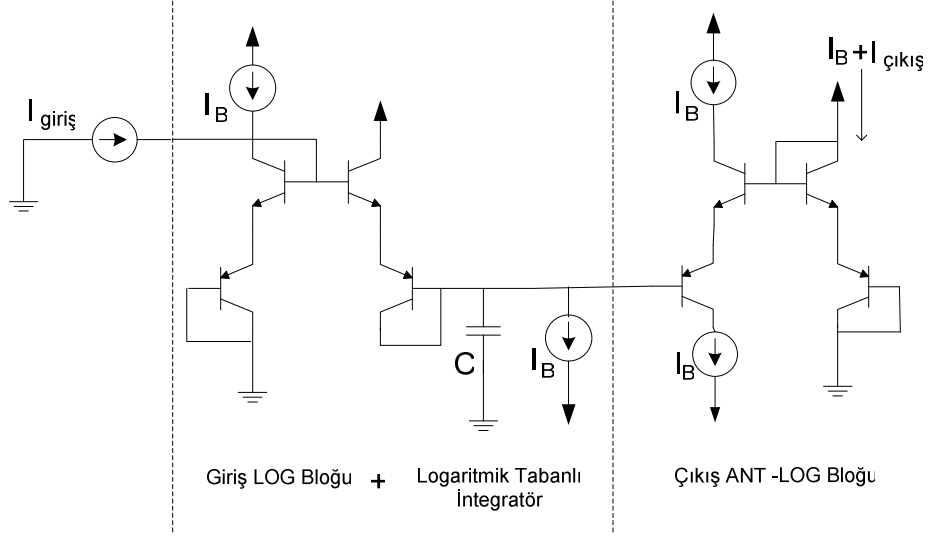
Şekil 2.11’de önemli bir sadeleştirme yapabiliriz. Logaritmik integratör bloğunun girişindeki gerilim,

$$V_{giriş} = 2V_T \log\left(\frac{I_B + I_{giriş}}{I_B}\right) \quad (2.21)$$

Bu bağıntı (2.20)’de yerine konursa (2.22) elde edilir.

$$C \cdot \frac{dV_o}{dt} = (I_B + I_{giriş}) \cdot e^{\frac{-V_o}{2V_T}} - I_B \quad (2.22)$$

Görüldüğü gibi giriş log bloğu ile logaritmik integratörün gerçeklediği bağıntı, (2.20) bağıntısıyla benzer. Sadece ilk terimin önündeki çarpan faktörüne $I_{giriş}$ sinyali eklenmiştir. Bu fiziksel olarak I_B kutuplama akımı düğümüne giriş akımının da eklenmesi anlamına gelir. Giriş işareti $I_{giriş}$ ve çıkış işareti $I_{çıkış}$ olmak üzere, lineerleştirilmiş integratör Şekil 2.12’deki sadeleştirilmiş hali alır.



Şekil 2.12: Sadeleştirilmiş Lineer Logaritmik İntegratör [2]

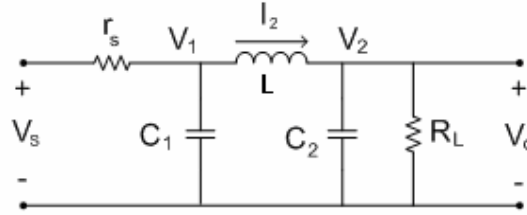
3. LC İŞLEMSEL SİMÜLASYON YÖNTEMİ

3.1 LC İşlemsel Simülasyonu

Kayıpsız LC basamak süzgeçlerin işlemsel olarak simülasyonu sıkça kullanılan bir yöntemdir. Sebebi ise bu süzgeçlerin elemanların tolerans değerlerinden kaynaklanan değişimlerine geçiş bandında düşük duyarlılık göstermesidir.

Bu yöntem, LC devresinin gerçeklediği transfer fonksiyonunun integratör, türev alıcı ve toplam operatörleri ile işlemsel olarak simüle edilmesidir. Öncelikle LC devresini ifade eden bağıntılar yazılır ve bu bağıntılara ilişkin işaret akış diyagramı integrasyon, türev ve toplam operatörleri kullanılarak çizilir. İşaret akış diyagramı elde edildikten sonra aktif-RC, MOS-C, Gm-C gibi yöntemlerle tasarlanmış yapı blokları uygun yerlere konarak tasarım yapılır. Burada anlatılacak olan konu logaritmik tabanlı tasarım olduğu için yapı bloğu olarak logaritmik integratörler kullanılacaktır.

Bu yönteme örnek teşkil etmesi amacıyla Şekil 3.1’de bir LC devresi verilmiştir.



Şekil 3.1: Üçüncü Dereceden LC Basamak Devresi

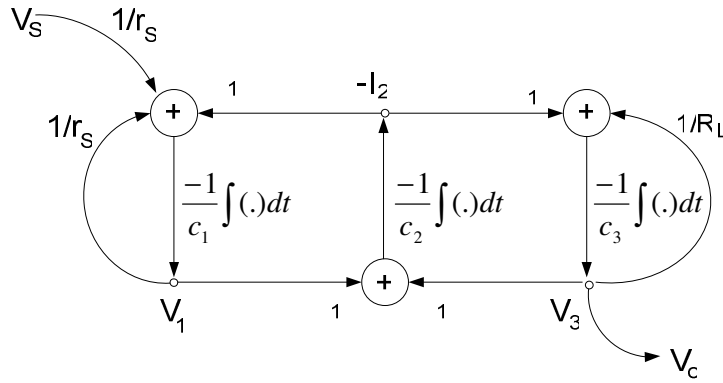
Bu devreyi ifade eden bağıntıları bağımsız değişkenler olan V_1 , V_2 ve I_2 cinsinden yazarsak (3.1a), (3.1b), (3.1c) bağıntılarını elde edilir.

$$V_1 = \frac{1}{c_1} \cdot \int \left(\frac{V_s}{r_s} - I_2 - \frac{V_1}{r_s} \right) dt \quad (3.1a)$$

$$I_2 = \frac{1}{l_2} \cdot \int (V_1 - V_3) dt \quad (3.1b)$$

$$V_3 = \frac{1}{c_3} \cdot \int \left(I_2 - \frac{V_3}{R_L} \right) dt \quad (3.1c)$$

Bu bağıntıları kullanarak Şekil 3.2'deki işaret akış diyagramını çizilebilir.



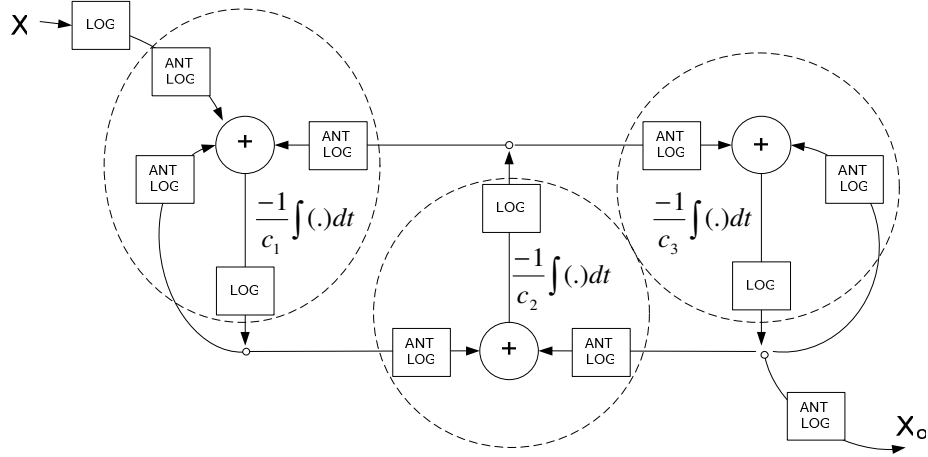
Şekil 3.2: LC Devresinin İşaret Akış Diyagramı

Şekil 3.2'deki işaret akış diyagramında görüldüğü gibi LC devresi işlemsel olarak integratörlerden ve toplam operatörlerinden oluşmaktadır. Dolayısıyla logaritmik tabanlı olarak bu operatörleri gerçeklemek devreyi işlemsel olarak simüle etmek için yeterli olacaktır.

Yapılması gereken diğer bir işlem ise devrenin dinamik çalışma aralığının maksimum olabilmesi için işaret akış diyagramındaki dal kazançlarının V_1 , V_2 ve I_2 'nin maksimum değerleriyle oranlanmasıdır. Öyle ki K_{ij} dal kazancı T_i/T_j ile oranlanmalıdır. Burada "T" ilgili işaretin çalışma aralığındaki tepe değerlerini "K" dal kazancını ve i, j indisleri ifade etmektedir. Toplam giriş çıkış kazancının değişmesini önlemek için de ayrıca giriş ya da çıkış dal kazancı yeniden belirlenir. Bu örnekte giriş dal kazancı r_s ile orantılı olduğundan, uygun bir direnç değeriyle toplam giriş-çıkış kazancı sabit tutulabilir [2].

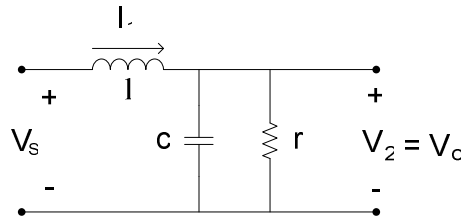
3.2 Logaritmik Tabanlı İşlemsel Simülasyon

LC devrelerinin logaritmik olarak simülasyonunda yapılması gereken, işaret akış diyagramını elde edildikten sonra, logaritmik integratörleri lineer eşdeğerleri ile değiştirmek ve lineerleştirme amaçlı olarak devrenin giriş ve çıkışına log ve anti-log blokları eklemektir. Şekil 3.2’de verilen işaret akış diyagramını logaritmik olarak gerçekleştirilmiş hali Şekil 3.3’de verilmiştir.



Şekil 3.3: Logaritmik LC Simülasyonu

Kesikli çizgilerle belirtilen bölgeler logaritmik integratörleri göstermektedir. Bunlar dışında kalan lineerleştirme amaçlı kullanılan log ve anti-log bloklarıdır. Bu işlemleri bir örnekle açıklanabilir. Şekil 3.4’de logaritmik olarak simüle edilmek istenen İkinci dereceden pasif bir LC devresi görülmektedir.



Şekil 3.4: İkinci dereceden pasif LC Devresi

Bu devrenin gerçeklediği transfer fonksiyonu (3.2) bağıntısında verilmiştir. Bu bağıntıdan süzgecin kesim frekansı, kalite faktörü ve kazancı (3.3) bağıntısında verilmiştir.

$$\frac{V_o}{V_s}(s) = \frac{1/(lc)}{s^2 + s\left(\frac{1}{rc}\right) + \frac{1}{lc}} \quad (3.2)$$

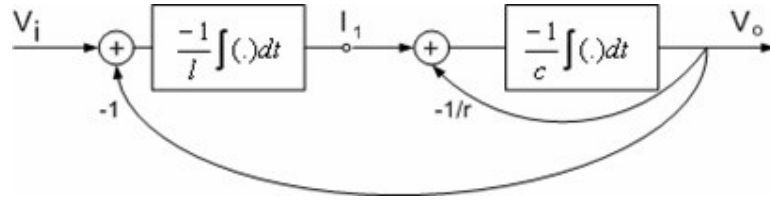
$$\omega_o = 1/\sqrt{lc}, \quad Q = r\sqrt{\frac{c}{l}}, \quad K = 1 \quad (3.3)$$

İşaret akış diyagramını çizebilmek için devreyi ifade eden düğüm bağıntıları yazılır.

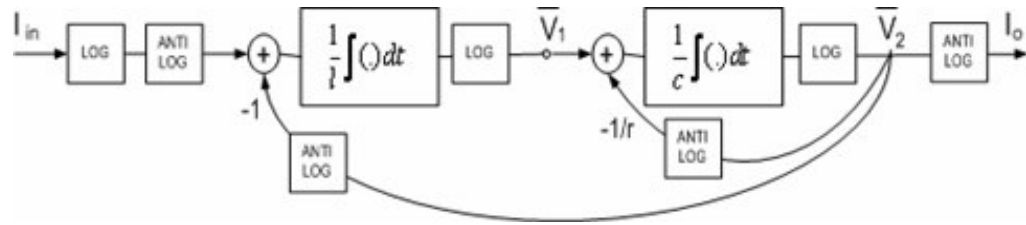
$$I_1 = \frac{1}{l} \cdot \int (V_i - V_2) dt \quad (3.4)$$

$$V_2 = \frac{1}{c} \cdot \int \left(I_1 - \frac{V_2}{r} \right) dt \quad (3.5)$$

İlgili işaret akış diyagramı Şekil 3.5'dedir.



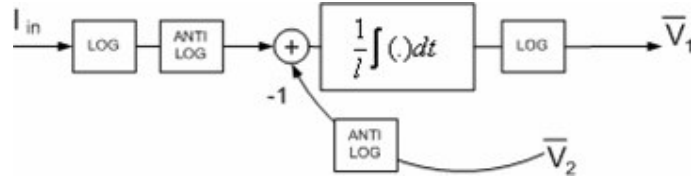
Şekil 3.5: Pasif LC'ye ait İşaret Akış Diyagramı [2]



Şekil 3.6: Lineerleştirilmiş logaritmik İşaret Akış Diyagramı [2]

Logaritmik bloklardan oluşan akış diyagramını elde ettikten sonra, bu bloklara karşılık gelen devreler tasarlanır ve işaret akış diyagramına uygun olarak bağlantıları yapılır. Diyagramda görüldüğü gibi iki adet entegratöre ihtiyaç vardır ve her iki entegratörde iki girişlidir.

Öncelikle birinci integratöre ait devreyi tasarlayalım. İlgili kısmın işaret akış diyagramı Şekil 3.6a'da verilmiştir.

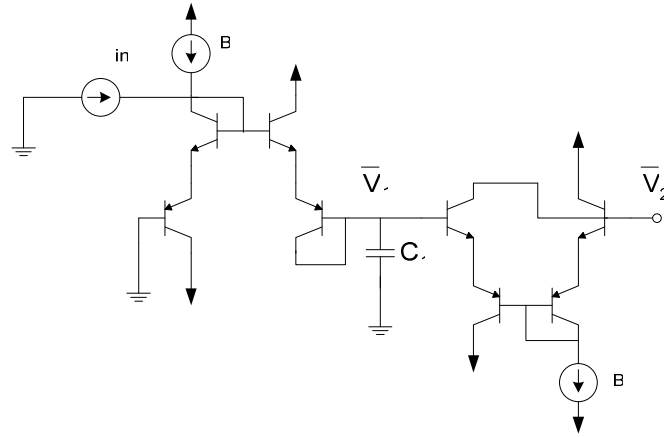


Şekil 3.7a: Birinci İntegratör Bloğu

Şekilde görülen gerilim değerleri üzerindeki çizgi bu işaretlerin lineer diyagramdaki gerilimlerden farklı olduğunu ve bu gerilimlerin logaritmik devreye ait olduğunu göstermek içindir. İşaret akış diyagramının gerçekleştiği bağıntı (3.6)'da gösterilmiştir.

$$ANTILOG(V_1) = \frac{1}{l} \cdot \int [I_{in} - ANTILOG(V_2)] dt \quad (3.6)$$

Bölüm 2'de anlatılan ve Şekil 2.5'de gösterilen integratörü Şekil 3.6'daki kısmi akış diyagramını gerçeklemek için kullanabiliriz. İntegratörün negatif girişine \bar{V}_2 sinyali ve pozitif giriş toprağa bağlanır. (2.22) bağıntısında gösterildiği gibi giriş akımını direk olarak kutuplama akımıyla aynı düğüm noktasına bağlamak, giriş akımının logaritmasını pozitif girişe bağlamakla aynı anlama geliyor. Dolayısıyla fazladan bir log bloğu kullanmak yerine pozitif uç topraklanıp lineer giriş akımı kutuplama akımıyla aynı düğüme bağlanabilir. Bu devreye önemli bir sadeleştirme getirecektir.



Şekil 3.7b: İşaret Akış Diyagramını Gerçekleyen Devre

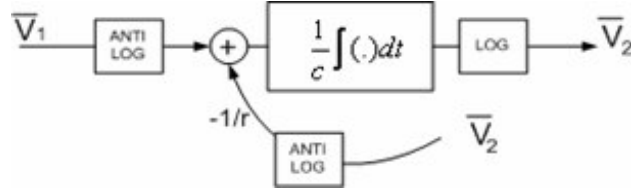
Şekil 3.7b'deki devrenin gerçeklediği bağıntı,

$$ANTILOG(V_1) = \frac{I_B}{2V_T} \frac{1}{C_1} \cdot \int [I_{in} - ANTILOG(V_2)] dt \quad (3.7)$$

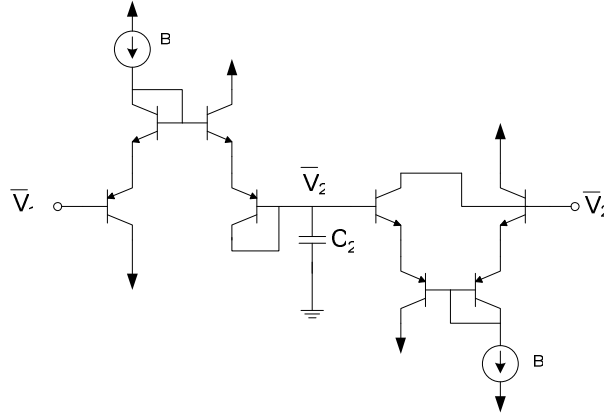
olur. (3.7) bağıntısı (3.6) ile karşılaştırılırsa C_1 kapasitesinin logaritmik devredeki değeri LC devresindeki "1" parametresi cinsinden değeri (3.8)'deki gibi bulunur.

$$C_1 = \frac{I_B}{2V_T} \quad (3.8)$$

olur. İkinci logaritmik integratörü temsil eden kısmi işaret akış diyagramı Şekil 3.8'de gösterilmiştir.



Şekil 3.8a: İkinci İntegratöre ait Kısmi İşaret Akış Diyagramı



Şekil 3.8b: İkinci İntegratör Bloğunu Gerçekleyen Devre

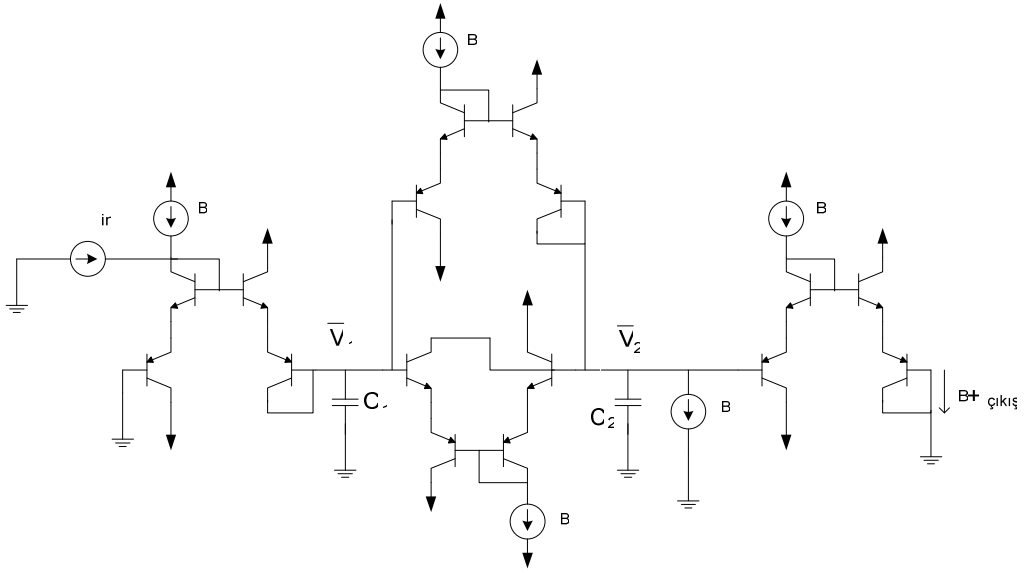
Şekil 3.8b'de çıkış düğümü ile integratörün negatif girişi aynı düğüm noktasıdır. Bir diğer ifadeyle bu bir sönümlü integratördür. Dolayısıyla Şekil 2.8'de gösterildiği gibi sadeleştirilebilir. Yani negatif logaritmik hücrenin yerine sadece kutuplama akımı olan I_B konur.

İşaret akış diyagramına ait olan bağıntılar karşılaştırılırsa $r = 1$ seçilmesi durumunda,

$$C_2 = \frac{I_B}{2V_T} \cdot c \quad (3.9)$$

bağıntısı elde edilir.

(3.7b) ve (3.8b)'de gösterilen devreler birleştirilir ve çıkışa anti-log bloğu konularak LC pasif devresinin logaritmik olarak işlemsel simülasyonu yapılmış olur. İlgili devre Şekil 3.9'da gösterilmiştir.



Şekil 3.9: İkinci dereceden Logaritmik Tabanlı Süzgeç [2]

4. DURUM DENKLEMLERİ YÖNTEMİ

4.1 Giriş

İşaret akış diyagramlarına dayalı olarak yapılan LC veya Gm-C simülasyon yöntemleri logaritmik tabanlı integratörlerin işaret akış diyagramına uygun olarak bir araya getirilmisinden oluşur. Yani sadece integratör operatörü içeren işaret akış diyagramını simüle edebilir. Ancak eliptik bir süzgeç gibi türev operatörü gerektiği durumlarda bu yöntemleri uygulanamayacaktır. Türev operatörü logaritmik olarak tasarlanabilse de kararsızlık probleminden dolayı integratör kullanımı tercih edilmektedir.

4.2 Durum Denklemleriyle Tasarım

Herhangi bir süzgecin transfer fonksiyonu her biri birinci dereceden olan diferansiyel denklemlerle ifade edilebilir. Her bir diferansiyel denklemde fiziksel olarak topraklanmış kapasite içeren bir devre ile gerçekleştirilebilir. N dereceli bir sistemi ifade eden N tane diferansiyel denklem, topraklanmış kapasite içeren devreler tarafından gerçekleştirilip, bu alt devrelerin ürettiği gerilimler (yani durum değişkenleri) süzgeç çıkış işaretini veren bağıntıya uygun olarak ağırlıklı toplamları alındığında, logaritmik tabanlı olarak her dereceden ve her türden süzgecin tasarımı mümkün hale gelir.

Birinci dereceden bir sistemi ifade eden diferansiyel denklem (4.1)'de verilmiştir.

$$\frac{dx(t)}{dt} = Ax(t) + b.u(t) \quad (4.1a)$$

$$y(t) = c^T x(t) + du(t) \quad (4.1b)$$

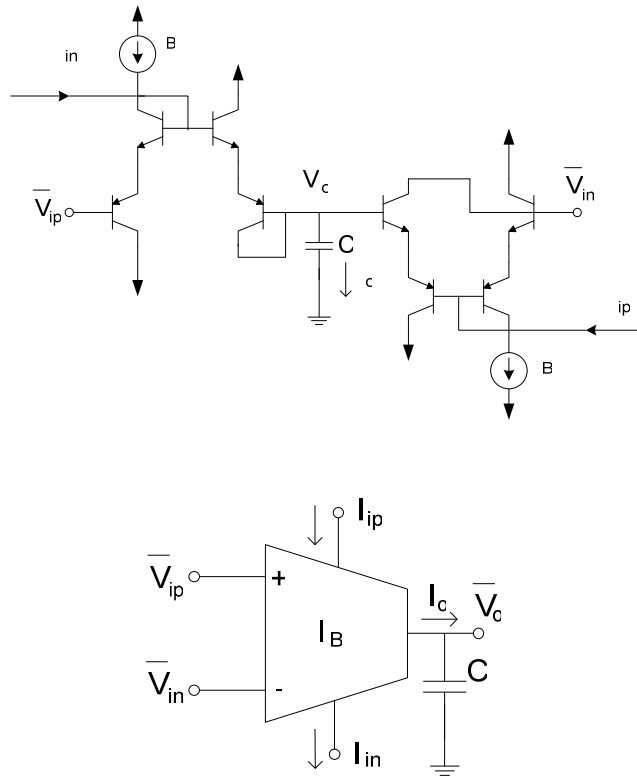
N dereceli bir sistemi ifade eden durum denklemleri matris formunda yazılırsa (4.2) elde edilir.

$$\frac{d}{dt} \begin{bmatrix} x_1(t) \\ x_2(t) \\ \cdot \\ \cdot \\ x_N(t) \end{bmatrix} = \begin{bmatrix} A_{11} & A_{12} & \cdot & \cdot & A_{1N} \\ A_{21} & A_{22} & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ A_{N1} & A_{N2} & \cdot & \cdot & A_{NN} \end{bmatrix} \begin{bmatrix} x_1(t) \\ x_2(t) \\ \cdot \\ \cdot \\ x_N(t) \end{bmatrix} + \begin{bmatrix} b_1 \\ b_2 \\ \cdot \\ \cdot \\ b_N \end{bmatrix} u(t) \quad (4.2)$$

Bu matrisin her bir satırı birinci dereceden bir diferansiyel denklem olacaktır. Bu denklemler integrasyon olarak yazıldığında (4.3)'teki formu alır.

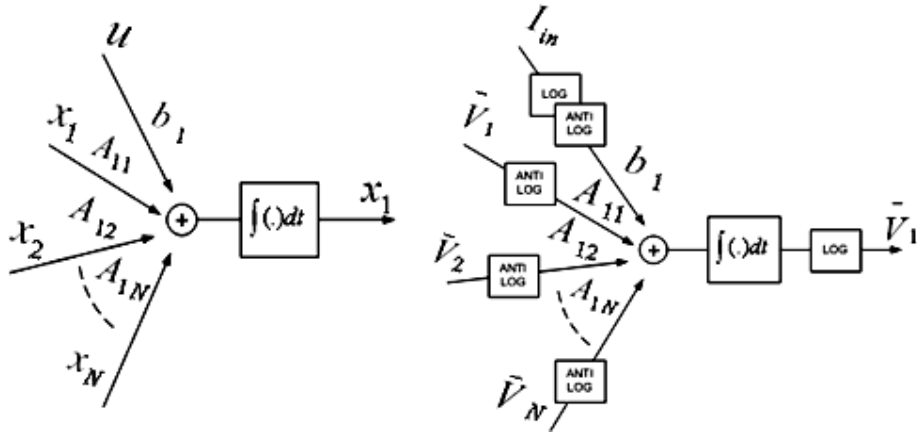
$$x_1(t) = \int b_1 u(t) + A_{11} x_1(t) + A_{12} x_2(t) \dots A_{1N} x_N(t) dt \quad (4.3)$$

(4.3)'de görüldüğü gibi sistemi tanımlayan denklemler giriş işaretinin ve durum değişkenlerinin ağırlıklı toplamlarından oluşur. Bu terimler önündeki katsayılar ise doğrudan integratörlerin zaman sabitleriyle ilişkilidir. Bölüm 2'de tasarlanan integratörler bu denklemleri gerçeklemek için kullanılabilir. Şekil 2.5'deki integratöre pozitif ve negatif logaritmik gerilim girişlerinin yanında lineer giriş işaretinin uygulanabileceği I_{in} ve I_{ip} akım girişleri de eklenir.



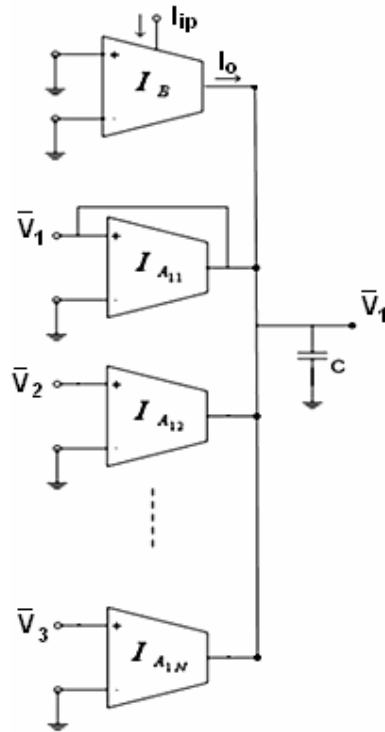
Şekil 4.1: Logaritmik İntegratör ve Sembolik Gösterimi

(4.3) bağıntısının işaret akış diyagramı ve logaritmik integratör dönüşümü yapılmış hali Şekil 4.2'deki gibi olacaktır.



Şekil 4.2: (4.3) Bağıntısına ait İşaret Akış diyagramı

İşaret akış diyagramının Şekil 4.1'de gösterilen integratörle gerçekleştirilmiş hali Şekil 4.3'deki gibi olacaktır.



Şekil 4.3: Birinci Dereceden Durum Denkleminin İntegratörlerle Gerçeklenmesi

Bu devrenin gerçeklediği bağıntı (4.4)'deki gibi olur.

$$ANTILOG(V_1) = \int \left(\frac{I_B}{2.V_T.C} . I_{in} + \frac{I_{A_{11}}}{2.V_T.C} . ANTILOG(V_1) \dots + \frac{I_{A_{1N}}}{2.V_T.C} . ANTILOG(V_N) \right) dt \quad (4.4)$$

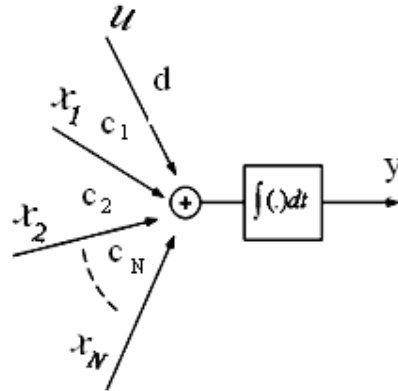
(4.4) bağıntısını (4.3) bağıntısı ile karşılaştırırsak devre parametreleri ile diferansiyel denklemlerdeki parametreler arasındaki ilişkiler bulunmuş olur.

$$\begin{aligned} I_B &= b_1 . 2V_T C \\ I_{A_{11}} &= A_{11} . 2V_T C \\ I_{A_{12}} &= A_{12} . 2V_T C \\ &\dots \\ I_{A_{1N}} &= A_{1N} . 2V_T C \end{aligned} \quad (4.5)$$

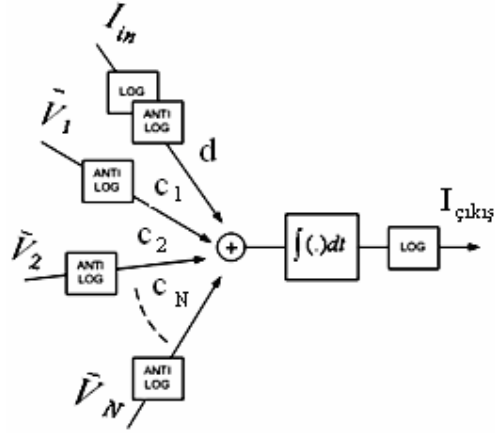
Sistemin çıkış işaretini temsil eden matris bağıntısı (4.6)'daki gibidir.

$$y = c^T x + du = [c_1 \quad c_2 \quad \dots \quad c_N] \begin{bmatrix} x_1 \\ x_2 \\ \vdots \\ x_N \end{bmatrix} + du \quad (4.6)$$

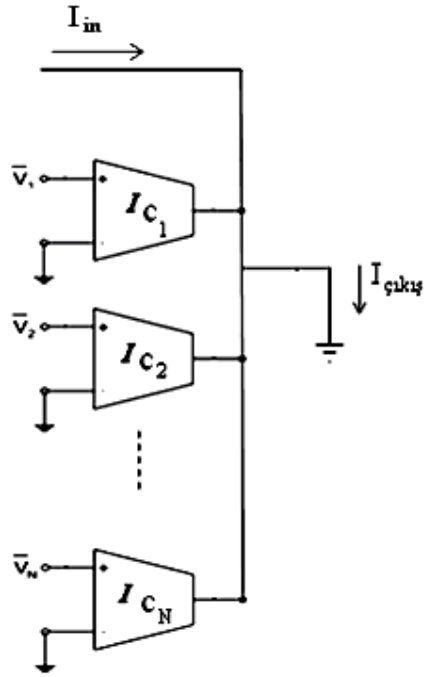
Bu bağıntının grafiksel olarak ifadesi ve logaritmik olarak gerçekleşmiş hali Şekil 4.4'de verilmiştir.



Şekil 4.4a: Süzgecin Çıkış Bağıntısının (4.6) Grafiksel olarak Gerçeklenmesi



Şekil 4.4b: Çıkış Bağıntısını Logaritmik Olarak Gerçeklenmesi



Şekil 4.5: Çıkış Devresinin İntegratörlerle Gerçeklenmesi

Şekil 4.4b'ye ait bağıntı (4.7) ve Şekil 4.5'e ait bağıntı (4.8) karşılaştırılırsa süzgecin çıkışını ifade eden ağırlık matrisi c elde edilir (4.9) ($d = 1$).

$$I_{\text{çıkış}} = d.I_{in} + c_1.ANTILOG(V_1) + c_2.ANTILOG(V_2) + \dots + c_N.ANTILOG(V_N) \quad (4.7)$$

$$I_{\text{çıkış}} = I_{in} + \frac{I_{C_1}}{I_B} \cdot \text{ANTILOG}(V_1) + \frac{I_{C_2}}{I_B} \cdot \text{ANTILOG}(V_2) + \dots + \frac{I_{C_N}}{I_B} \cdot \text{ANTILOG}(V_N) \quad (4.8)$$

$$c_I = I_B \cdot c \quad (4.9)$$

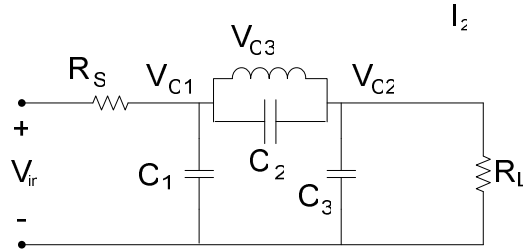
Matrisler ve integratör parametreleri arasındaki ilişkiler bulunduğundan sonra Şekil 4.3 ve Şekil 4.5 uygun şekilde bir araya getirilerek süzgeç tamamlanmış olur [2].

4.3 Örnek Uygulama

Şekil 4.6'da üçüncü dereceden bir LC eliptik süzgeç görülmektedir. 100 MHz kesim frekansına sahip alçak geçiren LC basamak devresine ait 1 MHz'lik normalize değerler Tablo 4.1'de ve Bölüm 4.2'de anlatılan yöntemlerle hesaplanmış A, b, c ve d matrisleri (4.10)'da verilmiştir.

Tablo 4.1: Üçüncü Dereceden Eliptik Süzgeç için Normalize Değerler ($f_c = 1$ MHz)

R_s	R_L	C_1	C_2	C_3	L
1 Ω	1 Ω	1.66 F	0.301 F	1.66 F	0.75 H



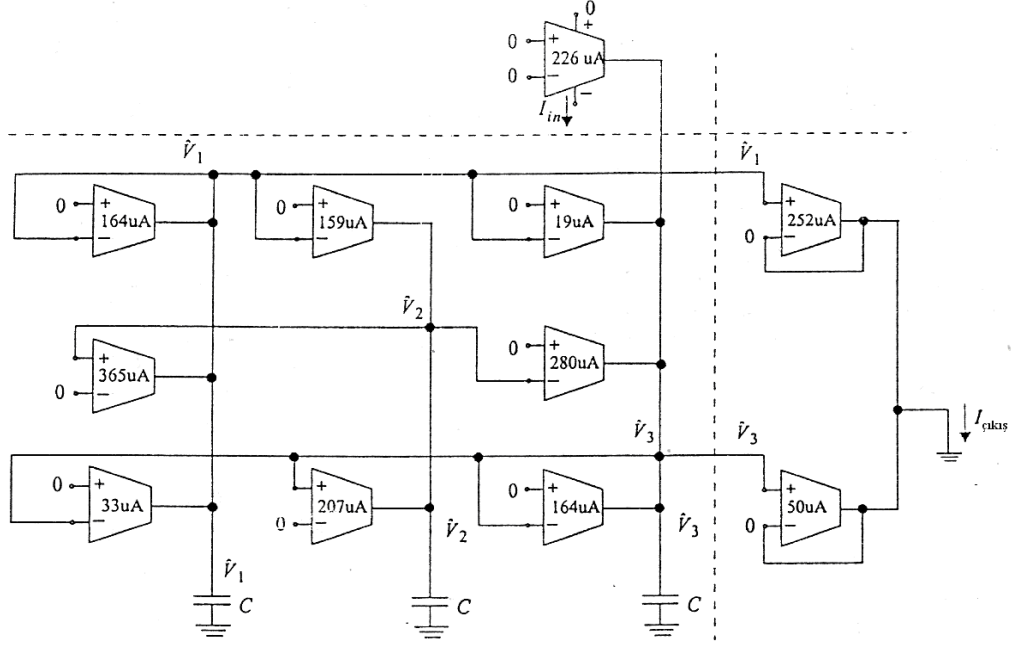
Şekil 4.6: LC Basamak Devresi

$$A = \begin{bmatrix} -0.5212 & 1.1605 & -0.1041 \\ -0.5054 & 0 & 0.6575 \\ -0.0615 & -0.8922 & -0.5212 \end{bmatrix}, b = \begin{bmatrix} 0 \\ 0 \\ 0.7183 \end{bmatrix}, c = \begin{bmatrix} 1.1155 \\ 0 \\ 0.2228 \end{bmatrix}, d = 0 \quad (4.10)$$

Logaritmik yapıdaki kapasite değeri 10 pF seçildiğinde integratör akımı;

$$I_B = (2V_T C) \cdot b \cdot 2\pi \cdot f_p = (2 \cdot 25 \text{ mV} \cdot 10 \text{ pF}) \cdot 0.7183 \cdot 2\pi \cdot 100 \text{ MHz} = 225.67 \mu\text{A} \quad (4.11)$$

olur. Diğer integratör akımları (4.5) ve (4.9) bağıntısına uygun olarak hesaplandığında Şekil 4.7'deki integratörlerden oluşan süzgeç elde edilir.



Şekil 4.7: Üçüncü Dereceden Eliptik Logaritmik Tabanlı Süzgeç [2]

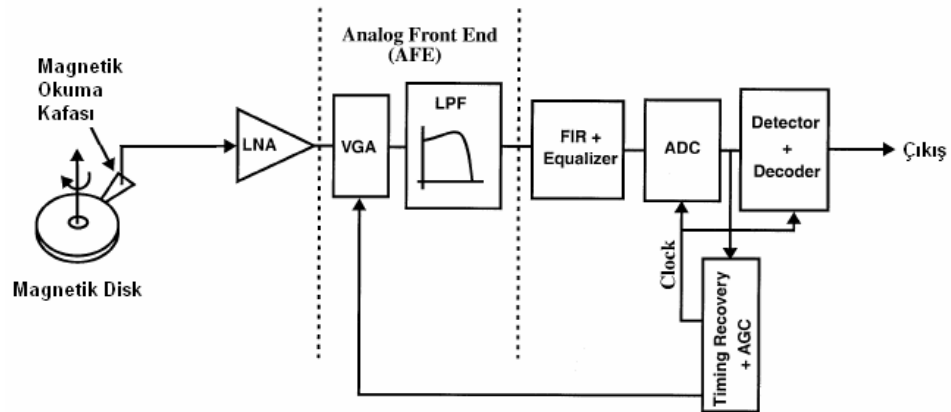
4.4 Sonuç

LC basamak devrelerinin işlemsel logaritmik tabanlı simülasyonu sistematik bir tasarım yöntemidir ve basamak devrelerinin geçiş bandındaki düşük duyarlılıkları başarılı bir şekilde logaritmik olarak da gerçekleştirilebilir. Bunun yanında logaritmik tasarımın getirdiği kesim frekanslarının kutuplama akımlarıyla kontrolü mümkündür. Diğer işaret akış diyagramlarında türev operatörüne ihtiyaç duyan süzgeçler (eliptik süzgeç vb.) tam doğru olarak gerçekleştirilemez.

Durum denklemleriyle tasarımda, tamamen integratörlerden oluşmuş durum denklemleriyle ifade edilen her türlü süzgecin tasarımı mümkündür. LC işlemsel simülasyonundaki bu kısıtlama yoktur. Bu yöntemin en önemli dezavantajı ise aktif-RC gibi filtre tasarımlarında rastlanan direnç ve kapasite değerlerinin geniş bir aralıkta yayılması problemi bu yöntemde kutuplama akımlarının geniş bir aralıkta değişmesi problemi olarak görülür. Bu problem geniş bir aralıkta programlanabilir akım kaynağı tasarımlarıyla çözülebilir [11].

5. SABİT DİSK OKUMA KANALI SÜZGECİ

Sabit (hard) diskler üzerinde depolanan verilerin güvenli bir şekilde tekrar okunabilmesi için, verilerin depolandığı magnetik yüzey üzerinden alınan işaretlerin uygun bir şekilde ve formatta dijital verileri değerlendiren birimlere iletilmesi gerekir. Günümüzde sabit disklerde depolanan veri yoğunluğunun artması neticesinde, magnetik kafa tarafından okunan bitlerin birbirine çok daha yaklaşmış ve bunun neticesinde ISI (intersymbol interference) değeri kritik hale getirmiştir. Sistemin BER (Bit error rate) değerini kabul edilebilir bir seviyede tutabilmek için, okuma kanalında sinyalin belli bir banda indirgenmesi (antialiasing), yüksek frekanslardaki gürültünün bastırılması, yani alçak geçiren bir filtre ile süzülmesi ve aynı zamanda veri bitlerinin kanal boyunca zaman ekseninde girişim yapmaması için, süzgecin grup gecikme değerinin belli bir aralıkta tutulması gerekmektedir. Sabit diskler taşınabilir cihazlar üzerinde kullanılabilmesi için tasarlanan süzgecin çalışma geriliminin ve güç tüketiminin minimize edilmesi, kontrol edilebilirlik yanında diğer önemli bir parametredir. Logaritmik olarak gerçekleştirilecek olan süzgeç aşağıda gösterilen sabit disk okuma kanalı üzerinde ki LPF (Low pass filter) bloğuna karşılık gelen bir alçak geçiren süzgeçtir.



Şekil 5.1: Sabit Disk Okuma Kanalı [12]

Önerilen süzgeç yedinci dereceden 0.05 eş dalgalıklı lineer faz bir transfer fonksiyonun logaritmik tabanlı integratörlerle AB sınıfı çalışacak şekilde gerçekleştirilmesidir. Sabit disk okuma kanalında ihtiyaç duyulan süzgecin sağlanması beklenen spesifikasyonları;

→ Süzgecin kesim frekansı farklı okuma hızlarına cevap verecek şekilde elektronik olarak kontrol edilebilmelidir. Önerilen süzgeç için bu 15-70 MHz arasındadır.

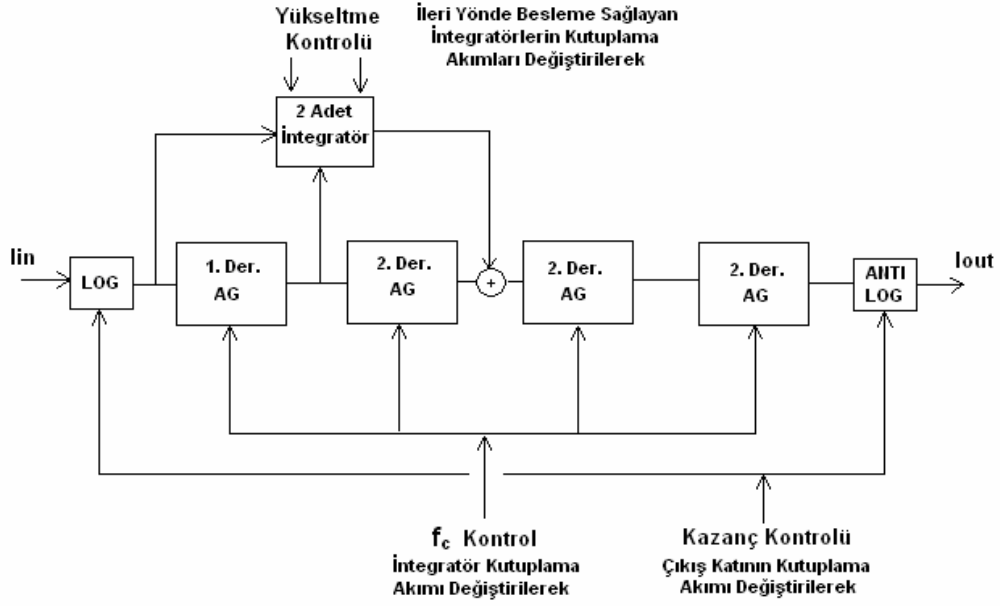
→ Süzgecin grup gecikme değeri $\pm 5\%$ aralığında olmalıdır ve kesim frekansı etrafında 13 dB'ye kadar yükseltme yapabilmelidir.

→ Süzgecin kazancı ± 10 dB aralığında kontrol edilebilmelidir.

→ Süzgeç fark alıcı yapıda olmalıdır.

→ Süzgeç mobil cihazlarda kullanılabilmesi için çalışma gerilimi ve güç tüketimi önemli bir parametredir ve maksimum 100 mW mertebesinde olmalıdır.

Yukarıda istenen özellikleri, özellikle de lineer bir faz cevabı sağlayan süzgeç topolojisi Bessel ya da yedinci dereceden 0.05 eş dalgalıklı bir süzgeç olabilir. Ancak 0.05 eş dalgalıklı süzgeç yapısı $2f_c$ frekansına kadar sabit bir grup gecikmesi sağlarken Bessel topolojisi en fazla $1.5f_c$ değerine kadar bu ihtiyacı karşılamaktadır. Bundan dolayı yedinci derece 0.05 eş dalgalıklı süzgeç yapısı kullanmak bu uygulama için daha uygundur. Bu topoloji kaskad ya da LC simülasyon yöntemiyle yapılabilir. Kaskad yapıda kontrol edilebilirlik daha kolay olduğundan tercih sebebi olmuştur. İlgili topoloji ve kontrol tekniği aşağıda gösterilmiştir [11].



Şekil 5.2: Yedinci Derece Kaskad Süzgeç Topolojisi

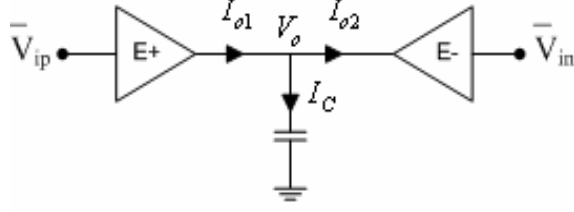
Süzgecin kesim frekansı birinci dereceden ve diğer ikinci dereceden süzgeçlerin kesim frekanslarıyla kontrol edilebilir. Yükseltme kontrolü ileri besleme sağlayan 2 adet integratör tarafından yapılmaktadır. Süzgecin istenen transfer fonksiyonu için birinci dereceden ve diğer ikinci dereceden süzgeçlerin kesim frekansları ve kalite faktörleri hesaplanmalıdır. $f_c = 1$ MHz için normalize değerler hesaplanarak Tablo 5.1-2’de verilmiştir.

5.1 İntegratör Tasarımı

İntegratör tasarımı, translineer çevrimden oluşan eşlenik iki bloğun çıkış akımlarının topraklanmış bir kondansatör üzerinde toplanmasıyla elde edilir. İlgili yapı Şekil 5.3’de gösterilmiştir. Logaritmik hücrelerin gerçeklediği bağıntı;

$$I_{out} = I_B \cdot e^{\frac{V_i - V_o}{k \cdot V_T}} \quad (5.1)$$

şeklindedir. Şekil 5.3’deki devrede kondansatör akımı yazılırsa,



Şekil 5.3: Tek Çıkışlı Genel Logaritmik Tabanlı İntegratör Yapısı

$$C \cdot \frac{dV_o}{dt} = I_{o1} - I_{o2} \quad (5.2)$$

$$I_{o1} = I_B \cdot e^{(V_{ip} - V_o)/V_T} \quad (5.3)$$

$$I_{o2} = I_B \cdot e^{(V_{in} - V_o)/V_T} \quad (5.4)$$

Bu bağıntıda (5.3) ve (5.4)' de verilen E+ ve E- hücrelerinin akımları yerine konursa,

$$C \cdot \frac{dV_o}{dt} = I_B \cdot e^{(V_{ip} - V_o)/V_T} - I_B \cdot e^{(V_{in} - V_o)/V_T} \quad (5.5)$$

elde edilir. LOG ve ANTILOG olmak üzere aşağıdaki bağıntılar tanımlanır,

$$LOG(x) = V_T \cdot \ln\left(\frac{I_B + x}{I_B}\right) \quad (5.6)$$

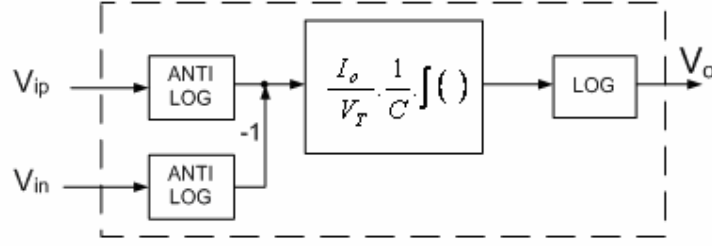
$$ANTILOG(x) = I_B \cdot e^{x/V_T} - I_B \quad (5.7)$$

(5.5) bağıntısı yeniden (5.8)'deki gibi düzenlenir ve (5.6), (5.7) yerine konursa,

$$\frac{V_T}{I_o} \cdot C \cdot \frac{d}{dt} \left(I_B \cdot e^{\frac{V_o}{2V_T}} - I_B \right) = \left(I_B \cdot e^{\frac{V_{ip}}{2V_T}} - I_B \right) - \left(I_B \cdot e^{\frac{V_{in}}{2V_T}} - I_B \right) \quad (5.8)$$

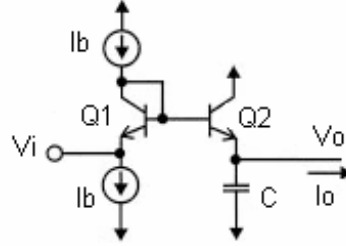
(5.5) bağıntısının (5.9)'daki bağıntıya sahip logaritmik bir integratör olduğu görülür.

$$ANTILOG(V_o) = \frac{I_o}{V_T \cdot C} \int ANTILOG(V_{ip}) - ANTILOG(V_{in}) dt \quad (5.9)$$



Şekil 5.4: (5.9) Bağıntısının Şematik Gösterimi

Fark alıcı integratör tasarlamak için ise iki E+ hücrenin çıkış akımlarının uygun bir şekilde toplanmasıyla elde edilebilir. Güç tüketimi, düşük gerilimle çalışma ve hız gereksinimleri göz önünde bulundurularak, olabildiğince basit ve sadece npn tranzistörlerden oluşan bir E+ logaritmik devresi Şekil 5.5’de görülmektedir..

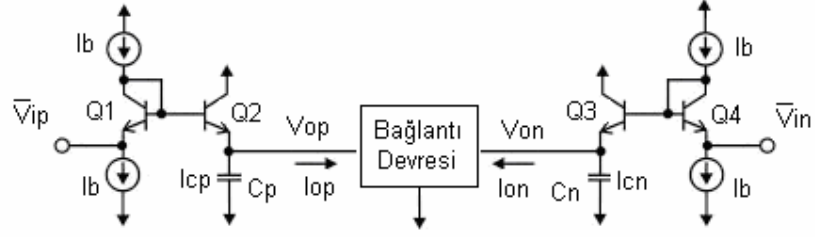


Şekil 5.5: Logaritmik E+ Devresi [13]

Bu devrenin gerçeklediği bağıntı;

$$C \cdot \frac{dV_o}{dt} = I_b \cdot e^{(V_i - V_o)/V_T} \quad (5.10)$$

Sadece npn tranzistörlerden oluşan (pnp tranzistörlerin frekans cevabı zayıf olduğu için) fark alıcı bir yapı kurmak için, iki E+ logaritmik devresini bir ara devre ile birleştirirsek Şekil 1.6’daki yapı elde edilir.



Şekil 5.6: Dengeli İntegratör Yapısı

Bu topolojinin gerçekleştiği bağıntı ise;

$$C \cdot \frac{dV_{op}}{dt} = I_b \cdot e^{(V_{ip} - V_{op})/V_T} - I_{op} \quad (5.11)$$

$$C \cdot \frac{dV_{on}}{dt} = I_b \cdot e^{(V_{in} - V_{on})/V_T} - I_{on} \quad (5.12)$$

Bu iki bağıntı sırasıyla e^{V_{op}/V_T} ve e^{V_{on}/V_T} ile çarpılırsa;

$$C \cdot V_T \frac{de^{V_{op}/V_T}}{dt} = I_b \cdot e^{V_{op}/V_T} - I_{op} \cdot e^{V_{op}/V_T} \quad (5.13)$$

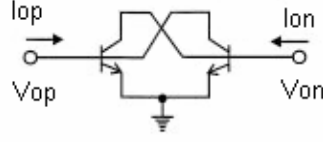
$$C \cdot V_T \frac{de^{V_{on}/V_T}}{dt} = I_b \cdot e^{V_{on}/V_T} - I_{on} \cdot e^{V_{on}/V_T} \quad (5.14)$$

(5.13) bağıntısı (5.14)'den çıkarılırsa;

$$C \cdot V_T \frac{d(e^{V_{op}/V_T} - e^{V_{on}/V_T})}{dt} = I_b \cdot (e^{V_{op}/V_T} - e^{V_{on}/V_T}) - (I_{op} \cdot e^{V_{op}/V_T} - I_{on} \cdot e^{V_{on}/V_T}) \quad (5.15)$$

olur. Şayet bağlantı devresi (5.15) bağıntısının sonundaki terimi sıfır yapması durumunda, (5.15) dengeli logaritmik bir integratör bağıntısı olacaktır. Bu devre en basit şekilde çapraz olarak bağlanmış iki npn tranzistor tarafından gerçekleştirilebilir.

Devre Şekil 5.7'de gösterilmiştir.

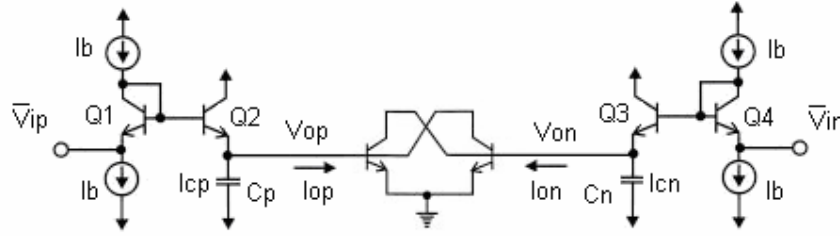


Şekil 5.7: Bağlantı Devresi

Bu devre ile (5.16) bağıntısı gerçekleşir. Böylece (5.15) bağıntısı dengeli bir integratör bağıntısına indirgenir.

$$I_{op} \cdot e^{V_{op}/V_T} = I_{on} e^{V_{on}/V_T} \quad (5.16)$$

(5.15) bağıntısının devre karşılığı Şekil 5.8'deki gibi olur.

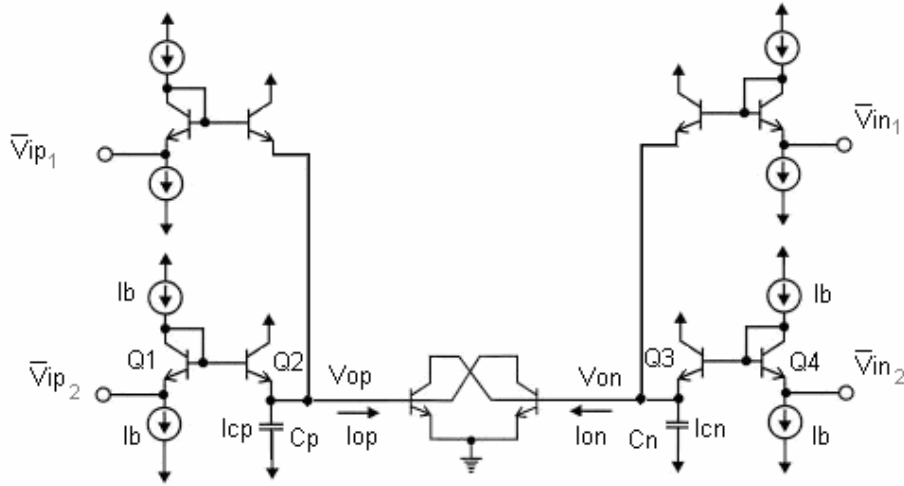


Şekil 5.8: Fark Alıcı İntegratör Devresi [13]

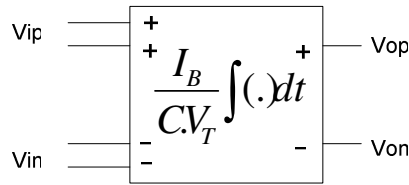
İntegratörün bağıntısı ise;

$$e^{V_{op}/V_T} - e^{V_{on}/V_T} = \frac{I_b}{C \cdot V_T} \int (e^{V_{op}/V_T} - e^{V_{on}/V_T}) dt \quad (5.17)$$

İntegratörlerin süzgeç topolojisi içinde, giriş sinyallerinin başka bir sinyal ile toplanabilmesi veya negatif girişe bağlayarak çıkarılabilmesi için pozitif ve negatif girişlerinin çoğullanması gerekir. İntegratörlerin giriş ve çıkış düğümlerinin çalışma kutuplama gerilimlerinin yanı olması için bağlantı devresindeki tranzistörlerin alanı iki katına çıkarılmalıdır. Aşağıdaki yapı bu amaçla tarafımdan türetilmiştir.



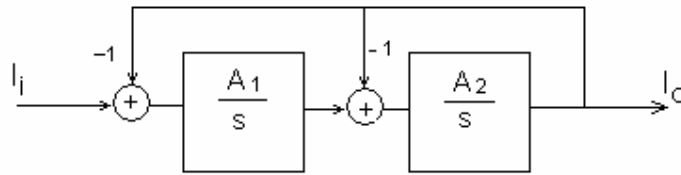
Şekil 5.9: Girişleri Çoğullanmış İntegratör



Şekil 5.10: Logaritmik İntegratör Sembolü

5.2.2. Dereceden Süzgeçlerin Tasarımı

Şekil 5.11'deki topolojiye uygun olarak ihtiyaç duyulan ikinci dereceden süzgeçler herhangi bir ekstra elemana ihtiyaç duymadan, iki integratör kullanılarak tasarlanabilir. Aşağıdaki topoloji kullanılırsa,



Şekil 5.11: İki integratörlü İkinci Dereceden Süzgeç Topolojisi

İntegratörlerin transfer fonksiyonları;

$$I_1(s) = \frac{A_1}{s}, \quad A_1 = \frac{I_b}{C_1 \cdot V_T} \quad (5.18)$$

$$I_2(s) = \frac{A_2}{s}, \quad A_2 = \frac{I_b}{C_2 \cdot V_T} \quad (5.19)$$

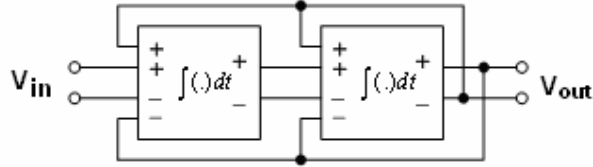
İkinci dereceden süzgecin transfer fonksiyonu ise;

$$H(s) = \frac{A_1 \cdot A_2}{s^2 + s \cdot A_2 + A_1 \cdot A_2} \quad (5.20)$$

Transfer fonksiyonunda hareketle süzgecin kapasitör değerlerine bağlı kesim frekansı ve kalite faktörü (5.21)'deki gibi olur.

$$\omega_c = \frac{I_b}{V_T} \sqrt{\frac{1}{C_1 \cdot C_2}}, \quad Q = \sqrt{\frac{C_2}{C_1}} \quad (5.21)$$

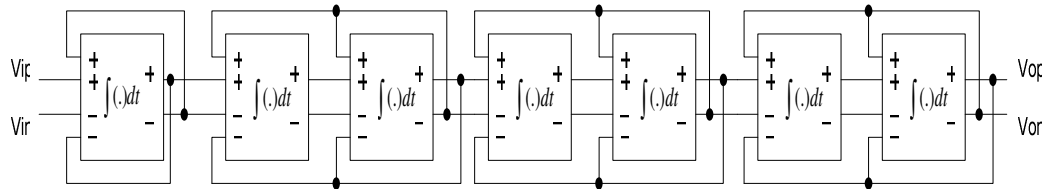
Şekil 5.11'deki topolojiye uygun olarak integratörler yerleştirilirse Şekil 5.12 elde edilir.



Şekil 5.12: İkinci Dereceden Logaritmik Süzgeç

Süzgeç yapı blokları Şekil 5.2'ye uygun olarak yerine konursa Şekil 5.13 elde edilir.

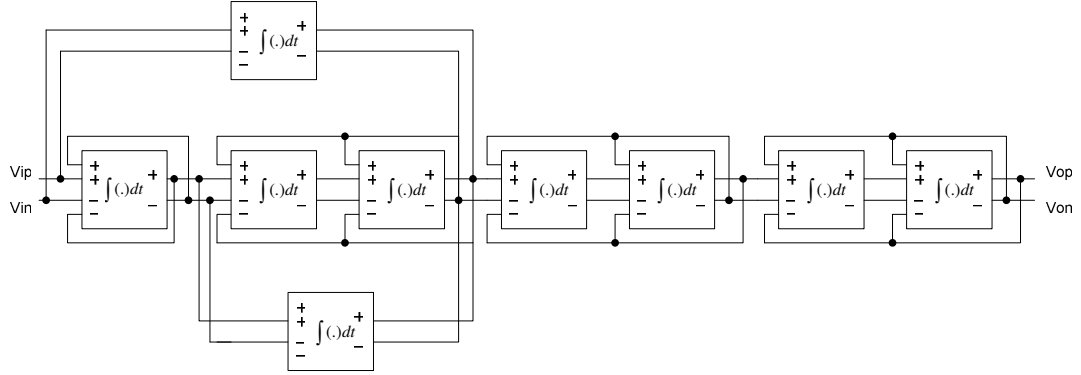
Yükseltme devresi ve giriş-çıkış log-antilog bloklar gösterilmemiştir.



Şekil 5.13: Yedinci Dereceden Kaskad Süzgeç

Sabit disk okuma kanalındaki süzgeçten beklenen diğer iki özellik ise grup gecikme değerinin $\pm 5\%$ aralığında kalması ve kesim frekansı etrafında 13 dB'ye kadar

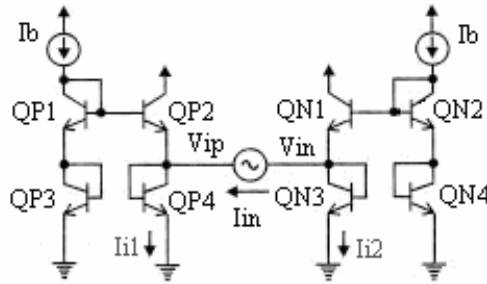
yükseltme yapabilmesidir. Bu isterleri sağlamak için ileri yönde besleme (feedforward) tekniği ile iki adet asimetrik, kutuplama akımlarıyla kontrol edilebilir sıfır eklenebilir. Bu işlem için yine süzgeci oluşturan integratör blokları kullanılacaktır. İlgili yapı Şekil 5.14’de görülmektedir.



Şekil 5.14: Asimetrik sıfırlar eklenmiş Yedinci Dereceden Süzgeç [12]

5.3 Giriş-Çıkış Katları

Logaritmik tabanlı sistemlerin lineerleştirilmesi konusunda bahsedildiği gibi sistemin giriş ve çıkışlarına, lineerleştirilen bloğa uygun olarak, logaritmik sinyalleri sıkıştırıcı ve açıcı (log ve antilog işlemi) bloklar eklenmelidir. Burada tasarlanan süzgeç AB sınıfı olarak çalışacağından ayrıca giriş bloğunun bu amaca uygun olması gerekmektedir. AB sınıfı çalışma ile giriş sinyalinin maksimum değeri kutuplama akımıyla sınırlandırılmaz ve böylelikle aynı güç tüketimi için daha geniş bir dinamik çalışma aralığı elde edilebilir. Ya da aynı dinamik aralığı elde etmek için daha az güç tüketimi mümkün olacaktır. Önerilen giriş çıkış blokları aşağıdaki gibidir.



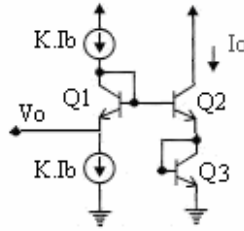
Şekil 5.15: AB sınıfı Fark Alıcı Giriş Bloğu [13]

Şekil 5.15'deki yapıda I_{in} giriş akımı QP4 ve QN3 tranzistörleri üzerinden akar. Bu yapıda;

$$I_{in} = I_{i1} - I_{i2} \text{ ve } I_b^2 = I_{i1} \cdot I_{i2} \quad (5.22)$$

olur. Bu bağıntılar doğrultusunda giriş akımının kutuplama akımından (I_b) daha büyük bir değer alabileceği açıktır. Bu özellik sayesinde sistemden güç tüketimi açısından daha yüksek verim almak mümkün olacaktır mümkün olacaktır.

Süzgecin çıkışında kullanılacak olan anti-log blok, giriş bloğunun eşleniği olmakla birlikte aynı zamanda giriş-çıkış kazanç kontrolüne imkan tanıyabilen bir yapıda olmalıdır. Bu amaca uygun olarak Şekil 5.16'daki topoloji tarafımdan önerilmiştir. Devre girişinde görülen V_o gerilimi süzgecin sıkıştırılmış pozitif ya da negatif gerilimi, I_o akımı ise bu gerilimlerin oluşturduğu pozitif ya da negatif çıkış akımıdır. Süzgeç çıkış akımı ise Q2 tranzistörlerinin kollektör akımları farkıdır ve K parametresiyle kontrol edilebilir.



Şekil 5.16: Çıkış Katı

Şekil 5.15'deki devrede QP4 tranzistörünün baz-emetör jonksiyonu üzerindeki gerilim $V_{DC} + \Delta V$ bileşenlerinden oluşur. Bu gerilim, süzgecin giriş-çıkış çalışma gerilim seviyeleri eşit olduğu için aynı şekilde Şekil 5.16'daki çıkış katının girişine uygulanır. Bu gerilim V_{DC} kadar ötelenerek Q2 tranzistörünün bazında ΔV kadar gerilim salınımları oluşturur. Giriş bloğundan (5.23) bağıntısı yazılabilir.

$$V_{DC} + \Delta V = V_T \ln\left(\frac{I_b + I_{in}/2}{I_s}\right) \quad (5.23)$$

Bu gerilim Şekil 5.16'daki oluşan çıkış bloğunun girişine uygulandığında ΔV gerilim değişimi çıkış transistörü Q2 üzerinde (5.24) bağıntısındaki akımı oluşturur. Çıkış katında Q2'ye seri bir tranzistor daha olduğu için gerilim salınımı herbir tranzistor

üzerinde yarıya düşer. Bunu kompanze etmek için çıkış tranzistor alanları iki kat kullanılmıştır.

$$I_C(Q2) = I_S e^{(V_{bc} + \Delta V)/V_T} \quad (5.24)$$

(5.23) bağıntısı (5.24) bağıntısında yerine konursa (5.25) elde edilir. Q2' nin simetriği olan diğer çıkış tranzistörünün akımı ise $I_C(Q2') = I_b - I_{in}/2$ olur. Bu iki tranzistörün akımları farkı I_{in} olur, yani giriş-çıkış kazancı bir olur.

$$I_C(Q2) = I_b + I_{in}/2 \quad (5.25)$$

$$I_C(Q2) - I_C(Q2') = I_{in} \quad (5.26)$$

Süzgeç giriş-çıkış kazancının K parametresi ile değişimini bulmak için Şekil (5.16)'daki çıkış katına ait translineer çevrimi yazılırsa (5.27) bağıntısı elde edilir.

$$I_C^2(Q1) = K \cdot I_b \cdot e^{V_{op}/V_T} \quad (5.27a)$$

$$I_C^2(Q1') = K \cdot I_b \cdot e^{V_{on}/V_T} \quad (5.27b)$$

Giriş bloğunda QP1, QP2, QP3 tranzistörleri etrafında ve QN1, QN2, QN4 transistörleri etrafında translineer çevrimi yazılırsa (5.28a) ve (5.28b) bağıntıları elde edilir.

$$I_b^2 = I_{i1} \cdot e^{V_{in}} \quad (5.28a)$$

$$I_b^2 = I_{i2} \cdot e^{V_{ip}} \quad (5.28b)$$

(5.27a) ve (5.27b) bağıntılarının her iki tarafın karekökü alınır ve (5.28a), (5.28b) bağıntıları kullanılarak süzgeç çıkış akımının K parametresi ile değişimini gösteren (5.29) bağıntısı elde edilir. Bu bağıntıda görüldüğü gibi çıkış akımı K parametresinin karekökü ile kontrol edilebilmektedir.

$$I_{out} = \sqrt{K} \cdot \sqrt{I_b} (\sqrt{I_{i1}} - \sqrt{I_{i2}}) \quad (5.29)$$

Süzgecin translineer prensibine dayalı büyük sinyal analizi yapıldığında transfer fonksiyonu (5.22) bağıntısı şeklindedir. Burada G katsayısı, çıkış katındaki K

parametresinin karekökü ile doğru orantılı olarak ± 10 dB aralığında değiştirilebilir. I_{FF} akımları ise yükseltme işlevini yapan integratörlerin kutuplama akımları, I_B ise birinci ve ikinci dereceden AG süzgeçleri oluşturan integratörlerin kutuplama akımlarıdır.

$$H(s) = G \frac{\left(s^2 + s \frac{I_B}{C_1 V_T} \left(\frac{I_{FF2}}{I_{FF1}} - 1 \right) + \frac{I_B^3}{I_{FF1} C_1 C_2 V_T^2} \right) \left(\frac{2I_B}{V_T} \right)^7 \left(\frac{1}{C_1 C_2 C_3 C_4 C_5 C_6 C_7} \right)}{\left(s + \frac{I_B}{C_1 V_T} \right) \left(s^2 + s \frac{I_B}{C_3 V_T} + \frac{I_B^2}{C_2 C_3 V_T^2} \right) \left(s^2 + s \frac{I_B}{C_5 V_T} + \frac{I_B^2}{C_4 C_5 V_T^2} \right) \left(s^2 + s \frac{I_B}{C_7 V_T} + \frac{I_B^2}{C_6 C_7 V_T^2} \right)} \quad [12] \quad (5.30)$$

0.05 eş dalgalıklı transfer fonksiyonunu veren f_c ve Q değerleri Tablo 5.1'de verilmiştir.

Tablo 5.1: Birinci ve İkinci Derece Süzgeçlerin f_c ve Q değerleri

	1. Dereceden AG Süzgeç	2. Dereceden AG Süzgeç	2. Dereceden AG Süzgeç	2. Dereceden AG Süzgeç
f_c	0.861	1.47	1.718	2.317
Q		0.68	1.11	2.02

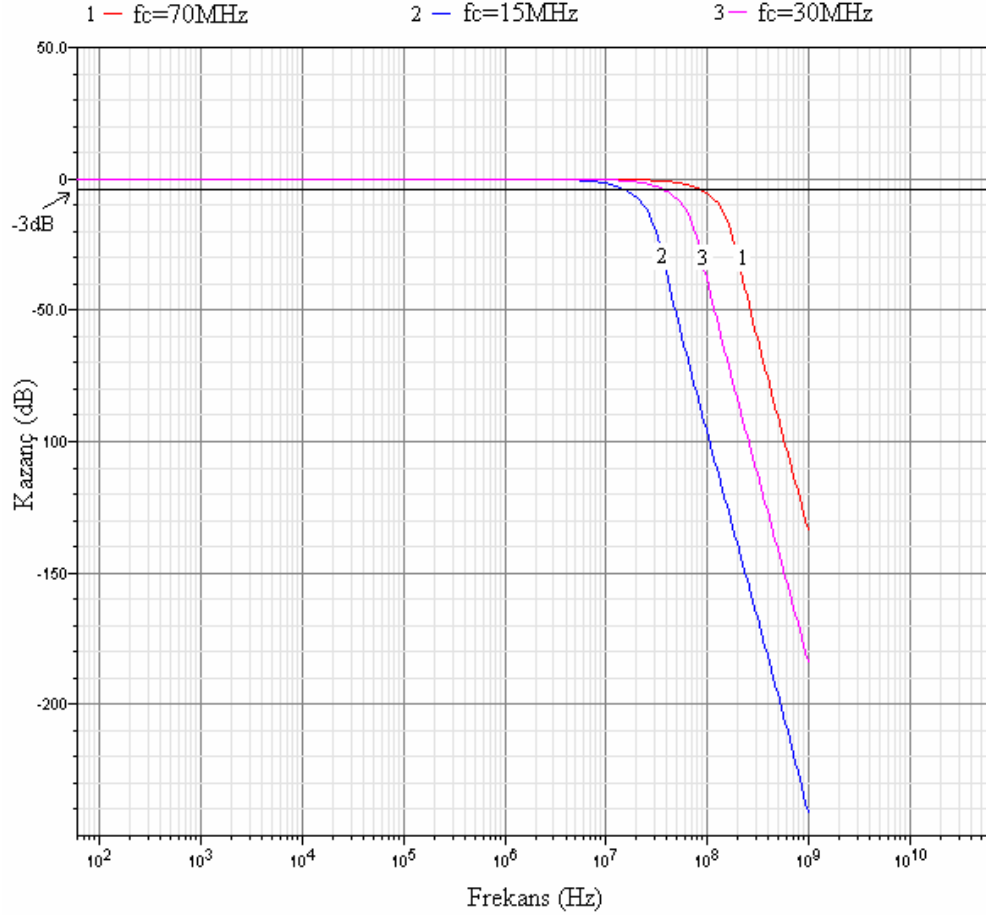
Tablo 5.1'deki f_c ve Q değerlerini sağlayan kapasitör değerleri ise Tablo 5.2'dedir.

Tablo 5.2: İstenen f_c ve Q değerlerini Veren Kapasite Değerleri

C_1	C_2	C_3	C_4	C_5	C_6	C_7	Birim
4.9	5.4	2.5	2.2	2.7	0.9	3.7	pF

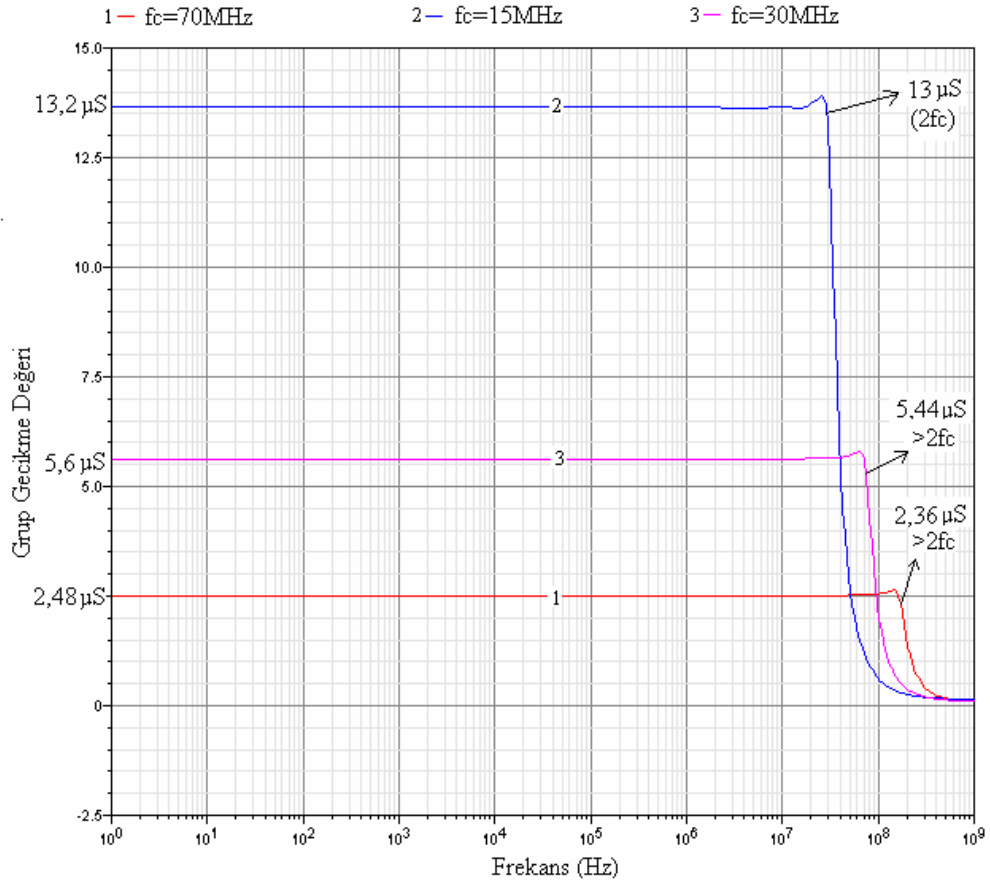
5.4 Simülasyon Sonuçları

Tasarlanan yedinci derece süzgeç Spectre simülasyon programında AMS 0.35 μm SiGe BiCMOS prosesinde ait npn121 tranzistörü kullanılmıştır.



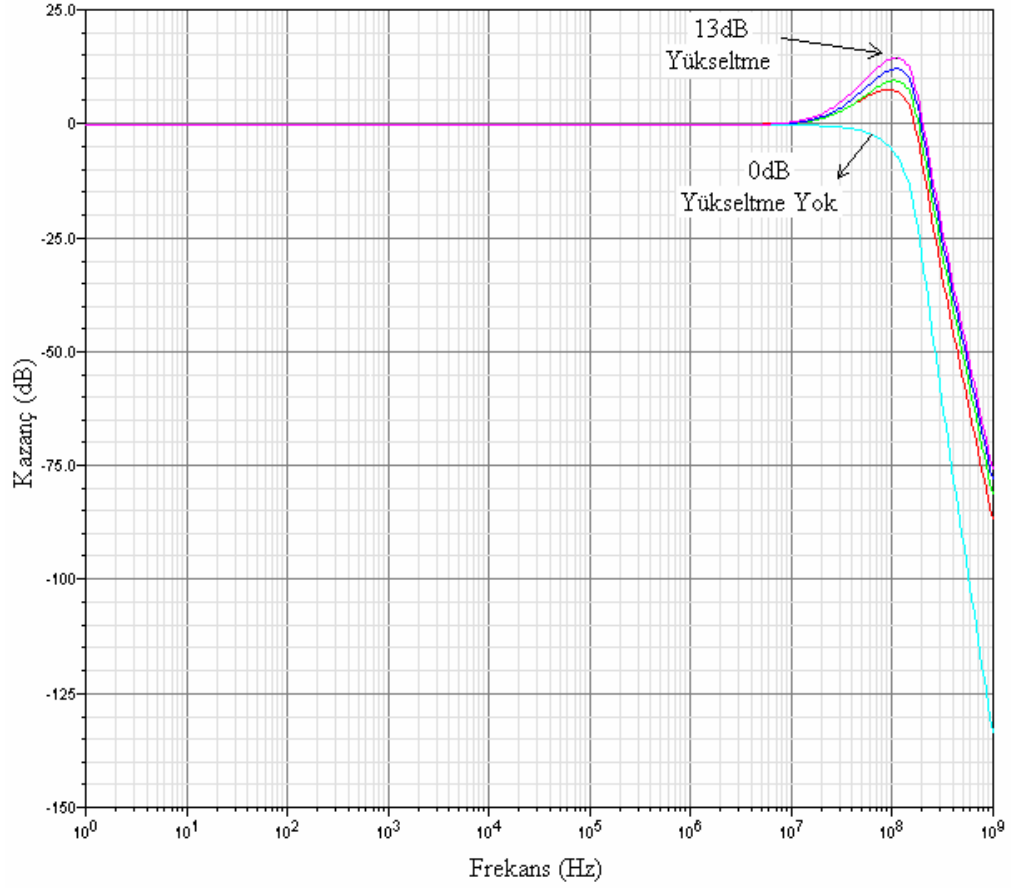
Şekil 5.17: Kesim Frekansı Kontrolü (15 MHz-75 MHz)

Şekil 5.17’de süzgecin $I_B = 60 \mu\text{A}$ değerine karşılık gelen $f_C = 70 \text{ MHz}$ için ve kutuplama akımı değişimiyle kesim frekansının kontrolü görülmektedir. Şekil 18’de ise bu kazanç eğrilerine ait grup gecikme eğrileri görülmektedir. Grup gecikme eğrilerinde görüleceği üzere 0.05 eş dalgalı bir transfer fonksiyonundan beklenen grup gecikme değerindeki doğrusallık elde edilmiştir. Süzgeç isterleri arasında bulunan grup gecikme değerinin $\pm\%5$ aralığında tutulması $2f_C$ frekansına kadar rahatlıkla sağlanabilmektedir.



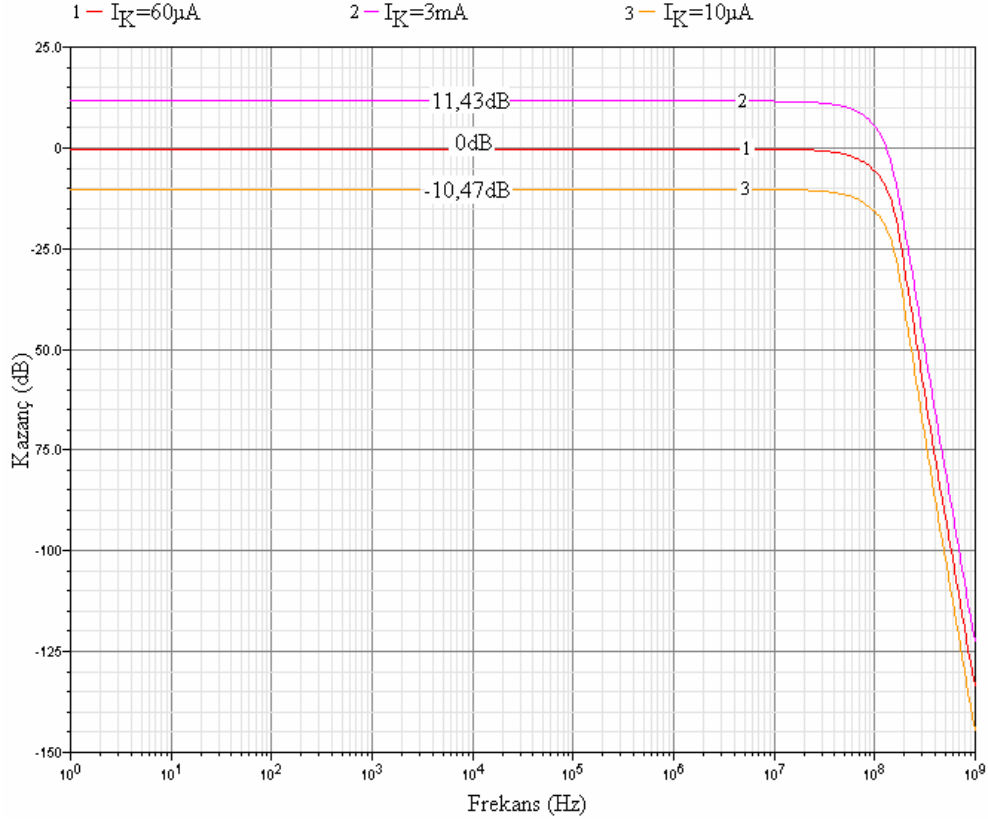
Şekil 5.18: Süzgecin Grup Gecikme Eğrileri

Süzgeçten kesim frekansı etrafında 13 dB'ye kadar istenen yükseltme ileri yönde besleme tekniği ile eklenen sıfırların konumunu belirleyen I_{FF1} ve I_{FF2} akımları ile sağlanır. İlgili özelliklerle ilgili simülasyon sonucu Şekil 20'de gösterilmiştir.



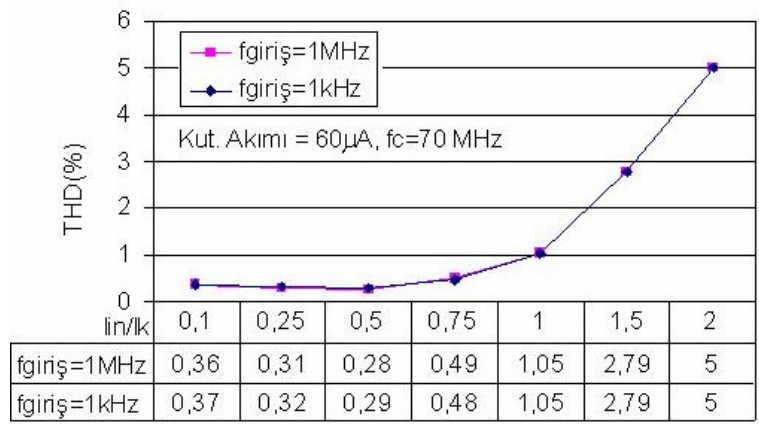
Şekil 5.20: Kesim Frekansı Etrafında 13dB'ye kadar Yükseltme İşlemi

Süzgecin giriş-çıkış kazanç değeri ise çıkış katı olarak tasarlanan ve Şekil 5.16'da gösterilen devrenin kutuplama akımı ile sağlanmıştır. İstenen kontrol aralığı olan ± 10 dB, çıkış katının kutuplama akımının 10 μ A ile 3 mA aralığında değişimi ile elde edilmiştir. İlgili grafik Şekil 20'de verilmiştir.

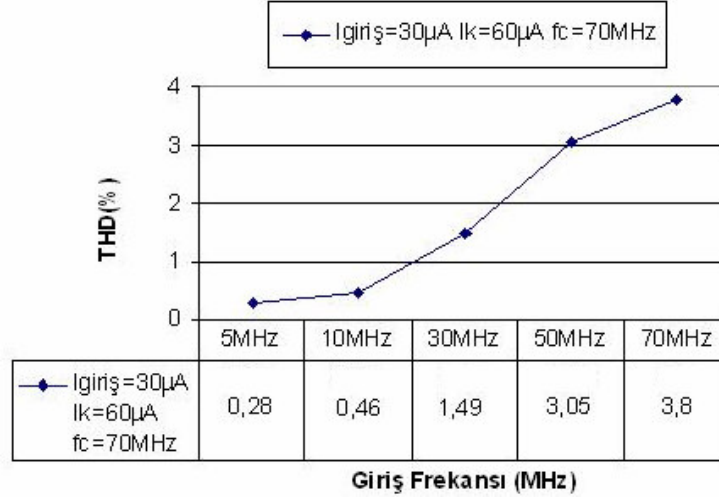


Şekil 5.20: Giriş-Çıkış Kazanç Kontrolü (± 10 dB)

Logaritmik tabanlı sistemler lineer olmayan alt bloklardan oluştuğu için incelenmesi gereken bir diğer konu ise süzgecin harmonik distorsiyon performansidir. Bu sebeple THD analizi yapılmış ve sonuçlar Şekil 5.21 ve 5.22’de verilmiştir.



Şekil 5.21: Giriş İşareti Genliğine Bağlı THD Sonuçları



Şekil 5.22: Giriş İşaretinin Frekansıyla THD Değerinin Değişimi

6. SONUÇ VE ÖNERİLER

Logaritmik tabanlı tasarımın dışındaki yöntemler kullanılarak sabit disk okuma kanalı için tasarlanmış benzer özellikteki süzgeçler incelendiğinde güç tüketiminin 55 mW - 232 mW aralığında, THD değerinin -40 dB ile -50 dB aralığında, çalışma geriliminin 2.5 V - 5 V arasında değiştiği görülmektedir [12]. Bu tezde önerilen süzgecin çalışma geriliminin 1.5 V, maksimum güç tüketiminin 10,7 mW, THD değerinin 71 dB'ye (%0,28) kadar ulaşabildiği düşünüldüğünde, logaritmik tabanlı tasarım tekniğinin daha az eleman kullanarak, daha basit yapılı, düşük gerilimle çalışabilen, düşük güç tüketimli sistemleri, istenen lineerlik kriterlerinin (THD değerleri) içinde kalarak, gerçeklemeye oldukça elverişli olduğu görülmektedir. Bu özellikleri yanında logaritmik tabanlı yapıların sinyalleri sıkıştırarak işlemeden dolayı sistemin dinamik aralığında da iyileştirmeler getirebileceği görülmektedir.

Bu tasarım tekniği bu tezde sabit disk uygulaması olarak kullanılmasına rağmen, bu çalışmaya geniş bir açıdan bakıldığında, mevcut tasarım tekniklerinden lineerlik açısından geri kalmadan ortaya konan özellikler (elektronik olarak kazanç-kesim frekansı kontrolü, düşük çalışma gerilimi, düşük güç tüketimi, daha geniş dinamik aralık, iç düğümlerdeki daha düşük gerilim salınımlarının getirdiği yüksek hızda çalışma yeteneği, basitlik) sayesinde günümüzde kullanılan pek çok analog işaret işleme birimini, bu yöntemle gerçeklemenin mevcut tasarım tekniklerinden daha uygun olabileceği öngörülebilir. Haberleşme sistemlerinde alıcı birimler üzerinde yer alan otomatik kazanç kontrollü (AGC) ve kesim frekansı kontrol edilebilen AFE (Analog Front End) birimlerini bu yöntemle tasarlamak oldukça uygun olabilir. Özellikle alıcı birimlerde istenen (alınan sinyal gücü çok farklı değerlerde olabileceğinden) geniş dinamik aralıkta çalışma yeteneği, logaritmik tabanlı tasarımın doğası gereği çok daha etkin gerçekleştirilebileceği düşünülebilir. Bir başka önemli uygulama ise sensör teknolojileri için olabilir. Dış dünyadan sensörler (ses, ışık, ısı, koku, nem, basınç, vb.) vasıtasıyla alınan analog işaretler değerlendirilmeden önce yine analog işlem blokları tarafından frekans ve zaman ekseninde çeşitli işlemlere tabi tutulurlar. Örneğin sensörlerin ürettiği işaretler lineer

olamayan kazanç kontrolü ile daha geniş bir dinamik çalışma aralığında algılanmaya çalışılır. Bu özelliği logaritmik tasarımla gerçekleştirilen mümkün olacaktır. Ayrıca sensör ağlarını oluşturan, bağımsız çalışabilen batarya ile beslenen sensörler modülleri için güç tüketiminin minimize edilmesi önemli bir ihtiyaçtır. Yine bu konuda logaritmik tabanlı tasarım uygulama imkanı bulabilir.

Sonuç olarak logaritmik tabanlı tasarımın, uygulama alanı bulması kolay ve mevcut teknikler üzerine iyileştirmeler getirebilme potansiyeli olan bir yöntem olduğu söylenebilir.

KAYNAKLAR

- [1] **Adams R. W.**, 1979. Filtering in the Log Domain, 63rd AES Conference, New York.
- [2] **Roberts, G. W., Vincent, L. W.**, 2000. Design and Analysis of Integrator-Based Log-Domain Filter Circuits, Kluwer Academic Publishers.
- [3] **Seevinck, E.**, 1990. Companding current-mode integratör: A new circuit principle for continuous-time monolithic filters, Electronics Letters, 26, pp.2064-2065.
- [4] **Frey, D. R.**, 1993. Log-domain filtering: an approach to current mode-filtering, IEE Proceedings-G 140, pp. 406-416.
- [5] **Frey, D. R.**, 1996, Exponential state-space filters: A Generic Current Mode Design Strategy, IEEE Transactions on Circuits and Systems, pp. 34-42.
- [6] **Perry, D., Roberts, G. W.**, 1996. The design of Log-domain Filters Based on Operational Simulation of LC ladders, IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 43, pp. 763-774.
- [8] **Drakakis, E. M., Payne, A. J. and Toumazou, C.**, 1997. Log domain filters, translinear circuits and Bernoulli cell, in Proceedings 1997 ISCAS, Hong Kong, pp. 501-504.
- [9] **Enz, F., Yang, C. C., Ruymbeke, M.**, 1996. Design of low power and low voltage log-domain filters, in Proceedings 1996 ISCAS, Hong Kong pp. 117-120.
- [10] **Tsividis, Y., Yannis, P.**, 1998. Externally Linear Integrators, Analog and Digital Signal Processing, Vol. 45, No. 9.
- [11] **Hematy, A. and Roberts, G.**, 1998. A fully Programmable Analog Log Domain Filter Circuit, Proc. IEEE Int. Symp. of Circuits & Systems, pp. 309-312.
- [12] **Baki Rola, A., El-Gamal Mourad, N.**, 2003. A Low-Power 5–70-MHz Seventh-Order Log-Domain Filter With Programmable Boost, Group

Delay, and Gain for Hard Disk Drive Applications, IEEE Journal of Solid-State Circuits, Vol. 38, No. 2.

- [13] **Wu, J., El-Masry, E. I.**, 2000. Fully Differential Class-AB Log-Domain Integrator, Analog Integrated Circuits and Signal Processing, 25, 35-46.

ÖZGEÇMİŞ

İsmail UĞUR, 26/03/1980 tarihinde Erzurum'da doğmuştur. Orta ve lise eğitimini Kocaeli Tüpraş Lisesi'nde tamamladıktan sonra Dokuz Eylül Üniversitesi Elektrik-Elektronik Mühendisliği Bölümü'nde lisans eğitimine başlamış, 2002 yılında lisans eğitimini bitirmiştir ve İstanbul Teknik Üniversitesinde Yüksek Lisans eğitimine başlamıştır. Askerlik görevini 2005 yılında tamamladıktan sonra yüksek lisans çalışmasına devam etmiştir. Şu an Tübitak Marmara Araştırma Merkezi, Bilişim Teknolojileri Enstitüsü'nde araştırmacı olarak çalışmaktadır.