

**İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ**

**SIFIR AS'LI İKİNCİ HARMONİK POMPALAMALI  
5.8GHZ MOSFET KARIŞTIRICI TASARIMI**

**YÜKSEK LİSANS TEZİ  
Müh. Mehmet KAYHAN**

**Anabilim Dalı : ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ**

**Programı : ELEKTRONİK MÜHENDİSLİĞİ**

**HAZİRAN 2007**

**SIFIR AS'LI İKİNCİ HARMONİK POMPALAMALI  
5.8GHZ MOSFET KARIŞTIRICI TASARIMI**

**YÜKSEK LİSANS TEZİ  
Müh. Mehmet KAYHAN  
(504051228)**

**Tezin Enstitüye Verildiği Tarih : 07.05.2007  
Tezin Savunulduğu Tarih : 14.06.2007**

**Tez Danışmanı : Prof. Dr. Osman PALAMUTÇUOĞULLARI  
Diğer Jüri Üyeleri : Prof.Dr. Ali ZEKİ  
Prof.Dr. Sıddık YARMAN (İÜ.)**

**HAZİRAN 2007**

## **ÖNSÖZ**

Bana bu çalışmayı hazırlama fırsatını veren ve gerek yurtiçi, yurtdışı bilimsel konferanslara sunumlarımda gerekse yüksek lisans tezi olarak sunma sürecimde yardımlarını ve desteğini esirgemeyen çok değerli hocam ve tez danışmanım Osman PALAMUTÇUOĞULLARI'na buradan teşekkür etmeyi bir borç bilirim. Bu tez çalışmamı bana tüm hayatım boyunca koşulsuz desteklerini sunan aileme ithaf ediyorum.

Mayıs 2007

Mehmet KAYHAN

## İÇİNDEKİLER

<b>KISALTMALAR</b>	<b>iv</b>
<b>ŞEKİL LİSTESİ</b>	<b>v</b>
<b>SEMBOL LİSTESİ</b>	<b>vi</b>
<b>ÖZET</b>	<b>vii</b>
<b>SUMMARY</b>	<b>viii</b>
<b>1. GİRİŞ</b>	<b>1</b>
1.1. Giriş ve Çalışmanın Amacı	1
1.2. Karıştırıcının Analizi	1
1.2.1. İkinci harmonik pompalama	3
1.2.2. Sıfır ara sıklık	4
1.2.3. Karıştırıcıda evre gürültüsü	4
<b>2. SIFIR AS'LI 2. HARMONİK POMPALAMALI 5.8GHz MOSFET KARIŞTIRICI TASARIMI</b>	<b>7</b>
2.1. Hiperlan	9
2.2. Tasarım Üzerine Teorik Hesaplamalar	10
2.3. Tasarımın Benzetimi	16
2.3.1. MOSFET BSIM V3 modeli	16
2.3.2. AWR Microwave Office™	16
2.3.3. Benzetim sonuçları	17
2.3.4. Test planı	22
<b>3. SONUÇLAR VE TARTIŞMA</b>	<b>24</b>
<b>KAYNAKLAR</b>	<b>26</b>
<b>EKLER</b>	<b>27</b>
<b>ÖZGEÇMİŞ</b>	<b>31</b>

## **KISALTMALAR**

<b>AS</b>	: Ara-Sıklık
<b>DK</b>	: Dönüştürücü Kazancı
<b>IP2</b>	: İkinci Derece İntermodülasyon Kesişme Noktası
<b>RF</b>	: Radyo Frekansı
<b>OFDM</b>	: Dikey Sıklık Bölmeli Çoğullama
<b>YO</b>	: Yerel Osilatör
<b>WLAN</b>	: Kablosuz Yerel Ağ

## ŞEKİL LİSTESİ

	<u>Sayfa No</u>
Şekil 1.1 : Çift dengeli karıştırıcı .....	3
Şekil 1.2 : Sıfır AS'lı bir sistemin blok diagramı .....	5
Şekil 1.3 : Evre gürültüsünün grafiksel ifadesi .....	6
Şekil 2.1 : Pompa işareti evre gürültüsü .....	8
Şekil 2.2 : Harmonik pompalamalı MOSFET karıştırıcı .....	8
Şekil 2.3 : Hiperlan sıklık spektrumu .....	9
Şekil 2.4 : Transistör eşdeğer devresi .....	11
Şekil 2.5 : Sinüsoidal gerilimle sürüm için pompa akımının değişimi .....	11
Şekil 2.6 : Y karıştırıcı modeli .....	12
Şekil 2.7 : $(g_2 / g_0)$ 'ın $\Phi$ ile değişimi .....	15
Şekil 2.8 : AWR Microwave Office™ programı ekran görüntüsü .....	17
Şekil 2.9 : Benzetimde kullanılan karıştırıcının şematığı .....	18
Şekil 2.10 : Karıştırıcının çevrim kazancının frekansa göre değişimi .....	19
Şekil 2.11 : Karıştırıcı çıkışındaki sıklık spektrumunun sıklığa göre değişimi	20
Şekil 2.12 : Çevrim kazancının yük direncine göre değişimi .....	20
Şekil 2.13 : Çevrim kazancının YO genliğine göre değişimi .....	21
Şekil 2.14 : Spektrum test düzeneği .....	22
Şekil 2.15 : İzolasyon ve VSWR test düzeneği .....	22

## SEMBOL LİSTESİ

$C_{gs}$	: Geçit-kaynak kapasitesi
$D_f$	: Tepe sıklık modülasyonu
$D_q$	: Tepe evre modülasyonu
$G_L$	: Yük iletkenliği
$g_{mi}$	: Geçiş iletkenliği
$L_1, L_2$	: Giriş empedans uydurucu endüktanslar
$Q_i$	: Giriş devresi değer katsayısı
$S_C$	: Tek yan-bant evre gürültüsü
$\Phi$	: Pompa akımı akış açısı
$V_T$	: Eşik gerilimi
$V_C$	: Kutuplamam gerilimi
$V_O$	: Pompa gerilimi
$w_q$	: İşaret sıklığı

## **SIFIR AS'LI İKİNCİ HARMONİK POMPALAMALI 5.8GHZ MOSFET KARIŞTIRICI TASARIMI**

### **ÖZET**

İşbu tezin ilk bölümü tasarımı yapılacak karıştırıcının analizine ayrılmıştır. İkinci harmonik pompalamanın özellikleri ve kullanımının getirdiği yararlar ve çekinceler üzerinde durulmuştur. Özellikle YO gürültüsünü bastırması açısından seçilen bu yöntemin uygulanması hakkında bilgiler verilmiştir. Daha sonra sıfır ara sıklık kavramı ve teze konu olan karıştırıcıya uygulanmasından bahsedilmiştir. Sıfır ara sıklık yönteminin kullanılan devre elemanlarını azaltıcı yöndeki etkisi bu yöntemin kayda değer bir uygulama alanına sahip olmasına neden olmuştur. Ayrıca bu tür karıştırıcılarda önemli bir etken olan evre gürültüsü üzerinde durulmuştur.

Tezin ikinci bölümünde öncelikle karıştırıcının teorik hesaplamaları ve kullanılan bağıntılar verilmiştir. Kullanılan transistör modelleri ve benzetim programları hakkında bilgi verilmiştir. Teorik olarak karıştırıcının yük iletkenliğinin ve YO genliğinin çalışmaya etkisi üzerine bağıntılar geliştirilmeye çalışılmıştır. Tasarımın ilk aşamasında bu bağıntılar yardımıyla karıştırıcının yaklaşık çalışma koşullarının belirlenmesi yoluna gidilmiştir. Daha sonraki aşamada hesaplamaları yapılan karıştırıcının benzetim çalışmalarına başlanmıştır. Gelişmiş bir benzetim programından yararlanarak gerçek çalışma koşullarına en yakın sonuçlar elde etmek için uğraşmıştır. Benzetim sonucu elde edilen grafikler sırayla bölüm içinde gösterilmiştir. Bu çalışmalardan elde edilen veriler yapılan teorik hesaplamalarla karşılaştırılmıştır. Daha sonra devre gerçekleştiği takdirde çalışma karakteristiklerinin çıkarılması amacıyla kullanılacak test düzenekleri üzerinde durulmuştur.

Tezin sonuç bölümünde teorik ve benzetim verilerinin birbirine uyumu konusunda yorumlar getirilmiş böylece tezin işe yararlığı irdelenmeye çalışılmıştır ve projenin ileriki olası aşamaları tartışılmıştır.



## **DESIGN OF ZERO IF SECOND HARMONICALLY PUMPED MOSFET MIXER AT 5.8GHz**

### **SUMMARY**

First part of this thesis is composed of analysis of the mixer that will be used in the project. Advantages and disadvantages of second harmonically pumped systems are mentioned in this part. Some informations are given about this method which is especially chosen for the suppression of the LO noise in the circuit. After that zero if concept and its application to the regarding mixer is stated. Because of the zero if method's effect on reducing the number of circuit components makes this concept very attractive. Also the phase noise factor which has a very dominating effect on this type of mixers is mentioned.

In the second part of the thesis priority is given to the expression of theoretical calculations and equations of the mixer used in the project. Informations are given about the transistor models and simulation programmes used in the design process. Theoretically some equations are developed about the effect of mixer's load conductance and LO voltage amplitude to the operation of mixer. In the first phase of the thesis the approximate operating conditions are determined by this equations. After that simulation of the mixer is made. A well developed simulation program is used in this process for obtaining the exact working conditions that can be possible. Graphics obtained from these simulations are shown in this part in order. A comparison is made between this results and theoretical calculations. After all possible test configuration is given for the measurement of the circuit.

In the conclusion part of the thesis comments are developed about if theoretical and simulation results support each other or not. So it is examined if the theory is useful and prospective progress of the project is discussed.

# 1. GİRİŞ

## 1.1 Giriş ve Çalışmanın Amacı

Sıfır AS'lı ikinci harmonik pompalamalı 5.8GHz MOSFET karıştırıcı tasarımı adlı çalışmayla, hem alt harmonik pompalamanın hem de sıfır ara-sıklık yönteminin faydalarının birleştirilip bu yöntemlerin birlikte pek fazla kullanılmadığı HIPERLAN uygulamalarına yönelik bir tasarım gerçekleştirilmesi amaçlanmaktadır. Bu amaç doğrultusunda teorik hesaplamalardan yola çıkarak yeni bir optimizasyon yaklaşımıyla tasarım istenen değer aralıklarında oluşturulmaya çalışılmıştır.

Tez teorik hesaplamaların üstünde temellendirilerek yaklaşımın ana hatları belirlenmiş daha sonra elde edilen sonuçları teyit etmek amacıyla benzetim çalışmalarına geçilmiştir. En son olarak da teorik ve benzetim çalışmaları birbiriyle karşılaştırılmıştır.

Yüksek dönüştürücü kazancına sahip ve düşük gürültü seviyesinde işgören karıştırıcıların tasarımı yolunda belirtilen amaca yönelik yapılan araştırmaların arasına katılması umulan bu çalışmanın yalnızca bir yüksek lisans tezi olarak kalmasının ötesinde ileride daha da geliştirilerek gerçek iletişim devrelerinde yaygın olarak kullanılabilir hale gelmesi en büyük amaç olarak ortaya konmuştur.

## 1.2 Karıştırıcının Analizi

Karıştırıcılar, belirli bir işaretin sıklığını istenen başka bir sıklığa dönüştürmek için kullanılan doğrusal olmayan devre yapılarıdır. Temelde tüm karıştırıcı yapıları devrede bulunan yüksek genliğe sahip bir yerel osilatörün, girişteki RF işaretinin sıklığının anahtarlama yada modüle etme yöntemiyle istenen ara sıklığa dönüştürülmesi ilkesine göre çalışır. Bu doğrultuda çalışma ilkesini denklemler aracılığıyla ifade etmek gerekirse, öncelikle işe iki tane giriş işaretini ele alarak başlayabiliriz:

$$a = A \sin(\omega_1 t + \phi_1) \quad \text{ve} \quad b = B \sin(\omega_2 t + \phi_2) \quad (1.1)$$

Bu işaretlerin çarpımı aşağıdaki gibi bir sonuç ortaya çıkarır:

$$a \times b = AB \sin(\omega_1 t + \phi_1) \sin(\omega_2 t + \phi_2) \quad (1.2)$$

Trigonometri dönüşümlerini kullanarak yukarıdaki ifadeyi aşağıdaki gibi daha kullanışlı bir hale dönüştürebiliriz:

$$a \times b = -\frac{AB}{2} [\cos((\omega_1 + \omega_2)t + (\phi_1 + \phi_2)) - \cos((\omega_1 - \omega_2)t - (\phi_1 + \phi_2))] \quad (1.3)$$

Yukarıdaki ifadede görüldüğü gibi işaretlerin çarpım işlemi sonucu, işaret sıklıklarının toplamı ve farkı şeklinde iki farklı sıklıkta işaret oluşmaktadır. Devrenin çalışma amacına göre oluşan işaretlerden biri kullanılacaktır. Diğ erinin ise çalışmayı etkilememesi amacıyla yok edilmesi gerekir. İşte bu amaçla oluşan iki farklı sıklıktaki işaret karıştırıcı çıkışında gerekli özelliklere sahip bir süzgeçten geçirilerek işaretlerden birinin uzaklaştırılması sağlanır. Böylece karıştırıcıdan sadece istenen işaret alınmış olur. Bu teze konu olan çalışmada gerekli olan işaret ise sıklıkların farkından oluşan arasıklık (AS) olarak tanımlanan işarettir. 5.8GHz'deki bir RF işareti 2.9GHz'de çalışan bir yerel osilatör yardımıyla temel bant işaretine dönüştürülmektedir.

Esas olarak iki çeşit karıştırıcı vardır. Birincisi pasif karıştırıcılar ikincisi ise aktif karıştırıcılardır. Pasif karıştırıcıların çevrim kayıpları ve gürültüsü daha fazla olmasına rağmen intermodülasyon başarımları genelde daha iyidir [1]. Karıştırıcılar ayrıca tek dengeli ve çift dengeli karıştırıcılar olarak da sınıflandırılabilir. Çift dengeli karıştırıcıların doğrusallık, port izolasyonu, istenmeyen sıklık bileşenlerinin bastırımı açılarından tek dengelilere göre daha üstün oldukları bilinmektedir.

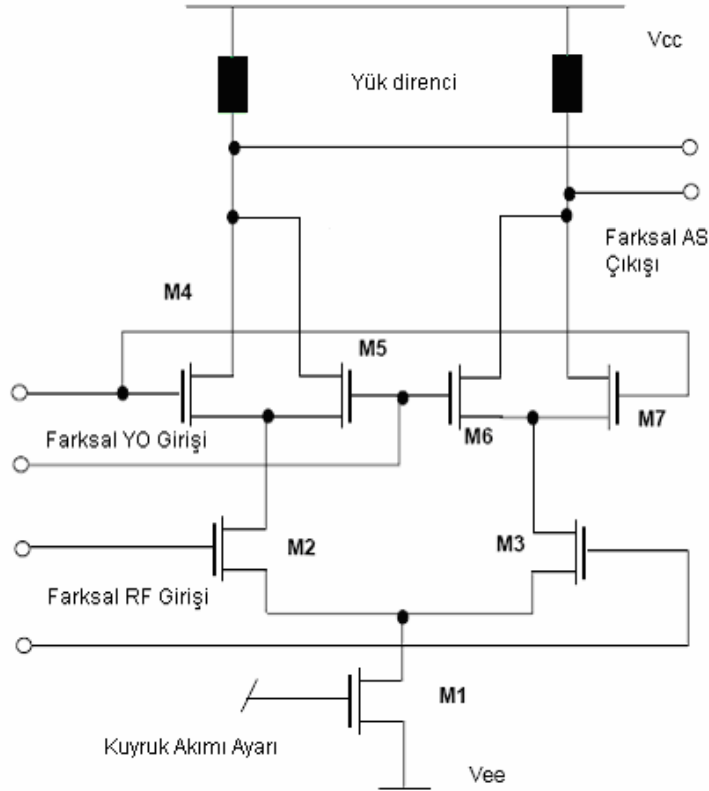
Çift dengeli karıştırıcıların en bilinen türü Gilbert hücresidir. İşbu teze konu karıştırıcının tasarımında da bu yapıdan yararlanılmıştır. Tüml eşik devre uygulamalarına da daha uygun olan bu devre yapısı Şekil 1.1'de gösterilmektedir. Sahip olduğu simetrik yapı sayesinde çıkışta istenmeyen sıklık bileşenleri birbirlerini götürmeleri sonucu yok olmaktadır.

Bu yapıda giriş RF gerilim işareti M2 ve M3 transistörleri aracılığıyla akım işaretine çevrilmektedir. Bu transistörlerin düzgün çalışması için doyuma ulaşmamaları gerekir.

M4'ten M7'ye kadar olan transistörlere ise yüksek genlikli yerel osilatör işareti uygulanarak anahtarlama yapması sağlanmaktadır. Böylece bu transistörlerde girişten gelen RF akım işaretiyle yerel osilatör işareti çarpılmaktadır. Elde edilen işaret ise yük dirençleri aracılığıyla gerilime çevrilip farksal olarak devrenin çıkışından alınmaktadır.

### 1.2.1 İkinci Harmonik Pompalama

Şekil 1.1'deki devre yerel osilatörün ikinci harmonik pompalama ilkesine göre karıştırma yapmasına olanak sağlamaktadır. İkinci harmonik pompalama özellikle istenen özelliklerde işaret üreteçlerinin tasarım ve üretim maliyetinin pahalı olduğu yüksek frekanslarda kullanılmaktadır. Teze konu olan çalışmada  $5.8GHz$ 'deki RF işaretinin temel banda indirilmesi için normalde  $5.8GHz$ 'de çalışan bir osilatör gerekir. Fakat karıştırıcı ikinci harmonik pompalama esasına göre tasarlandığında ihtiyaç duyulan osilatör frekansı  $2.9GHz$  olacaktır. Genel olarak alt-harmonik osilatörlerin tasarımı zor olsa da gelişmiş elektronik tasarım otomasyon (EDA) programlarının yardımıyla bu osilatörlerin başarımlarının optimizasyonu çok daha kolay hale gelmiştir.



Şekil 1.1 : Çift Dengeli Karıştırıcı

### 1.2.2 Sıfır Ara Sıklık

Gelişen entegre devre teknolojisi sayesinde çip tasarımcıları gittikçe daha fazla oranda sıfır AS'lı çip setleri tasarımına yönelmektedirler. Özellikle cep telefonu tasarımcıları sıfır AS'lı tasarımları sayesinde piyasaya çok daha kısa zamanda, çok daha az maliyetle yüksek başarılı ürünlerini sunabilmektedirler [2].

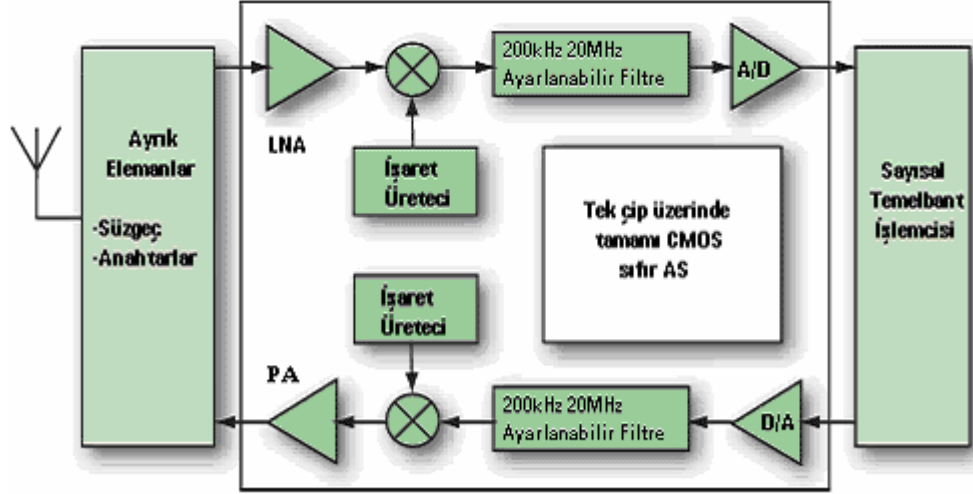
Sıfır AS'ta çalışan bir cihaz gelen RF analog işaretini doğrudan temel banda çevirir. Daha sonra bu temel band işareti analog-sayısal çeviriciler sayesinde sayısal ortama aktarılır ve üzerinde gerekli işlemler gerçekleştirilir. Şekil 1.2'de blok diagramı olarak bir sıfır AS'lı sistem gösterilmektedir. Bu şekilde tasarımda kullanılan devre elemanı sayısı gözle görülür oranda azaltılmış olur. Eleman sayısındaki azalma ise beraberinde devre planının küçülmesini ve dolayısıyla maliyetin aşağı çekilmesini getirir. Devre parçalarının bu şekilde azaltılması tedarik zinciri, üretim işlemlerini kolaylaştırır ve ayrıca verimliliğin de artırılmasına katkıda bulunur.

Tüm bunların yanında sıfır AS'lı sistemlerin bazı dezavantajları da yok değildir. İkinci derece kesişme noktasından (IP2) kaynaklanan sorunlar, yerel osilatörün (YO) sızıntısı, DC ofset bunların en önemlilerindedir. Yerel osilatörün alıcı devrede geri sızıntısı antenden RF işaretle aynı bantta bir bozucu işaret yayılımına sebep olacağından ve bu da diğer bant kullanıcılarını olumsuz yönde etkileyeceğinden YO sızıntısı çok iyi şekilde izole edilmelidir. İdeal olarak bir alıcı devrede RF işaretin temel banda aktarımı sırasında sadece bozulmamış bilgiler çıkışta görülebilecektir. Ama devrenin RF ve temel bant analog kısımlarından kaynaklanan uyumsuzluklar nedeniyle çıkışta bir DC ofset işareti de istenilmeyen bir şekilde temel bant işaretime eklenecektir. Bu ofset hataları devrenin sıcaklığına ve yaşına göre ilerleyen zamanlarda daha da artabilir.

### 1.2.3 Karıştırıcıda Evre Gürültüsü

Kablosuz yerel ağ (WLAN) haberleşme sistemlerinde çoklu yol etkilerini bertaraf etmesi, bant genişliğini daha verimli kullanması, impulsif gürültüden daha az etkilenmesi kabiliyetlerinden dolayı [3] çoğunlukla dikey sıklık bölmeli çoğullama (OFDM) kullanılmaktadır. Bu sistemler yukarıda belirtilen teknolojiler için en iyi çözümlerden biri olsa da özellikle rastlantısal genlik dalgalanmaları göstermeleri ve evre gürültüsünden yüksek oranda etkilenmeleri başlıca dezavantajlarıdır [4]. Evre gürültüsü

osilatörün sıklığında meydana gelen anlık değişimlerden kaynaklanmaktadır. Osilatördeki bu durumun kaynağı ise termal, flicker ve  $1/f$  gürültüleridir.  $5GHz$  civarında çalışan bir osilatörün ölçülmüş evre gürültüsü değerleri yaklaşık olarak  $1kHz$ 'de  $-75dBc/Hz$  değerinde,  $10kHz$ 'e kadar  $-10dB/dec$ 'lık bir eğimle değişmektedir [5].  $2GHz$  civarında ise yaklaşık olarak  $1kHz$ 'de  $-70dBc/Hz$  değerinde,  $20kHz$ 'e kadar  $-30dB/dec$ 'lık bir eğimle değişmektedir [5].



Şekil 1.2 : Sıfır AS'lı Bir Sistemin Blok Diagramı

Evre gürültüsüne teorik açıdan bakıldığında bir osilatörün anlık çıkışı aşağıdaki formül ile ifade edilebilir:

$$V(t) = V_o(1 + A(t))\sin(2\pi ft + q(t)) \quad (1.4)$$

Burada  $A(t)$  ve  $q(t)$  anlık genlik ve evre değişimlerini ifade etmektedir.  $A(t) \ll 1$  olarak kabul edilir. Tepe evre modülasyonu  $D_q$  ile sıklık modülasyonu  $D_f$  arasında rms değeri açısından aşağıdaki ilişki vardır:

$$D_{qrms} = \frac{D_{frms}}{f} \quad (1.5)$$

Evre değişimlerinin tek yan-bant spektral dağılımının  $1 Hz$  bant genişliği başına değeri:

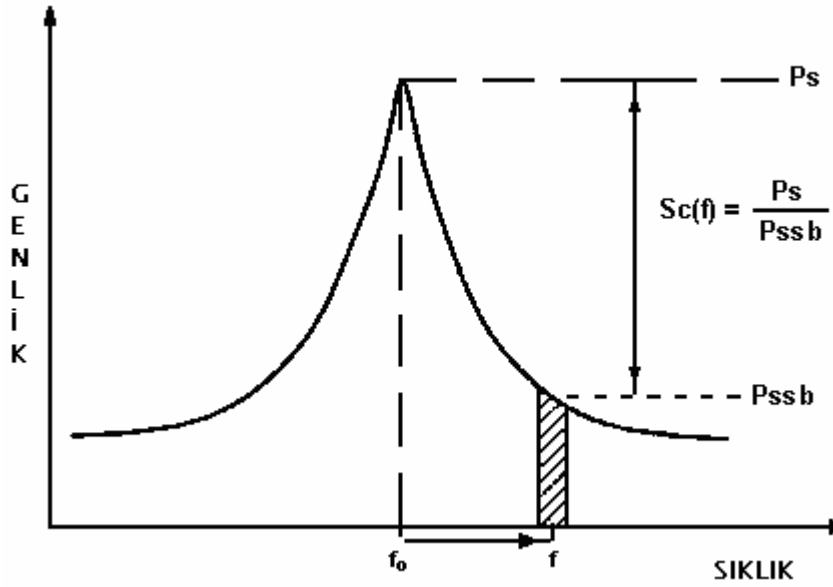
$$S_{Dq}(f) = \frac{(D_{qrms})^2}{BW} \quad (1.6)$$

Aynı şekilde sıklık deęişimlerinin tek yan-bant spektral daęılımının 1 Hz bant geniřlięi başına deęeri ařaęıdaki gibidir:

$$S_{Df}(f) = \frac{(D_{fms})^2}{BW} \quad (1.7)$$

Buradan tek yan-bant evre gürültüsünün gösterimi yani taşıyıcıdan f ofset sıklığı kadar uzakta 1Hz başına düşen evre modülasyonu tek yan-bant gücünün, toplam iřaret gücüne oranı ařaęıdaki gibi yapılabilir:

$$S_c(f) = \left( \frac{Df_{peak}}{2f} \right)^2 = \frac{1}{2} (S_{Dq}(f)) \quad (1.8)$$



**řekil 1.3 :** Evre Gürültüsünün Grafikselsel İfadesi

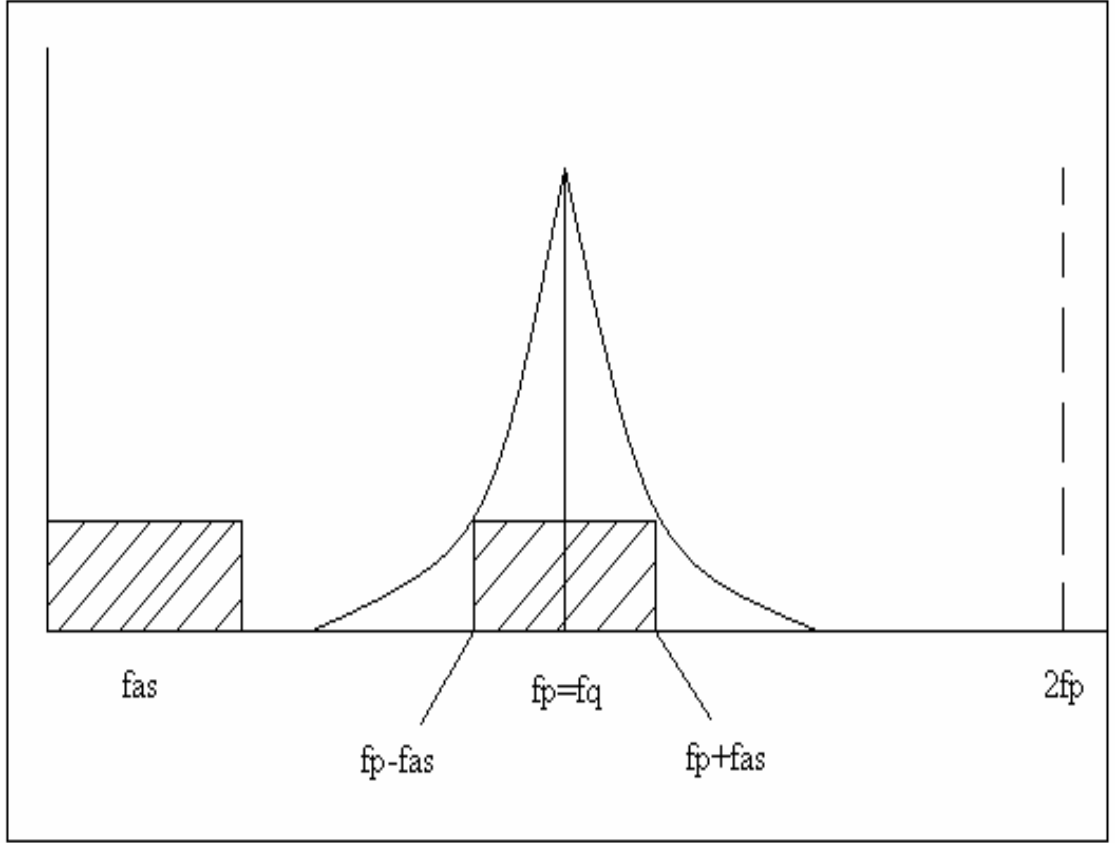
řekil 1.3'de yukarıdaki baęıntı grafikselsel olarak ifade edilmiřtir. řekilde  $P_s$  taşıyıcı gücünü,  $P_{ssb}$  ise evre modülasyonunun tek yan-bant gücünü göstermektedir.

## 2. SIFIR AS'LI 2. HARMONİK POMPALAMALI 5.8GHz MOSFET KARIŞTIRICI TASARIMI

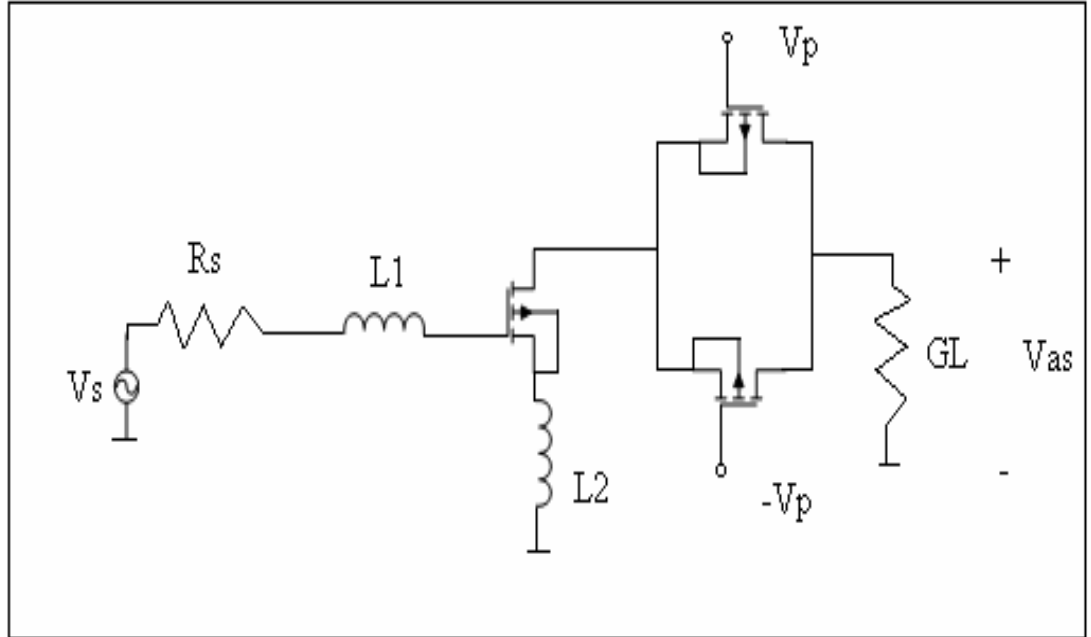
Literatürde MOSFET'li 1. Harmonik karıştırıcılar değişik uygulamalarda kullanılmış olup, anahtarlamalı türden çalışan tek dengeli tür en yaygın olarak kullanılanlardan biridir [6]. Bunun ötesinde AS (Ara-Sıklık) kapısında hem işaretin ve hem de YO'un bastırıldığı çift dengeli karıştırıcı (Gillbert Cell), en çok yeğlenen diğer bir karıştırıcı türüdür. Bu karıştırıcılardan elde edilen dönüştürücü kazançları tek-dengeli tür için  $4dB$  ve çift dengeliler için  $6dB$  mertebelerindedir. Hiperlan uygulamalarında kullanılan kipleme yöntemi, RF işaretinin hem evresi hem de genliğinin değiştiği modülasyon türü olan OFDM olup, evre gürültüsünün etkisi çok önemlidir. Bu amaçla evre gürültüsünün en önemli kaynağı olan YO'un evre gürültüsü sıklık yayılımı için, çok sıkı standartlar belirlenmiştir. Bu değerlerin elde edilebilmesi için YO tasarımında özel yöntemlerinin kullanılması zorunludur [7]. 1. harmonik karıştırmada dönüştürücü kazanç değerleri yüksek olmakla birlikte, YO gürültüsü olduğu gibi AS bandına aktarılır. Böyle bir karıştırıcıda kullanılan YO'un, standartların belirlediği evre gürültüsü karakteristiğine sahip olması zorunludur. İkinci harmonik karıştırmada ise, 1. harmonik karıştırma ürünleri tümüyle yok edildiği zaman, YO gürültü bandının AS bandına aktarımı tümüyle önlenmiş olur (Şekil 2.1). Bu özellik, eski uygulamalardan beri bilinmektedir [8,9]. Bu tür karıştırıcılarla elde edilecek dönüştürücü kazançları daha düşüktür [8,10]. Ancak, 1. harmonik karıştırma ürünlerinin bastırılması durumunda, bu fark azalabilmektedir [11,12] .

1. harmoniklerin yok edilmesi, diyotlu karıştırıcılarda birbirine ters iki diyodun paralel bağlanımı ile kolayca sağlanabilmektedir [8]. MOSFET'li karıştırıcılarda ise, iki eş MOSFET'e işaretin aynı evrede ve YO'un işaretinin ise  $180^\circ$  evre farkı ile uygulanması ve MOSFET çıkışlarının birleştirilmesi sonucu bu özellik sağlanabilir [9]. Bu sürüm şekli ilkesel olarak Şekil 2.2' de gösterilmiştir. Bu sayede yük direnci üzerinde oluşan ara-sıklık geriliminin YO gürültü bandından etkilenmesi önlenmiş olur.





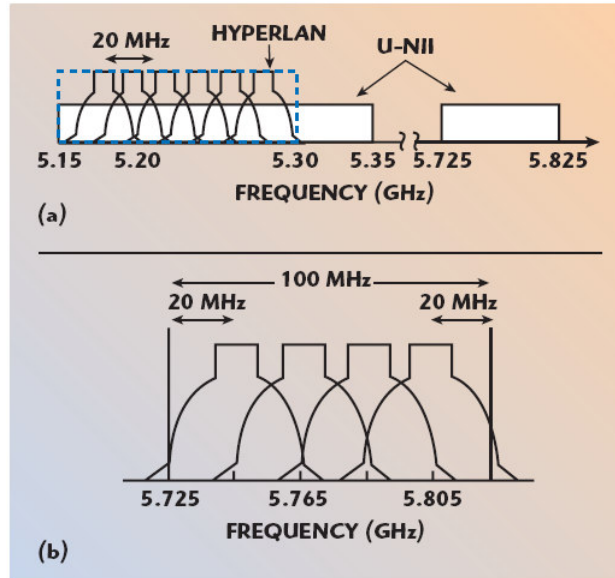
Şekil 2.1 : Pompa İşareti Evre Gürültüsü



Şekil 2.2 : Harmonik Pompalamalı MOSFET Karıştırıcı

## 2.1 Hiperlan

HIPERLAN kablosuz yerel ağ haberleşmesinde kullanılmak üzere geliştirilmiş yeni bir sistemdir. Haberleşme kanallarında modülasyon olarak OFDM sistemi kullanılmaktadır. Bu sistem yüksek dağınımlı kanallarda çok iyi bir performans göstermektedir. OFDM'in temel mantığı, geniş bantlı ve yüksek veri hızına sahip bilgilerin birçok paralel, aralıklı bit paketlerine bölünüp bu paketlerin ayrı alt taşıyıcıları modüle ederek iletilmesine dayanır. 20MHz olan kanal aralığıyla makul sayıda kanal sayısı ile birlikte yüksek bit oranlarına ulaşılmasını mümkün kılar. Her kanal için 52 adet alt taşıyıcı kullanılır. Bu taşıyıcıların 48 tanesi veri için kalan 4 tanesi ise uygun demodülasyon işlemi için evre takibi amacıyla kullanılır. HIPERLAN'ın genel özellikleri şöyle sıralanabilir: Yüksek hızda iletişim, servis kalitesi desteği, otomatik sıklık tahsisi, güvenlik desteği, mobilite desteği, network ve uygulamalardan bağımsızlık ve güç tasarrufu. Şu an kullanımda olan HIPERLAN/1 ve HIPERLAN/2 isminde iki adet versiyonu bulunmaktadır. Şekil 2.3'de HIPERLAN haberleşme uygulamaları için belirlenmiş sıklık bandı ve kanalları gösterilmektedir. Bu çalışmada da 30MHz'lik bir bant aralığında istenen değerler sağlanacak şekilde tasarım yapılmıştır.



Şekil 2.3 : Hiperlan Sıklık Spektrumu

## 2.2 Tasarım Üzerine Teorik Hesaplamalar

Tasarımı gerçekleştirmek amacıyla ilk olarak kullanılacak olan Gilbert hücresinin RF giriş portundan yola çıkılmıştır. Bu portta yer alan transistörün eşdeğer devresi Şekil 2.4'teki gibi elde edilebilir. Öncelikle devrenin empedans uyum koşulları gereği aşağıdaki bağıntılar çıkarılmıştır:

$$V_S = \left\{ R_s + j \left[ \omega L_1 + \frac{1}{\omega C_{gs}} + \omega L_2 \right] + g_{mi} V_c j \omega L_2 \right\} \quad (2.1.a)$$

$$V_S = R_s + g_{mi} \frac{L_2}{C_{gs}} + j \left[ \omega(L_1 + L_2) - \frac{1}{\omega C_{gs}} \right] \quad (2.2.b)$$

$$V_c = -j \frac{1}{\omega C_{gs}} I_s \quad (2.3)$$

Yukarıdaki bağıntıda empedans uyumu için sanal kısım 0 olmalıdır. Gerçek kısımda ise düzenleme yapıldığında karşımıza (2.4) bağıntısı çıkar. İşaret girişi çalışma sıklığında rezonansa getirildiğinde, girişte empedans uyumu için;

$$g_{mi} \frac{L_2}{C_{gs}} = R_s \quad (2.4)$$

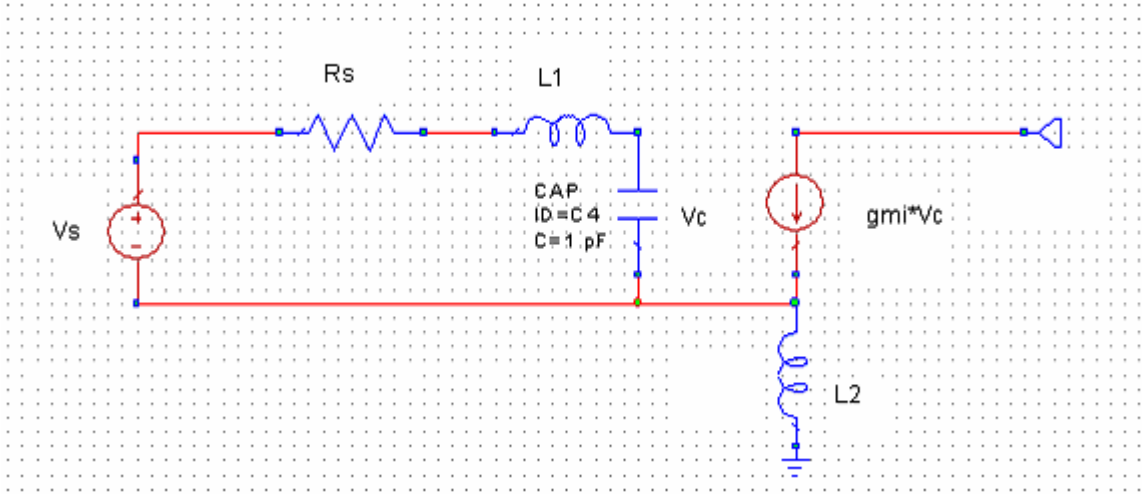
$$\omega_q^2 = 1/(L_1 + L_2)C_{gs} \quad (2.5)$$

bağıntılarının sağlanması gerekir. Burada sırasıyla;  $g_{mi}$  ve  $C_{gs}$  giriş MOSFET'inin geçiş iletkenliği ve geçit-kaynak kapasitesini ve  $\omega_q$  da işaret sıklığını göstermektedir. Dolayısıyla,  $L_2$  ve  $L_1$  değerlerinin uygun seçimiyle girişte rezonans ve empedans uyumu aynı anda sağlanabilir.

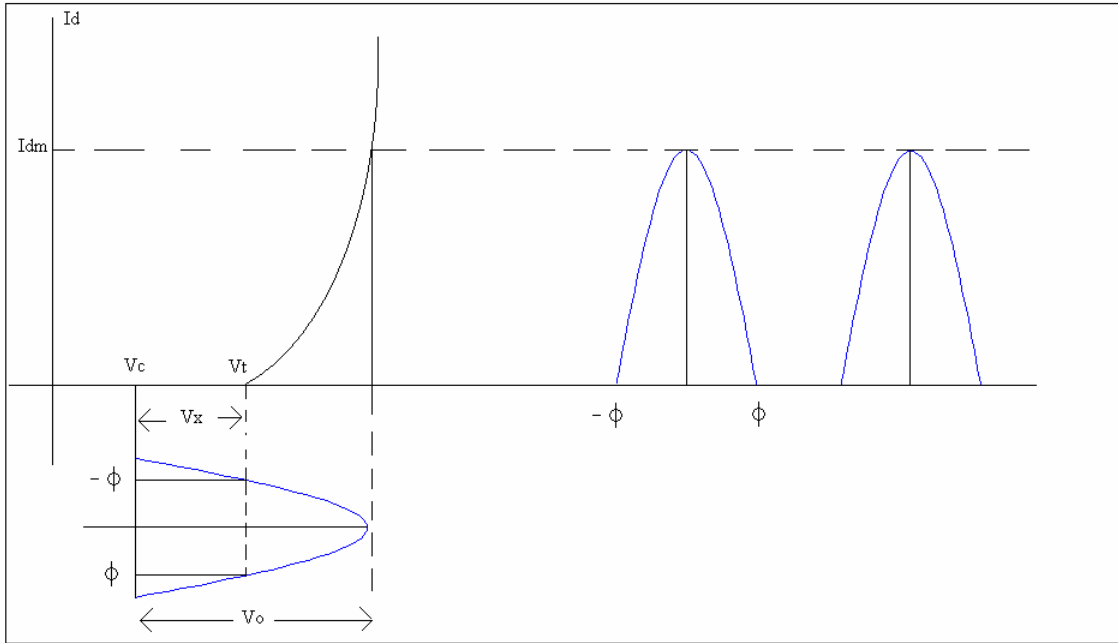
MOSFET'in geçiş öz-eğrisinin karesel olduğu varsayımı altında ve pompa işaretinin saf sinüzoidal olması durumunda, pompa akımının değişimi Şekil 2.5'teki gibi olacaktır. Akım değişiminin periyodik olması nedeniyle geçiş iletkenliği de periyodik olarak değişecektir ve bu değişimin Fourier açılımı yapıldığında, geçiş iletkenliği;

$$g(t) = g_0 + 2 \sum_{n=1}^{\infty} g_n \cos n\omega_p t \quad (2.6)$$

şeklinde yazılabilir. Burada; n: harmonik (mertebeye) sayısını ve  $\omega_p$  de pompa (yerel osilatör) açısal sıklığını göstermektedir. Pompalama 2. mertebeden olacağından, söz konusu n değerleri 0 (doğru bileşen) ve 2 dir.

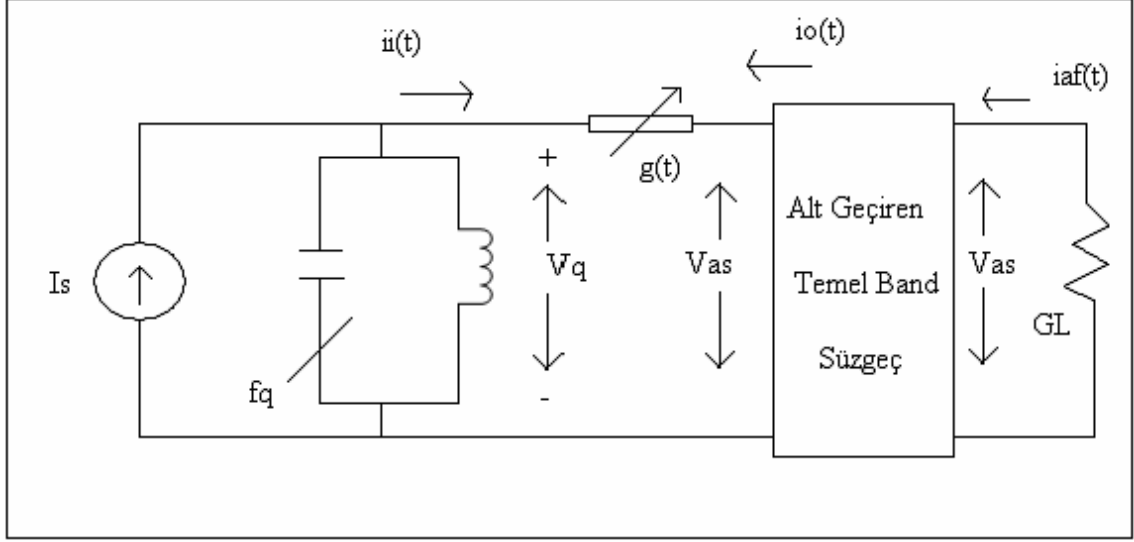


**Şekil 2.4 :** Transistör Eşdeğer Devresi



**Şekil 2.5 :** Sinüzoidal Gerilimle Sürüm İçin Pompa Akımının Değişimi

MOSFET'leri zamanla periyodik olarak değişen iletkenlik olarak düşündüğümüzde, girişte yalnızca işaret frekanslı gerilimin (pompa ve diğer tüm harmonikler kısa devre) ve çıkışta da yalnızca Ara Sıklık (Temel Bant) gerilimi (işaret, pompa ve diğer harmonikler kısa devre)nin oluşması sağlandığında, karıştırıcı devresi Şekil 2.6'daki gibi modellenebilir. Bu modellemenin ismi literatürde Y Karıştırıcı olarak yer almaktadır.



**Şekil 2.6 : Y Karıştırıcı Modeli**

Şekil 2.6'daki eşdeğer devrede çıkış akımına dair aşağıdaki bağıntı oluşturulabilir:

$$I_o = +j \frac{1}{\omega C_{gs}} \frac{V_s}{2R_s} g_{mi} \quad (2.7.a)$$

Bu durumda Şekil 2.6'daki akım kaynağı MOSFET'in savak akım kaynağı olacaktır ve değeri;

$$I_0 = Q_i g_{mi} V_s \quad (2.7.b)$$

şeklinde yazılabilir. Burada;

$$Q_i = 1/2\omega_q C_{gs} R_s \quad (2.8)$$

olarak giriş devresinin değer katsayısıdır.

Şekil 2.6'daki Y karıştırıcının dönüştürücü kazancı devrenin gerilim-akım matris bağıntısı içinde (2.7.b) bağıntısı kullanılarak;

$$DK = 4R_S G_L \left( \frac{V_{if}}{V_S} \right)^2 = 4R_S G_L \left( \frac{g_2 g_{mi} Q_i}{g_0 (g_0 + G_L) - g_2^2} \right)^2 \quad (2.9)$$

olarak yazılabilir. Burada  $g_0$  ve  $g_2$ ; Fourier açılımı (2.6) da verilen periyodik olarak değişen geçiş iletkenliğinin ortalama değer ve ikinci harmonik bileşenlerinin katsayılarıdır. Görülebileceği gibi, (2.9) bağıntısı yük iletkenliği  $G_L$ 'ye göre optimize edilebilir. İşlemler sonunda (2.9) bağıntısını en büyük yapacak yük iletkenliği,  $g_0$  ve  $g_2$  cinsinden;

$$G_{L0} = g_0 \left[ 1 - \left( \frac{g_2}{g_0} \right)^2 \right] \quad (2.10)$$

olarak bulunur.  $G_L$ 'nin bu değeri için  $DK$  optimum olacaktır. (2.10) bağıntısı (2.9) da kullanılarak bu değer;

$$DK_0 = \frac{R_S g_{mi}^2 Q_i^2 (g_2 / g_0)^2}{g_0 [1 - (g_2 / g_0)^2]} \quad (2.11)$$

olarak bulunur. Görüldüğü gibi, Şekil 2.2'deki pompa akımının akış açısı  $\Phi$ 'ye bağlı olarak değişen  $(g_2 / g_0)$ 'ı en büyük yapan  $\Phi$  değeri için  $DK_0$  en büyük olacaktır.

Şekil 2.5'de gösterilen sinüzoidal gerilimle sürüm için MOSFET'in geçiş iletkenliği katsayıları hesaplanabilir. MOSFET'ler doyumda çalıştıklarından, savak akımı, geçit-kaynak gerilimi değişim bağıntısı;

$$i_D = K_N (v_{GS} - V_T)^2 \quad (2.12)$$

olarak yazılabilir. Burada;  $K_N$ :  $A/V^2$  olarak MOSFET'in yapısal parametresini ve  $V_T$  de eşik gerilimini gösterir.  $V_C$  geriliminde kutuplanmış  $V_0$  genlikli pompa gerilimi ile sürüm için akış açısı ;

$$\Phi = \cos^{-1} \frac{V_T - V_C}{V_O} = \cos^{-1} \frac{V_X}{V_O} \quad (2.13)$$

Bağıntısıyla hesaplanabilir. Şekil 2.5'deki sürüm için geçiş iletkenliğinin bir periyot boyunca değişimi;

$$g(t) = 2K_N V_O [\cos \omega_p t - \cos \Phi] \quad -\Phi \leq \omega_p t \leq \Phi \quad (2.14.a)$$

$$g(t) = 0 \quad \Phi < \omega_p t < 2\pi - \Phi \quad (2.14.b)$$

Şeklinde olacaktır. Belirtilen sınırlar içinde Fourier açılımı yapıldığında, tek bir MOSFET için bu katsayılar;

$$g_0^1 = 2K_N \frac{V_O}{\pi} [\sin \Phi - \Phi \cos \Phi] \quad (2.15.a)$$

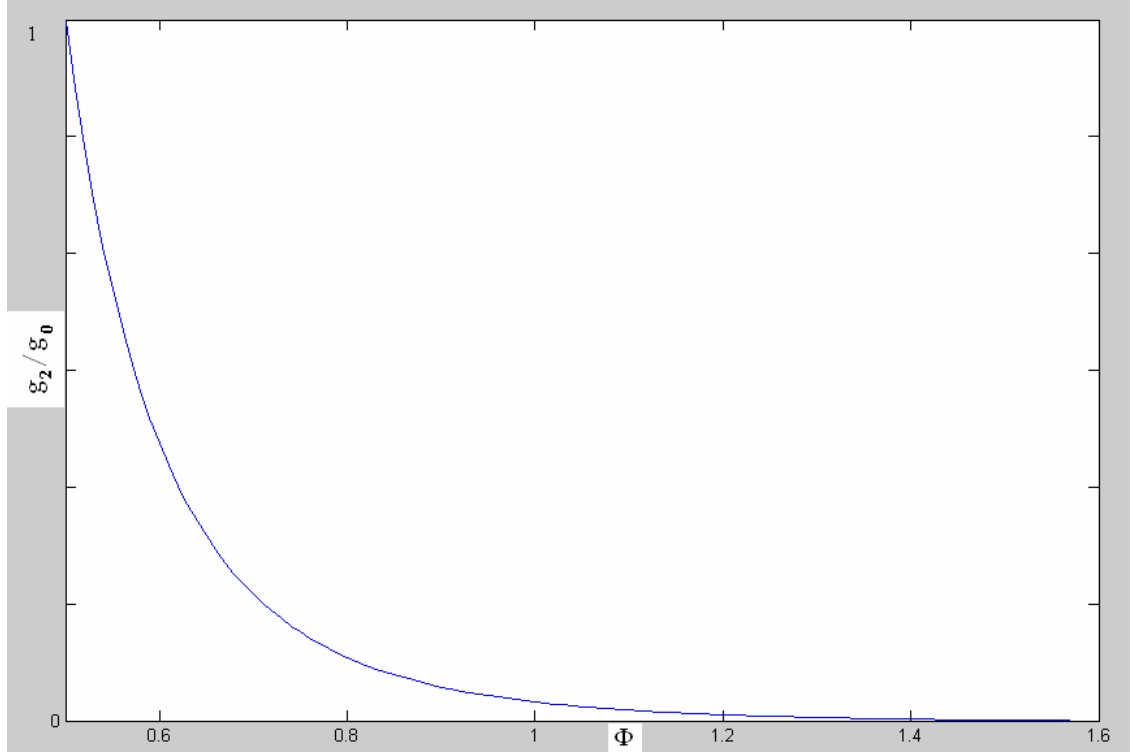
$$g_1^1 = K_N \frac{V_O}{\pi} \left[ \Phi - \frac{1}{2} \sin 2\Phi \right] \quad (2.15.b)$$

$$g_2^1 = K_N \frac{V_O}{3\pi} \sin \Phi [1 - \cos 2\Phi] \quad (2.15.c)$$

İki MOSFET'in  $180^\circ$  evre farkıyla sürülmesi durumunda,  $g_0 = 2g_0^1$ ,  $g_2 = 2g_2^1$  ve  $g_1 = 0$  olacaktır. Bu durumda 1. harmonik pompalama bileşenleri tümüyle bastırılmaktadır. (2.15)'de bulunan sonuçlar (2.11) bağıntısında yerine konacak olursa,  $(g_2 / g_0)$  oranı;

$$(g_2 / g_0) = \frac{\sin \Phi (1 - \cos 2\Phi)}{6(\sin \Phi - \Phi \cos \Phi)} \quad (2.16)$$

olacaktır. Bu bağıntının değişimi Şekil 2.7'de gösterilmiştir. Görüldüğü gibi,  $\Phi = 0$  için en büyük olmakta ve açının artımı ile değeri düşmektedir.



**Şekil 2.7 :** ( $g_2 / g_0$ )'ın  $\Phi$  ile Değişimi

Ancak,  $\Phi = 0^\circ$  değeri, akımın sıfır ve yük iletkenliğinin de sonsuz olmasına karşılık gelir.  $\Phi$  akış açısının, dolayısıyla kazancın en uygun değerini, devrenin yapısı gereği savağa bağlanabilecek en küçük yük iletkenliğinin değeri belirleyecektir. Empedans uyumu için gerekli  $L_2=1.3nH$ ,  $L_1=600nH$  olarak bulunur. Benzetim sonuçlarında da gösterileceği gibi, seçilen transistör için akış açısı olarak  $\Phi = 44.2^\circ$  seçilecek olursa devrenin uygun çalışma koşullarını sağladığı belirlenen  $G_L \approx 5mS$  ( $R_L \approx 200\Omega$ ) için pompa genliği  $V_0 \approx 1.95V$  bulunur. Süren akım kaynağı MOS için  $Q_i = 1.95$  olarak hesaplanır. Bu değerlerin (2.11) de kullanılmasıyla  $DK_0 = 4.5 = 6.53dB$  bulunur. Bu değer, diyotlu harmonik karıştırıcılar için bulunan kayıp değerlerinin [6] üstündedir. Ancak, aktif karıştırıcılarla elde edilen değerlerden [7,8] düşüktür. Ancak, kazanç büyük ölçüde yük iletkenliğine bağlı olduğundan, yük olarak direnç yerine yüksek empedanslı aktif pMOS yüklerin kullanılmasıyla daha büyük kazanç değeri elde edilebileceği öngörülebilir. Nitekim devrede dirençler yerine pMOS transistörler kullanılan benzetimler sonucunda  $10dB$  gibi bir kazanç değerine ulaşılabilmektedir.



## 2.3 Tasarımın Benzetimi

### 2.3.1 MOSFET BSIM3 V3 Modeli

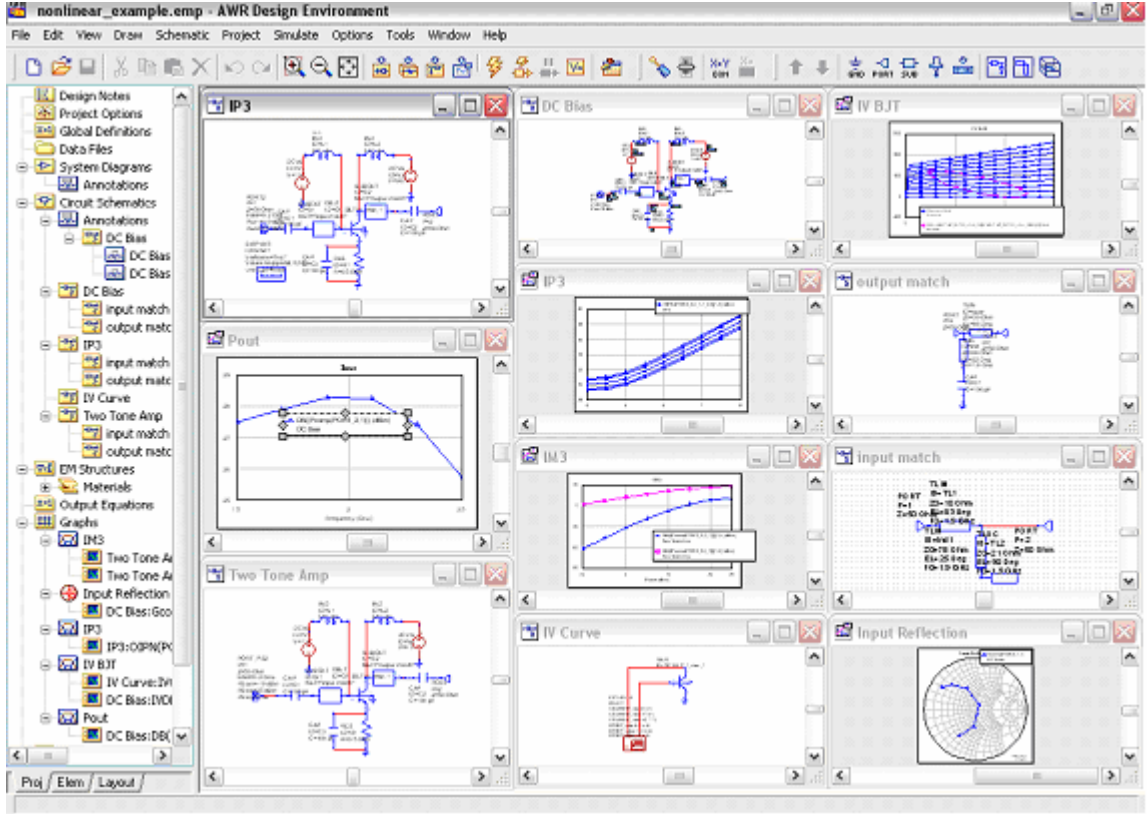
Elektronik devre benzetimlerinde devrenin üretildikten sonraki performansına en yakın çalışma özelliklerinin önceden belirlenebilmesi amaçlanır. Bu nedenle devrelerdeki MOSFET'lerin doğruluğu yüksek eleman modellerine ihtiyaç duyulmaktadır. BSIM kompakt transistör modeli de bu amaç için geliştirilmiş bir modeldir. BSIM modeli (Berkeley Short-Channel IGFET Model) Berkeley Üniversitesi'nde geliştirilmiştir ve bu tezde kullanılan üçüncü nesli ilk olarak 1995 yılında kullanıma sunulmuştur. Bu model dünya çapında yaygın bir kullanıma sahiptir ve A.B.D Yarıiletken Endüstrisi tarafından standart MOSFET modeli olarak benimsenmiştir.

BSIM3 model yapısı geçit boy ve genişliği, geçit oksit kalınlığı, kaynak ve savak katkılama jonksiyon derinliği ve taban katkılama profili gibi boyut ve proses parametrelerine bağlı bir içeriğe sahiptir. Böylece daha gelişmiş bir yaklaşıklık özelliği çizer. Ayrıca taşıyıcı hız doyumu, kanal boyu modülasyonu, taban akımı, parazitik direnç etkileri, eşik-altı akımı gibi temel yüksek alan (high-field) ve kısa kanal etkisi gibi etmenler de göz önüne alınarak hazırlanmış bir modeldir.

Tezin Ek A kısmında benzetimde kullanılan IBM 7RF prosesi ile üretilmiş  $0.18\mu m$  nMOS ve pMOS transistörlerin BSIM3 model değerleri belirtilmiştir.

### 2.3.2 AWR Microwave Office™

Bu tezde tasarımı yapılan karıştırıcının devre şematığının hazırlanması ve benzetiminin yapılması amacıyla AWR Microwave Office™ programı kullanılmıştır. Tamamlanan devrenin benzetimi programın nonlinear simülatörü olan “harmonik denge simülatörü” kullanılarak gerçekleştirilmiştir. İlk benzetimlerden sonra devre elemanlarının optimizasyonu yine programdaki araçlar kullanılarak gerçekleştirilmiştir. Şekil 2.8'de programın ekran görüntüsü yer almaktadır. Farklı pencereler içinde devrenin şematığı, şematikte kullanılabilecek eleman kütüphaneleri, devrenin serimi, yapılan farklı benzetimlerin grafikleri ile çalışılmaktadır. Kullanılan bilgisayarın işlemci, hafıza gibi özelliklerine bağlı olarak çalışmaya konu olan devre ile ilgili yapılan nonlinear benzetimler genellikle 5-6 dakika arasında sonuçlanmıştır.



Şekil 2.8 : AWR Microwave Office™ Programı Ekran Görüntüsü

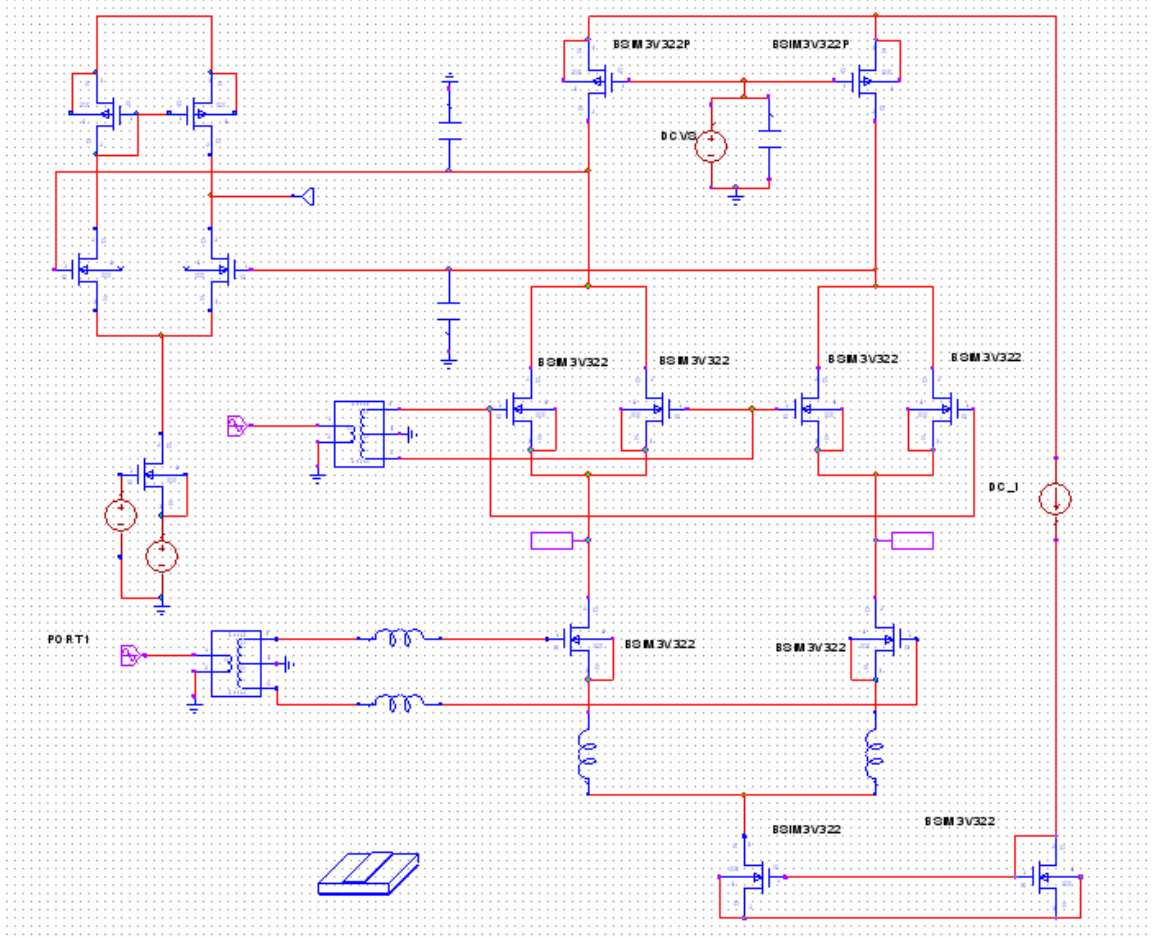
### 2.3.3 Benzetim Sonuçları

Devrenin teorik tasarım aşaması tamamlandıktan sonra elde edilen bilgilerle devrenin şematığı çizilmiştir. IBM firmasının ürettiği MOSFET'lerin BSIM3 proses parametreleri benzetim programına aktarılmış ve Gilbert hücresinin transistörleri bu parametrelerle karakterize edilmiştir. Yerel osilatör ve RF işareti giriş portları tek uçlu olduğundan dolayı iki transformör yardımıyla işaretler diğer özellikleri aynı kalmak koşuluyla  $180^\circ$  faz farkına sahip iki dengeli işaret haline getirilmiştir. Devrenin alt ucundaki transistörlere RF işareti üst ucundaki transistörlere ise YO işareti uygulanmıştır. Alt uçtaki transistörlerin geçit ve kaynak uçlarına bağlı olan endüktanslar yardımıyla girişte empedans uyumu sağlanmaya çalışılmıştır. Alt uçtaki transistörlerin savak uçlarına bağlanan  $\lambda/4$  mikroşerit açık devre transmisyon hatlarının devrenin çalışmasında önemli bir yeri vardır. İki MOSFET kaynağının birleştiği noktada pompa frekansında  $\lambda/4$  boyutunda olan bu transmisyon hatları o noktayı pompa frekansında kısa devre etmektedir. İşaret frekansında ise yarım dalga boyunda olması sebebiyle, bu sıklıkta açık

devre gösterecektir. Pompa girişı kare dalga ile sürüldüğünden yalnızca tek (1,3,5...) harmonikleri olacaktır. dolayısıyla bu hat belirtilen tek harmoniklerde çeyrek dalga boyunda olacağından pompa işareti için istenildiği üzere sürekli kısa devre gösterecektir. Ancak bu noktaya işaret sıklığının ikinci harmoniğinde de kısa devre gösterecek bir sonu açık devre hat daha bağlamak gerekmektedir. Yani işaret sıklığında  $\lambda/8$  boyutunda olacak şekilde. Fakat ikinci harmonik sıklığının yüksek oluşu nedeniyle bu bileşenin zaten MOSFET kapasiteleri tarafından kısa devre edileceği varsayılabilir. Karıştırıcının çıkışındaki yük kollarında bulunan kapasite elemanları alçak geçiren süzgeç işlevi görmektedir. Temel bant işaretinin bant genişliği  $30MHz$  olarak belirlendiğinden dolayı kapasite elemanlarının değerleri de bu bant genişliğine göre ayarlanmıştır. Devrenin çıkışından alınan farksal işaret bir işlemsel kuvvetlendirici yardımıyla tek uçlu işaret haline getirilmiştir. Bu OPAMP sayesinde ayrıca karıştırıcının çıkışında oluşan DC ofset gerilimi de işaretlerin farkı alınarak ortadan kaldırılmış olmaktadır. Benzetimde kullanılan şematik Şekil 2.9'da gösterilmiştir.

Karıştırıcının ilk olarak dönüştürücü kazancı grafiği elde edilmiştir. Bu grafik Şekil 2.10'da gösterilmektedir. Görülebileceği üzere ilgilenilen bant aralığında devrenin dönüştürücü kazancı  $10dB$  civarında olmaktadır. Yük olarak pMOS kullanılması sonucu direnç yüklü karıştırıcıdan ( $5.9dB$ )  $4dB$  daha fazla bir kazanç elde edilmiştir.

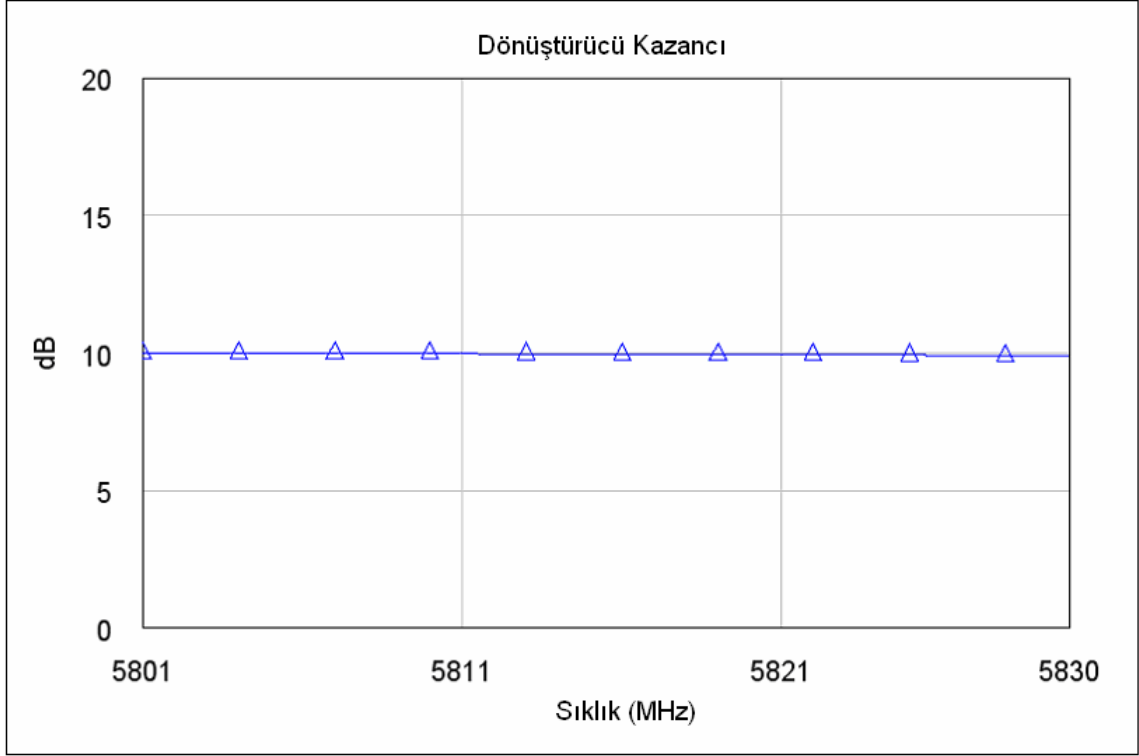
İkinci olarak devrenin çıkışındaki sıklık spektrumu benzetimi yapılmıştır. Şekil 2.11'da görülebileceği üzere 1. harmonik  $53dB$  kadar bastırılmıştır. 2. harmonik bileşen ise yaklaşık olarak  $20dB$  kadar bastırılmıştır. Bu grafik OPAMP çıkışından alınan işarete göre çizilmiştir. Karıştırıcı çıkışındaki yükler üzerinde bulunacak DC ofset geriliminin de çok yüksek oranda bastırıldığı fark edilebilir.



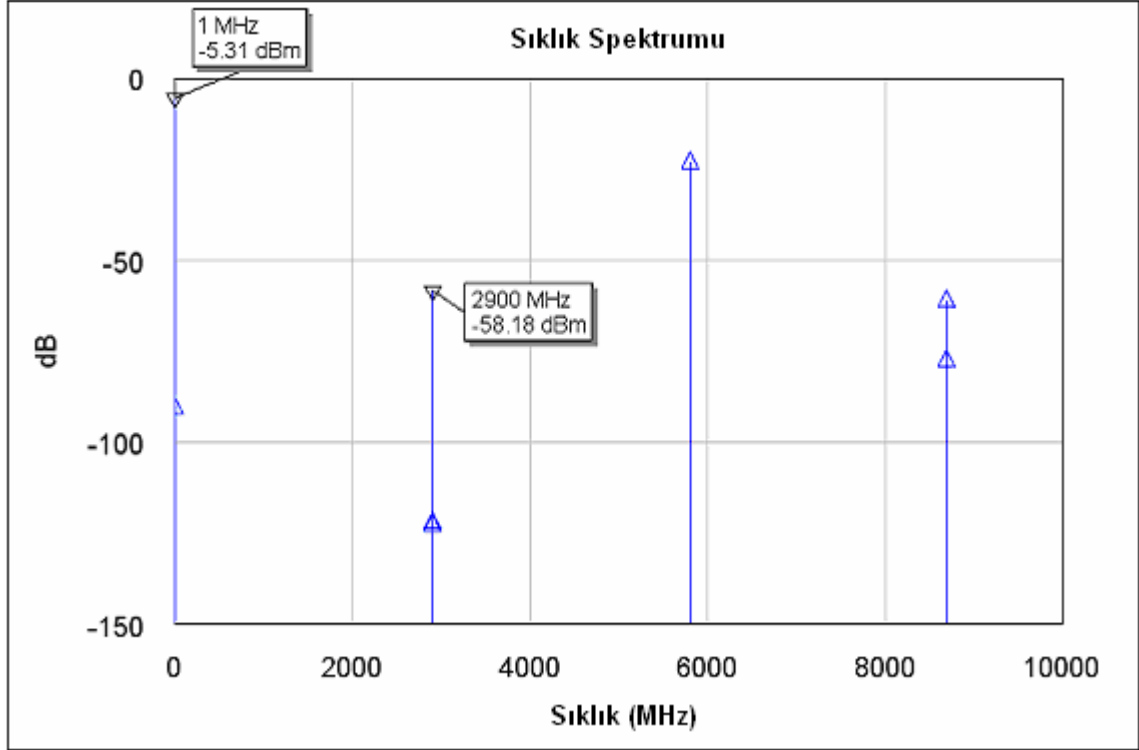
**Şekil 2.9 :** Benzetimde Kullanılan Karıştırıcının Şematığı

Üçüncü olarak yapılan benzetim yük direnci ile ilgilidir. Teorik hesaplamalar neticesinde elde edilen yük değerinin optimum kazancı verip vermediğini belirlemek amacıyla yük direncinin belirli değerlerinde elde edilen dönüştürücü kazanç değerlerinin noktalarından oluşan grafik Şekil 2.12’de görülmektedir. Grafikten elde edilen izlenim teorik hesaplamaları teyit eder niteliktedir. Yaklaşık olarak  $200\Omega$  değeri civarında karıştırıcının dönüştürücü kazancı en yüksek seviyesine ulaşmakta bundan aşağı ve yukarı değerlerde düşüş gözlenmektedir.

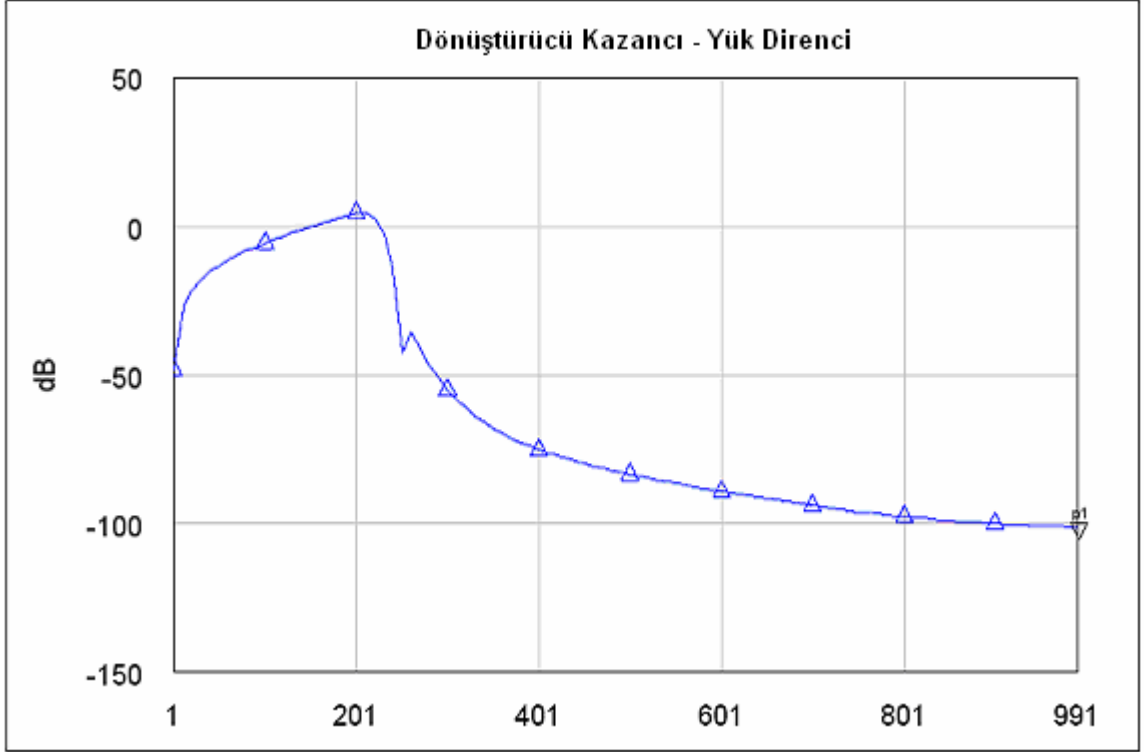
Şekil 2.13’deki grafikte ise karıştırıcının dönüştürücü kazancının YO genliği ile değişimi gösterilmektedir. Artan YO genliğiyle birlikte dönüştürücü kazancı değeri de artış gösterirken belirli bir genlik değerinde tepe noktasına ulaşmaktadır. Bu değer üzerinde ise kazanç giderek azalmaktadır. Bu ilginç bir sonuçtur yani YO genliğini rastgele artırmak karıştırıcının kazanç özelliklerini iyileştirememektedir.



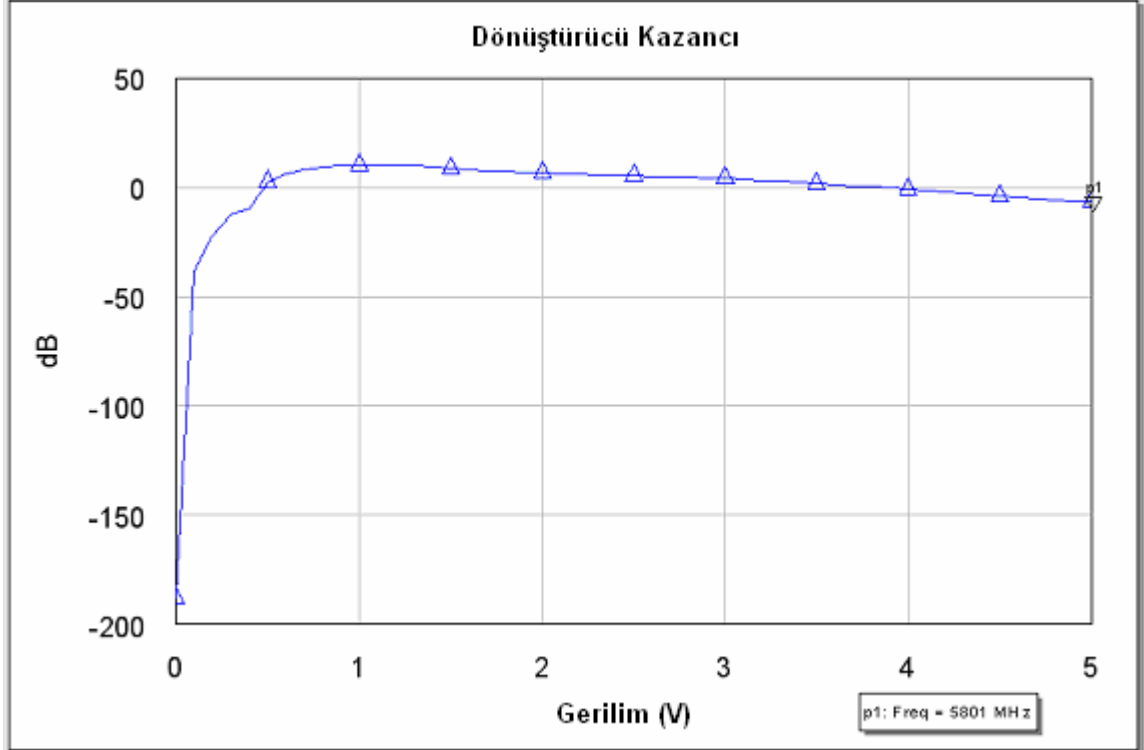
Şekil 2.10 : Karıştırıcının Dönüştürücü Kazancının Frekansa Göre Değişimi



Şekil 2.11 : Karıştırıcı Çıkışındaki Sıklık Spektrununun Sıklığa Göre Değişimi



Şekil 2.12 : Dönüştürücü Kazancının Yük Direncine Göre Değişimi

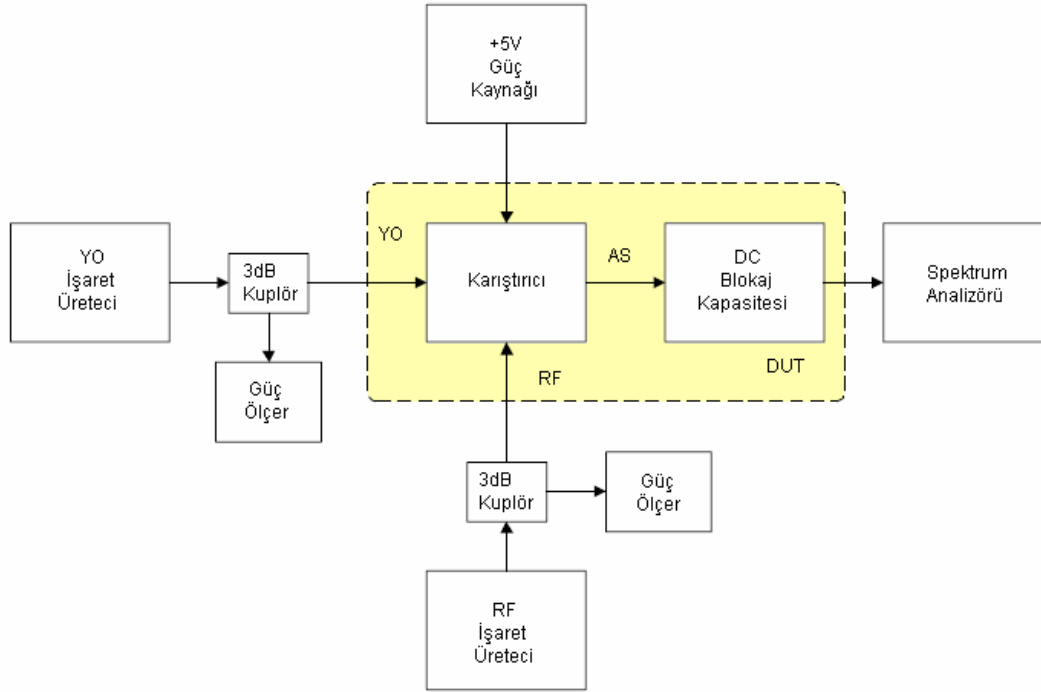


Şekil 2.13 : Dönüştürücü Kazancının YO Genliğine Göre Değişimi

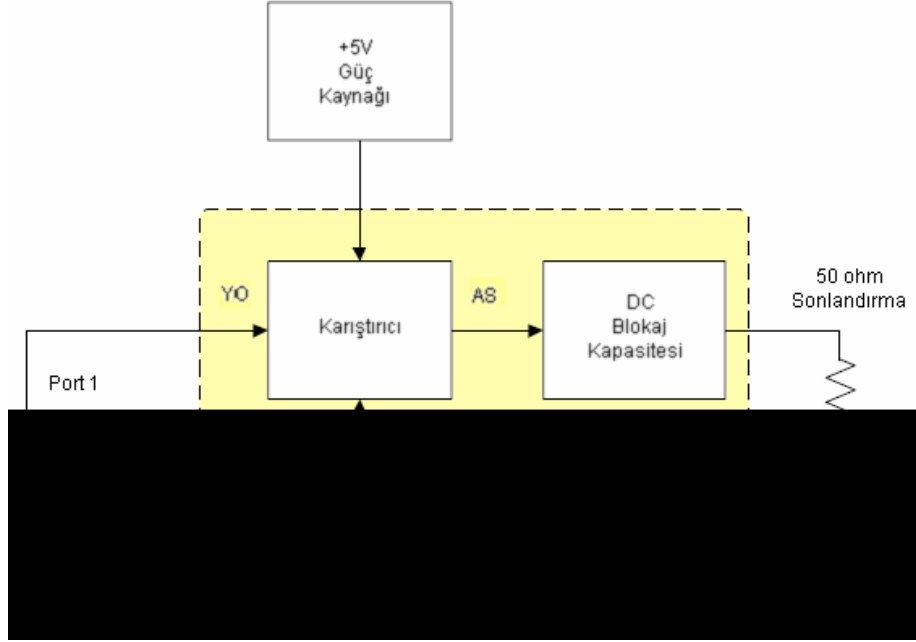
### 2.3.4 Test Planı

Karıştırıcı tasarımının benzetim prosedürü sonrasında doyurucu sonuçlar elde edilirse devrenin gerçekleştirme ve ölçüm aşamasına geçilebilir. Ölçüm aşamasında ilk olarak devrenin çıkışındaki sıklık spektrumu incelenebilir. Spektrum çıkıştaki tüm sıklık bileşenlerini ve bunların güç seviyelerini içerir. Şekil 2.14'te böyle bir ölçüm için gerekli olan düzenek gösterilmektedir. YO ve RF işaretleri birer işaret üretici yardımıyla devreye verilir ve çıkıştaki spektrum analizöründe inceleme yapılabilir. Bu arada işaret üreteçlerine bağlı 3dB kuplörler ve güç ölçerler yardımıyla YO ve RF işaret güçleri de ayrıca ölçülebilir.

YO izolasyonu ve VSWR oranı bir network analizörü yardımıyla ölçülebilir. Network analizörü izolasyon değerini ve VSWR oranını sıklığın fonksiyonu olarak ölçecektir. YO-RF izolasyonu  $S_{21}$  parametresinin ölçümü ile bulunabilir. VSWR oranı ise her porttaki  $S_{11}$  ve  $S_{22}$  parametrelerinin ölçümü ile bulunabilir. Bu ölçüm için gerekli olan düzenek Şekil 2.15'te gösterilmiştir. Network analizörü karıştırıcının YO ve RF portlarına bağlanmış çıkış ise  $50\Omega$  ile sonlandırılmıştır.



Şekil 2.14 : Spektrum Test Düzenegi



**Şekil 2.15** : İzolasyon Ve VSWR Test Düzenegi



### 3. SONUÇLAR VE TARTIŞMA

Teze konu olan karıştırıcı tasarımının teorik hesaplamalar kısmında elde edilen sonuçlar ile devrenin benzetim verileri arasında mantıklı bir paralellik söz konusudur. Bunun sonucunda önerilen tasarım yaklaşımının işe yaradığı söylenebilir. Elde edilen verilerin yorumlanması gerekirse aşağıdaki yorumlar yapılabilir.

Teorik hesaplamalar sonucu elde edilen yük direnci değeri ile benzetim sırasında kullanılan direnç değerleri arasında  $10\Omega$ 'dan daha az bir fark bulunmaktadır.

Gerekli olan YO pompa genliğinin teorik değeri ile benzetim sonuçlarında optimum kazanç değerini veren pompa genliği arasında ise  $0.4V$ 'dan daha az bir fark bulunmaktadır.

Yük olarak kullanılan direnç elemanları yerine aktif yük olarak pMOS transistörlerin kullanılması, öngörüldüğü üzere karıştırıcının dönüştürücü kazancında artış meydana getirmiştir. Devrenin kazancı YO'e bağlı transistörlerin savağına bağlanan yük iletkenliği ile belirlendiğinden pMOS'la sağlanan yük iletkenliği değeri devrenin kazancını  $5.9dB$  civarından  $10dB$  seviyesine getirmiştir.

Devrenin çıkışından elde edilen sıklık spektrumu incelendiğinde beklenildiği gibi harmonikleri uzaklaştırmak için kullanılan yöntemler işe yaramıştır. YO işareti yaklaşık olarak  $53dB$  civarında bastırılmıştır.  $5.8GHz$ 'deki bileşen de  $20dB$  bastırılmıştır. Kullanılan  $\lambda/4$  mikroşerit transmisyon hattı ve RF girişinde uygulanan empedans uydurma işlemleri de bu sonucun elde edilmesinde etkili olmuştur. Ayrıca kullanılan farksal kuvvetlendirici yardımıyla DC ofset gerilimi de uzaklaştırılmıştır. Çıkışta kollarında bulunan kapasite elemanları ayrıca yüksek sıklık değerlerindeki bileşenlerin süzülmesine yardımcı olmaktadır.

Sonuç olarak tasarımı yapılan devre gerçekleştirilerek test edilebilecek aşamaya getirilmiştir. Devre öncelikle daha ucuz olması açısından ayırık elemanlarla mikroşerit teknolojisi kullanılarak gerçekleştirilebilir. Doyurucu sonuçlar alındığında tümleşik devre

olarak da gereklenmesi dşnlebilir. İleride tasarlanan karıştırcı ile ilgili bir grlt optimizasyonu da yapılması ve bu alıřmada olduėu gibi takip eden alıřmaların sonularının da eřitli konferanslarda arařtırmacılarla paylaşılmaması planlanmaktadır.

## KAYNAKLAR

- [1] **Lee T.** , 2004. *The Design of CMOS Radio-Frequency Integrated Circuits*, Cambridge University Press, Chapter 13, second edition.
- [2] **Donisi T.** , 2003. Optimize Benefits Of Subharmonic Mixers, *Microwaves & RF Magazine*, **21**, 1-3.
- [3] **Armada A.G.** , 2001, Understanding the Effects of Phase Noise in Orthogonal Frequency Division Multiplexing (OFDM), *IEEE TRANSACTIONS ON BROADCASTING*, **47**, 153-159.
- [4] **Doufexi A. et al.** , 2002. A comparison of the HIPERLAN/2 and IEEE 802.11a wireless LAN standards, *IEEE Comm. Magazine*.
- [5] **New Japan Radio Co. Ltd**, C-band PLL LNB, [www.njr.co.jp](http://www.njr.co.jp).
- [6] **Rosario M. and Freire J.**, 1990. Design Technique for MESFET Mixer for Maximum Conversion Gain, *IEEE Trans. On Microwave Theory and Tech.*, **38**, 1772-1779.
- [7] **Lee T. H. and Hajimiri A.** , 2000. Phase Noise in Oscillators, Invited Paper, *IEEE JSSC*, **34**, pp.326-336.
- [8] **Degenford E. , Cohn M. and Newman A.** , 1975. Harmonic Mixing with Anti-parallel Diode Pair, *IEEE Trans. On Microwave Theory and Tech.*, **23**, 667-673.
- [9] **Palamutcuoglu O.** , 1986. Second Harmonically Pumped MESFET Mixer, *Proc. 8th Colloquium on Microwave Communication*, Budapest, Ekim, s. 237-238.
- [10] **Tang O.S.A. and Aitchison C.S.** , 1985. A Very Wide-Band Microwave MESFET Mixer Using the Distributed Mixer Principle, *IEEE Trans. On Microwave Theory and Tech.*, **33**, 1470-1478.
- [11] **Darsinooieh A.H. and Palamutcuoglu O.** , 1994. Nonlinear Analysis of Subharmonically Drain Pumped Mixer, *Proc. IEEE MTT-S, European Topical Congress on Technologies for Wireless Applications*, Turin Italy, Kasım, s. 38-39.
- [12] **Darsinooieh A.H. and Palamutcuoglu O.** , 1996. Subharmonically Pumped Wideband Lumped and Distributed Microwave MESFET Mixers, *26th European Microwave Conference*, Prague, Check., Eylül, s.1473-1477.

**EK A**

MOSIS WAFER ACCEPTANCE TESTS

RUN: T71M (7WL\_5LM\_MA)

VENDOR: IBM-BURLINGTON

TECHNOLOGY: SIGE018

FEATURE SIZE: 0.18 microns

Run type: SKD

INTRODUCTION: This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: SIGE7WL\_IBM-BU

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	0.24/0.18			
Vth		0.44	-0.39	volts
SHORT	20.0/0.18			
Idss		526	-265	$\mu\text{A}/\mu\text{m}$
Vth		0.49	-0.42	volts
Vpt		5.9	-5.5	volts
WIDE	20.0/0.18			
Ids0		35.2	-104.7	$\text{pA}/\mu\text{m}$
LARGE	20.0/20.0			
Vth		0.36	-0.40	volts
Vjbkd		3.7	-4.2	volts
Ijlk		<50.0	<50.0	pA
K' ( $U_0C_{ox}/2$ )		155.1	-32.0	$\text{uA}/\text{V}^2$
Low-field Mobility		404.25	83.40	$\text{cm}^2/\text{Vs}$

PROCESS PARAMETERS	N+	P+PLY	P+	POLY	M1	M2	UNITS
Sheet Resistance	6.2	249.4	6.7	6.7	0.06	0.09	ohms/sq
Contact Resistance	7.8	7.0	7.4	7.1		2.36	ohms
Gate Oxide Thickness	45						angstrom

PROCESS PARAMETERS

	N+BLK	P+BLK	M3	POLY_NON	TaN	M4	UNITS
Sheet Resistance	73.8	110.3	0.09	1570.5		0.01	ohms/sq
Contact Resistance			4.22			4.44	ohms

PROCESS PARAMETERS

	NS	RP	M5	N_W	UNITS
Sheet Resistance	121.8	164.4	0.01	310	ohms/sq
Contact Resistance			4.52		ohms

COMMENTS: BLK is silicide block.

CAPACITANCE PARAMETERS

	N+	P+	POLY	D_N_W	R_W	N_W	UNITS
Area (substrate)	910	1181		241		185	aF/ $\mu\text{m}^2$
Area (N+active)			7696				aF/ $\mu\text{m}^2$
Area (P+active)			7363				aF/ $\mu\text{m}^2$
Area (r well)	1073						aF/ $\mu\text{m}^2$
Area (d well)					1272		aF/ $\mu\text{m}^2$
Area (NMOS varactor)			11320				aF/ $\mu\text{m}^2$
Area (N+ HA varactor)		2554					aF/ $\mu\text{m}^2$
Fringe (substrate)	189	72					aF/ $\mu\text{m}$
Overlap (N+active)			436				aF/ $\mu\text{m}$
Overlap (P+active)			476				aF/ $\mu\text{m}$

CIRCUIT PARAMETERS

	K		UNITS
Inverters	K		
Vinv	1.0	0.77	volts
Vinv	1.5	0.82	volts
Vol (100 uA)	2.0	0.01	volts
Voh (100 uA)	2.0	1.78	volts
Vinv	2.0	0.86	volts
Gain	2.0	-18.34	

Ring Oscillator Freq.

DIV512 (31-stg,1.8V)	405.12	MHz
D1024_THK (31-stg,2.5V)	216.85	MHz

Ring Oscillator Power

DIV512 (31-stg,1.8V)	0.02	$\mu\text{W}/\text{MHz}/\text{gate}$
D1024_THK (31-stg,2.5V)	0.04	$\mu\text{W}/\text{MHz}/\text{gate}$

COMMENTS: DEEP\_SUBMICRON

T71M SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

\* DATE: Apr 23/07  
 \* LOT: t71m WAF: 2004  
 \* Temperature\_parameters=Default

```
.MODEL CMOSN NMOS ( LEVEL = 49
+VERSION = 3.1          TNOM = 27          TOX = 4.5E-9
+XJ = 1E-7             NCH = 2.3549E17       VTH0 = 0.3192193
+K1 = 0.4692187       K2 = -6.050797E-3      K3 = 1.000021E-3
+K3B = 5.8220721      W0 = 1E-7          NLX = 2.647746E-7
+DVT0W = 0            DVT1W = 0          DVT2W = 0
+DVT0 = 0.614349     DVT1 = 0.27662    DVT2 = -0.1106219
+U0 = 290.2449318    UA = -1.374083E-9  UB = 2.697184E-18
+UC = 5.570342E-11   VSAT = 1.278619E5  A0 = 1.5157923
+AGS = 0.3519517     B0 = 7.662353E-7   B1 = 5E-6
+KETA = -7.205218E-3 A1 = 5.003913E-7   A2 = 0.5504772
+RDSW = 150          PRWG = 0.17016     PRWB = -0.2
+WR = 1              WINT = 1.38075E-8  LINT = 8.462564E-9
+DWG = 2.061497E-9   DWB = 2.08041E-8  VOFF = -0.0977678
+NFACTOR = 2.2216667 CIT = 0             CDSC = 2.4E-4
+CDSCD = 0           CDSCB = 0          ETA0 = 5.162261E-3
+ETAB = -2.585318E-4 DSUB = 0.0267492  PCLM = 0.4282748
+PDIBLC1 = 0.5349967 PDIBLC2 = 0.01     PDIBLCB = -0.1
+DROUT = 1           PSCBE1 = 7.407557E9 PSCBE2 = 5.015115E-10
+PVAG = 9.931039E-3 DELTA = 0.01       RSH = 6.2
+MOBMOD = 1          PRT = 0            UTE = -1.5
+KT1 = -0.11         KT1L = 0           KT2 = 0.022
+UA1 = 4.31E-9       UB1 = -7.61E-18    UC1 = -5.6E-11
+AT = 3.3E4          WL = 0             WLN = 1
+WW = 0              WWN = 1            WWL = 0
+LL = 0              LLN = 1            LW = 0
+LWN = 1             LWL = 0            CAPMOD = 2
+XPART = 0.5         CGDO = 4.36E-10    CGSO = 4.36E-10
+CGBO = 1E-12       CJ = 8.873907E-4   PB = 0.8
+MJ = 0.5442328     CJSW = 1.136713E-10 PBSW = 0.8
+MJSW = 0.6         CJSWG = 3.3E-10    PBSWG = 0.8
+MJSWG = 0.6        CF = 0             PVTH0 = -8.41522E-3
+PRDSW = -1.8334594 PK2 = 4.207797E-3  WKETA = -5.058803E-4
+LKETA = 1.887394E-3 PU0 = -5.32947     PUA = -4.66639E-11
+PUB = 0             PVSAT = 347.0913052 PETA0 = 1E-4
+PKETA = -4.660715E-3 )
```

\*

```

.MODEL CMOS PMOS (
+VERSION = 3.1
+XJ = 1E-7
+K1 = 0.6078747
+K3B = 19.921064
+DVT0W = 0
+DVT0 = 0.9912893
+U0 = 123.8635702
+UC = -1E-10
+AGS = 0.2443105
+KETA = 0.0127365
+RDSW = 583.4749568
+WR = 1
+DWG = -1.890433E-8
+NFACTOR = 1.0937684
+CDSCD = 0
+ETAB = -1.711682E-3
+PDIBLC1 = 0.0367766
+DROUT = 0.2381946
+PVAG = 0.0149877
+MOBMOD = 1
+KT1 = -0.11
+UA1 = 4.31E-9
+AT = 3.3E4
+WW = 0
+LL = 0
+LWN = 1
+XPART = 0.5
+CGBO = 1E-12
+MJ = 0.4441818
+MJSW = 0.2532624
+MJSWG = 0.2532624
+PRDSW = -5
+LKETA = -0.0119721
+PUB = 0
+PKETA = -5.976521E-3 )
*
TNOM = 27
NCH = 4.1589E17
K2 = -1.69473E-3
W0 = 1E-6
DVT1W = 0
DVT1 = 0.8352844
UA = 1.763005E-9
VSAT = 1.104501E5
B0 = 1.354086E-6
A1 = 3.642375E-3
PRWG = -6.528582E-3
WINT = 0
DWB = -9.2045E-9
CIT = 0
CDSCB = 0
DSUB = 2.589467E-3
PDIBLC2 = 0.010887
PSCBE1 = 1.648948E9
DELTA = 0.01
PRT = 0
KT1L = 0
UB1 = -7.61E-18
WL = 0
WWN = 1
LLN = 1
LWL = 0
CGDO = 4.76E-10
CJ = 1.183119E-3
CJSW = 1.400708E-10
CJSWG = 4.22E-10
CF = 0
PK2 = 3.655377E-4
PU0 = 1.70953
PVSAT = 50
LEVEL = 49
TOX = 4.5E-9
VTH0 = -0.4010221
K3 = 0.0936873
NLX = 2.573641E-8
DVT2W = 0
DVT2 = -0.3
UB = 3.215839E-21
A0 = 1.0092123
B1 = 5E-6
A2 = 0.8785834
PRWB = -0.5
LINT = 3.141503E-8
VOFF = -0.1395783
CDSC = 2.4E-4
ETA0 = 6.431157E-4
PCLM = 0.0707771
PDIBLCB = -1E-3
PSCBE2 = 5E-10
RSH = 6.7
UTE = -1.5
KT2 = 0.022
UC1 = -5.6E-11
WLN = 1
WWL = 0
LW = 0
CAPMOD = 2
CGSO = 4.76E-10
PB = 0.9056616
PBSW = 0.8
PBSWG = 0.8
PVTH0 = 9.534745E-4
WKETA = 0.0362041
PUA = 1.302935E-10
PETA0 = 1E-4

```

## **ÖZGEÇMİŞ**

Mehmet KAYHAN 15.03.1983 tarihinde Eskişehir’de doğdu. İlkokulu ve liseyi Eskişehir’de okudu. 2001 yılında İstanbul Teknik Üniversitesi Elektronik Mühendisliği Bölümü’nde öğrenim görmeye başladı. 2005 yılında bu bölümden mezun oldu. Aynı sene İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik Mühendisliği Yüksek Lisans programına kabul edildi.

Tez konusu olan çalışmayla 2006 yılında Ankara Hacettepe Üniversitesi’nde gerçekleştirilen URSI Ulusal konferansına ve Bursa Uludağ Üniversitesi’nde gerçekleştirilen ELECO2006 konferansına katıldı.