

**OTA İLE SAYISAL/ANALOG VE ANALOG/SAYISAL
DÖNÜŞTÜRÜCÜ TASARIMI**

YÜKSEK LİSANS TEZİ

Müh. Shahram MINAEI

Tezin Enstitüye Verildiği Tarih : 16 Ocak 1997

Tezin Savunulduğu Tarih : 3 Şubat 1997

Tez Danışmanı : Doç.Dr.M.Sait TÜRKÖZ 13.2.1997

Diger Juri üyeleri : Prof.Dr.Cevdet ACAR 13.02.1997

Prof.Dr.Ali Nur Gönüleren 13.02.1997

ÖNSÖZ

Bu tezin hazırlaması sırasında yapıcı uyarıları ile çalışmalarımı yön veren değerli hocam Sayın Doç.Dr. M.Sait Türköz'e teşekkür ederim.

Ocak 1997

Shahram Minaei



İÇİNDEKİLER

ŞEKİL LİSTESİ.....	v
ÖZET.....	vii
SUMMARY.....	viii
BÖLÜM 1 GİRİŞ.....	1
BÖLÜM 2 OTA ELEMANI.....	3
2.1 Giriş.....	3
2.2 İdeal Model.....	3
2.3 Gerçek OTA Modeli.....	4
2.4 Bipolar OTA.....	7
2.5 CMOS OTA.....	9
2.6 Direnç ve İntegral Alıcı Devrenin Gerçekleştirilmesi.....	13
BÖLÜM 3 SAYISAL/ANALOG (D/A) DÖNÜŞTÜRÜCÜLERİN TANIMLANMASI VE OTA ELEMANI İLE TASARIMI.....	17
3.1 Giriş.....	17
3.2 Dönüştürücülerin Tanıtlaması ve Özellikleri.....	19
3.3 Sayısal/Analog Dönüştürücüler.....	19
3.4 Temel DAC Yapıları.....	21
3.4.1 Ağırlıklı-direnç yapısına sahip DAC'lar.....	21
3.4.2 Akım-mod R-2R basamak DAC.....	23
3.4.3 Gerilim-mod R-2R basamak DAC.....	25
3.5 OTA'larla Gerçekleştirilen Sayısal/Analog Dönüştürücüler.....	26
3.5.1 OTA ile gerçekleştirilen ağırlıklı- g_m DAC.....	26
3.5.2 OTA ile gerçekleştirilen R-2R basamak DAC.....	31
3.6 Frekans Cevabı.....	33
BÖLÜM 4 ANALOG/SAYISAL DÖNÜŞTÜRÜCÜLER VE OTA ELEMANI İLE GERÇEKLEŞTİRİLMESİ.....	36
4.1 Giriş.....	36
4.2 Basamaklı Analog /Sayısal Dönüştürücü.....	38
4.3 Ardişil Yaklaşımı Analog/Sayısal Dönüştürücü.....	40

4.4 Paralel Analog/Sayısal Dönüştürücü.....	42
4.5 İntegral Alıcı Tip Analog/Sayısal Dönüştürücü.....	43
4.6 Örnekleme/Tutma Devresi.....	45
SONUÇLAR VE ÖNERİLER.....	46
KAYNAKLAR.....	47
EK A.....	48
ÖZGEÇMİŞ.....	59



ŞEKİL LİSTESİ

Fig 1.	Typical A/D and D/A converter application.....	ix
Fig 2.a.	OTA symbol.....	x
Fig 2.b.	Equivalent circuit of ideal OTA.....	x
Fig 3	An OTA model with input and output impedances.....	x
Fig 4	Summer.....	xi
Fig 5	Schematic of a DAC.....	xi
Şekil 2.1.a	OTA devre simbolü.....	4
Şekil 2.1.b.	İdeal eşdeğer devresi.....	4
Şekil 2.2	Bipolar OTA simbolü.....	4
Şekil 2.3	İdeal olmayan OTA'nın eşdeğer devresi.....	5
Şekil 2.4.a	OTA'nın C_i-I_{cnt} ve C_o-I_{cnt} değişimi.....	6
Şekil 2.4.b	OTA'nın g_m-I_{cnt} değişimi.....	6
Şekil 2.4.c	OTA'nın R_i-I_{cnt} değişimi.....	6
Şekil 2.4.d	OTA'nın R_o-I_{cnt} değişimi.....	6
Şekil 2.5	Bipolar OTA'nın iç yapısı.....	7
Şekil 2.6	OTA'nın çıkış akımının değişimi.....	8
Şekil 2.7	Simetrik CMOS OTA yapısı.....	9
Şekil 2.8.a	Kaynak kuplajlı fark kuvvetlendirici.....	10
Şekil 2.8.b	DC transfer eğrisi.....	10
Şekil 2.9.a	V_s-g_m değişimi.....	13
Şekil 2.9.b	I_s-g_m değişimi.....	13
Şekil 2.10	OTA ile direnç gerçekleştirmesi.....	14
Şekil 2.11	Eşdeğer direnç.....	14
Şekil 2.12	Topraktan yalıtılmış direnç gerçekleştirmesi.....	14
Şekil 2.13	Eşdeğer devre.....	14
Şekil 2.14	Toplama devresi.....	15
Şekil 2.15	Integral alıcı devresi.....	16
Şekil 3.1	A/D ve D/A dönüştürücülerin uygulamaları.....	18

Şekil 3.2	Sayısal/Analog dönüştürücünün işlevsel diagramı ve geçiş karakteristiği.....	20
Şekil 3.3	Ağırlıklı-direnç DAC.....	22
Şekil 3.4	Mosfet-anahtar.....	23
Şekil 3.5	CMOS-anahtar.....	23
Şekil 3.6	Akım-mod eviren R-2R basamak DAC.....	24
Şekil 3.7	Gerilim-mod R-2R basamak DAC.....	25
Şekil 3.8	CMOS anahtar.....	26
Şekil 3.9	OTA'larla oluşturulan g_m -Ağırlıklı DAC.....	27
Şekil 3.10	OTA ve direçle yapılmış olan DAC.....	32
Şekil 3.11	OTA'ların çıkışından görülen eşdeğer devre.....	33
Şekil 3.12	"Şekil 3.11"deki devrenin basite indirgenmiş hali.....	34
Şekil 3.13	"Şekil 3.12"deki devrenin daha basite indirgenmiş hali.....	34
Şekil 4.1.a	ADC'nın işlevsel diagramı.....	36
Şekil 4.1.b	Geçiş karakteristiği.....	36
Şekil 4.2	Basamaklı tip ADC.....	38
Şekil 4.3	Basamaklı tip ADC'lerin çalışma prensibi.....	39
Şekil 4.4	OTA ile gerçekleştirilen basamaklı ADC.....	40
Şekil 4.5	OTA ile gerçekleştirilen ardışıl yaklaşımı ADC.....	40
Şekil 4.6	Ardışıl yaklaşımı ADC'nın çalışma prensibi.....	41
Şekil 4.7	OTA elemanı ile gerçekleştirilen paralel ADC.....	42
Şekil 4.8.a	OTA ile gerçekleştirilen integral alıcı tip ADC.....	43
Şekil 4.8.b	Çalışma prensibi.....	44
Şekil 4.9	OTA ile gerçekleştirilen örneklemeye/tutma devresi.....	45
Şekil A.1	4-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı.....	48
Şekil A.2	4-bitlik OTA ile gerçekleştirilen DAC'ın çıkışı.....	49
Şekil A.3	6-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı.....	50
Şekil A.4	6-bitlik OTA ile gerçekleştirilen DAC'ın çıkışı.....	51
Şekil A.5	8-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı.....	52
Şekil A.6	8-bitlik OTA ile gerçekleştirilen DAC'ın çıkışı.....	53
Şekil A.7	10-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı.....	54
Şekil A.8	10-bitlik OTA ile gerçekleştirilen DAC'ın çıkışı.....	55
Şekil A.9	12-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı.....	56

Şekil A.10	14-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı.....	57
Şekil A.11	16-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı.....	58



ÖZET

OTA (İşlemsel iletkenlik kuvvetlendiricisi) giriş gerilimlerinin fark ile kontrol edilen bağımlı bir akım kaynağından oluşan devre elemanıdır. Günümüzde OTA, özellikle yüksek frekanslarda temel aktif eleman olarak, işlemsel kuvvetlendiricinin (OP-AMP) yerine almaya başlamıştır. Yüksek frekans performansının iyiliği, dışardan uygulanan kontrol işaretini ile iletkenlik (eğim) değerinin ayarlanabilmesi, CMOS teknolojisi ile uyumluluğu ve entegre devre üretimi kolaylığı vb. OTA'ya olan bu ilgi artışının nedenleri arasındadır.

Bu tezin amacı, Sayısal/Analog (D/A) ve Analog/Sayısal (A/D) dönüştürücülerde çalışma frekansını OTA kullanarak yükseltmektedir. Nitekim, bunda başarılı olunmuştur. Sayısal/Analog dönüştürücüler için, OTA'nın toplama devresinden yararlanılarak iki farklı yöntem incelenmiştir. Analog/Sayısal dönüştürücüler için ise, OTA ile gerçekleştirilen integral alıcı devre ve Sayısal/Analog dönüştürücüler kullanılarak dört farklı yöntem incelenmiştir. Yöntemler örnek üzerinde gerçekleştirilerek, sonuçlar karşılaştırılmıştır.

Ek'te "Micro cap" devre analizi programı yardımıyla, 4-6-8-10-12-14 ve 16 bitlik OTA ile gerçekleştirilen DAC'lar için frekans cevabı ve analog çıkışları (4-6-8-10 bitlik durumunda) verilmektedir.

SUMMARY

ANALOG / DIGITAL AND DIGITAL / ANALOG CONVERSION USING OTA

Most of the real-world physical quantities such as voltages, current, temperature, pressure and time etc are available in analog form. Even though an analog signal represents a real physical parameter with accuracy, it is difficult, store or transmit the analog signal without introducing considerable error because of the superimposition of noise as in the case of amplitude modulation. Therefore, for processing, transmission and storage purposes, it is often convenient to express these variables in digital form. It gives better accuracy and reduces noise. The operation of any digital communication system is based upon analog to digital (A/D) and digital to analog (D/A) conversion.

Analog / digital converters, which range from monolithic ICs to high performance hybrid circuits, modules, and even boxes convert analog data - usually voltage into an equivalent digital form. Characteristics of A/D converters include absolute and relative accuracy, linearity, no missing codes, resolution, conversion speed, stability and price. The A/D converter (ADC) is operated at the rate of f_{clk} samples per second. For proper operation, most A/D converters require that the input be held constant while conversion is taking place. Thus, the ADC must be preceded by a S/H amplifier to freeze the band - limited signal just prior to each conversion.

Also Digital / Analog conversion reconstitute the original data after processing, storage or even simple digital transmission from one location to another. The basic converter usually consist of an arrangement of weighted resistance value , each controlled by particular level or 'significance' of digital input data that is switched to develop varying output voltages, currents, or gains by selective summation in accordance with the digital input code. The output of a D/A converter is

proportional to the reference source used. The D/A converter (DAC) is usually operated at the same frequency as the ADC and if the application demands, is equipped with appropriate deglitching circuitry at the output. Finally the staircase-like output is passed through a smoothing filter to ease the effects of quantization noise. Although most converters for data-handling applications are used with essentially fixed references, there is a special class of converter, capable of handling variable and even bipolar ac reference source.

Fig 1. depicts the most general context within which A/D and D/A conversion is used. Analog signal V_i is converted to be processed, or perhaps just transmitted or recorded, in digital form. Once processed, received, or retrieved, the signal is D/A converted to be reused in analog form.



Fig 1. Typical A/D and D/A converter application

In this study, the aim is realization Analog/Digital converters using Operational Transconductance Amplifiers (OTAs) that provide linear electronic tunability of its transfer gain (g_m).

Section 2 is about OTA element and internal diagram of Bipolar and CMOS OTAs and limitation on input signal amplitude is described.

The OTA is a differential voltage controlled-current source whose transconductance can be controlled by an external current. The high frequency performance of the OTA is noteworthy and quite advantageous according to OP-AMP. While an OTA can operate at frequencies in MHz's, for a typical OP-AMP this is limited in some hundred KHz's.

The circuit symbol for an ideal OTA is shown in Fig 2.a. As shown in Fig 2.b it is modeled by an ideal VCIS characterized by the relation

$$I_o = g_m (V^+ - V^-) \quad (1)$$

with infinite input impedance and infinite output impedance. Typically, g_m is a very small number.

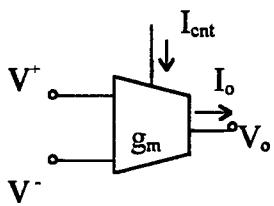


Fig 2.a. OTA symbol

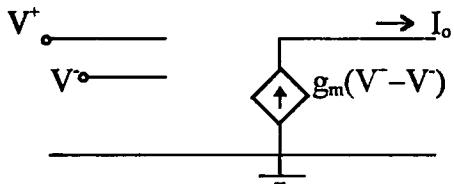


Fig 2.b. Equivalent circuit
of ideal OTA

The unique feature of an OTA is that it is possible to vary g_m over a wide range by means of an external control current I_{cnt} . For Bipolar OTA's there is a linear dependence of g_m on I_{cnt} that can be written as $g_m = K I_{cnt}$. The linearity of the dependence of g_m on I_{cnt} will ordinarily be valid over a several decade range of I_{cnt} for example 0.1 to 400 μ A.

The gain bandwidth limiting parasitics, which may be of even greater significance than the intrinsic frequency dependence of g_m , are the input and output impedances. These effects are shown in the more complex model of Fig 3. Representative values of the resistors are $R_i = 1M\Omega$ and $R_o = 50M\Omega$. The capacitors of a few picofarads.

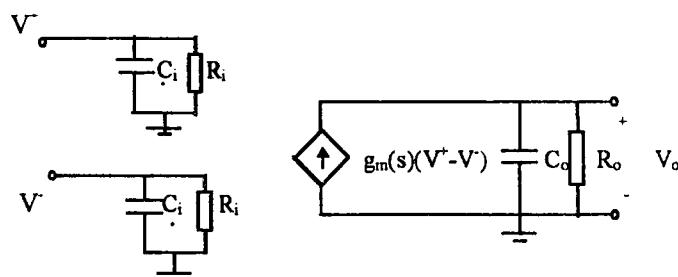


Fig 3. An OTA model with input and output impedances

An important circuit of OTA is implementation of a summer. This requires one OTA for each input to be summed. The output currents of these OTAs are conveniently summed with another OTA. The configuration for summing two input V_1 and V_2 to produce an output V_o is shown in Fig 4.

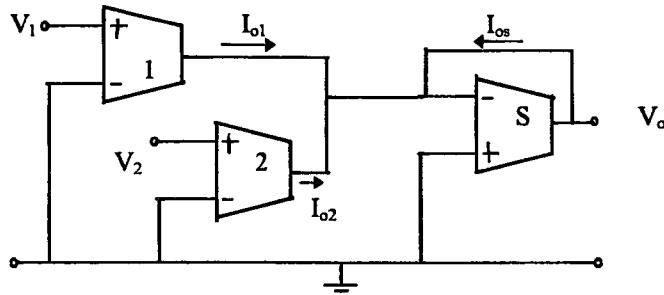


Fig 4. Summer

The output voltage

$$V_o = -I_{0s} / g_{ms} = (I_{o1} + I_{o2}) / g_{ms} = (V_1 g_{m1} + V_2 g_{m2}) / g_{ms}$$

$$V_o = g_{m1} / g_{ms} V_1 + g_{m2} / g_{ms} V_2 \quad (2)$$

Thus V_o is the scaled sum of V_1 and V_2 .

In the physical design of an OTA circuit , due consideration must also be given to the intrinsic properties of the device. One of these is the limitation on the magnitude of the input signal for linear operation.

In section 3, Digital/Analog converters are defined and two method for Digital/analog conversion using OTA is described. The schematic of a DAC is shown in Fig 5.

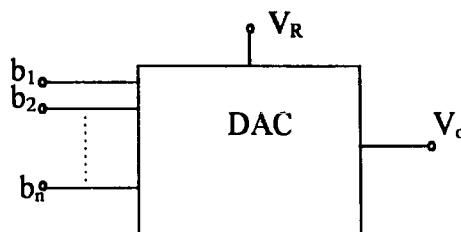


Fig V. Schematic of a DAC

The input is an n-bit binary word D and is combined with a reference voltage V_R to give an analog output signal. For a voltage DAC, the D/A converter is mathematically described as

$$V_o = K(b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) \quad (3)$$

where V_o is the output voltage and $b_1 b_2 \dots b_n$ is the n-bit binary fractional word. There are various ways to implement Eq.(3). In this thesis, Eq(3) is implemented by using of the summer circuit of OTA as shown in Fig 4. The resulting circuits which are completely suitable for the integrated circuit technology, have a good high frequency behavior.

In section 4, Analog/Digital converters are defined and some methods of the ADCs are realized by using of the OTA.

In the Appendix, analog output of 4-6-8-10 bit OTA-DACs for a counter digital input and frequency response of 4-6-8-10-12-14-16 bit OTA-DACs are presented.

BÖLÜM 1

GİRİŞ

Sayısal/Analog ve Analog/Sayısal dönüştürücüler, çeşitli alanlarda örneğin sayısal işaret işleme, sayısal kontrol, darbe kod modülasyonu, sayısal cihazları gerçeklenişi gibi uygulama alanı bulabilmektedirler. İşlemsel kuvvetlendirici (OP-AMP) ile gerçekleştirilen Sayısal/Analog ve Analog/Sayısal dönüştürücüler, KHz frekanslarda çalışabilmektedirler. Tasarıma yönelik amaçlar için işlemsel kuvvetlendirici ideal olarak kabul edildiğinden, sonsuz giriş direnci($R_{in} = \infty$), sıfır çıkış direnci($R_o = 0$) ve sonsuz açık çevrim kazancına($A_v = \infty$) sahiptir. Ancak yüksek frekanslara çıkıldığında, işlemsel kuvvetlendiricinin performansının kötüleşmesi nedeniyle, karakteristiğin bozulduğu görülür. Bu frekanslarda işlemsel kuvvetlendirici integral alıcı bir devre gibi davranışır. Ayrıca, işlemsel kuvvetlendirici elemanı dışardan uygulanan bir işaret ile kontrol etmek imkanı da yoktur.

Son yıllarda aktif devrelerde işlemsel kuvvetlendirici yerine OTA (işlemsel iletkenlik kuvvetlendirici) kullanılma eğilimi artmıştır. Bunun nedeni, OTA'nın yüksek frekans performansının iyi olması ve iletkenlik (eğim) değerinin lineer olarak kontrol edilebilmesidir.

Tezin ikinci bölümünde, OTA elemanın tanımı ve modeli verilerek, CMOS ve Bipolar tranzistorlarla gerçekleşen OTA iç devresi analiz edilmiştir. Ayrıca OTA devresinin lineer bölgeden çıkmaksızın çalışabileceği maksimum giriş geriliminin nasıl belirleneceği anlatılmıştır.

Üçüncü bölümde, Sayısal/Analog dönüştürücüler tanımlanmıştır ve bu dönüştürücüler daha yüksek frekanslarda kullanılmak üzere OTA elemanı ile gerçekleştirilmişlerdir.

Dördüncü bölümde, Analog/Sayısal dönüştürücüler farklı metodlar kullanılarak OTA elemanı ile gerçekleştirirken, kodlama süresi, işlemsel kuvvetlendirici ile yapılmış olan bu dönüştürücülere kıyasla, azalmaktadır.

Elde edilen devreler ‘Micro cap’ devre analiz programı ile incelenmiştir ve analiz sonuçları Ek’té verilmiştir.

BÖLÜM 2

OTA ELEMANI

2.1 Giriş

OTA (işlemsel iletkenlik kuvvetlendiricisi) ideal olarak giriş gerilimlerinin farkı ile kontrol edilen bağımlı bir akım kaynağı biçiminde tanımlanan bir devre elemanıdır. Dışardan uygulanan elektriksel bir büyüklükle (akım veya gerilimle) eğimi (iletkenliği) ayarlanabilir.

Güncel OTA'ların (bipolar tranzistorlu) lineer bölgede çalışabilmesi için, giriş fark geriliminin oldukça küçük tutulması gereklidir. CMOS teknolojisinin gelişimine paralel olarak, lineerlik bölgeleri iyileştirilmiş, yeni OTA elemanlarında, belirtilen sınırlamanın etkisi azaltılmıştır.

OTA elemanı, bütün tümleştirme teknolojilerinde kolayca gerçekleştirilebilmektedir. Ayrıca çevresindeki sayısal ayarlama devreleriyle uyumluluğu açısından CMOS teknolojisi, tümleştirme için doğal bir tercih olarak görülmektedir. Bu özelliklerinden dolayı OTA'lar gün geçtikçe tasarımda aranan bir eleman olmaktadır. OTA elemanın ideal ve gerçek modeli aşağıda tanımlanmıştır.

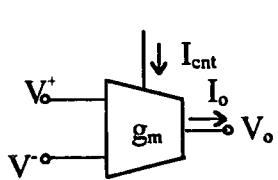
2.2 İdeal Model

İdeal bir OTA çıkış akımının ifadesi

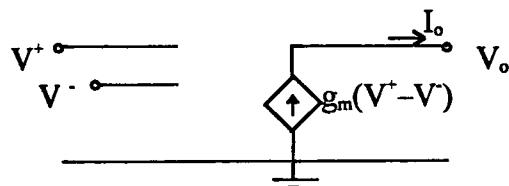
$$I_0 = g_m(V^+ - V^-) \quad (2.1)$$

olarak tanımlanmaktadır. OTA'nın devre simgesi ve eşdeğer devresi Şekil 2.1.a. ve 2.1.b'de gösterilmektedir. Şekil 2.1.b'de gösterildiği gibi giriş ve çıkış empedansları

sonsuzdur. g_m iletkenlik boyutundadır veya OTA'nın eğimidir.



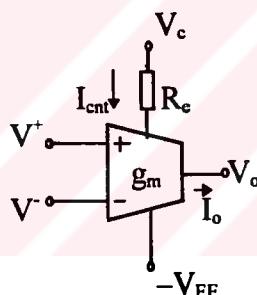
Şekil 2.1.a OTA devre symbolü



Şekil 2.1.b İdeal eşdeğer devresi

Eğim (g_m), I_{cnt} akımı ile kontrol edilir. Bipolar tranzistorlu OTA'lar için $g_m = kI_{cnt}$ ve CMOS OTA'lar ise $g_m = k\sqrt{I_{cnt}}$ ifadesi ile hesaplanabilmektedir. Bipolar OTA'larda I_{cnt} akımı, Şekil 2.2. de gösterildiği gibi, R_e direnci ve V_c gerilimi ile ayarlanabilir.

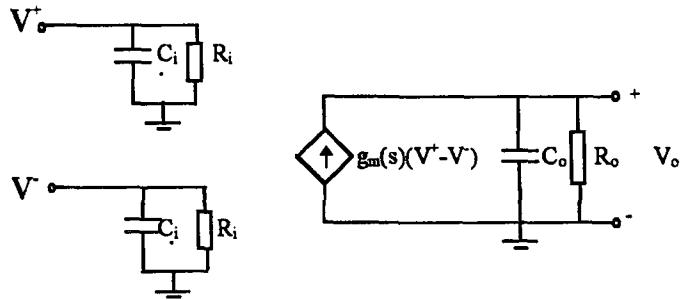
Ayrıca kazanç-band genişliği (gain-bandwidth) I_{cnt} akımı ile değişirilebilmekte ve yüz megahertzlere kadar değer alabilmektedir.



Şekil 2.2 Bipolar OTA symbolü

2.3 Gerçek OTA Modeli

Pratikte tasarımcı OTA elemanı ile çalışırken dikkatli olmak zorundadır. Gerçek OTA'da giriş ve çıkış empedanslarının frekansa bağlı ve sonlu olduklarının gözönünde bulundurulması gereklidir. OTA'nın eğimi g_m de frekansla değişmektedir. Gerçek OTA modeli Şekil 2.3'de verilmiştir. Burada pozitif ve negatif giriş uçlarından toprağa olan empedansların eşit olduğu varsayılmaktadır. Ayrıca giriş uçlarının arasındaki empedans ve giriş ve çıkış arası kapasitesi (C_{io}) gözönüne alınmamıştır [1].



Şekil 2.3 İdeal olmayan OTA'nın eşdeğer devresi

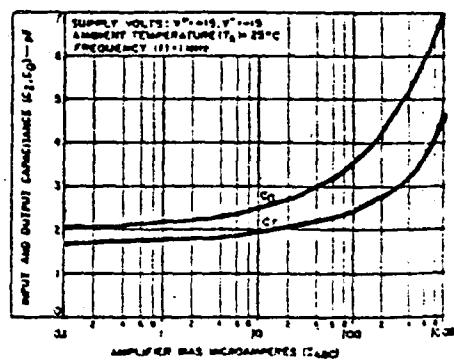
R_i ve R_o değerleri örnek olarak $R_i=0.5M\Omega$ ve $R_o=50M\Omega$, C_i ve C_o kapasiteler ise birkaç pF sınırında bulunmaktadır. Ticari amaçla sunulmuş OTA'lar bipolar teknigiyle üretilmiştir ve bazı pratik sınırlamalara sahiptirler. CA 3080 elemanı bunlardan bir örnek olarak verilebilir. Bu tür OTA'ların girişine uygulanabilecek gerilim 20mV tan daha az olmalıdır, aksi halde dinamik davranışında sorun çıkması olasıdır [2].

OTA'nın frekansla değişen eğimi (g_m) frekans cevabı gözönüne alınarak

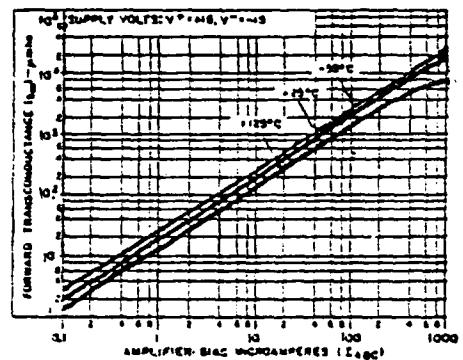
$$g_m(s) = g_{mo} e^{-st} \quad (2.2)$$

ifade ile verilebilir.

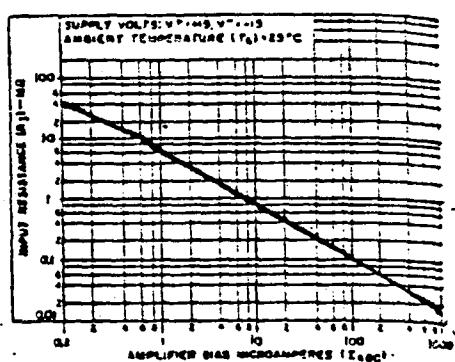
$f << 1/\tau$ frekans bölgesinde yukarıdaki bağıntı $g_m(s) = g_{mo}(1-st)$ olarak görülebilir. Sonlu giriş empedansı Z_i , giriş direnci R_i ve giriş parazit kapasitesi C_i 'den oluşur. Sonlu çıkış empedansı Z_o ise çıkış direnci R_o ve çıkış kapasite C_o 'den oluşur. Piyasada bulunan (CA3080) için, elektriksel karakteristik eğrileri Şekil 2.4'de görülmektedir. Şekil 2.4'de gösterildiği gibi OTA'nın giriş ve çıkış dirençler ve kapasiteler, kontrol akımı (I_{cnt}) ile değiştirilir [3]. OTA, g_m 'in band genişliğinin büyük olması nedeniyle işlemsel kuvvetlendiriciye kıyasla çok daha büyük bir band genişliğine sahiptir; dolayısıyla çok daha yüksek frekanslarla çalışan devrelerde kullanılabilir.



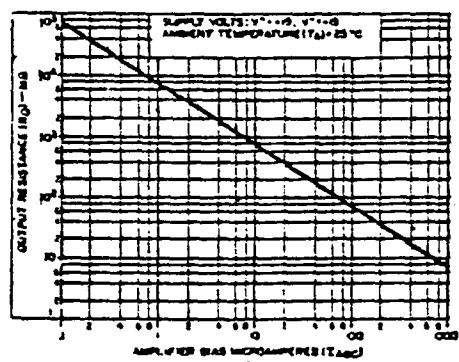
Şekil 2.4.a OTA'nın C_i - I_{cnt} ve C_o - I_{cnt} değişimi



Şekil 2.4.b OTA'nın g_m - I_{cnt} değişimi



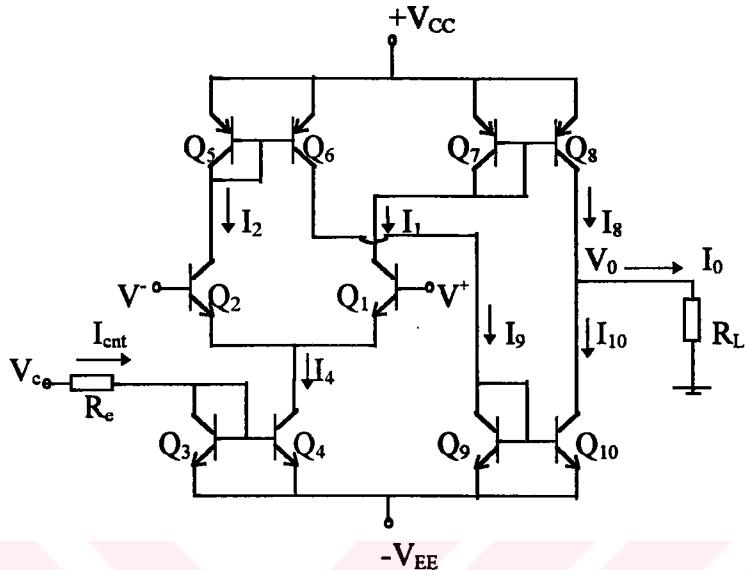
Şekil 2.4.c OTA'nın R_i - I_{cnt} değişimi
değişimi



Şekil 2.4.d OTA'nın R_o - I_{cnt}

2.4 Bipolar OTA

Bipolar teknigiyle yapılmış olan OTA'nın iç yapısı Şekil 2.5'de gösterilmiştir.



Şekil 2.5. Bipolar OTA'nın iç yapısı

Q_1 ve Q_2 tranzistorları bir fark kuvvetlendirici olarak Q_3 ve Q_4 ise bir akım aynası olarak çalışmaktadır. I_{cnt} akımı (R_{ext}) bir dış direnç ile kontrol edilir. Q_3 - Q_4 bir akım aynası oluşturduğundan $I_4=I_{cnt}$ dir. I_4 akımı Q_1 ve Q_2 'nin emetör akımlarının toplamına eşittir ($I_4=I_1+I_2$).

Q_5 - Q_6 akım aynasından $I_9=I_2$ ve Q_9 - Q_{10} akım aynasından $I_{10}=I_9=I_2$ yazılabilir. Benzer şekilde Q_7 - Q_8 akım aynasından $I_1=I_8$. ve düğüm denkleminden $I_o=I_8-I_{10}=I_1-I_2$ elde edilebilir.

Buradan gerilim kazancı hesaplanırsa,

$$A_v = V_o / V_{in} = I_o R_L / V_{in} = g_m R_L \quad , \quad V_{in} = V^+ - V^-$$

olarak bulunur. I_s , Q_1 ve Q_2 'nin ters doyma akımına eşit olduğu varsayımyla

$$I_{cnt} = I_1 + I_2 = I_s [\exp(V_1/V_T) + \exp(V_2/V_T)] \quad (V_T \text{ ters doyma gerilimi})$$

Sonuç olarak çıkış akımı

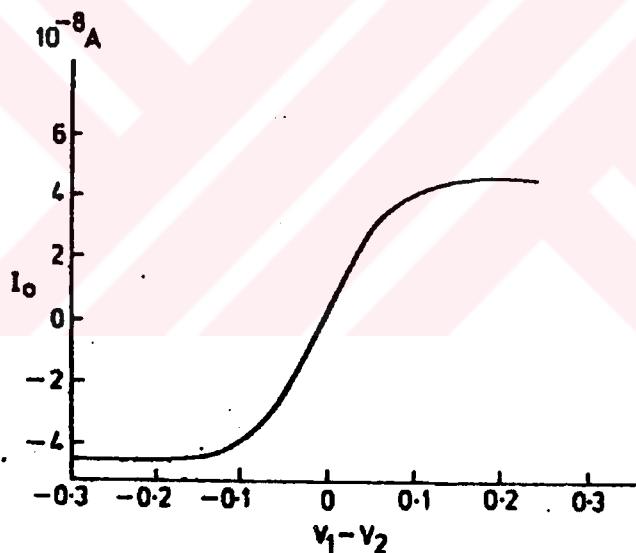
$$I_o = I_1 - I_2 = I_{cnt} \frac{\exp((V_1 - V_2)/2V_T) - \exp(-(V_1 - V_2)/2V_T)}{\exp((V_1 - V_2)/2V_T) + \exp(-(V_1 - V_2)/2V_T)} \quad (2.3)$$

Bulunabilir [4].

Cıktı akımı (I_o)'nın, $(V^+ - V^-)$ 'e göre değişimi Şekil 2.6'da gösterilmiştir. OTA'nın lineer bölgede çalışabilmesi için giriş gerilim değişim aralığının çok küçük seçilmesi gereklidir. Eğim g_m

$$g_m = |dI_o/dV_{in}| = I_{cnt} / 2V_T \quad (2.4)$$

ile hesaplanır[4].



Şekil 2.6 OTA'nın çıkış akımının değişimi

Böylelikle OTA'nın gerilim kazancı, kontrol akımı I_{cnt} ile değiştirilebilir. Oda sıcaklığında $V_T=26$ mV ve $g_m=I_{cnt}/(2V_T)=I_{cnt}/52$ mV veya $g_m=19.2I_{cnt}$ olur. g_m ifadesi sadece $0.1\mu A < I_{cnt} < 400\mu A$ aralığında lineer olarak kalacaktır. (2.1) bağıntısı kullanılarak

$$I_o = (19.2 I_{cnt}) V_{in} \quad (2.5)$$

elde edilir. Son ifade CA3080 için $I_o < 400\mu A$ ve $V_{in} < 20mV$ bölgesinde kullanılabilir
Lineer çalışma bölgesinde I_{cnt} akımı, Şekil 2.5'deki OTA için

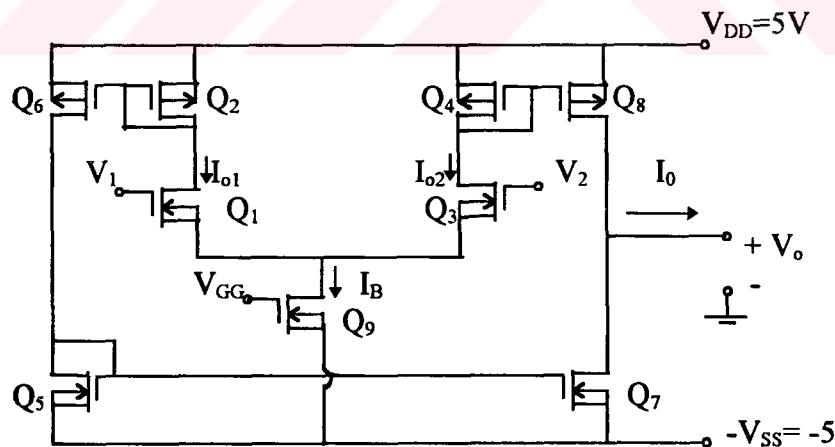
$$I_{cnt} = \frac{V_c + |-V_{EE}| - 0.6}{R_e} \quad (2.6)$$

ifadesinden hesaplanabilir[4]. Burada $0.6V$, Q_3 tranzistoruna ait baz-emetör geriliminin iletim yönü değeridir ve bu tranzistor diyot gibi davranmaktadır. Sonuç olarak g_m , R_e direnci ile kontrol edilebilmektedir.

2.5 CMOS OTA

Mevcut bipolar OTA yapılarında, lineer bölgede çalışabilme için fark geriliminin oldukça küçük tutulma sorunu, CMOS teknigiyle yapılmış olan OTA'larda iyileştirmeye çalışılmıştır.

Şekil 2.7.'de CMOS tranzistorlarla gerçekleştirilen basit bir OTA yapısı görülmektedir.



Şekil 2.7 Simetrik CMOS OTA yapısı

Q_9 MOSFET'i doyma bölgesinde çalışarak, I_B kontrol akımını üretir. Q_1 ve Q_3 fark kuvvetlendirici görevini üstlenmektedir. (Q_2-Q_6) ve (Q_4-Q_8) akım aynaları, Q_1 ve Q_3 için dinamik yük olarak kullanılmıştır. Akım aynalarının kazançları eşit tutulursa, Şekil 2.7'de verilen OTA'nın çıkış akımı

$$I_o = K(W/L)_{Q1} V_{id} \sqrt{(2I_B/K)(L/W)_{Q1} - (V_{id})^2} \quad (W/L)_{Q8} (W/L)_{Q4} \quad (2.7)$$

ile bulunur [5]. Burada W/L MOS tranzistorun (kanal genişliği)/(uzunluğu) olarak tanımlanmıştır. Ayrıca K

$$K = (1/2)(\mu_{eff} C_{ox})$$

ifadesi ile hesaplanır. Bu bağlantıda

μ_{eff} = Elektron ve deliklerin efektif hareketliliği

C_{ox} = birim alan başına düşen geçit - oksit kapasite

Küçük işaretler için g_m , 2.7'den yararlanılarak

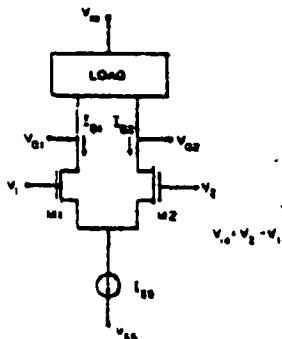
$$g_m = I_o / V_{id} = \sqrt{(2I_B K)(W/L)_{Q1}} (W/L)_{Q8} (W/L)_{Q4} \quad (2.8)$$

birimde hesaplanır. (2.8)'den

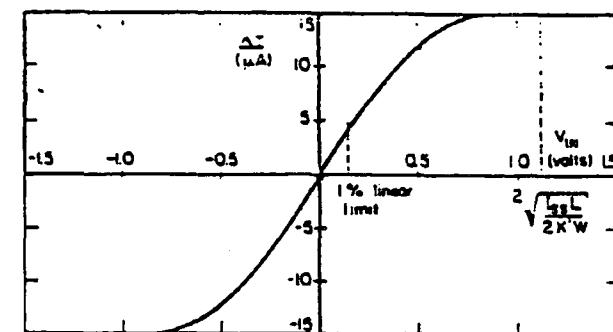
$$g_m = K_1 \sqrt{I_B} \quad (2.9)$$

bulunur ve $I_B=K_2 (V_{GG}-V_T)^2$ olduğuna göre, $g_m = K_3 |V_{GG}-V_T|$ yazılabilir. Sonuç olarak g_m , V_{GG} gerilimi ile değiştirilebilmektedir.

Şekil 2.8'de fark kuvvetlendirici ve D.C. geçiş eğrisi görülmektedir. Burada $I_B=30\mu A$, $W=20\mu m$, $L=5\mu m$ değerinde seçilmiştir [5].



Şekil 2.8.a Kaynak kuplajlı



Şekil 2.8.b DC transfer eğrisi

fark kuvvetlendirici

Şekil 2.8'den görüldüğü gibi, CMOS tranzistorlu OTA yapısı daha büyük lineer çalışma bölgesi sağlamaktadır. Dolayısıyla OTA fark giriş gerilimi, bipolar yapınlara oranla, CMOS yapılarda daha büyük değerlere çıkarılabilmektedir.

Tipik değerler Şekil 2.7'de kullanılan tranzistorlar için Tablo 2.1'de verilmiştir. Gerilim kaynağı ± 5 V ve kontrol gerilimi $V_{GG} = -3.24$ V seçilirse, OTA'nın eğimi (g_m) $I_B = 336 \mu A$ için 1.33 mA/V 'a eşit olur [6].

Tablo 2.1

Tranzistor	W(μm)	L(μm)
Q ₁	30	3
Q ₂	12	3
Q ₃	30	3
Q ₄	12	3
Q ₅	12	3
Q ₆	36	3
Q ₇	12	3
Q ₈	36	3
Q ₉	45	3

OTA devreleri gerçekleştirilirken dikkat edilmesi gereken önemli bir nokta giriş işaret gerilimi seviyesinin belirlenmesidir. OTA'nın çıkış işaretti belirli bir değeri aşlığında lineer çalışma bölgesi dışına çıkar. Devredeki herhangi bir OTA'nın çıkış gerilimi doyma değerini aşarsa, devre çıkışındaki işaret kırılır. Çıkış akımının doyma akım değerini aşması halinde "Slew - Rate" sorunu ortaya çıkacaktır [7].

Bir OTA devresinin doğrusal çalışabilmesi için, devredeki OTA'ların çıkış işaretlerinin (çıkış gerilim ve akımı) doyma değerlerini aşmaması ve maksimum devre giriş geriliminin buna göre belirlenmesi gereklidir [6].

$$|V_k| < V_{ks}, \quad k=1,2,\dots,n \quad (2.10.a)$$

$$|I_k| < I_{ks} \quad , \quad k=1,2,\dots,n \quad (2.10.b)$$

Bu bağıntılarda n , devrede kullanılan OTA sayısını göstermektedir. V_k ve I_k ise k nolu OTA'ya ait çıkış gerilim ve akımıdır. (2.10.a) ve (2.10.b) ifadelerinin her ikisi de aynı anda sağlanmalıdır [6].

V_{ks} ve I_{ks} ise k numaralı OTA'ya ait doyma gerilim ve akımıdır. Giriş geriliminin genliği cinsinden bu koşullar,

$$|V_i| |H_k| < V_{ks} \quad , \quad k=1,2,\dots,n \quad (2.11.a)$$

$$|V_i| |Y_k| < I_{ks} \quad , \quad k=1,2,\dots,n \quad (2.11.b)$$

şeklinde olacaktır. Burada V_i , devre giriş geriliminin genliğidir. H_k ve Y_k ise k numaralı OTA'ya ait gerilim transfer ve transfer admitans fonksiyonlarını ifade etmektedir [6].

$$H_k = V_k / V_i \quad , \quad k=1,2,\dots,n \quad (2.12.a)$$

$$Y_k = I_k / V_i \quad , \quad k=1,2,\dots,n \quad (2.12.b)$$

(2.12) eşitliklerinden,

$$|V_i| < V_{ks} / |H_k| \quad , \quad k=1,2,\dots,n \quad (2.13.a)$$

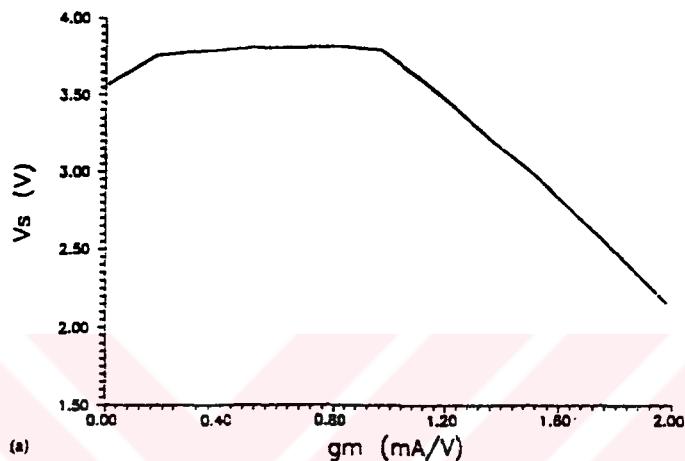
$$|V_i| < I_{ks} / |Y_k| \quad , \quad k=1,2,\dots,n \quad (2.13.b)$$

ifadeleri elde edilir. (2.13)'deki eşitsizliklerin ortak çözüm sonucu, "kırılma" ve "slew - rate" sorunlarını önleyecek maksimum devre giriş geriliminin genliği,

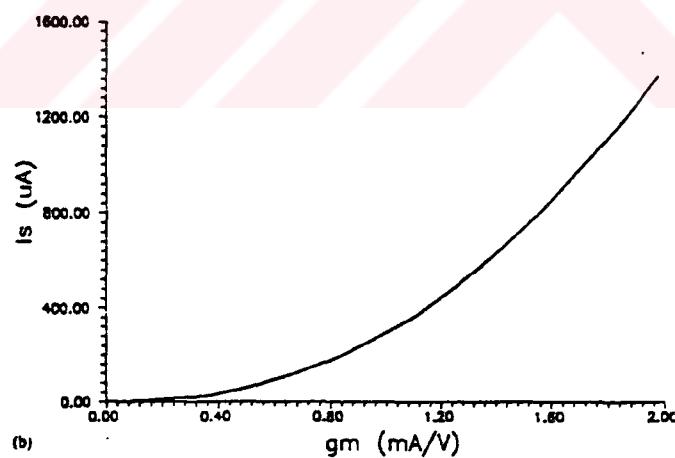
$$|V_i|_{max} = \min [V_{ks} / |H_k|_{max} , I_{ks} / |Y_k|_{max}] \quad k=1,2,\dots,n \quad (2.14)$$

Şeklinde ifade edilebilir. Burada $|H_{k,\max}|$ ve $|Y_{k,\max}|$, $|H_k|$ ve $|Y_k|$ 'nın ilgilenilen frekans aralığında maksimum değerlerine karşılık gelmektedir [7].

V_s ve I_s değerleri, kullanılmış olan OTA'nın eğimi (g_m) değerine bağlı olarak değişik değerler olacaktır. Şekil 2.9.a. ve 2.9.b.'de V_s ve I_s 'nin değişim eğrileri, Tablo 2.1'deki CMOS'lar için verilen değerlere karşılık gelmektedir [6].



Şekil 2.9.a $V_s - g_m$ değişimi

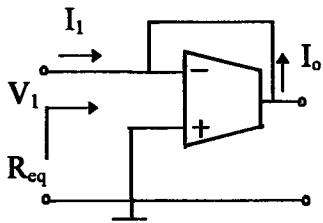


Şekil 2.9.b $I_s - g_m$ değişimi.

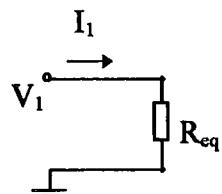
2.6 Direnç Ve İntegral Alıcı Devrenin Gerçekleştirilmesi

OTA'nın önemli bir uygulaması olan topraktan yalıtılmış (floated) ve bir ucu topraklanmış (grounded) direnç gerçeklenmesidir. Bu devreler yardımıyla, büyük

değerli dirençleri, bir küçük kırmızık (chip) alanında gerçekleştirmek mümkün olabilmektedir. Şekil 2.10'da bir ucu topraklanmış direncin gerçekleştirilmesi verilmiştir [2].



Şekil 2.10 OTA ile direnç gerçekleştirmesi



Şekil 2.11 Eşdeğer direnç

Şekil 2.10 'den çıkış akımının ifadesi

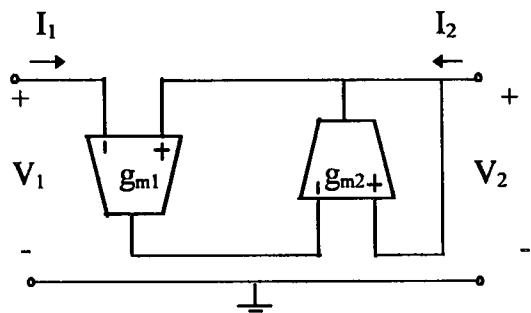
$$-I_1 = I_o = g_m(0 - V) = g_m(-V_1) \quad (2.15)$$

bulunmaktadır.

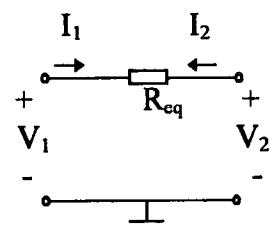
Söz konusu devre için giriş direnci aşağıdaki ifadede verilmektedir.

$$R_{eq} = V_1 / I_1 = 1 / g_m \quad (2.16)$$

Şekil 2.10'da verilen devreye karşılık düşen eşdeğer direnç Şekil 2.11'de gösterilmiştir. Örnek olarak, (2.16)'dan $g_m = 10^{-2}$ mA/V değeri için eşdeğer direnç $10^5\Omega$ olarak hesaplanır. Topraktan yalıtılmış direncin gerçekleştirme biçimi, Şekil 2.12'de gösterilmiştir [2].



Şekil 2.12 Topraktan yalıtılmış direnç gerçekleştirmesi



Şekil 2.13 Eşdeğer devre

Şekil 2.12'de verilen devreler için

$$I_1 = -g_{m1} (V_2 - V_1) \quad I_2 = -g_{m2} (V_1 - V_2) \quad (2.17)$$

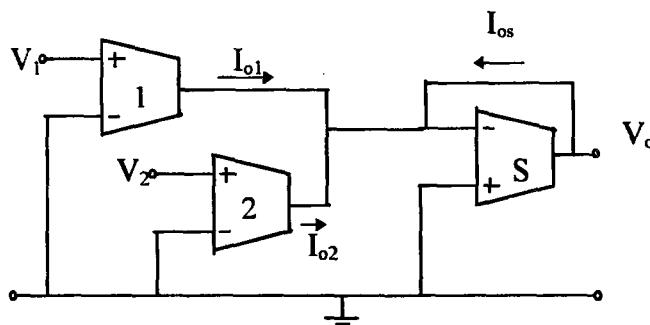
İfadeleri elde edilir. Söz konusu iki kapılı devre için y parametreleri

$$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} g_{m1} & -g_{m1} \\ -g_{m2} & g_{m2} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (2.18)$$

matrisel bağıntı ile tanımlanır. $g_m = g_{m1} = g_{m2}$ seçilirse, Şekil 2.13.'de belirtilmiş olan floating direnç aşağıdaki bağıntıyla bulunabilir.

$$R_{eq} = 1 / g_m$$

OTA ile gerçekleştirilen bir başka uygulama Şekil 2.14'de verilen toplama (summer) devresidir. Devrenin giriş işaretlerini toplamak için birer OTA kullanılması gerekmektedir. Bu amaçla kullanılan OTA'ların çıkış akımları, OTA yardımıyla, Şekil 2.10'da gösterildiği gibi, topraklanmış direnç gerçekleştirilmesinde kullanılarak kolayca toplanmaktadır [2].



Şekil 2.14 Toplama devresi

V_1 ve V_2 'nin toplamına karşılık gelen V_o gerilimini elde etmek için, Şekil 2.14 verilen devre kullanılabilir. Bu devre için aşağıdaki ifadeler yazılabilir.

$$V_o = -I_{os} / g_{ms} = (I_{o1} + I_{o2}) / g_{ms} = (V_1 g_{m1} + V_2 g_{m2}) / g_{ms}$$

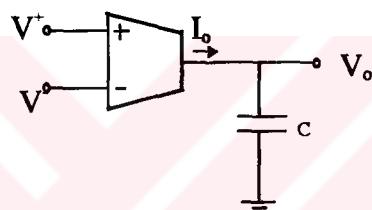
$$V_o = g_{m1} / g_{ms} V_1 + g_{m2} / g_{ms} V_2 \quad (2.19)$$

Bu bağıntılardan görüldüğü gibi V_o , V_1 ve V_2 'nin belirli katsayılarla çarpımlarının toplamına karşılık gelmektedir.

Şekil 2.15'de OTA ve kondansatör kullanılarak integral alıcı bir devrenin gerçekleştirelî verilmiştir. Bu devre için çıkış gerilimi

$$V_o(s) = I_o \cdot 1/sc = g_m / sc (V^+(s) - V^-(s)) \quad (2.20)$$

bağıntısından hesaplanabilir ve zaman sabiti C/g_m 'e eşittir [2].



Şekil 2.15 İntegral alıcı devresi

Bu devreler Sayısal/Analóg dönüştürücü tasarıımı için sonraki bölümlerde kullanılacaktır.

BÖLÜM 3

SAYISAL/ANALOG (D/A) DÖNÜŞTÜRÜCÜLERİN TANIMLANMASI VE OTA ELEMANI İLE TASARIMI

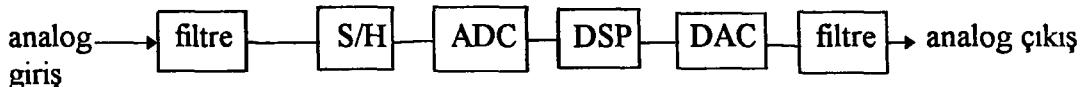
3.1 Giriş

Doğal durumda, gerilim, akım, yük, sıcaklık, basınç ve zaman gibi bilgi - taşıyan (information - carrying) değişimler, analog işaretlerdir. İşaret işlemek, taşımak ve saklamak için (storage), bu değişimleri sayısal biçimde ifade etmek gereklidir. Örnek olarak, kayma (drift), yaşılandırma (aging) ve gürültü etkilerinden dolayı gürültü işaret seviyesi yüksek olduğundan işlemel kuvvetlendiriciden (OP-AMP), küçük seviyeli V_o çıkış geriliminin elde edilebilmesi zor olur [8].

İşaretler sayısal biçimde ifade edildiğinde, işaret belirli sayıda değişik değerlerle gösterildiğinden daha kolay gösterilebilir. Örnek olarak desimal formda bir işaret $V_o = 0.d_1d_2d_3$ şeklinde ifade edilir. Burada d_1, d_2, d_3 0 - 9 arasında 10 tabanına göre sayılardır. 1mV çözünürlük (resolution) için üç rakam yeterlidir ve bu üç rakamı gösterebilmek için üç ayrı devre gereklidir. Bununla birlikte her bir devre bin gerilim seviyesi (level) yerine sadece on gerilim seviyesi içerdiginden, işaretin belirlenmesini amacıyla gereken terim sayısı azalmıştır. Bu gösteriliş biçiminde her devre için %5 doğruluk yeterlidir.

İşaretlerin sayısal biçimde ifade etmek, sorunu basit hale getirirken, Analog/Sayısal (A/D) ve Sayısal/Analog (D/A) dönüştürücülere gerek vardır. Örnek olarak 3dijitlik bir sayısal ifadeyi Sayısal/Analog dönüştürücü ile analog işaretin çevirmek için, d_1, d_2 ve d_3 değerlerinin belirlenmesi ve $V_o = d_110^{-1} + d_210^{-2} + d_310^{-3}$ analog işaretinin 1mV doğrulukla sentezi gereklidir [8].

Şekil 3.1'de A/D ve D/A dönüştürücülerin uygulamaları genel olarak gösterilmektedir.



Şekil 3.1 A/D ve D/A dönüştürücülerin uygulamaları

Analog işaret (V_i), iletilmesi veya kayıt yapılması için sayısal biçimde çevrilmesi istenebilir. Gerekli işlemlerden sonra, sayısal işaretin yeniden Sayısal/Analogsayısal dönüştürücü yardımıyla analog biçimde dönüştürülmesi gereklidir. Analog/Sayısal dönüştürücü f_{clk} (örnek/saniye) örnekleme frekansı ile çalışmaktadır. Örnekleme teorisine göre örtüşme olmaması için giriş işaretinin en büyük frekansı $f_{clk}/2$ den düşük olması gereklidir [8].

Analog/Sayısal dönüştürücülerin doğru çalışabilmesi için giriş işaretinin dönüştürme sırasında sabit kalması gereklidir. Bunun sağlanması amacıyla giriş işaretin önce bir S/H (örnekleme-tutma, sample - hold) devresinden geçirilmelidir.

Sayısal/Analogsayısal ve Analogsayısal dönüştürücüler genelde aynı frekansta çalışmaktadır. Giriş ve çıkış işaretleri frekans bandının sınırlanması ve düzgün bir değişim elde edilebilmesi için filtrelerden geçirilmelidir. Şekil 3.1'de verilen yapı tümüyle veya bir bölümüyle birçok uygulamada kullanılmaktadır. Sayısal işaret işleminin (DSP) uygulama alanlarına, doğrudan sayısal kontrol, sayısal ses ve görüntü kaydı, darbe kod modülasyonu (PCM), veri elde edilmesi örnek olarak gösterilebilir [8].

Analog/Sayısal ve Sayısal/Analogsayısal dönüştürücüler veri dönüştürücülerini olarak tanımlanmaktadır ve tümdevre yapısındadırlar. Yavaş değişen işaretler için S/H (örnekleme/tutma) devresi kullanılmayabilir ve önemli hataya sebep olmaz. Analogsayısal devrelerde, genelde Sayısal/Analogsayısal dönüştürücüden yararlanılır. Bu yüzden ilk önce Sayısal/Analogsayısal dönüştürücüler (DAC) verilmiştir.

3 .2 Dönüştürüçülerin Tanıtılması Ve Özellikleri

$b_1 b_2 b_3 \dots b_n$ n-bit bir sözcüğü (word) oluşturur ve onun kesirli binary değeri (fractional - binary value)

$$D = b_1 2^{-1} + b_2 2^{-2} + b_3 2^{-3} + \dots + b_n 2^{-n} \quad (3.1)$$

bağıntısıyla ifade edilir.

b_1 ve b_n MSB (en yüksek değerlikli bit) ve LSB (en az değerlikli bit) olarak adlandırılırlar. Bit paterne bağlı olarak D 'ye, $[0 - (1 - 2^{-n})]$ aralığında değer verilebilir. D 'nin değeri, bütün bitler sıfır olduğu zaman alt sınıra ve bütün bitler bir olduğu zaman üst sınıra ulaşmaktadır [8].

3 .3 Sayısal/Analog Dönüştürüçüler (DAC)

Bir Sayısal/Analog dönüştürücü, n bit giriş ($b_1 b_2 b_3 \dots b_n$)'den D_i 'in değerine göre, bir analog işaretü üretir. Sayısal/Analog dönüştürücünün çıkışı bir gerilim veya bir akım olabilir. Gerilim-çıkışlı bir Sayısal/Analog dönüştürücü için geçiş karekteristik ifadesi,

$$V_o = K_v V_r D_i = K_v V_r (b_1 2^{-1} + b_2 2^{-2} + b_3 2^{-3} + \dots + b_n 2^{-n}) \quad (3.2)$$

biçiminde yazılabılır [8].

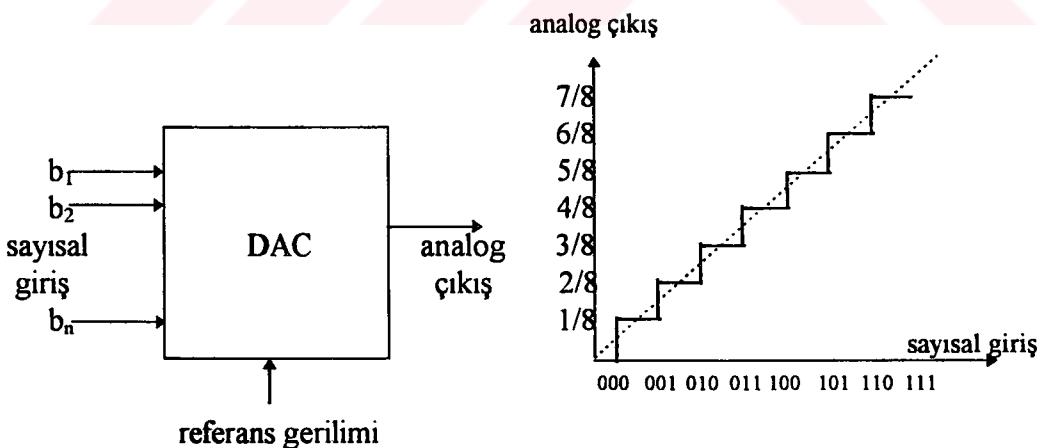
V_r referans gerilimi ve K_v Ölçme (skala) sabitidir. Girişin lojik seviyesine bağlı olarak $b_k = 0$ veya 1 olabilir. Aynı şekilde bir akım-çıkışlı Sayısal/Analog dönüştürücü için çıkış akımı $I_o = K_i I_i D_i$ şeklinde ifade edilebilir.

V_o çıkış gerilimi, analog referans gerilimi (V_r) ile sayısal giriş işaretinin çarpımı olarak değerlendirilebilir. Eğer referans geriliminin değişmesine izin verilirse Sayısal/Analog dönüştürücü, çarpımcı (multiplying) Sayısal/Analog dönüştürücü olarak adlandırılır ve çeşitli uygulamalarda yararlanılır.

$V_{fs} = K_v V_r$ değeri tam skala değer aralığı (full-scale range) (FSR) olarak adlandırılır. V_{fs} 'in tipik değerleri 2.5V, 5V ve 10V dur. Akım-çıkışlı Sayısal/Analog dönüştürücülerde ise I_{fs} akımının tipik değeri 2mA verilebilir. Giriş bit patern'e (input bit pattern) bağlı olarak V_o 'ya 0 ve $(1 - 2^{-n})V_{fs}$ aralığında 2^n değişik değer verilebilir. $(1 - 2^{-n})V_{fs}$, tam skala değer (full - scale value) olarak adlandırır ve daima V_{fs} 'den küçüktür.

(3.2)'deki bağıntıdan çıkış gerilimine MSB'nın katkısının $V_{fs}/2$ ve LSB'nın katkısının $V_{fs}/2^n$ olduğu görülebilir. Burada $V_{fs}/2^n$ değeri, çözünürlüğe (resolution) eşittir. Şekil 3.2.'de ideal 3-bit bir Sayısal/Analog dönüştürücü için normalize geçiş (transfer) eğrisi gösterilmektedir ($K_v V_r = 1V$). Karakteristik, $V_{fs}/2^n$ adımlık basamak yapadır. n ne kadar büyük olursa, çözünürlük o kadar büyük ve basamaklı değişim ideale (noktalanmış hat) o kadar yakın olur.

20 log 2^n değeri, dinamik aralıktır (dynamic range). Örnek olarak $V_{fs} = 10.0$ V olan bir 12 - bit sayısal analog dönüştürücü için, dinamik aralık $20 \log 2^{12}$, tam skala değeri $10 (1 - 2^{-12})$ ve çözünürlük $10 / 2^{12}$ 'ye eşittir.



Şekil 3.2. : Sayısal/Analog dönüştürücünün işlevsel
diagramı ve geçiş karakteristiği

6-bit, 18-bit veya daha fazla sözcük uzunluklu (word - length) Sayısal/Analog dönüştürücüler mevcuttur ama 6-8-10-12 ve 14 bit DAC 'lar daha yaygın ve

ekonomiktir. 14-bit'ten daha fazla sözcük uzunluklu DAC'lar pahalı ve gerçekleştirilmelerine son derece özen göstermek gereklidir [4].

Sayısal/Analog dönüştürücülerin performansı, sıcaklık, besleme kaynağı ve zaman ile değişmektedir. Burada offset ve kazanç gibi bütün ilgili performans parametreleri, tam sıcaklık ve besleme gerilimi değişim aralıklarına göre belirlenmelidir.

3 .4 Temel DAC Yapıları

n-bitlik bir Sayısal/Analog dönüştürücü oluşturmak için gerekli elmanlar (3.2) denkleminde belirtilmektedir. Bu elemanlar n binary-Ağırlıklı (binary-weighted) değer (2^{-k} terimleri gerçekleştirmek üzere), n giriş toplayıcı devre ve bir referans işaretten oluşmaktadır. (3.2) denklemindeki V_o çıkış gerilimini elde edebilmek için çeşitli metodlar bulunmaktadır.

3.4.1 Ağırlıklı - direnç yapısına sahip DAC'lar

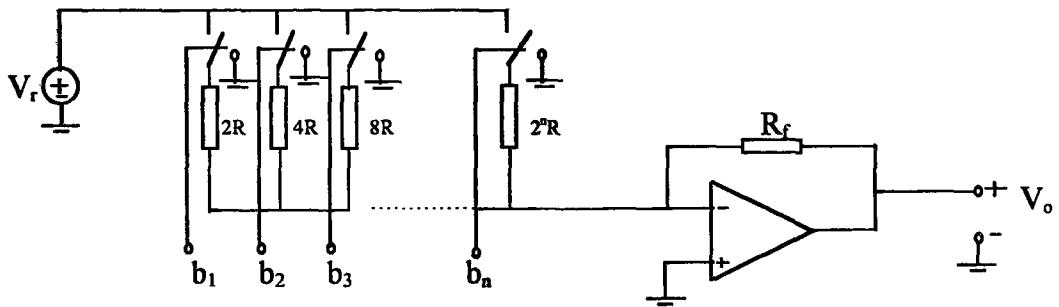
Şekil 3.3'de, OP-AMP (işlemsel-kuvvetlendirici) kullanılarak gerçekleştirilen bir Ağırlıklı - direnç Sayısal/Analog dönüştürücü gösterilmektedir. OP-AMP, n binary Ağırlıklı akımları toplayabilmek için kullanılmıştır. Bu toplayıcı olarak çalışan devre için aşağıdaki denklemler yazılabilir.

$$V_o = -b_1(R_f / 2R)V_r - b_2(R_f / 4R)V_r - \dots - b_n(R_f / 2^n R)V_r$$

veya

$$V_o = (-R_f / R) V_r (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) \quad (3.3)$$

Bu yapı $K_v = -R_f / R$ kazancı ile Sayısal/Analog dönüşüm sağlar. K_v , R_f 'nin değiştirilmesi ile ayarlanabilir. Ayrıca V_o ve V_r 'nın polaritelerinin zıt olduğu görülmektedir. V_o ve V_r 'nın polaritelerinin zıt olmaması istenirse, OP-AMP'in evirmeyen durumda (non-inverting) kullanılması gereklidir.



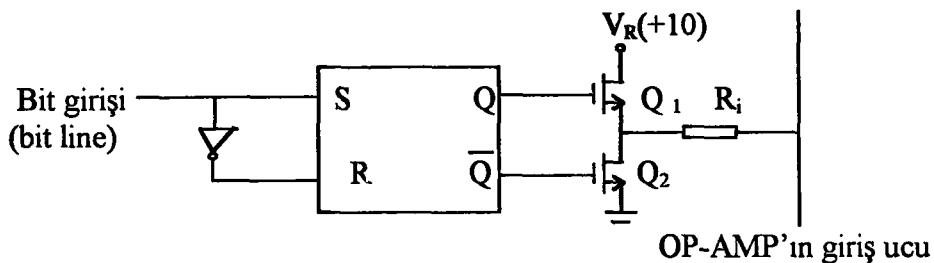
Şekil 3.3 Ağırlıklı - direnç DAC

Ağırlıklı-direnç (weighted resistor) yöntemiyle gerçekleştirilen Sayısal/Analóg dönüştürücüler basit olmasına rağmen, $r_{ds(on)} \neq 0$ (anahtar direnci sıfırdan farklı) ve geniş aralıklı dirençler gerektiği görülmektedir. $r_{ds(on)}$ 'ın etkisi ile değişik akımlar arasında var olan binary-Ağırlıklı (binary-weighted) ilişkisi, özellikle MSB(most significant bit) pozisyonunda bozulur.

$r_{ds(on)}$ direncini etkisiz hale getirmek için R direncinin büyük değerlerde seçilmesi gereklidir. Fakat bu büyük dirençler özellikle LSB pozisyonunda, en büyük / en küçük dirençlerin oranı 2^{n-1} olduğu için gerçel olmayan değerlere kadar ulaşabilir. Örnek olarak bir 8-bitlik Sayısal/Analög dönüştürücü için, R-128R aralığında değişik direnç değerleri gereklidir. Ağırlıklı dirençler metodu, geniş bir aralıkta direnç takımı gerektirdiğinden ve doğru oran sorunundan dolayı ancak 8 bitten küçük Sayısal/Analög dönüştürücülerin elde edilmesinde kullanılabilir.

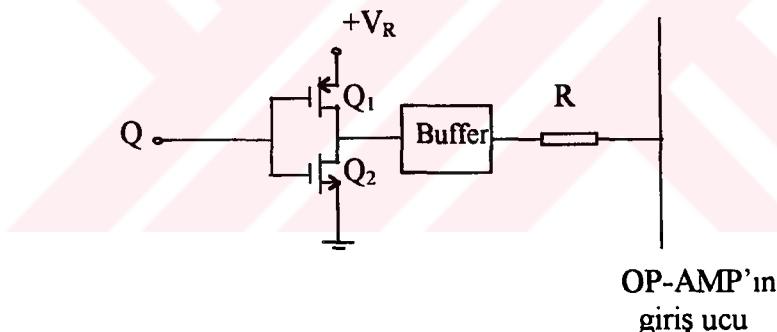
Şekil 3.3'de gösterilmiş olduğu gibi anahtarlar dirençlerle seri olarak bağlanılmışlardır. İdeal durumda bu anahtarların offset gerilimlerinin sıfır olması gereklidir. Bipolar tranzistorlar (BJT) doyma gerilimlerinin var olması nedeniyle bu tür devrelerde kullanılmamaktadır. Bu anahtarlar normal P-kanal JFET tranzistorlar veya MOSFET'lerle gerçekleştirilebilir. MOSFET tranzistordan oluşan bir anahtar devresi Şekil 3.4'de görülmektedir. OP-AMP'ın eviren girişine (inverting-input) bağlanmış olan her bir direnç, bir MOSFET tarafından beslenmektedir. İki eşlenik (complementary) giriş (Q ve Q'), bir MOSFET S-R flip-flop ile sağlanabilir. pozitif lojikte $Q=1$ olduğu zaman ($S=1, R=0$), Q_1 tranzistoru iletişimde ve R_i direnci referans

gerilime bağlanır. Diğer durumda yani $Q=0$ olduğu zaman ($S=0, R=1$) Q_2 tranzistoru iletimde ve R_i direnci toprağa bağlanır [4].



Şekil 3.4 MOSFET - Anahtar

Bir başka anahtar devresi Şekil 3.5'de gösterilmiştir. $Q = 0$ olduğu zaman Q_1 tranzistoru iletimde ve referans gerilimi (V_R), R 'ye bağlanır. Eğer $Q = 1$ ise CMOS'in çıkışı 0V tur (Q_2 tranzistoru iletimde) ve R toprağa bağlıdır[4].

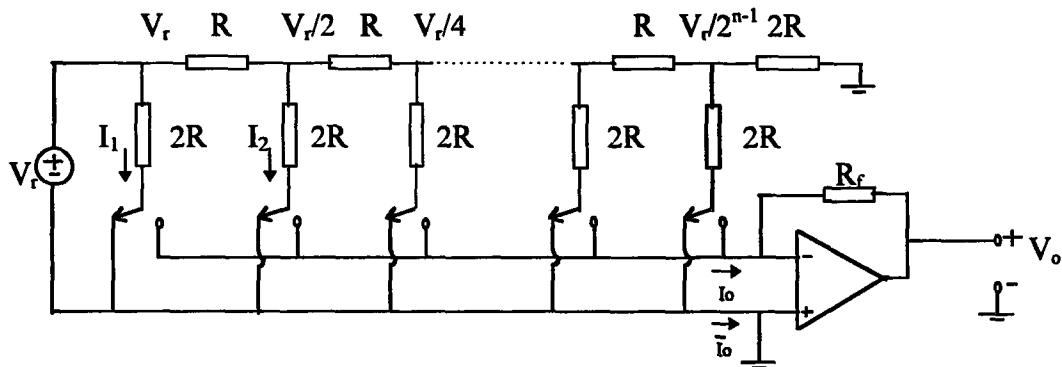


Şekil 3.5 CMOS anahtar

3.4.2 Akım - mod R-2R basamak (ladder) DAC

R-2R basamak yönteminde, geniş bir aralıkta direnç kullanma sorunu ortadan kalkmaktadır. Her iki metodda n-binary ağırlıklı akımları üretmek için paralel dirençler kullanılmaktadır. Fakat R-2R yapısında direnç skalaması yerine ($2R, 4R, \dots, 2^nR$), referans gerilimi R-2R bir devre ile $V_r/2, V_r/4, \dots, V_r/2^n$ şeklinde ölçuklenmektedir.

Bir akım-mod eviren (inverted) R-2R basamak Sayısal/Analogs dönüştürücü Şekil 3.6'de gösterilmektedir.



Şekil 3.6 Akım -mod eviren R-2R basamak DAC

Gerilim ölçeklemesi (scaling) için, seri dirençlerden oluşan bir gerilim düşürücü eklenmektedir. En sağdaki düğümden başlanarak binary-ağırlıklı gerilimlerin üretilmesi için, seri dirençlerin değerinin paralel dirençlerin yarısı olacak şekilde seçilmesi gereklidir ve giriş direnci her düğümden bakıldığından R' ye eşittir. Akımlar

$$I_1 = V_r / 2R , \quad I_2 = V_r / 4R = I_1 / 2 , \quad I_3 = I_1 / 4 , \dots , \quad I_n = I_1 / 2^{n-1} \quad (3.4)$$

şeklinde ifade edilebilir. Anahtar pozisyonuna göre her akım, toprak yoluna (I_o) veya görünüşe-toprak yoluna (\bar{I}_o) akmaktadır. V_o (3.5) bağıntısı ile ifade edilebilir.

Burada b_k ($k=1,2,\dots,n$), anahtarların binary olarak değerini vermektedir [8].

$$V_o = -R_f / R \cdot V_r \cdot (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) \quad (3.5)$$

(3.5) bağıntısına göre Sayısal/Analog dönüşüm $K_v = -R_f / R$ çarpanı ile yapılır ve K_v , R_f 'nın değiştirilmesiyle kontrol edilebilir. Ayrıca $I_o + \bar{I}_o = (1 - 2^{-n})V_r / R$ olur (bit-patrone göre). Bu nedenle I_o , \bar{I}_o 'nın eşleniği olarak adlandırılır[8].

R-2R basamaklı devre yapısı sayı olarak iki kat direnç gerektirmesine rağmen çok geniş bir aralıkta direnç gerektirmemesi nedeniyle özellikle monolitik Sayısal/Analog dönüştürücülerde kullanılmaktadır. Ayrıca 2:1 direnç oranı daha yüksek doğruluk

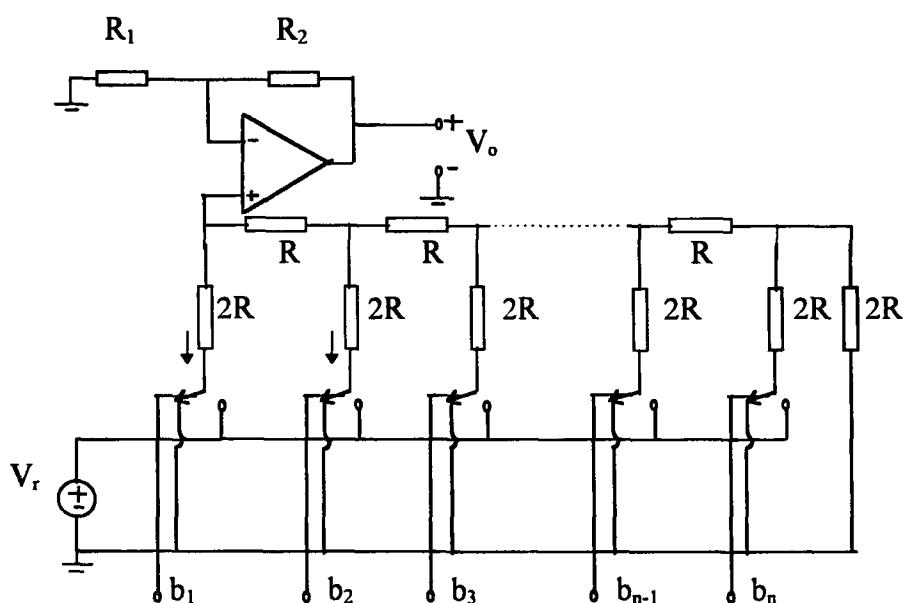
seviyesi ile imal edilebilir. R 'nın tipik değeri $10\text{ K}\Omega$ olarak verilebilir ve düşük güçlü DAC'lar için $100\text{K}\Omega$, yüksek hızlı DAC'lar için bir kaç yüz ohm mertebesindedir.

Akımların toplanması esasına göre çalıştığı için R-2R basamak yapısındaki DAC'lara aynı zamanda akım-mod dönüştürücü denir. I_o yolunun potansiyelinin I_o yoluna yeterince yakın olması gereklidir, aksi halde doğrusallık (linearity) hatası gerçekleşir. Bu nedenle yüksek çözünürlüklü Sayısal/Analóg dönüştürücülerde giriş offset geriliminin az olması gereklidir.

Bütün basamak düğüm gerilimlerinin, giriş kodunun değiştirmesiyle sabit kalması, akım mod yapısının çok önemli avantajıdır. Ayrıca anahtarlar görünüşte-toprak tipi olması nedeniyle daha kolay tasarılanabilir.

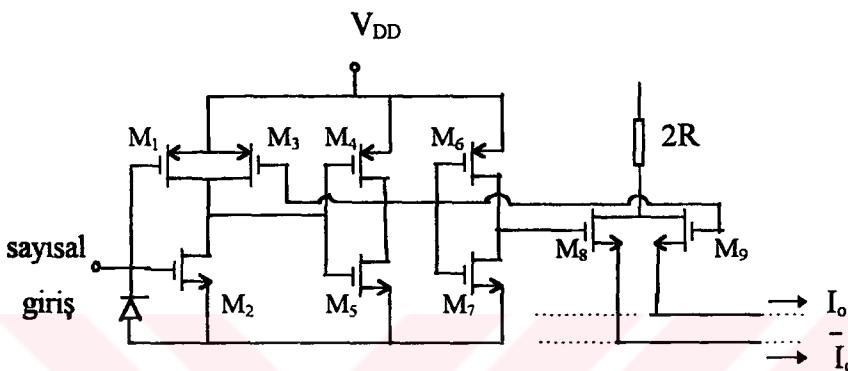
3.4.3 Gerilim mod R-2R basamak DAC

Bir gerilim-mod R-2R basamak yapısı Şekil 3.7'de gösterilmektedir. I_o yolu toprağa bağlanır, referans gerilimi V_r , I_o yoluna uygulanır ve en soldaki düğüm çıkış olarak kullanılmaktadır. Giriş kodunun değişmesiyle, çıkış gerilimi sıfırdan $(1-2^{-n})V_r$ 'e kadar, $V_r/2^n$ adımı ile değişir. Evirmeyen bir kuvvetlendiriciyle düzeltilebilir bir skala faktörü $K_v = 1+R_2/R_1$ olarak bulunur [8].



Şekil 3.7 Gerilim - mod R-2R basamak DAC

Şekil 3.8'de yukarıdaki yapılarda kullanılan anahtarların devre şeması görülmektedir. Anahtarda bir çift n-MOS M_8 ve M_9 bulunur ve geri kalan tranzistorlar, TTL ve CMOS uyumlu (compatible) lojik girişe bağlı olarak, M_8 ve M_9 'un geçit ucu için tetikleme gerilimi oluştururlar. Giriş lojik 1 olduğu zaman M_8 kesimde, M_9 iletimde ve 2R direnci I_o yolu ile temas haline geçer. Giriş lojik 0 olduğu zaman ise, M_8 iletimde, M_9 kesimde ve 2R direnci \bar{I}_o yolu ile temas haline geçer [8].



Şekil 3.8 CMOS - anahtar

3.5 OTA'larla Gerçekleştirilen Sayısal/Analog Dönüştürüçüler

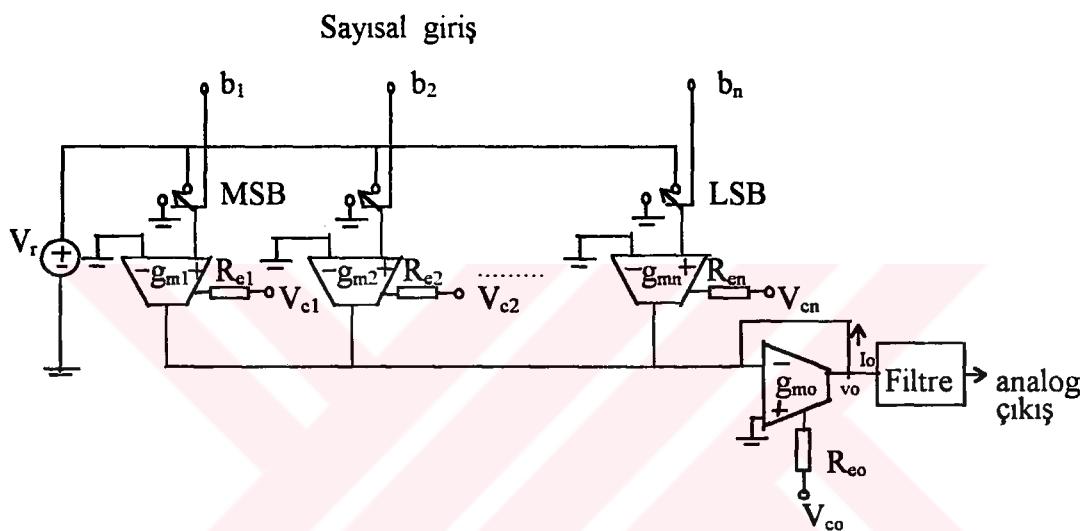
İşlemsel kuvvetlendiricilerle oluşturulan Sayısal/Analog dönüştürüçüler en fazla 1Mhz ile çalışan (OP-AMP'in transiyen frekansı) devrelerde kullanılabilir. Bu alt bölümde anlatılacak olan OTA'larla oluşturulan DAC'larda daha yüksek frekanslara çıkabilmek mümkün olmaktadır. DAC'ların tasarımında kullanılan (3.2) bağıntısındaki 2^{-1} , $2^{-2}, \dots, 2^{-n}$ katsayıları OTA'ların eğimi (g_m) ile sağlanmaktadır. Ayrıca (3.2) bağıntısındaki bütün terimleri toplayabilmek için Şekil 2.14'deki toplayıcı devre kullanılmaktadır.

3.5.1 OTA ile gerçekleştirilen ağırlıklı- g_m DAC

Bu yöntemde (3.2) bağıntısındaki 2^{-1} , $2^{-2}, \dots, 2^{-n}$ katsayıları, OTA'larla gerçekleştirilir ve aynı zamanda OTA'larla oluşturulan toplayıcı devre ile toplama işlemi gerçekleştirilmektedir. Bu yöntem Şekil 3.9'da gösterilmiştir. V_r referans gerilimi, b_1 ,

b_2, b_3, \dots, b_n anahtarları ile OTA'ların girişlerine uygulanır. $g_{m1}, g_{m2}, \dots, g_{mn}$ eğimli OTA'larla çıkıştaki g_{mo} eğimli OTA bir n-girişli toplayıcı devre oluşturmaktadır.

Çıkış gerilimi V_o (2.19) bağıntısına benzer bir yolla hesaplanabilir. Yalnız burda iki girişli bir toplayıcı yerine n-girişli bir toplayıcı kullanıldığından dolayı hesaplama iki terim yerine n terim ile gerçekleştirilecektir. Çıkış gerilimi V_o analog olarak g_{mo} eğimli OTA'nın çıkışından alınır.



Şekil 3.9 OTA'larla oluşturulan g_m -Ağırlıklı DAC

Çıkış gerilimi

$$V_o = \frac{g_{m1}}{g_{mo}} b_1 V_r + \frac{g_{m2}}{g_{mo}} b_2 V_r + \dots + \frac{g_{mn}}{g_{mo}} b_n V_r \quad (3.6)$$

bağıntısıyla ifade edilir.

Burada $\frac{g_{m1}}{g_{mo}}, \frac{g_{m2}}{g_{mo}}, \dots$ katsayılarıyla binary değerlerin elde edilebilmesi için OTA'ların eğimlerinin aşağıdaki gibi seçilmesi gereklidir.

$$g_{mo} = g_{mo}, \quad g_{m1} = g_{mo}/2, \quad g_{m2} = g_{mo}/4, \quad \dots, \quad g_{mn} = g_{mo}/2^n \quad (3.7)$$

Böylece çıkış gerilimin ifadesi

$$V_o = 1/2 b_1 V_r + 1/4 b_2 V_r + \dots + 1/2^n b_n V_r$$

veya

$$V_o = V_r(b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) \quad (3.8)$$

şeklinde yazılabilir. Burada b_1, b_2, \dots, b_n , anahtarların durumuna göre 0 veya 1 olabilir. Tam skala değeri (FSR) ise V_r 'ye eşittir. (3.7)'deki denklemleri sağlayabilmek için OTA'ların eğimlerini bir kontrol gerilimi veya bir kontrol akımı ile ayarlamak gerekir. Bipolar teknolojiyle yapılmış olan OTA'ların eğimi, (2.4)'deki bağıntıya göre $g_m = k I_{cnt}$ olarak yazılabilir. I_{cnt} akımı (2.6) bağıntısına göre bir dış direnç(R_e) veya kontrol gerilimi ile değiştirilebilir. Buyüzden (3.7) denklemlerini elde edebilmek için iki değişik metod kullanılabilir.

1- Kontrol gerilimi (V_c) sabit olarak alınır. Dış dirençler

$$R_{e1} = 2R_{eo}, \quad R_{e2} = 4R_{eo}, \quad R_{e3} = 8R_{eo}, \dots, R_{en} = 2^n R_{eo} \quad (3.9)$$

şeklinde seçilir. Burada $R_{e1}, R_{e2}, \dots, R_{en}$ sırasıyla 1'inci, 2'inci,... OTA'nın dış direnci ve R_{eo} ise çıkıştaki OTA'nın dış direncidir. Bu metoda yine geniş aralıklı direnç sorunu, dış dirençler için ortaya çıkar. Özellikle 'LSB' konumunda OTA'nın dış direnci R_{en} çok büyük değerlere çıkabilir. Örnek olarak eğer çıkıştaki OTA'nın eğimi $g_{mo} = 7 \text{ mA/V}$ seçilirse (2.4) bağıntısına göre

$$I_{cnto} = 7 \text{ mA/V} \cdot 52 \text{ mV} = 364 \mu\text{A}$$

bulunmaktadır. (2.6) bağıntısı kullanılarak, $V_c = -10V$ ve $-V_{EE} = -12V$ olduğu varsayımyla çıkıştaki OTA'nın dış direnci

$$R_{eo} = \frac{V_c + |-V_{EE}| - 0.6}{I_{cnto}} = 3.84 \text{ k}\Omega$$

bulunur. 8 bitlik bir Sayısal/Aanalog dönüştürücü için en büyük dış direnç (3.9) bağıntısı yardımıyla ('LSB' konumunda)

$$R_{en} = 2^n R_{eo} = 2^8 \cdot 3.84 \text{ k}\Omega = 983 \text{ k}\Omega$$

şeklinde bulunabilir.

“LSB” konumundaki OTA için kontrol akımı ve eğimi (2.6) ve (2.4) bağıntısından

$$I_{cntn} = \frac{(-10 + 12 - 0.6)V}{983 \text{ k}\Omega} = 1.42 \mu\text{A}$$

$$g_{mn} = 19.2 I_{cnt} = 27.3 \mu\text{A} / \text{V}$$

bulunur. Bu metod büyük bir aralıkta dış dirençler kullanılması nedeniyle en fazla 12-bitlik DAC'lar için uygundur. Ayrıca kontrol akımlarının değerinin (I_{cnt}) lineer bölgede olması gereklidir (örnek olarak CA3080 OTA için $0.1 \mu\text{A} < I_{cnt} < 400 \mu\text{A}$).

2- Dış dirençler ve kontrol gerilimleri (V_c) her ikisi birlikte değiştirilir. Örnek olarak 8-bitlik bir DAC için eğer çıkıştaki OTA'nın eğimi $g_{mo} = 7 \text{mA/V}$ seçilirse, (2.4) bağıntısına göre

$$I_{cnto} = 7 \text{mA/V} \cdot 52 \text{mV} = 364 \mu\text{A}$$

bulunur. Çıııktaki OTA'nın kontrol gerilimi -6 V ve $-V_{EE} = -12 \text{V}$ seçilirse dış direnci (2.6) bağıntısı kullanılarak

$$R_{eo} = \frac{V_c + |-V_{EE}| - 0.6}{I_{cnto}} = \frac{(-6 + 12 - 0.6)V}{364 \mu\text{A}} = 14.83 \text{ k}\Omega$$

elde edilir. MSB konumunda $g_{ml} = g_{mo} / 2$ olduğu için $I_{cntl} = I_{cnto} / 2$ olması gereklidir. MSB OTA için eğer kontrol gerilimi $V_{cl} = -6.6 \text{ V}$ seçilirse,

$$I_{cntl} = I_{cnto} / 2 = 364 \mu\text{A} / 2 = 182 \mu\text{A}$$

$$R_{el} = \frac{(-6.6 + 12 - 0.6) V}{182 \mu\text{A}} = 26.3 \text{ k}\Omega$$

bulunur. LSB konumundaki OTA için, $g_{mn} = g_{mo} / 2^n$ ve $I_{cntn} = I_{cnto} / 2^n$ olduğuna göre kontrol gerilimi $V_c = -10.8 \text{ V}$ alınırsa,

$$I_{cntn} = I_{cnto} / 2^8 = 364 \mu A / 2^8 = 1.42 \mu A$$

$$R_{en} = \frac{(-10.8 + 12 - 0.6)V}{1.42 \mu A} = 422 k\Omega$$

elde edilir. Bu şekilde dış dirençler daha küçük bir aralıktır ve bu metoddaki “en büyük direnç/en küçük direnç” oranı $983k\Omega / 3.84 k\Omega = 256$ ’dan $422 k\Omega / 14.8 k\Omega = 28.5$ ’ya inmektedir. Kontrol gerilimleri için değişik değerler, seri diodlarla sağlanabilir. Eğer Şekil 3.9’da gösterilmiş olan devrede Bipolar OTA’lar yerine CMOS OTA’lar kullanılrsa (3.7) denklemlerini sağlayabilmek için CMOS OTA’ların eğimi $g_m = k_1 \sqrt{I_B}$ olduğuna göre I_B aşağıdaki denklemlerdeki gibi seçilmelidir.

$$I_{B1} = I_{Bo} / 4, \quad I_{B2} = I_{Bo} / 16, \quad \dots, \quad I_{Bn} = I_{Bo} / 2^{2n}$$

OTA’ların kontrol akımını (I_B), kontrol gerilimi V_{GG} ile değiştirebilir. I_B için bulunan denklemlere göre LSB bitinden anlaşılacağı gibi paydadaki 2’nin üzeri 2^n dir yani Bipolar OTA’larınının 2 katıdır. Dolayısıyla büyük n değerleri için LSB bit çok küçük değerler alacağından, CMOS OTA’lar büyük bitli DAC’lar için uygun değildir. Örnek olarak 6-bitlik bir DAC için eğer çıkıştaki OTA Tablo 2.1 deki gibi seçilirse, $g_{mo} = 1.33 \text{ mA/V}$ ve $I_{Bo} = 336 \mu A$, LSB OTA için $I_{B6} = 0.082 \mu A$ bulunmaktadır

Ayrıca devrenin doğrusal çalışabilmesi için OTA’ların giriş geriliminin değerlerinin(V_i),(2.14) bağıntısını sağlaması gereklidir. $V_i = V_r$ olduğundan

$$V_{i\max} = V_{r\max} = \min [V_{ks} / |H_k|_{\max}, I_{ks} / |Y_{ks}|_{\max}]$$

yazılabilir. Bütün anahtarlar kapalı olduğu zaman

$$|H_k| = |H_k|_{\max} = V_o / V_i = g_{m1} / g_{mo} + g_{m2} / g_{mo} + \dots + g_{mn} / g_{mo}$$

$$|H_k| = 2^{-1} + 2^{-2} + \dots + 2^{-n}$$

$$\text{ve } |Y_k| = I_k / V_i = g_{mk} \quad |Y_k|_{\max} = |Y_o|_{\max} = I_o / V_i = g_{m1} + g_{m2} + \dots + g_{mn}$$

olur. V_{ks} ve I_{ks} ise k numaralı OTA'ya ait doyma gerilimi ve akımıdır.

Şekil 3.9'daki devrede kullanılan her bir anahtarın yerine, Şekil 3.4'de gösterilmiş olan devre kullanılabilir.

3.5.2 OTA ile gerçekleştirilen R-2R basamak DAC

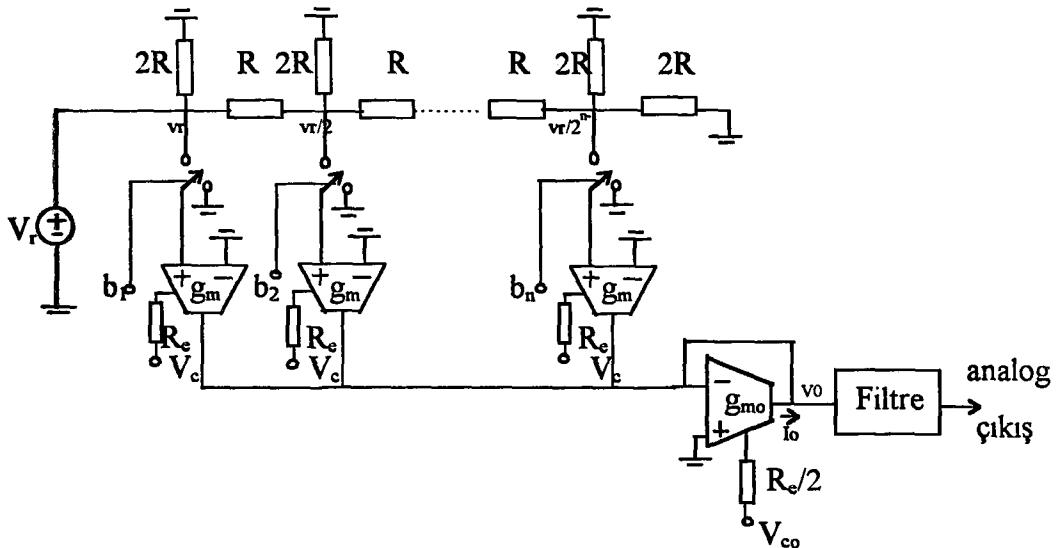
Bu yöntemde R-2R gerilim bölücü devreden yararlanarak (3.2)'de ifadesindeki 2^{-1} , $2^{-2}, \dots, 2^{-n}$ katsayıları gerçekleştiriliyor. Bu yöntem Şekil 3.10'da gösterilmektedir. Çıkıştaki OTA hariç tüm OTA'ların dış dirençleri birbirine eşit seçilir. Ayrıca OTA'ların eğimleri için de aynı durum söz konusudur. Çıkıştaki OTA'nın dış direnci $R_e/2$ ve eğimi $2g_m$ 'e eşit alınmaktadır. OTA'ların giriş direnci çok büyük olduğu için OTA'lar R-2R gerilim bölücü devreyi etkilememektedir. Her OTA'nın giriş gerilimi bir önceki OTA'nın giriş geriliminin yarısıdır. Analog çıkış geriliminin ifadesi, sayısal girişlerin toplamı olarak

$$g_m = g_{m1} = g_{m2} = \dots = g_{mn} , \quad g_{mo} = 2g_m \quad (3.10)$$

$$V_o = g_m / 2g_m b_1 V_r + g_m / 2g_m b_2 V_r / 2 + \dots + g_m / 2g_m b_n V_r / 2^{(n-1)} \quad (3.11)$$

$$V_o = V_r (b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) \quad (3.12)$$

şeklinde yazılabılır. Burada tam skala aralık (FSR), V_r 'ye eşittir.



Şekil 3.10 OTA ve dirençle yapılmış olan DAC

Bu yöntemde her iki tür OTA yani CMOS veya Bipolar OTA kullanılabilir ve bütün OTA'ların I_{cnt} akımı sabit olduğu için daha büyük çözünürlüklü DAC'lar yapılabilir. Örnek olarak çıkıştaki OTA'nın eğimi $g_{mo} = 2\text{mA/V}$ seçilirse, OTA'ların eğimi (3.10) bağıntısına göre

$$g_m = g_{m1} = g_{m2} = \dots = g_{mn} = 1\text{mA/V}$$

bulunur. Bipolar OTA'lar için (2.4) bağıntısından $I_{cnt} = (52\text{ mV})(1\text{ mA/V}) = 52\mu\text{A}$ elde edilir. Bu durumda $V_c = -10\text{ V}$ ve $-V_{EE} = -12\text{ V}$ seçilirse, dış direnç

$$R_e = \frac{V_c + |-V_{EE}| - 0.6}{I_{cnt}} = 26.9\text{ k}\Omega$$

bulunur. Ayrıca devrenin doğrusal çalışabilmesi için OTA'ların çıkışı (V_o ve I_o) doyma değerlerini aşmamalıdır. OTA'ların maksimum giriş gerilimi (2.14) bağıntısına göre bulunmaktadır. Bu devre için

$$V_{r\max} = \min [V_{ks} / |H_k|_{\max}, I_{ks} / |Y_k|_{\max}]$$

$$V_o = V_r g_m / g_{mo} + V_r / 2 g_m / g_{mo} + \dots + V_r / 2^{n-1} g_m / g_{mo}$$

$$|H_k|_{\max} = |H_k| = V_k / V_i = V_o / V_r = g_m / g_{mo} + g_m / (2g_{mo}) + \dots + g_m / (2^{n-1}g_{mo})$$

$$|H_k|_{\max} = 2^{-1} + 2^{-2} + \dots + 2^{-n}$$

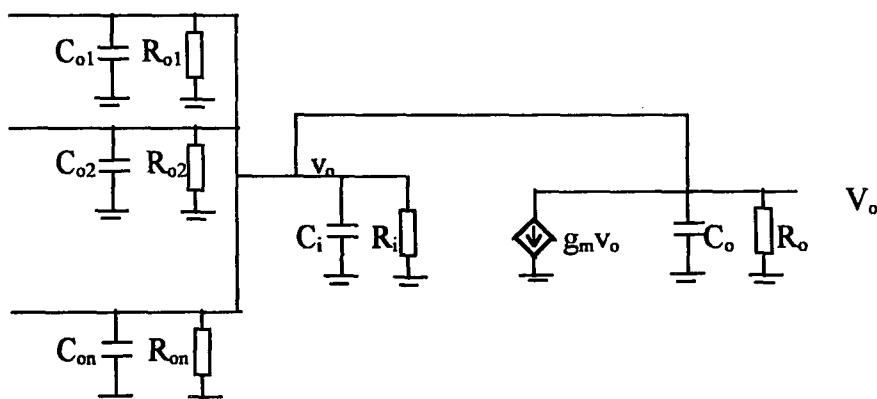
$$|Y_k| = I_k / V_i \quad |Y_k|_{\max} = |Y_o| = I_o / V_r = g_m + g_m / 2 + \dots + g_m / 2^{n-1}$$

yazılabilir.

Devrede kullanılmış olan R ve 2R dirençler yerine tümdevre teknolojisine uyabilmek için Şekil 2.10 ve 2.12' de gösterildiği gibi OTA ile “topraktan yalıtılmış” ve “bir ucu topraklanmış” direnç gerçekleştirmesi kullanılabilir. R direnci için tipik değerler 50 Ω olarak verilebilir.

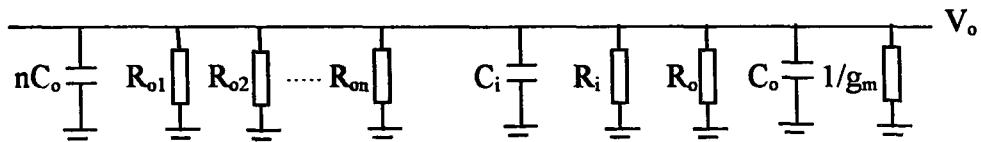
3.6 Frekans Cevabı

Şekil 3.9 ve 3.10'da gösterilmiş olan devrelerde referans gerilim kaynağının iç direnci ve R direnci çok küçük olduğu için OTA'ların girişindaki kutup, frekans cevabını etkilememektedir. Her iki devrenin baskın kutbu, OTA'ların çıkışında veya çıkıştaki OTA'nın girişinde bulunmaktadır ve eşdeğer devre Şekil 3.11'de gösterilmiştir.



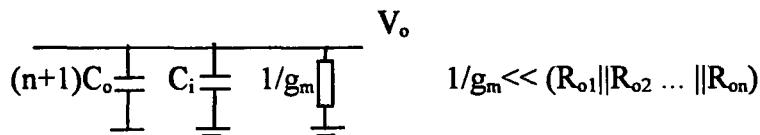
Şekil 3.11 OTA'ların çıkışından görülen eşdeğer devre

Bu eşdeğer devre OTA'ların çıkış kapasiteleri eşit alınırsa, Şekil 3.12'deki duruma indirgenebilir.



Şekil 3.12 "Şekil 3.11"deki devrenin basite indirgenmiş hali

OTA'ların giriş ve çıkış dirençleri $1/g_m$ 'e göre çok büyük olduğu için eşdeğer devre Şekil 3.13'deki gibi daha basit hale gelir.



Şekil 3.13 "Şekil 3.12"deki devrenin daha basite indirgenmiş hali

ve böylece baskın kutup

$$f_{3dB} = \frac{1}{2\pi (1/g_m)((n+1)C_o + C_i)} \quad (3.13)$$

şeklinde ifade edilebilir.

Örnek olarak bir 8-bitlik DAC için çıkıştaki OTA'nın eğimi $g_{mo}=7mA/V$ ve OTA'ların çıkış ve giriş kapasitesi 3pf seçilirse (CA3080) baskın kutup,

$$f_{3dB} = \frac{1}{2\pi (1/7mA/V) 30pf} = 37.1 \text{ Mhz}$$

bulunur. Bu frekansı daha yüksek değerlere çıkarabilmek için daha küçük giriş ve çıkış kapasiteli OTA'lar seçmek gereklidir. Örnek olarak 8-bitlik bir DAC için OTA'ların giriş ve çıkış kapasiteleri 1pf ve $g_{mo} = 7 \text{ mA/V}$ seçilirse,

$$f_{3dB} = \frac{1}{2\pi (1/7mA/V) 10pf} = 111.4 \text{ Mhz}$$

değerine kadar çıkışabilir. Frekans cevabı 4-6-8-10-12-14 ve 16 bitlik DAC'lar için "Micro cap" devre analiz programı ile EK'te verilmektedir.

Ayrıca çıkış geriliminin grafiği tam bir darbe şeklinde değildir. Gerçekte bir eksponansiyel eğridir. Çıkış geriliminin yükselme zamanı

$$t_r = 0.35 / f_{3dB} \quad (3.14)$$

şeklinde yazılabilir[9]. Eğer sayısal giriş olarak kare dalga alınırsa, yükselme zamanı $t_r = 0.2 T$ seçildiğinde

$$T_{min} = 0.35 / (0.2 f_{3dB}) \quad (3.15)$$

elde edilir. Örnek olarak 8-bitlik ve $g_{mo} = 7mA/V$ eğimli bir DAC için, daha önce $f_{3dB} = 37.1$ Mhz bulunmuştu ve bu değer (3.15) bağıntısında yerine konularak $T_{min} = 47.1$ ns bulunur. Maksimum çalışma frekansı ise (LSB veya saat frekansı)

$$f_{max} = 1 / T_{min} = 21.2 \text{ Mhz}$$

olur.

BÖLÜM 4

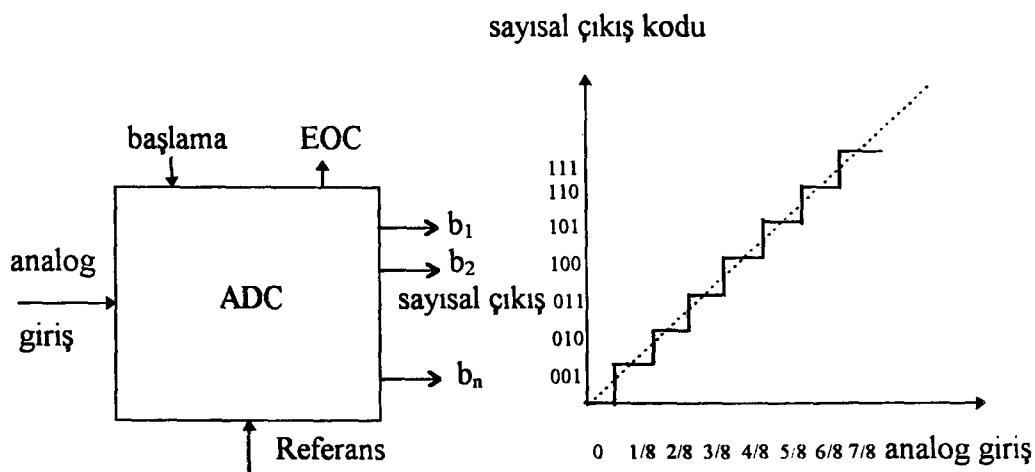
ANALOG / SAYISAL DÖNÜŞTÜRÜCÜLER VE OTA ELEMANI İLE GERÇEKLEŞTİRİLMESİ

4.1 Giriş

Analog işareti sayısal işarete dönüştürmek için Analog/Sayısal dönüştürücüler (ADC) kullanılır. Bu dönüştürme işlemi sonucunda kodlanmış işaret elde edilmektedir. Şekil 4.1.a'da gösterilen Analog/Sayısal dönüştürücü bir DAC'ın yaptığı işin tersini yapmaktadır ve analog giriş (genelde gerilim) alınarak bir binary sözcük (word) $b_1 b_2 \dots b_n$ çıkış olarak üretilir. D_o (fractional value)

$$D_o = b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n} = V_i / (K_v V_r) = V_i / V_{fs} \quad (4.1)$$

olur. (4.1) bağıntısındaki büyülüklerin değerleri bölüm 3'de verilmiştir. Şekil 4.1.a'daki başlama girişi aktif olduğu zaman, dönüşüm işlemi başlar ve EOC aktif olduğunda ise dönüşümün sona erdiği ilan edilir [8].



Şekil 4.1.a ADC'nın işlevsel diagramı

Şekil 4.1.b Geçiş karakteristiği

Burada b_1 'MSB' bit, b_n ise 'LSB'bittir. Çıkış kodu paralel veya seri olarak bulunmaktadır. Bazı ADC'lerde Mikroişlemcilerle çalışabilmek için bellek(latch), kontrol lojik ve buffer bulunur. ADC'ler, çıkışı sayısal olarak gösteren uygulamalar için, LCD ve LED göstergeleri direkt olarak süreçle tasarılmaktadır. V_i genelde bir transducer bridge yapısının kuvvetlendirilen çıkışıdır. Özel olarak, V_i ve V_r , $V_i = \alpha V_r$ ifadesi ile birbirlerine bağlıdır. Bu durumda (4.1)'deki ifadede $V_i = \alpha V_r$ eşitliği kullanılırsa, V_r 'den bağımsız Analog/Sayısal dönüştürücü elde edilmektedir. Şekil 4.1.b, 3 bitlik bir ADC'ın normalize geçiş karakteristiğini göstermektedir. Her çıkış kodu giriş gerilimine bağlıdır. Örnek olarak giriş 1/16 ve 3/16 aralığında olduğu zaman, çıkış kodu (001) olur. Bu band içinde, seviye tespitinde hata olmaması için çıkış kodu hatası en fazla $\pm 1/2$ LSB olabilir. Bu hata, değer hatası (quantization error) olarak adlandırılır ve ADC'ın çözünürlüğünün artırılması ile iyileştirilebilir. Değer hatası, analog işaretin sürekli örneklemesi ve ADC'ın çıkışının bir DAC ile analoğa dönüştürülmesi sonucunda, bu iki işaretin farkının alınması ile bulunabilir. Bu hatanın ortalama değeri

$$E_n = \frac{V_{fs}}{2^n \cdot 12^{1/2}} \quad (4.2)$$

ifadesi ile sistemin çözünürlüğüne bağlıdır [8]. ADC'nın performansı DAC'larda olduğu gibi, off-set ve kararlılığı ile değerlendirilir.

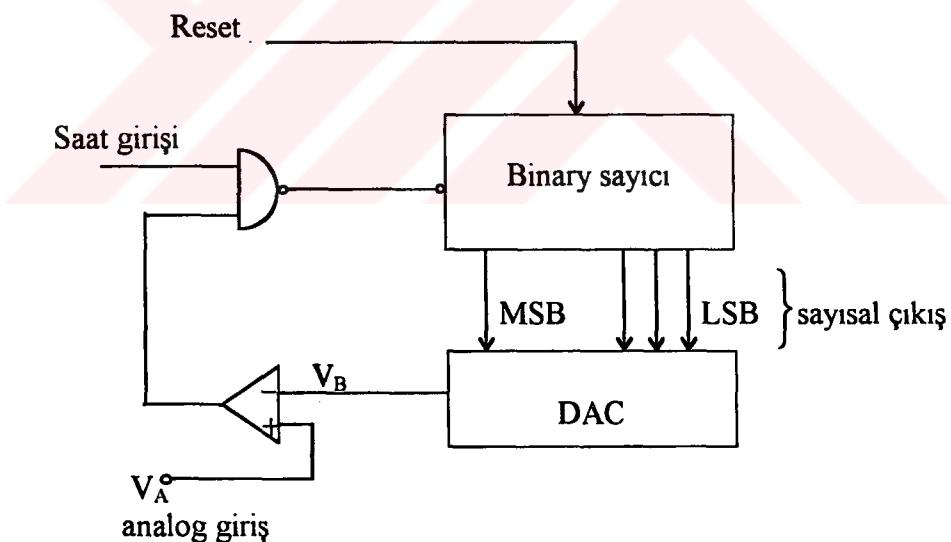
Bütün A/D dönüşüm işlemleri, istenen çıkış kodunun üretilmesi için, başlama (START) komutunun gelmesine bağlı olarak belli bir zamana ihtiyaç gösterirler. Analog/Sayısal dönüşüm süresi, ADC'nın çözünürlük ve teknolojisine göre, 10 ns, 100ms'ye kadar değişir. Dönüşüm süresi, ADC'nın çalışabileceği maksimum dönüşüm hızını (conversion rate) belirtmektedir. Analog/Sayısal dönüştürücülerini kullanılan dönüşüm teknigine göre dört gruba ayırmak mümkündür [4].

- 1- Basamaklı Analog/Sayısal Dönüştürücüler.
- 2- Ardışıl yaklaşımı Analog/Sayısal Dönüştürücüler.
- 3- Paralel (Flash) Analog/Sayısal Dönüştürücüler.
- 4- İntegral alıcı (Dual slope) tip Analog/Sayısal Dönüştürücüler.

Değişik tekniklerde çalışan bu Analog/Sayısal dönüştürücüler, tümleşik devreler biçiminde piyasada bulmak mümkündür. Bu tip tümleşik devrelerde genellikle, örnekleme, kuantalama ve kodlama birlikte gerçekleştirilir.

4.2 Basamaklı Analog/Sayısal Dönüştürücü

Bu dönüştürücü tipinde, giriş işaretti, V_A , örnekleme zamanı (T_s) boyunca Sayısal/Analog dönüştürücü çıkışında V_B gerilimiyle karşılaştırılır. Böyle bir ADC Şekil 4.2'de gösterilmektedir. Eğer $V_A > V_B$ ise, karşılaştırıcı çıkışı lojik 1 seviyesindedir. Bu durumda gelen saat darbeleri sayıcıya ulaşarak ve sayma devam eder. D/A çıkışındaki gerilim her basamak geldiğinde bir basamak yükselir. Bir süre sonra V_B geriliminin değeri V_A giriş geriliminin değerini aşacaktır. Tam bu anda karşılaştırıcı çıkış gerilimi 0V tur ve sayma işlemi durur. Bu andaki binary sayıçı çıkışları, giriş gerilimine karşı düşen kodu verecektir [4].

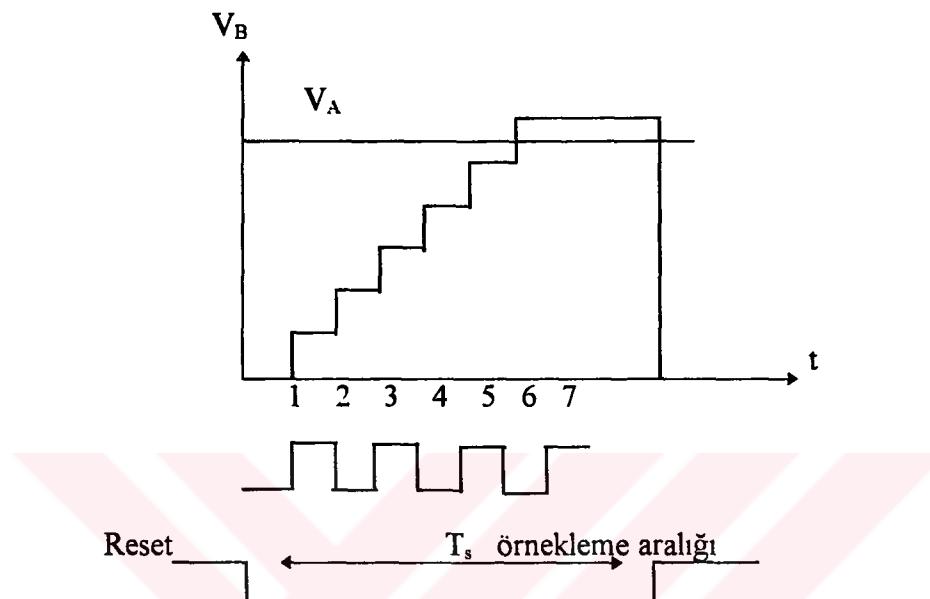


Şekil 4.2 Basamaklı tip ADC

Örnekleme süresi dolduğunda, sayıçı sıfırlanır ve ikinci örnek içinde aynı işlemler tekrarlanır. Bu tip dönüştürücülerde bir örnek için dönüştürme süresi n-bitlik kodlayıcı için şöyle hesaplanır [10]:

$$t(\text{kodlama}) = 2^n / f_{\text{saat}} \quad (4.3)$$

Bu dönüştürücü oldukça yavaş çalışır. Çalışma prensipleri Şekil 4.3'de gösterilmektedir. Örnek olarak bir 12.bitlik, 1 Mhz saat frekansı ile çalışan ADC için, dönüştürme süresi tam ölçek aralık (FSR) durumunda (4.3) bağıntısı kullanarak 4.095 ms bulunur.



Şekil 4.3 basamaklı tip ADC'lerin çalışması prensibi

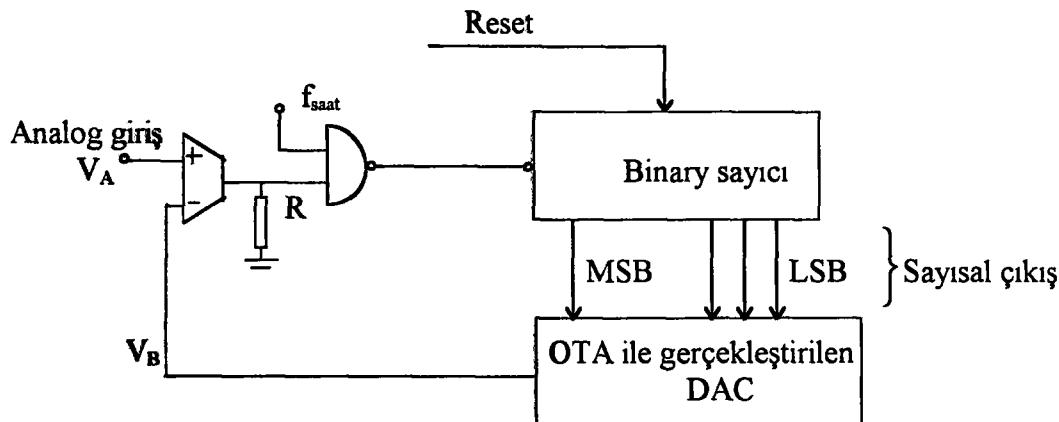
Analog giriş işaretin zaman ile değişiyorsa, giriş işaretin karşılaştırıcıya uygulanmadan önce bir örneklem/tutma (S/H) devresinden geçirilir. Analog geriliminin maksimum değeri n-darbe ve saat darbeleri T saniye süreleri ise, iki örneklem işlemi arasında minimum nT saniye olmalıdır [4].

Bu metodda saat frekansı (f_{saat}) artarken kodlama süresi azalmaktadır. Fakat daha büyük saat frekansıyla çalışabilmek için kullanılan DAC yapısı, Şekil 3.9 veya Şekil 3.10'daki gibi olmalıdır. Örnek olarak 12 bitlik ve 50 Mhz saat frekansı ile çalışan basamaklı bir ADC için kodlama süresi (4.3) bağıntısından

$$t = 2^{12} / 50 \text{ Mhz} = 80 \mu\text{s}$$

hesaplanır. Şekil 4.4'de OTA ile gerçekleştirilen basamaklı ADC gösterilmektedir. Ayrıca V_A ve V_B gerilimlerini karşılaştırmak için bir OTA kullanılmaktadır. Bu

OTA'nın çıkışı ya lojik-1'de yada lojik-0'da olacağından dolayı çıkışındaki R direncinin değerinin büyük seçilmesi gereklidir. R direncinin tipik değeri $100\text{ k}\Omega$ 'lar mertebesinde olabilir.



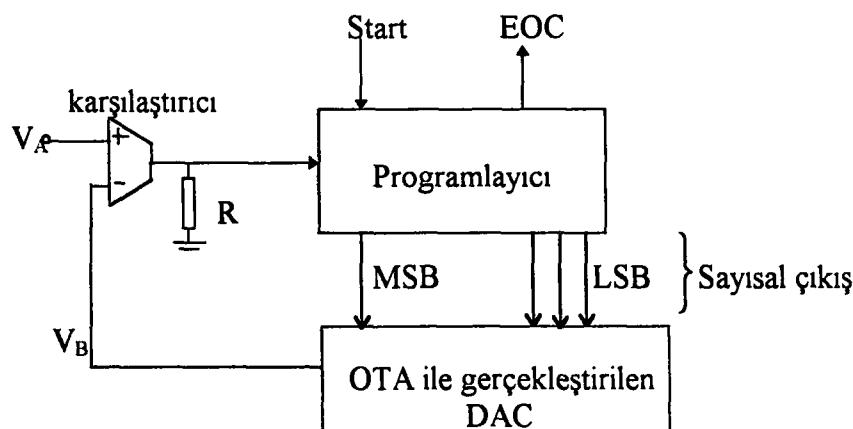
Şekil 4.4 OTA ile gerçekleştirilen Basamaklı ADC

4.3 Ardışıl Yaklaşımı Analog/Sayısal Dönüştürücü

Şekil 4.5'de gösterilen bu dönüştürücü basamaklı dönüştürücüye benzer çalışmaktadır. Ancak kodlama süresi çok kısaltır. 4.3'de gösterilen kodlama süresi 2^n / f_{saat} yerine n/f_{saat} olarak gerçekleşir [10]. Örnek olarak OTA ile gerçekleştirilen ve 50 Mhz saat frekansı ile çalışan 12-bitlik basamaklı bir ADC için kodlama süresi

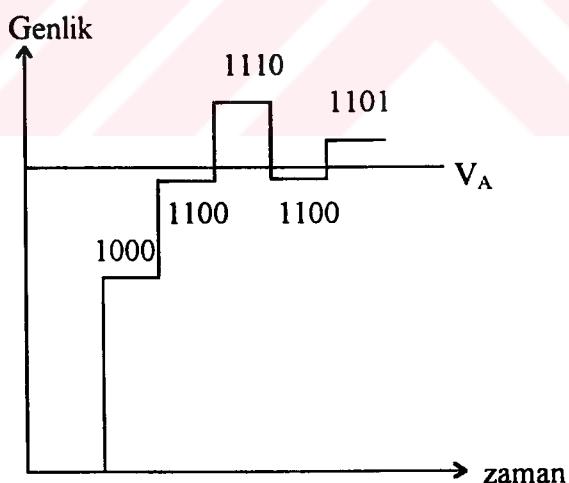
$$t = 12/50 \text{ Mhz} = 0.24 \mu\text{s}$$

elde edilir.



Şekil 4.5 OTA ile gerçekleştirilen Ardışıl Yaklaşımı ADC

Burada sayıçı yerine bir programlayıcı kullanılmaktadır. Programlayıcı, OTA'nın çıkışına göre sayısal çıkış kodunu artırır veya azaltır. Bu metoda kullanılmış DAC, OTA ile gerçekleştirildiğinde daha yüksek saat frekanslarında çalışabilmekte ve kodlama süresi (dönüşüm zamanı) OP-AMP yapısına kıyasla, daha küçük değerleri alabilmektedir. Bu yöntem düzgün olmayan kuantalamaya uygulanabilir. Bu amaçla değiştirme adımları logaritmik seçilerek V_A 'nın hangi parçada olduğu belirlenir. Parça belirlendikten sonra, ait olduğu dilimi bulmak için analog üs alma devreleri kullanılır. Şekil 4.6'de görüldüğü gibi 4-bitlik bir ADC için başlangıçta programlayıcı çıkışını 0000 ve giriş geriliminin 1101 koduna karşı düşen 13, diliminde olduğunu varsayıyalım. $V_A > V_B$ olduğundan karşılaştırıcı çıkışı (OTA'nın çıkışı) 1 dir. O halde "MSB" 1 olur. İkinci denemedede V_B 8 dilime yükseltilir. $V_A > V_B$ olmaya devam ettiğinden çıkış yine 1 olur. Yani ikinci bit (MSB'den sonraki bit) 1 yapılır. Üçüncü denemedede ise, üçüncü bit de 1 olacak şekilde V_B 14 dilimde (1110 seviyesine) yükseltilir. Ancak $V_B > V_A$ olduğundan OTA'nın çıkışı 0 olmaktadır. Bu durumda son değiştirilen basamak eski değerinde getirilir ve bir sonraki basamak 1 yapılır. Böylece dört adımda ($n = 4$) sonuç (1101) bulunulmuş olur.

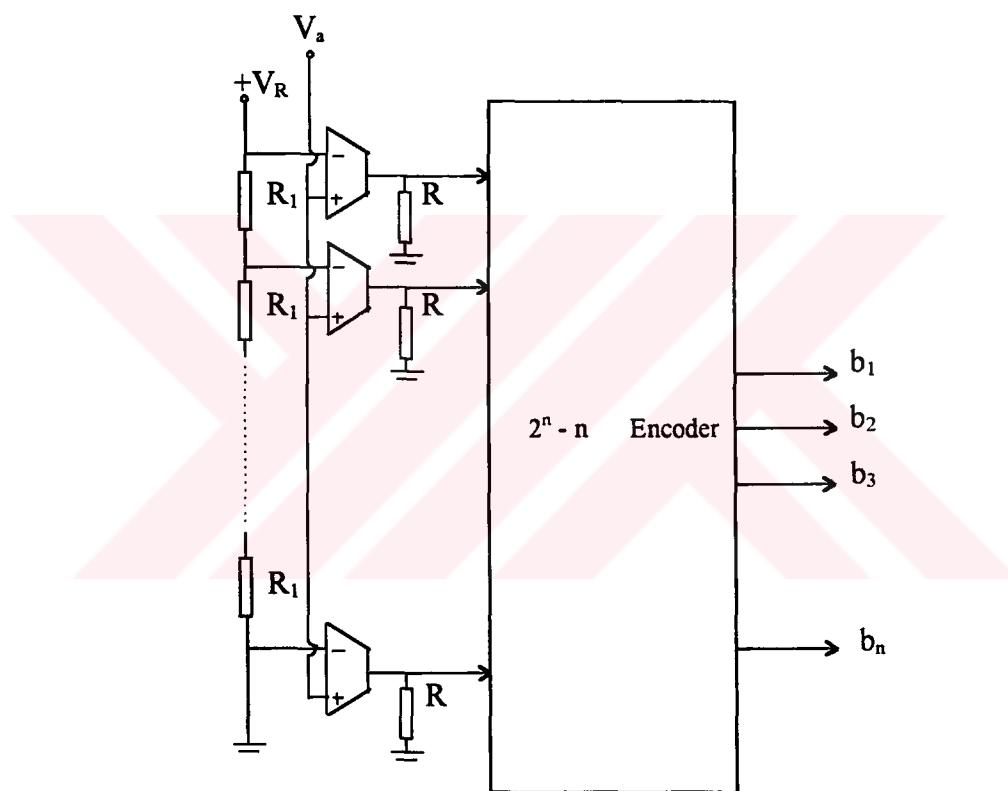


Şekil 4.6 Ardışıl Yaklaşımı ADC'nin çalışma prensibi

Bu devrede analog giriş V_A , DAC'ın çıkışı ile karşılaştırılır ve OTA'nın giriş fark gerilimi 20mV den fazla olduğunda, OTA'nın çıkışı lojik 1 olur.

4.4 Paralel Analog/Sayısal Dönüştürücü

Bu dönüştürücüler oldukça karmaşık ve ve pahalı olmalarına karşılık çok hızlı çalışabilirler. Bütün dönüştürme işlemi tek adımda yapıldığından bunlara Flaş dönüştürücüler adı verilir. Şekil 4.7'de OTA ile gerçekleştirilen paralel dönüştürücü gösterilmektedir. Her basamak için ayrı bir karşılaştırıcı kullanılarak giriş gerilimini hangi dilimde olduğu kestirilir. Böylece bu tür dönüştürücülerde 2^n adet OTA kullanılması gereklidir. Kodlama süresi tipik olarak 100 ns veya daha az değerlerdedir.



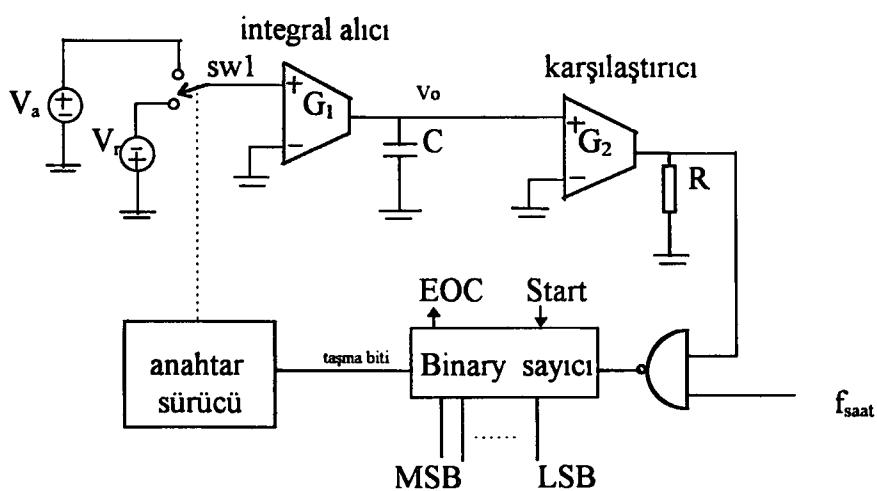
Şekil 4.7 OTA elemanı ile gerçekleştirilen Paralel ADC

Şekil 4.7'deki her OTA'nın negatif giriş ucuna ilgili basamak gerilimi uygulanmaktadır. Bu gerilimler tek bir referanstan eşit direnç bölgüleri kullanılarak elde edilmektedir. Bu direnç oranları değiştirilerek istenilen sıkıştırma eğrisini elde etmek mümkündür. Analog işaret V_a her OTA'nın negatif giriş ucundaki gerilimi geçerse OTA'nın çıkışı lojik 1'dedir. Geriye kalan işlem, bu 2^n adet çıkışlı bir mantık

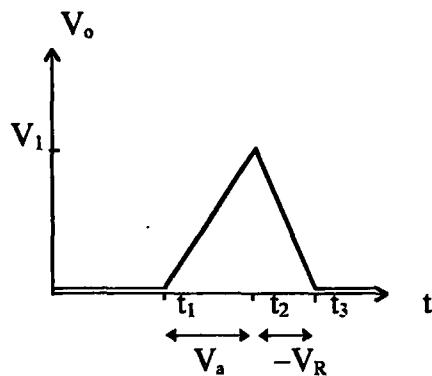
devresiyle (2^n - n encoder) n basamaklı bir koda çevirmektedir. Bu çevirme işlemi, hızlı kapı devreleriyle kolaylıkla yapılabilir.

4.5 İntegral Alıcı Tip Analog/Sayısal Dönüştürücü

Şekil 4.8.a'da OTA ile gerçekleştirilen bir integral alıcı ADC gösterilmektedir. Devrenin analog kısmı integral alıcı devre (G_1 ve C) ile karşılaştırıcı devreden (G_2 ve R) oluşmaktadır. Analog giriş V_a 'nın integrali, saat darbe süresince alınır ve bir süre sonra integral alıcı devre girişine V_a gerilimiyle ters yönde olan referans gerilimi V_R , V_o çıkış gerilimini sıfır yapmak için uygulanır. İntegral alıcı devrenin çıkışını sıfır yapmak için gerekli saat darbelerinin sayısı N, integrasyon süresi boyunca V_a 'nın ortalama değeriyle orantılıdır. $t = t_1$ anında, sw1 anahtarı analog giriş gerilimine bağlanır ve sayıcıda sayıma işlemi sıfırdan başlanır. 2^n saat darbesi sonunda sayıcı yine sıfırlanır ve integral alma işlemi $T_1=2^n T_{\text{saat}}$ süresi boyunca sürecektir. Sayıcı sıfırlandıktan sonra sw1 anahtarı referans gerilimine ($-V_R$) bağlanır ve çıkış gerilimi V_o 0V seviyesine doğru azalmaya başlar. V_o gerilimi pozitif iken karşılaştırıcının çıkışı da pozitiftir ve sayıcı saymaya devam eder. $t = t_3$ anında yani V_o geriliminin 0V olduğu anda, sayıcıdaki EOC çıkışı dönüşümün sona erdiğini belirler. t_3 anında sayıcıda okunan değer, giriş geriliminin değerini gösterir [11].



Şekil 4.8.a OTA ile gerçekleştirilen integral alıcı tip ADC



Şekil 4.8.b Çalışma prensibi

Şekil 4.8.b'dan

$$T_1 = t_2 - t_1 = 2^n / f_{\text{saat}}$$

ve

$$t_3 - t_2 = N / f_{\text{saat}}$$

yazılabilir. Integral alıcı devre için

$$\Delta V_o = (g_m/C) V_a \Delta t \quad (4.4)$$

$t = t_2$ anında $V_o = V_1$ dir. Bu durumda denklem (4.4) kullanılarak V_1 gerilimi

$$V_1 = (g_m/C) V_a (t_2 - t_1)$$

şeklinde ifade edilebilir. Aynı zamanda V_1 gerilimi için aşağıdaki eşitlik yazılabilir.

$$V_1 = (g_m/C) (-V_R) (t_2 - t_3)$$

$(t_2 - t_1) = 2^n T_{\text{saat}}$ ve $(t_3 - t_2) = N T_{\text{saat}}$ yukarıdaki ifadelerde yerlerine konursa

$$NV_R = 2^n V_a$$

veya

$$V_a = (V_R) (N/2^n) \quad (4.5)$$

elde edilir. Örnek olarak 12-bitlik, 4Mhz saat frekansıyla çalışan bir ADC için

$$t_2 - t_1 = 2^{12} / 4 \text{Mhz} = 16.38 \text{ ms}$$

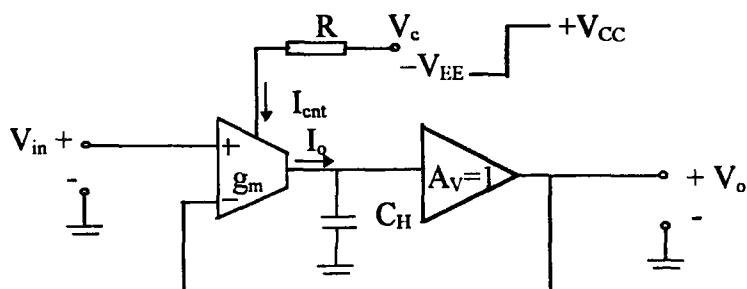
bulunur. $C=0.1\mu\text{f}$, integral alıcının çıkış geriliminin maksimum değeri $\Delta V_o = 4\text{V}$ ve maksimum analog giriş gerilimi $V_a = 2.5\text{V}$ seçilirse, (4.4) bağıntısından integral alıcı devrede kullanılan OTA'nın eğimi

$$g_m = C \cdot \Delta V_o / (V_a \cdot \Delta t) = 0.1\mu\text{f} \cdot 4 / ((2.5)(16.38\text{ms})) = 9.6 \mu\text{A/V}$$

bulunur.

4.6 Örnekleme / Tutma devresi (S / H)

Zamanla değişen analog işaretler, ADC'lere uygulanmadan önce bir örnekleme/tutma devresi ile sabit hale getirilir. Şekil 4.9'da OTA ile gerçekleştirilen örnekleme/tutma devresi gösterilmektedir. OTA'nın kontrol ucu $+V_{cc}$ olduğu zaman, C_H kondansatörü V_{in} gerilimiyle yüklenir. Böylece örnekleme işlemi gerçekleştirilmiş olur. OTA'nın kontrol ucu $-V_{EE}$ olduğu zaman, Kontrol akımı sıfıra düşer ve C_H kondansatörünün gerilimi eski değerinde sabit kalarak tutma işlemi yapılmış olur. C_H kondansatör gerilimi tutma durumunda, OTA'nın çıkış empedansı ve buffer kuvvetlendiricisinin giriş direncine bağlı olarak düşer [4].



Şekil 4.9 OTA ile gerçekleştirilen örnekleme/tutma devresi

SONUÇLAR VE ÖNERİLER

OTA yüksek frekans performansının iyi oluşu, OTA ile gerçekleştirilen Sayısal/Analog ve Analog/Sayısal dönüştürücülerin yüksek frekans uygulamalarında kullanılabileceğini göstermektedir. Ayrıca bu dönüştürücüler tümdevre tasarımlına uygundur.

Bu tezde sunulan Analog/Sayısal ve Sayısal/Analog dönüştürücüler 20MHz'den daha yüksek frekanslarda çalışabilirler. Bu frekans değeri, daha küçük giriş ve çıkış kapasitesi olan OTA kullanılması ile 100MHz'lere kadar çıkabilir.

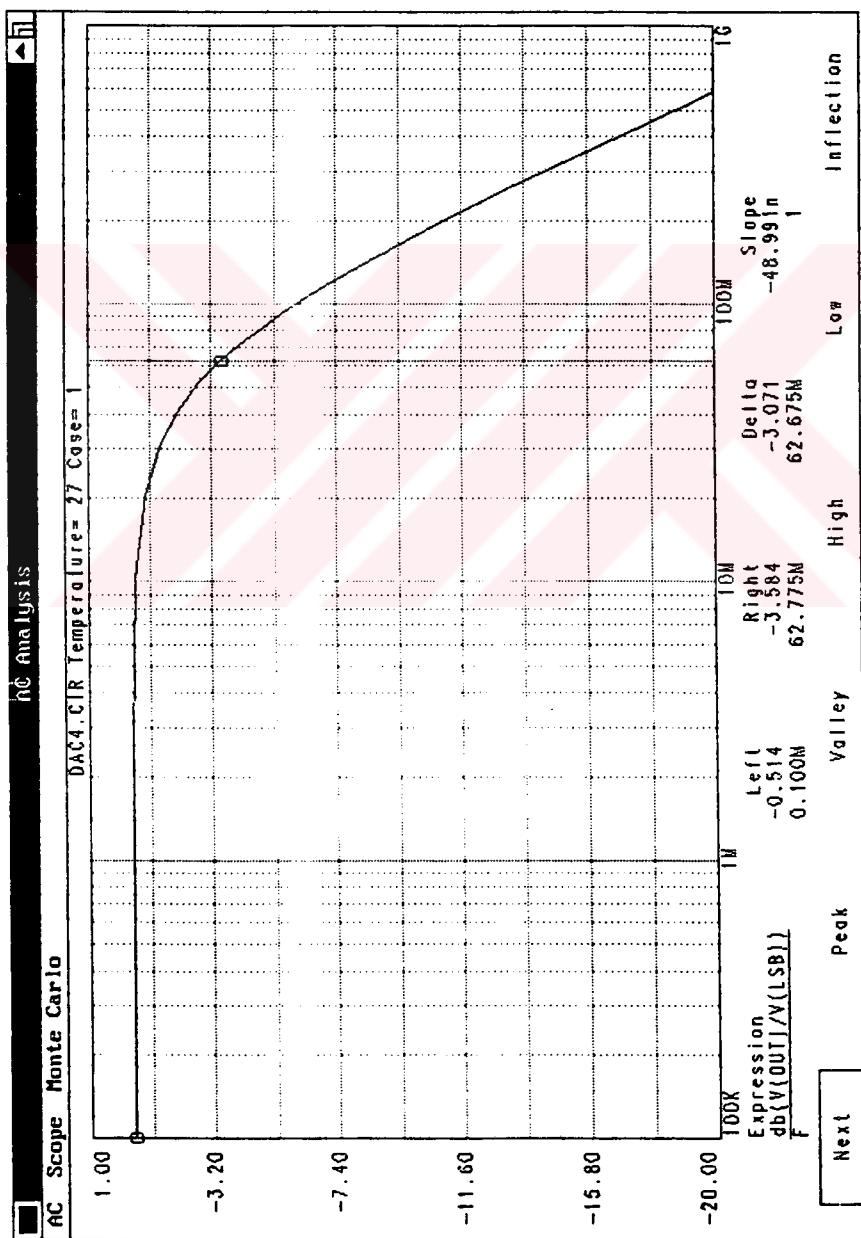
Dönüştürücülerin performansı, dışardan uygulanan elektriksel bir işaret ile kontrol edilebilir. Frekans cevabı ve çıkış gerilimi ‘Micro Cap’ programı ile çıkarılarak, doğruluğu gösterilmiştir.

KAYNAKLAR

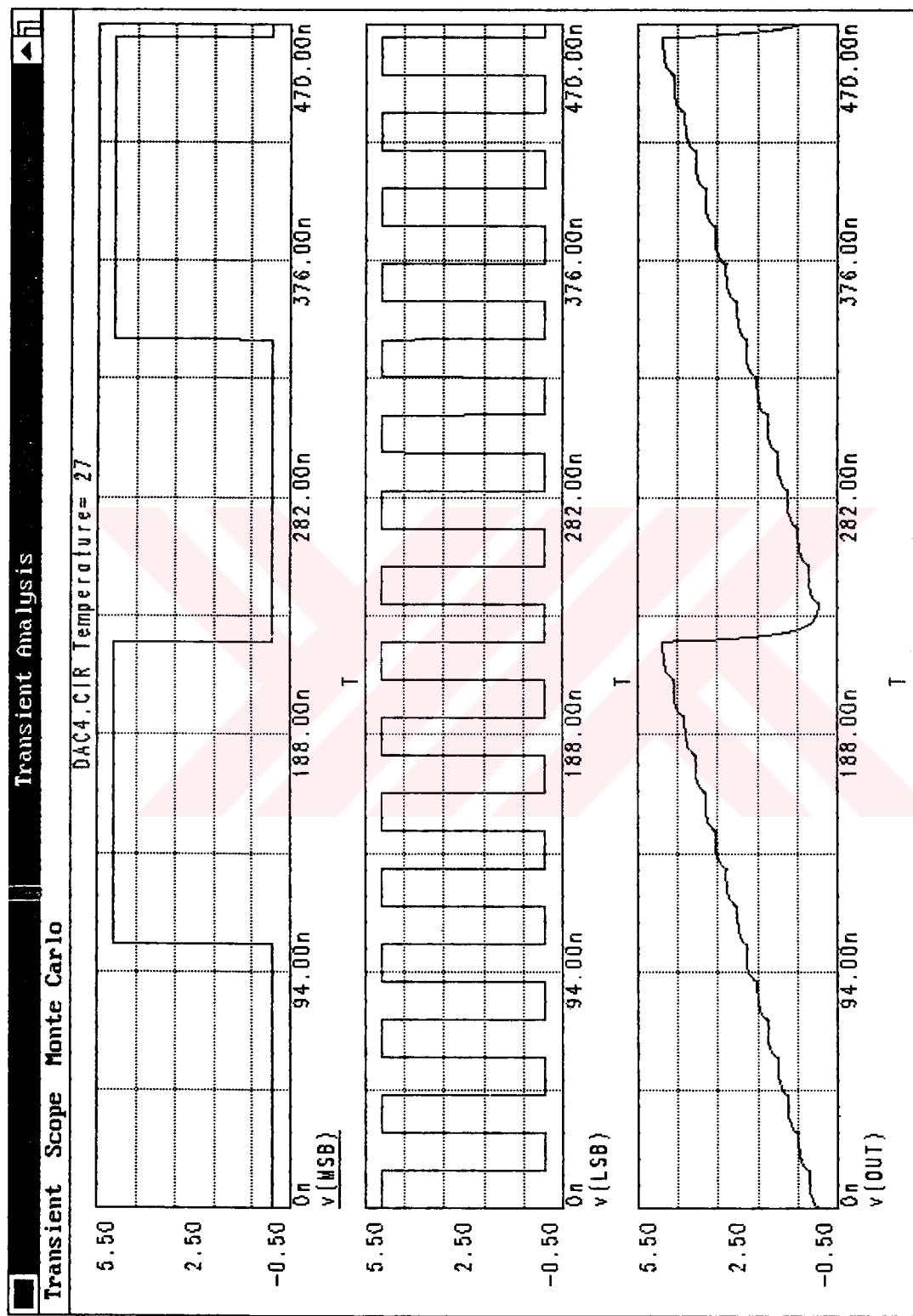
- [1] **Ghausi.M.S, Schauman.R, Laker.K.R** “Design of Analog Filters Passive, Active-RC, Switched capacitor” Printice Hall, Inc 1990
- [2] **Huelsman .Lawrence P.** “Active and Passive Analog Filter Design”, 1993
- [3] **Sertbaş.A** “OTA ve Topraklı Kapasite Elemanlarıyla Filtre Tasarımı” Y.Lisans tezi İTÜ Fen Bilimleri Enstitüsü, 1990
- [4] **Choudhury.Roy** “Linear Integrated Circuits” John wiley and sons , 1991
- [5] **Erşen.A** “Mos Lineer Tümdevreler ” Y.Lisans tezi İTÜ Fen Bilimleri Enstitüsü 1985
- [6] **Acar.C, Anday.F, Kuntman.H** “ On the realization of OTA-C Filters ” International Journal Of Circuit Theory And Application Vol 21 Iss 4 pp 331-341 1993
- [7]. **Nedungadi.A. and Viswanathan.TR.** “Design Of Linear CMOS Transconductance Elements” IEEE Transactions on Circuits and Systems” Vol.CAS-31, NO.10 ,October 1984
- [8] **Franco.Sergio** “ Design With Operational Amplifiers and Analog Integrated Circuits” MC Graw-Hill 1988
- [9] **Sedra .S. & Kenneth C.Smith** “Microelectronic Circuits” 1987
- [10] **Kayran.Ahmet.H , Panayırcı.Erdal, Aygölü.Ümit**“Sayısal Haberleşme” İTÜ 1996
- [11] **Halkias.C.** “ Integrated Circuits” 1978

EK A

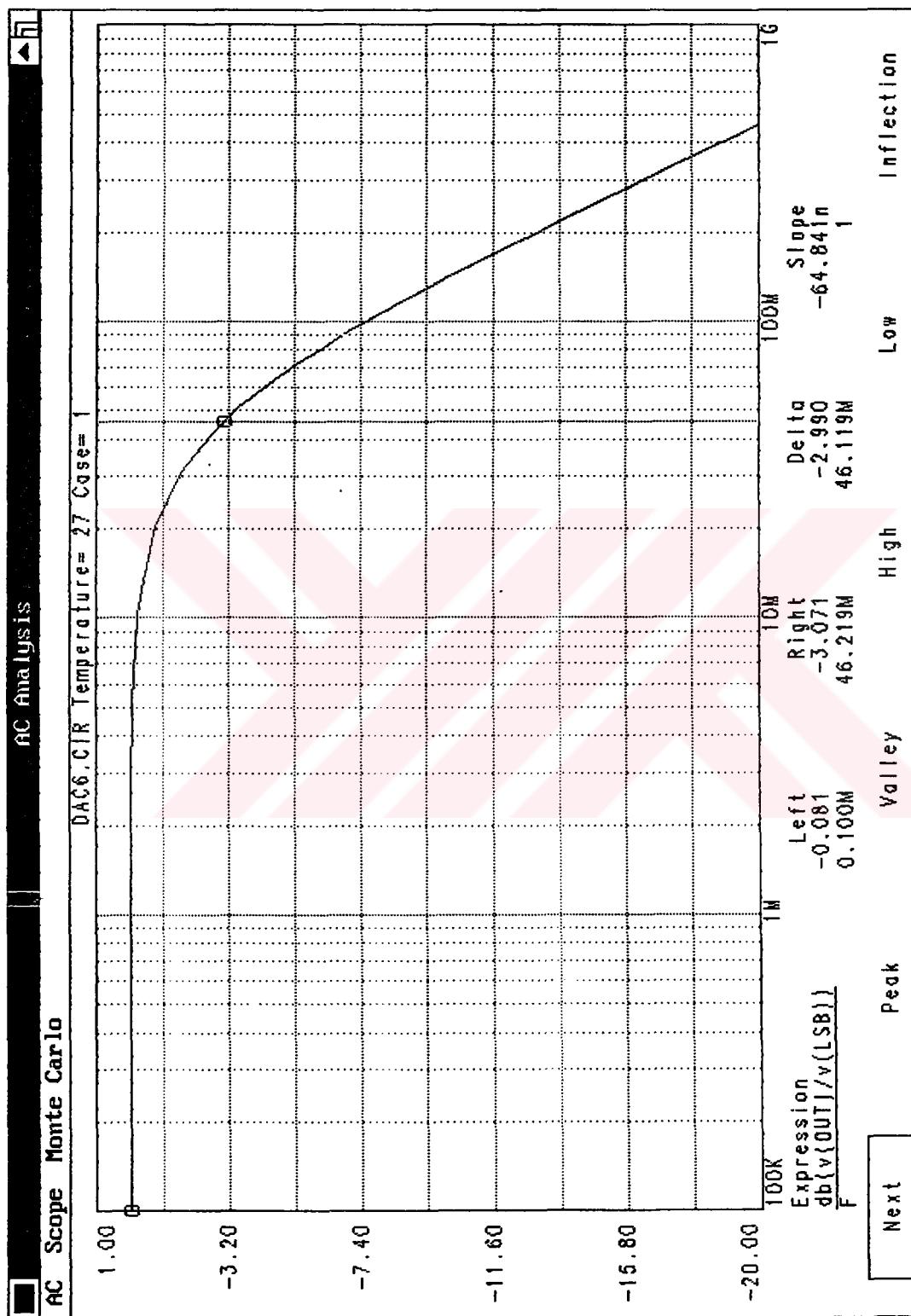
Bu Ek'te "Micro cap" programı kullanılarak, Şekil 3.9 ve 3.10'daki OTA'larla gerçekleştirilen Sayısal/Analogsal dönüştürücülerin frekans cevabı ve analog çıkışı verilmektedir. OTA'ların giriş ve çıkış kapasiteleri $C_i=C_o=3 \text{ pF}$ ve çıkışındaki OTA'nın eğimi $g_{mo}=7\text{mA/V}$ seçilmiştir.



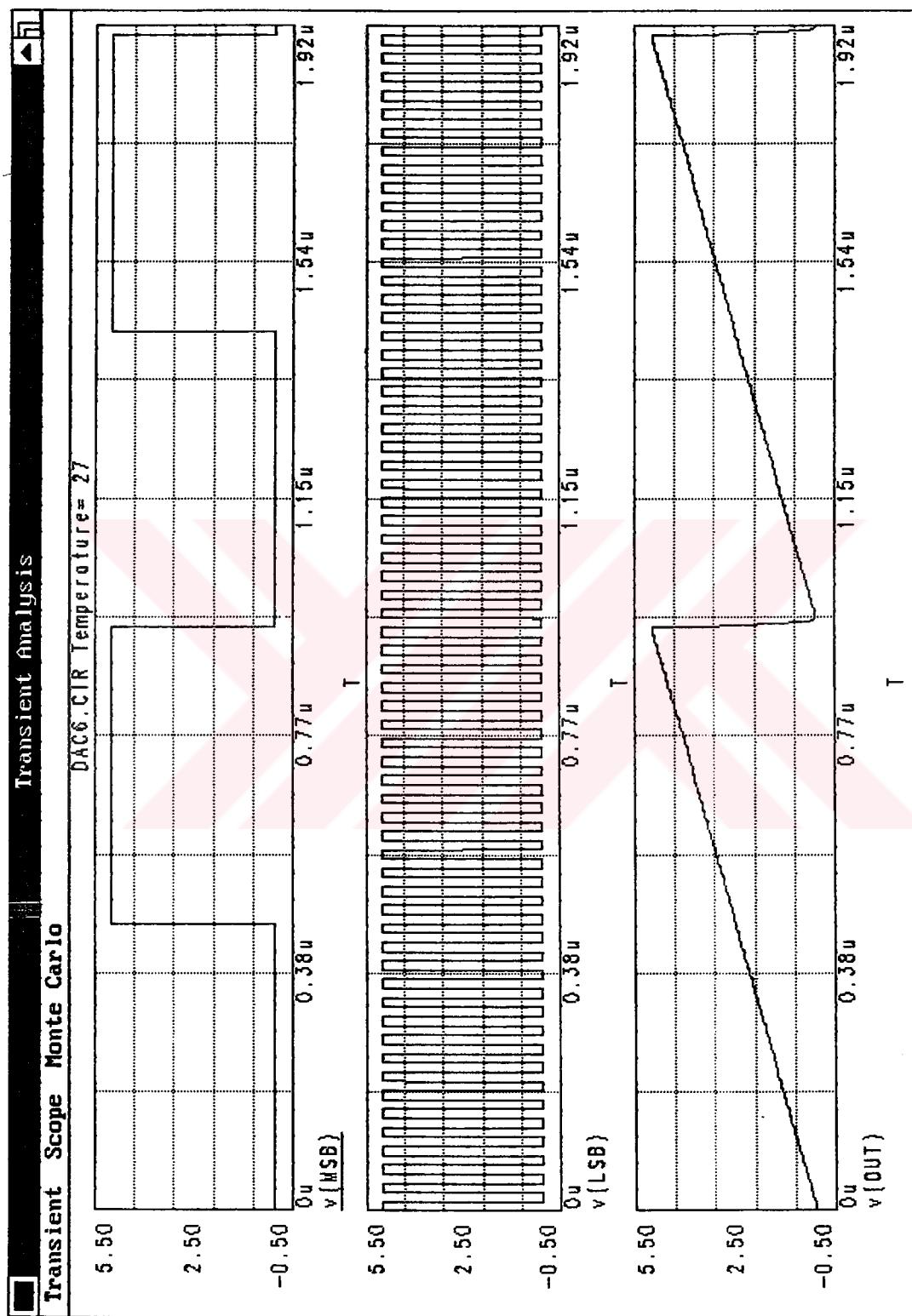
Şekil A.1 4-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı



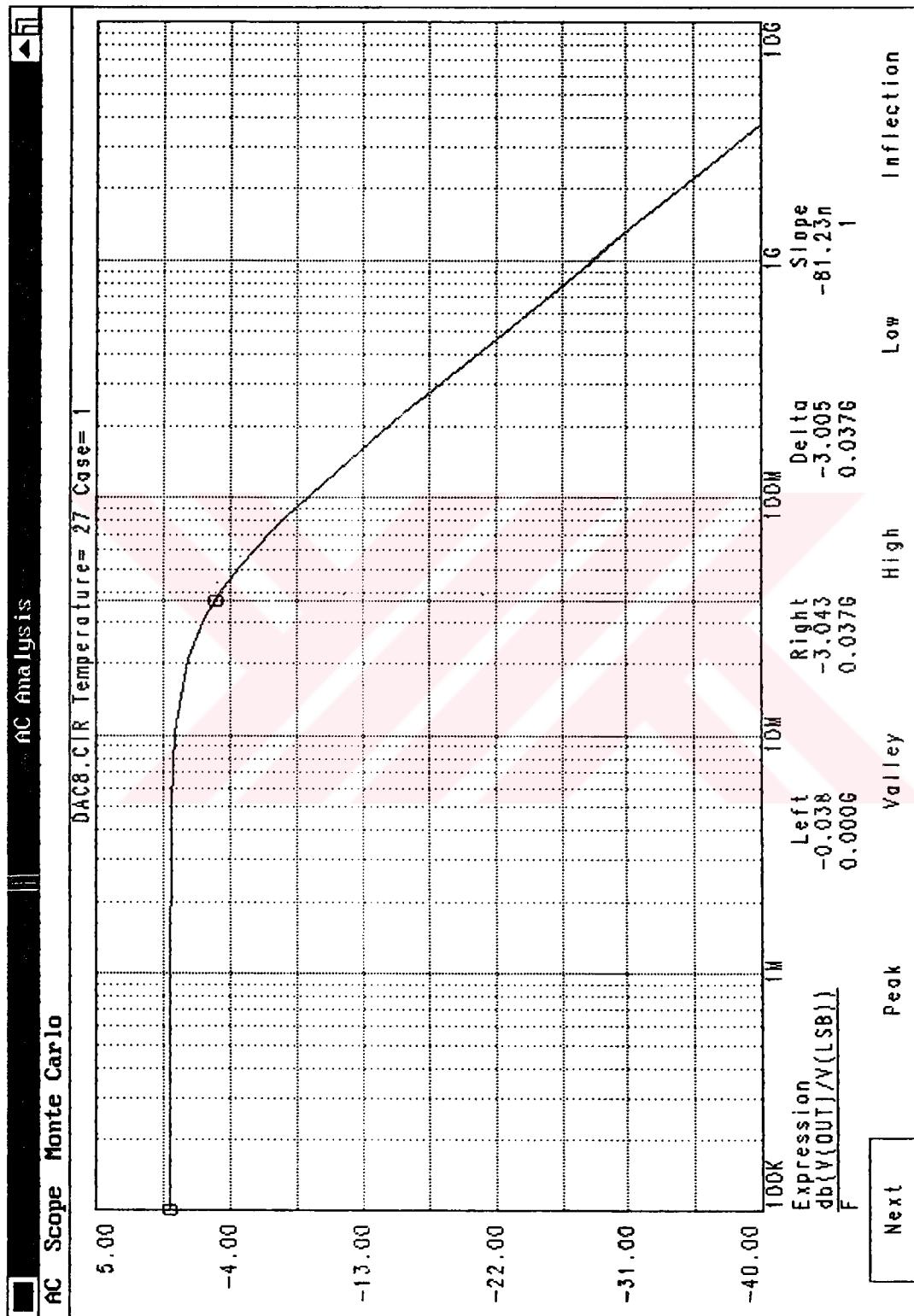
Şekil A.2 4-bitlik OTA ile gerçekleştirilen DAC'ın çıkışı



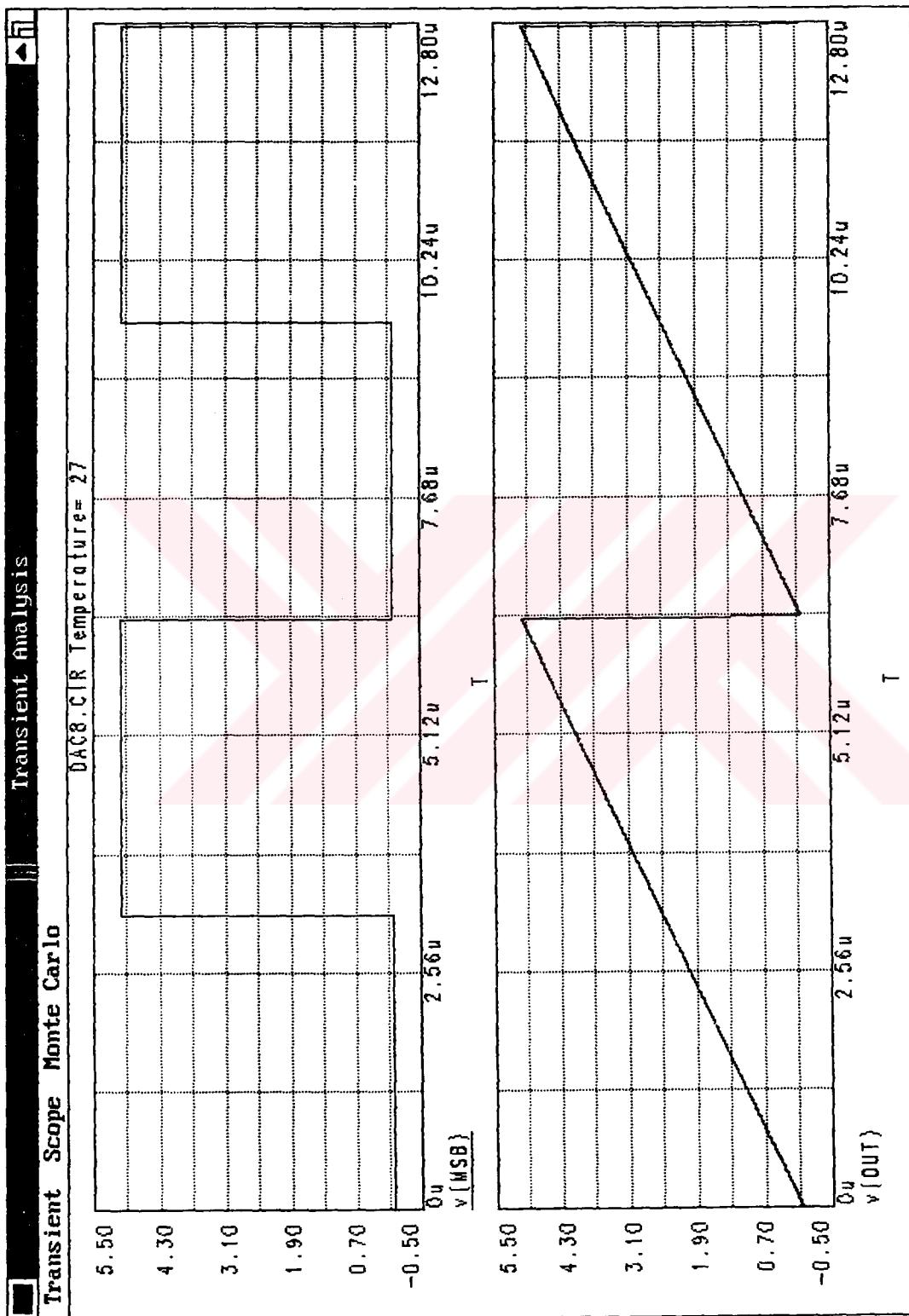
Şekil A.3 6-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı



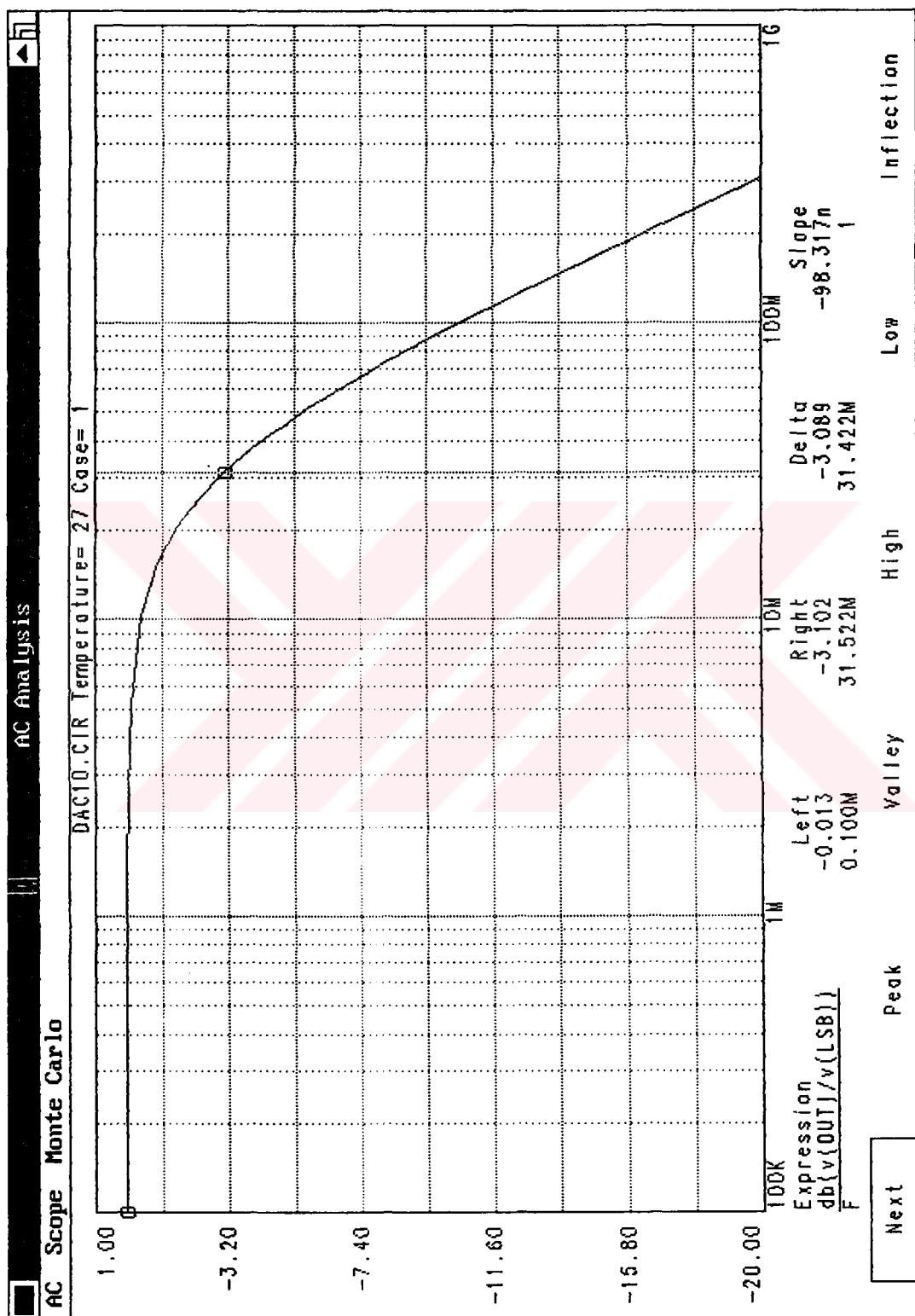
Şekil A.4 6-bitlik OTA ile gerçekleştirilen DAC'ın çıkışı



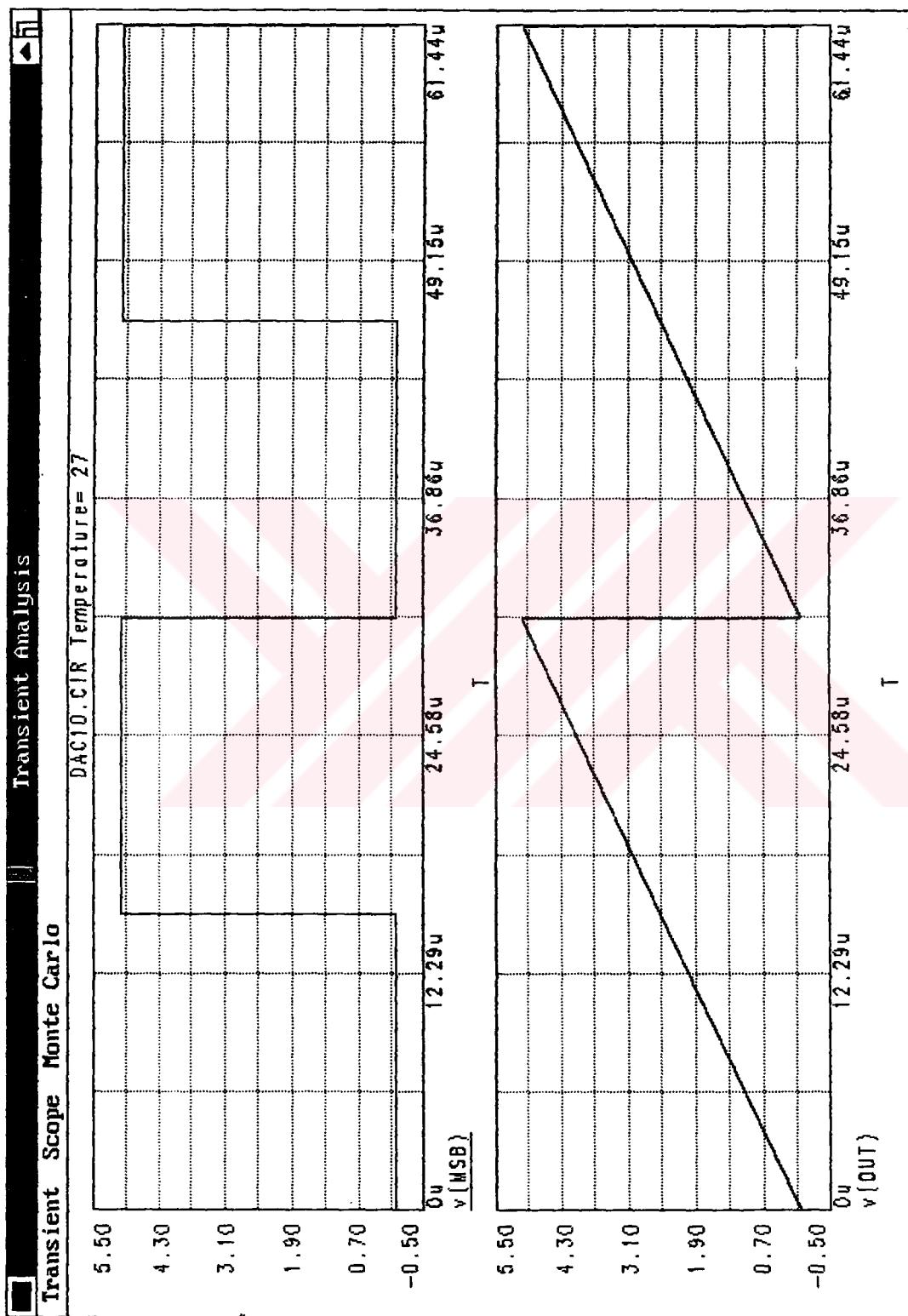
Şekil A.5 8-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı



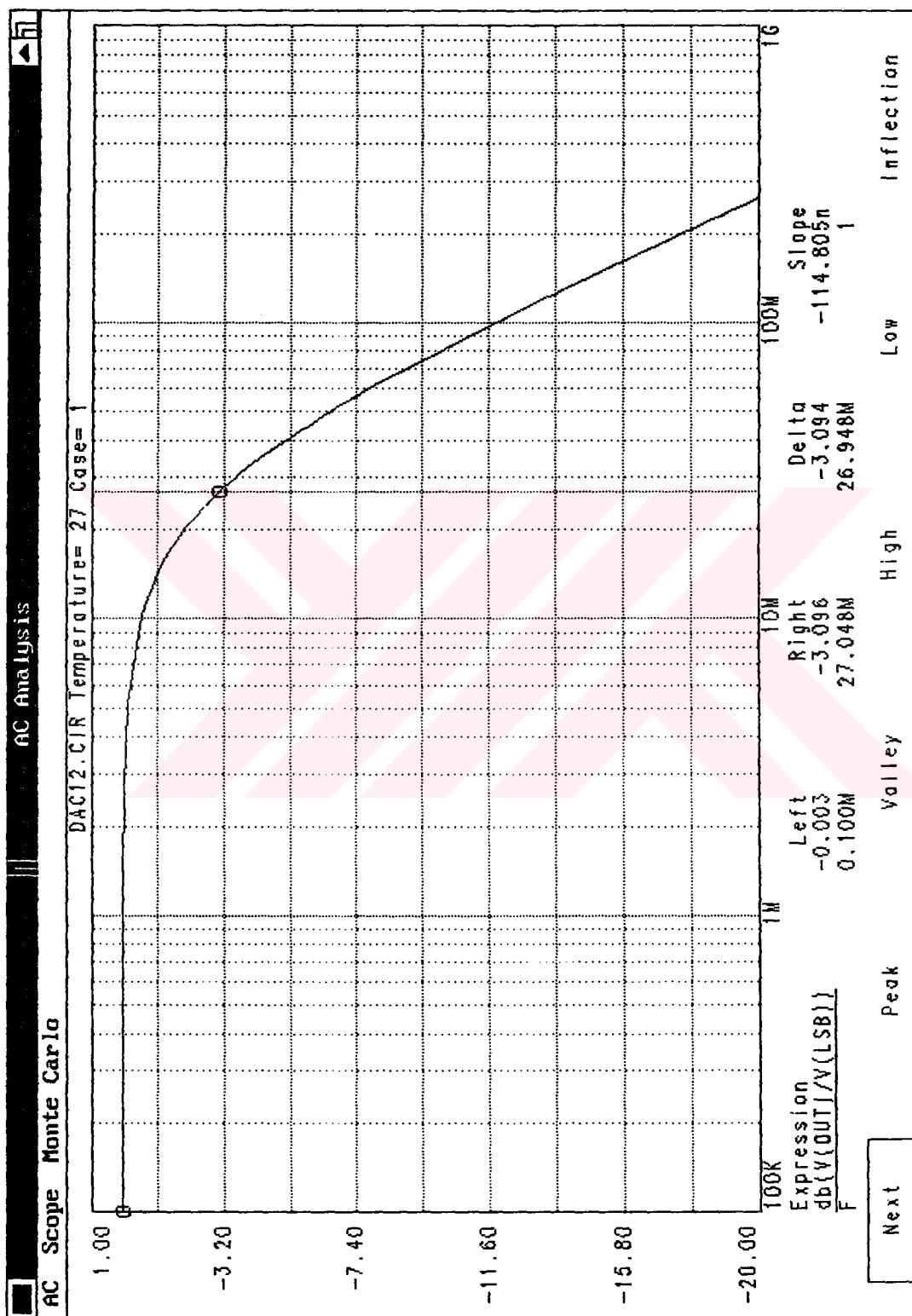
Şekil A.6 8-bitlik OTA ile gerçekleştirilen DAC'ın çıkışı



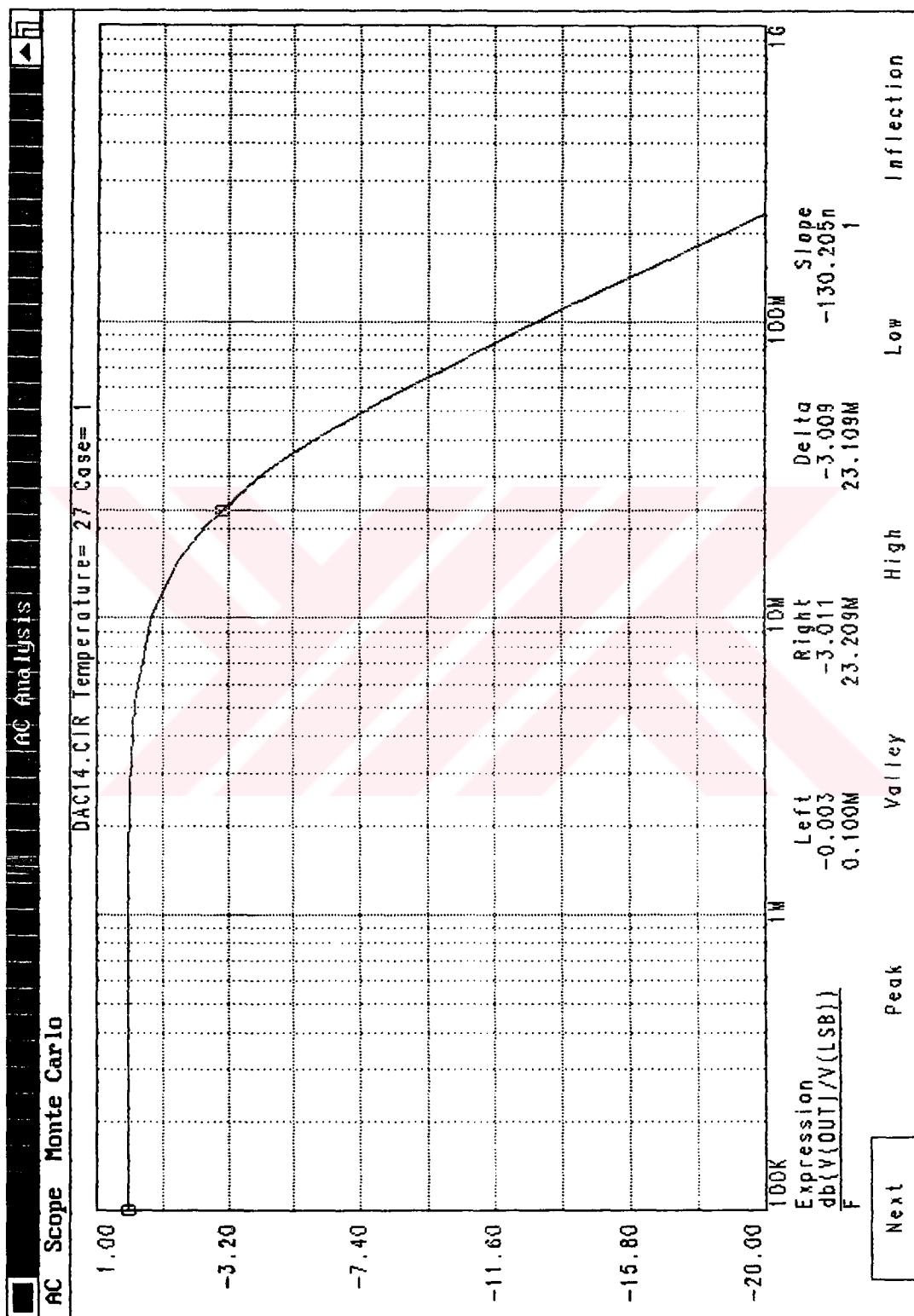
Şekil A.7 10-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı



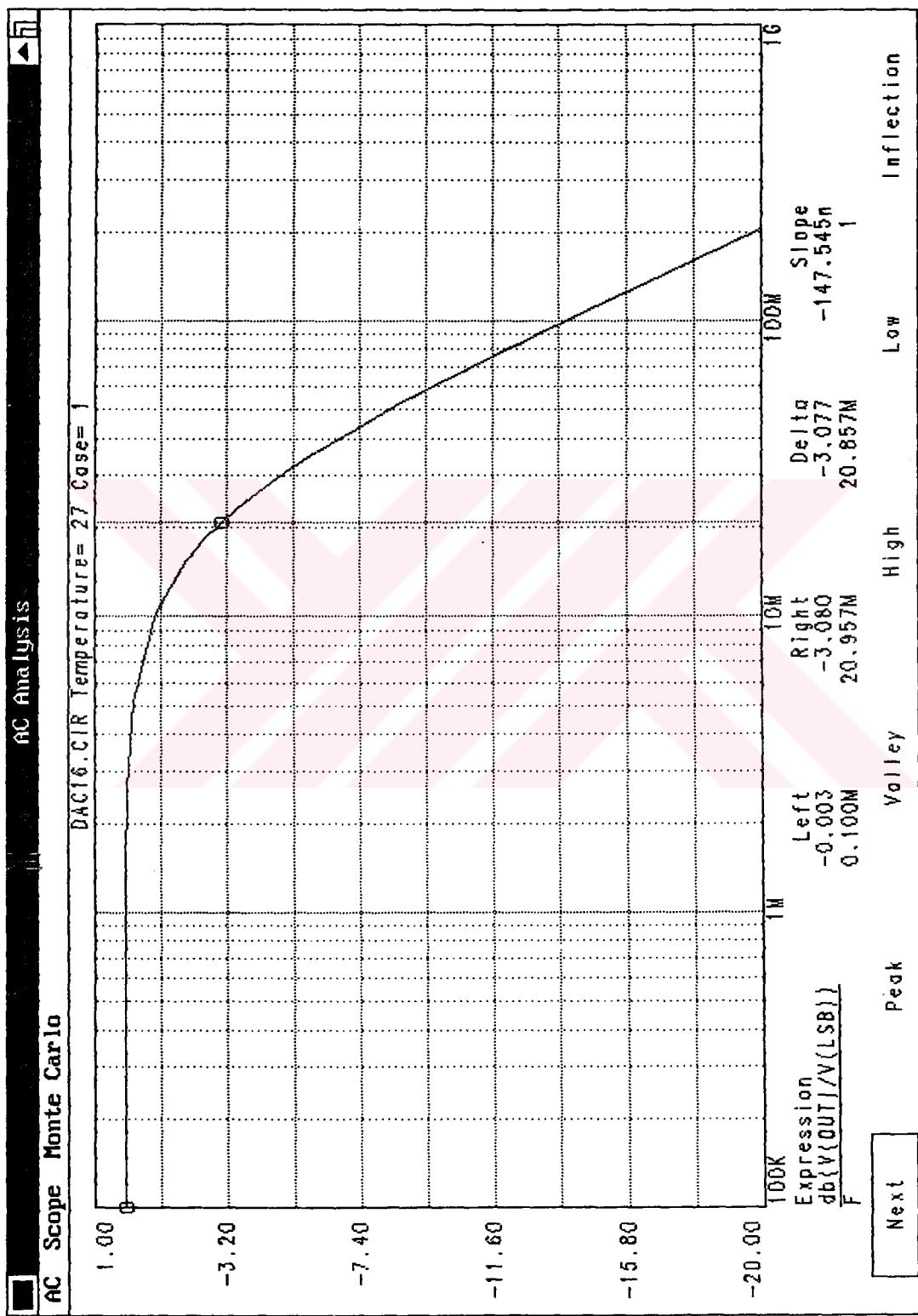
Şekil A.8 10-bitlik OTA ile gerçekleştirilen DAC'ın çıkışı



Şekil A.9 12-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı



Şekil A.10 14-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı



Şekil A.11 16-bitlik OTA ile gerçekleştirilen DAC'ın frekans cevabı

ÖZGEÇMİŞ

SHAHRAM MINAEI, 1970 yılında Tahran'da doğdu. 1988 yılında Tahran Mofetteh Lisesi'nden mezun olarak aynı yıl "İran Bilim ve Teknoloji Üniversitesi" Elektrik Elektronik Fakültesi, Elektronik Mühendisliği bölümüne girdi ve 1993 yılında bu okuldan mezun oldu. 1995 yılında İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Ana Bilim Dalı, Elektronik ve Haberleşme programında yüksek lisans eğitimiine başladı.

