

**ÇOK DÜZEYLİ STATİK BELLEK GÖZESİ ve KOHONEN TÜRÜ
YAPAY SİNİR AĞINA UYGULANMASI**

**DOKTORA TEZİ
Y. Müh. Yaman ÖZELÇİ
(491.D.006)**

100811

**Tezin Enstitüye Verildiği Tarih : 15 Ekim 1998
Tezin Savunulduğu Tarih : 29 Aralık 1999**

Tez Danışmanı : Prof.Dr. Uğur ÇİLİNGİROĞLU
Diğer Jüri Üyeleri Prof.Dr. Atilla ATAMAN (Y.T.Ü)
Prof.Dr. Cem GÖKNAR
Prof.Dr. Cüneyt GÜZELİŞ
Doç.Dr. Günhan DÜNDAR (B.Ü.)

ARALIK 1999

ÖNSÖZ

Bu çalışmada, yeni bir çok düzeyli statik bellek yapısı geliştirilmiştir. Bu özgün yapıdan, Kohonen türü bir vektör kuantalayıcı tümdevrenin gerçekleştirilmesinde yararlanılmıştır.

Bu çalışmadaki katkılarından ve desteğinden dolayı danışmanım Sayın Prof. Dr. Uğur Çilingiroğlu'na ve tümdevrelerin üretilmesinde emeği geçen tüm YİTAL çalışanlarına teşekkür ederim.

Aralık, 1999

Yaman Özelçi



İÇİNDEKİLER

TABLO LİSTESİ	iv
ŞEKİL LİSTESİ	v
ÖZET	vii
SUMMARY	x
1. GİRİŞ	1
1.1. Yapay Sinir Ağı Tümlleştirme Uygulamalarında Analog Verilerin Saklanması	1
2. ÇOK DÜZEYLİ STATİK BELLEK GÖZESİ	12
2.1. Bellek Yapısı	12
2.2. Düzey Gerilimlerinin Belirlenmesi	16
2.3. Çalışma Bölgelerinin İncelenmesi	21
2.4. Tranzistör Boyutlarının Belirlenmesi	25
2.5. Düzey Sayısının Arttırılması	27
2.6. Bellek Yapısında Giriş-Çıkışın Ayrılması	30
3. KOHONEN TÜRÜ VEKTÖR SINIFLANDIRICI	32
3.1. Sınıflandırıcının Genel Yapısı	32
3.2. Giriş Örnekleyici/Kuantalayıcı	41
3.3. Ağırlı Katsayılarının Saklanması ve Uyarlanması	47
3.4. Mutlak Fark Alma Yapısı	51
3.5. En Büyüğü Seçme Yapısı	61
4. ÖLÇÜM	66
4.1. Vektör Sınıflandırıcının Sınanması	66
4.2. Vektör Sınıflandırıcının Örnek Bir Uygulamada Sınanması	76
3. SONUÇLAR VE TARTIŞMA	79
KAYNAKLAR	85
ÖZGEÇMİŞ	91

TABLO LİSTESİ

	<u>Sayfa No</u>
Tablo 1.1. Yapay sinir ağı tümleştirme uygulamalarında ağırlık katsayılarının gerçekleştirilme yöntemleri.....	2
Tablo 1.2. Analog ve değişken ağırlık katsayılarının saklanması kullanılan yöntemlerin olumlu ve olumsuz yönleri açısından karşılaştırılması	6
Tablo 4.1. 4'e-1 seçinin doğruluk tablosu	70
Tablo 4.2. Ağırlık katsayılarının her uyarlamada bir adım değişmesinin sınanması.....	71
Tablo 4.3. Devrenin kendi kendine sınıflama yapma işlevinin sınanması ve hücre önceliklerinin belirlenmesi	72
Tablo 4.4. Devrenin sınıflama işlevinin sınanması	72
Tablo 4.5. Sınıflama hatası yapan bir devrenin ölçüm sonuçları	73
Tablo 4.6. On adet test kırmığının ölçüm sonuçları	75
Tablo 4.7. Örnek uygulama ölçüm sonuçları :Seçilen sınıfların giriş işaretlerinin periyodik uygulamalarına göre değişimi	79

ŞEKİL LİSTESİ

	<u>Sayfa No</u>
Şekil 1.1 : En basit işlem elemanı.....	1
Şekil 1.2 : Yüzer geçitli tranzistör kesiti	3
Şekil 1.3 : Analog verinin bir MOS kapasitede saklanması	5
Şekil 1.4 : Akıma dayalı çalışan dört düzeyli statik bellek yapısı örneği.....	7
Şekil 1.5 : Çok düzeyli belleğin genel yapısı.....	8
Şekil 1.6 : Gerilime dayalı dayalı çalışan dört düzeyli statik bellek yapısı örneği.....	10
Şekil 2.1 : Dört düzeyli bellek gözesi.....	13
Şekil 2.2 : Dört düzeyli bellek gözesinin SPICE analizi sonuçları.....	15
Şekil 2.3 : Bir eviricinin histeresizli gerilim geçiş özeğrisi.....	18
Şekil 2.4 : En düşük lojik düzey geriliminin belirlenmesi.....	19
Şekil 2.5 : Üretilen bellek gözesinin serimi.....	20
Şekil 2.6 : Üretilen bellek gözesinin 4145 parametre analizörü yardımıyla ölçülen akım-gerilim özeğrisi	20
Şekil 2.7 : Dört düzeyli bellek gözesinin tranzistörlerinin çalışma bölgeleri.	24
Şekil 2.8 : Çok düzeyli bellek yapısının 0V, 1.1V, 2.2V ve 3.3V lojik düzey gerilimleri ile beslenmesi durumunda akım-gerilim özeğrisi.....	28
Şekil 2.9 : Çok düzeyli bellek yapısının 0V, 1V, 2V ve 3V lojik düzey gerilimleri ile beslenmesi durumunda akım-gerilim özeğrisi	29
Şekil 2.10 : Çok seviyeli bellek yapısına ağırlık katsayısı yazılması ve okunması.....	29
Şekil 2.11 : Bellek yapısının girişinin çıkışından transmisyon kapısı ile ayrılması	30
Şekil 2.12 : Belleğin kuantalayıcı olarak çalışma sırasındaki gerilim geçiş eğrisi	31
Şekil 3.1 : Vektör sınıflandırıcı devrenin serimi.....	37
Şekil 3.2 : Vektör sınıflandırıcının kırmık fotoğrafı.....	38
Şekil 3.3 : Vektör sınıflandırıcının blok yapısı.....	39
Şekil 3.4 : Kontrol bloğunda üretilen devre içi saat işaretleri.....	40
Şekil 3.5 : Bellek yapısının giriş vektörünün örneklenip kuantalanması amacıyla kullanılması	42
Şekil 3.6 : Bellek yapısının akım-gerilim özeğrisi	43
Şekil 3.7 : Giriş işareti örnekleme ve mutlak fark alma işlemleri sırasındaki dalga şekilleri	44
Şekil 3.8 : Üçgen dalga şeklindeki giriş işaretinin kuantalanması ve kuantalayıcının giriş-çıkış özeğrisi	45
Şekil 3.9 : Vektör sınıflandırıcıda kullanılan giriş örnekleyici yapılardan ikisinin fotoğrafı.....	46
Şekil 3.10 : Dört seviyeli bellek hücresi, sınırlayıcı ve mutlak fark alma yapısından oluşan hücrenin genel görüntüsü.....	46
Şekil 3.11 : Dört düzeyli bellek yapısı ve sınırlayıcı	48
Şekil 3.12 : Sınırlayıcı giriş-çıkış özeğrisi.....	49

Sayfa No

Şekil 3.13	: Sınırlayıcı bellek yapısının üçgen ve kare dalga girişlerine yanıtı.....	50
Şekil 3.14	: Ağırlık katsayılarının saklanması için kullanılan dört düzeyli bellek yapısının akım-gerilim özgeğisi.....	51
Şekil 3.15	: Sınırlayıcı bellek yapısı ve mutlak fark alma yapısından oluşan hücre	52
Şekil 3.16	: Mutlak fark gerilimlerinin sütun boyunca toplanması.....	53
Şekil 3.17	: Kullanılması hedeflenen mutlak fark alma yapısı.....	54
Şekil 3.18	: M_{P3} ve M_{P5} tranzistörlerinin kullanıldığı ve kullanılmadığı durumlarda 'C' düğümündeki dalga şekilleri.....	56
Şekil 3.19	: Kullanılan mutlak fark alma yapısı.....	57
Şekil 3.20	: V_A ve V_B gerilimleri arasındaki farkın mutlak değerin elde edilmesi.....	59
Şekil 3.21	: V_A ve V_B gerilimleri arasındaki farkın mutlak değerin elde edilmesi.....	60
Şekil 3.22	: En büyüğü seçme yapısı.....	63
Şekil 3.23	: Girişlerine 50mV aralıklı dört gerilim uygulanan en büyüğü seçme yapısının SPICE analizi sonucu.....	64
Şekil 3.24	: En büyüğü seçme test yapısının ölçüm sonucu.....	64
Şekil 3.25	: En büyüğü seçme yapısının kırmık fotoğrafı.....	65
Şekil 4.1	: Vektör sınıflandırıcının sınanması için kullanılan ölçüm düzeni...	67
Şekil 4.2	: Üç adet analog 4'e-1 seçici içeren devrenin kırmık resmi.....	68
Şekil 4.3	: Örnek uygulamanın MATLAB benzetimi sonuçları.....	77

ÇOK DÜZEYLİ STATİK BELLEK GÖZESİ VE KOHONEN TÜRÜ YAPAY SİNİR AĞINA UYGULANMASI

ÖZET

Yapay sinir ağı modelleri, insan beyninin konuşma ve görüntü tanıma gibi bazı yeteneklerini yapay olarak gerçekleştirebilmek amacıyla geliştirilmişlerdir. Biyolojik sinir sistemlerinden esinlenen bu modeller, yoğun şekilde bağlanmış basit işlem elemanlarının (hücre) paralel olarak çalışmalarına dayanırlar ve bu özellikleri nedeniyle tümleştirilmeye son derece uygundurlar.

Sinir sistemlerinde hücreler birbirlerine ağırlıklar aracılığı ile bağlıdırlar. Bir hücrenin işlevi, uygulanan girişleri kendinde sakladığı bağlantı ağırlıkları ile çarparak girişlerin ağırlıklı toplamalarını hesaplamak ve sonucu doğrusal olmayan bir fonksiyondan geçirerek diğer hücrelere iletmektir. Bilgiler hücrelerde öğrenme sırasında değerleri uyarlanan bağlantı ağırlıkları olarak saklanırlar.

Öğrenebilir yapay sinir ağı modellerinin tümleştirilmesinde karşılaşılan en önemli sorun, analog ağırlık katsayılarının uyarlanabilir şekilde saklanacağı analog bellek elemanlarına gereksinme duyulmasıdır. Analog bellek elemanı olarak yüzer geçitli elemanların, MOS kapasitelerin ya da sayısal belleklerin kullanıldığı çeşitli yapay sinir ağı uygulamaları bulunmaktadır. Her yöntemin kendine özgü sakıncası vardır: Yüzer geçitli elemanlar özel üretim teknolojileri kullanılarak üretilmekte ve uyarlama için karmaşık yazma/okuma devrelerine gerek duymaktadırlar. Analog ağırlıkların MOS tranzistörlerin geçit kapasitelerinde saklandığı yöntemde ise, kapasitelerin kaçak akımlar nedeniyle zamanla boşalmalarını engellemek amacıyla tazeleme devrelerinin kullanılması gerekmektedir. Sayısal belleklerde saklı ağırlıkların analog öğrenme kurallarına göre uyarlanmaları ise, ancak karmaşık analog-sayısal dönüştürücüler ya da çift yönlü kaydırma yöntemleri kullanılarak sağlanabilmektedir.

Bu çalışmada yeni bir çok düzeyli statik bellek yapısı geliştirilmiş ve analog saklama elemanı olarak bir yapay sinir hücresi tasarımının gerçekleştirilmesinde kullanılmıştır. Geliştirilen bellek yapısının standart CMOS üretim sürecine tam uyumlu olma, tazeleme devreleri gerektirmeme ve analog işaretlere doğrudan bağlanabilme özellikleri diğer saklama yöntemlerine göre olumlu yönlerini oluşturmaktadır. Buna karşın, belleğin düzey sayısının az olması kullanımını yüksek ağırlık katsayısı çözünürlüğü istemeyen uygulamalarla sınırlı kılmaktadır.

Geliştirilen çok düzeyli bellek yapısı; gerilime dayalı çalışmasından dolayı, akıma dayalı yapıların tersine durağan halde güç harcamamakta, statik olması nedeniyle de tazeleme devrelerine gerek duymamaktadır. Genel olarak gerilime dayalı çok düzeyli bellek yapılarında lojik düzeyler, ya tranzistör boyut oranları ile ya da farklı tranzistörlere farklı eşik ayar ekimi yapılarak ayarlanırlar. Burada sunulan bellek yapısı ise, hem tranzistör boyut oranlarından bağımsız olarak işlevini gerçekleştirmekte, hem de farklı eşik ayar ekimi gibi standart dışı üretim süreçlerine gerek duymamaktadır. Yapı, düzey başına dört tranzistörlü bir birim göze kullanmakta olup, bu gözelerin tekrarlanmasından oluşmuştur. Birim göze, bir evirici ve evirici tarafından kontrol edilen iki yol tranzistörü içermektedir. Bellek yapısına uygulanabilecek en düşük lojik düzey gerilimini, ve dolayısı ile belli bir besleme gerilimi için bellekte saklanabilecek düzey sayısını sınırlayan, göze tranzistörlerinin iletim koşullarıdır. Sıfırdan farklı kaynak-taban gerilimleri ile çalışan göze tranzistörlerinin eşik gerilimleri, gövde etkisi nedeniyle büyümektedir. Bu etkiyi azaltmak amacıyla, PMOS tranzistörler bağımsız N-kuyularda gerçekleştirilerek kaynak-taban gerilimlerinin olabildiğince küçültülmesi sağlanmıştır.

Bellek, 5V besleme gerilimi altında dört düzeyli olarak çalışabilmekte ve 12 tranzistör içermektedir. Göze tranzistörlerinin iletim koşulları tarafından dört olarak belirlenen düzey sayısının, tranzistörlerin eşik altında çalışmalarına izin verilmesi durumunda altıya çıkarılabileceği ölçüm sonuçlarından görülmektedir. Altı düzeyli çalışma durumunda, bellek çıkış akımı nano Amper düzeyine kadar düşmekle beraber, yine de bu akım saklama düğümü kaçak akımlarını yenecek kadar büyüktür. Bu nedenle, eşik altı çalışma durumunda da belleğin statik saklama yeteneği sürmektedir. Bellek, altı düzeyli saklama işlevi için 20 tranzistör kullanılmaktadır.

Geliştirilen bellek yapısı dört düzeyli olarak, 5 boyutlu analog giriş vektörlerini denetimli veya denetimsiz şekilde 4 sınıfa ayıran Kohonen türü bir vektör kuantalayıcının gerçekleştirilmesinde kullanılmıştır. Devrede her sınıf bir hücre tarafından temsil edilmekte, hücrelerin ağırlık katsayıları temsil ettikleri sınıfların ağırlık merkezlerinin koordinatlarını oluşturmaktadır. Devreye bir giriş vektörü uygulandığında, en yakın ağırlık merkezine sahip hücre çıkışını lojik 1 düzeyine yükselterek girişin ait olduğu sınıfı belirtmektedir. Öğrenme, bu hücrenin ağırlık merkezini girişe yaklaştıracak şekilde ağırlık katsayılarını uyarlaması ile gerçekleşmektedir. Başka bir anlatımla, devre, aynı sınıfa ait herhangi iki vektör arasındaki uzaklık farklı sınıflara ait vektörler arasındaki uzaklıktan daha kısa olacak şekilde giriş vektörlerini sınıflara ayırmaktadır. Ayrıca, kullanıcıya bağlantı ağırlıkları hakkında bilgi sağlayan dışarıdan ağırlık okuma yeteneği de devreye eklenmiştir.

Kohonen'in vektör kuantalama algoritması; giriş vektörü ile hücre ağırlık vektörleri arasındaki uzaklıkların hesaplanmasına, hücreler arasında girişe en yakın uzaklığa sahip olanın belirlenmesine ve bu hücrenin ağırlık vektörünün değiştirilerek giriş vektörüne olan uzaklığının azaltılmasına dayanmaktadır. Bu algoritmayı gerçekleştirmek üzere tasarlanan devre başlıca dört yapı bloğundan oluşmaktadır: Analog girişlerin örneklenip kuantalandığı giriş örnekleyici/tutucu yapıları, ağırlık katsayılarının saklandığı ve uyarlandığı bellek yapıları, giriş vektörü ile hücre ağırlık vektörleri arasındaki uzaklıkların hesaplandığı mutlak fark alma yapıları, hesaplanan uzaklıklara bağlı olarak giriş vektörüne en yakın uzaklığa sahip hücreyi belirleyen en büyüğü seçme yapısı. Geliştirilen dört düzeyli bellek gözesi, yalnızca ağırlık katsayılarının saklanması ve uyarlanmasında değil, aynı zamanda giriş örnekleme ve tutma yapılarının gerçekleştirilmesinde de kullanılmıştır. Kohonen'in özgün algoritmasında uzaklık hesabı giriş vektörü elemanları ile hücre ağırlık vektörü elemanları arasındaki farkların karelerinin toplamına dayanırken, buradaki gerçeklemede farkların mutlak değerlerinin toplamı uzaklık ölçütü olarak kullanılmıştır.

Vektör kuantalayıcı tümdevre TUBİTAK-YİTAL'de 3µm, çift poli, tek metal N-kuyu CMOS süreci kullanılarak üretilmiş olup 2.5mmx2mm'lik bir kırmık alanı kaplamaktadır. Devre 0V, 1.67V, 3.33V ve 5V lojik düzey gerilimleri ile beslenmektedir. 'X₁ , X₂ , X₃ , X₄ , X₅ ' çift yönlü analog giriş/çıkış uçları olup hem giriş vektörünün devreye uygulanması hem de hücre ağırlık vektörünün dışarıdan okunması amacıyla kullanılmaktadırlar. 'O₁ , O₂ , O₃ , O₄ ' ise çift yönlü sayısal giriş/çıkış uçlarıdır. Sınıflama sonuçları bu uçlardan dışarı verilmektedir. Denetimli öğrenme ve dışarıdan ağırlık okuma işlemleri sırasında, kullanıcı istediği hücreyi bu uçlar aracılığı ile seçebilmektedir. Devrenin ayrıca 'SAAT' , 'BAŞLA' girişleri, 'K₁' , 'K₂' kontrol girişleri ve 'BİTTİ' çıkışı bulunmaktadır. 'BAŞLA' girişine 0'dan 1'e çıkan bir işaret verildiğinde devre bir kere koşarak 'BİTTİ' çıkışında bir darbe üretmektedir. Devre, 'BAŞLA' girişine uygulanacak darbelerle adım adım koşturulabileceği gibi, 'BİTTİ' çıkışı 'BAŞLA' girişine kısa devre edilerek serbest olarak da çalıştırılabilir. 'K₁' , 'K₂' kontrol girişlerine verilen değerlere bağlı olarak devrenin dört ayrı çalışma durumu vardır:

' $K_1 = 0$ ', ' $K_2 = 0$ ' için kuantalayıcı denetimsiz olarak sınıflama yapmaktadır. Bu durumda devre, girişe en yakın hücreyi seçmekte, ilgili 'O' çıkışını lojik 1 düzeyine getirmekte ve seçilen hücrenin ağırlık katsayılarını giriş vektörüne yaklaştıracak şekilde uyarlamaktadır. ' $K_1 = 1$ ', ' $K_2 = 0$ ' için devre yalnızca sınıflama yapmakta, kazanan hücreyi belirlemekte ancak ağırlık katsayılarını uyarlamamaktadır. ' $K_1 = 0$ ', ' $K_2 = 1$ ' için kuantalayıcı denetimli olarak öğrenmektedir. Bu durumda kullanıcı, yüksek empedans gösteren 'O' uçlarından birine lojik 1 uygulayarak istediği hücreyi seçmekte ve kazanan hücre yerine bu hücrenin ağırlık katsayılarının uyarlanmasını sağlamaktadır. Böylece hücre istenilen ağırlık merkezini öğrenmeye dışarıdan zorlanmaktadır. ' $K_1 = 1$ ', ' $K_2 = 1$ ' için ise, kullanıcının ilgili 'O' ucuna lojik 1 uygulayarak seçtiği hücreye ait ağırlık katsayıları 'X' uçlarından okunmak üzere dışarı verilmektedir.

Vektör kuantalayıcıyı oluşturan dört temel yapı bloğu, bir test kırımlığında ayrı ayrı üretilmişler ve karakterize edilmişlerdir. Vektör kuantalayıcı devreyi sınamak için ise bilgisayar destekli bir ölçüm düzeni kurulmuştur. Bilgisayar, analog 4'e-1 seçiciler aracılığıyla dört düzeyli test vektörlerini kuantalayıcıya uygulamakta, daha sonra kuantalayıcıyı bir adım koşturmakta ve her hücreye ait ağırlık vektörü değerlerini bir analog-sayısal dönüştürücü yardımıyla okumaktadır. Böylece bilgisayar, vektör kuantalayıcıyı adım adım çalıştırmakta ve her adımın sonunda ölçülen ağırlık vektörlerini beklenen değerlerle karşılaştırmaktadır. Devrenin her dört çalışma durumu da sınanmıştır. Ölçülen on kırkık arasından beşi tüm sınamalardan geçmiştir. Devreye uygulanabilecek en büyük saat frekansı 5MHz olarak belirlenmiştir.

Geliştirilen bellek yapısı, giriş uzayının çok yakın küme merkezleri içermediği, dolayısı ile düşük ağırlık katsayısı çözünürlüğünün kabul edilebildiği yapay sinir ağı uygulamalarında etkin biçimde kullanılabilir. Bu yapı, ayrıca, çok düzeyli RAM ya da D-tip tutucu olarak da çok düzeyli lojik devrelerin gerçekleştirilmesinde kullanılmaya son derece elverişlidir.

MULTIPLE VALUED STATIC STORAGE CELL AND ITS APPLICATION TO KOHONEN TYPE NEURAL NETWORK

SUMMARY

Artificial neural network models have been developed, in the aim of artificially realizing some of the abilities of human brain such as speech and image recognition, via being . These models which are inspired by biological neural systems are composed of densely interconnected simple computational elements (neuron) operating in parallel. These properties make them very suitable for VLSI implementation.

In neural systems the neurons are connected via weights. The function of a neuron is to multiply the applied inputs by the stored connection weights in order to calculate the sum of weighted inputs and transmit the result to other neurons after passing it through a nonlinear function. The information is stored in neurons as connection weights that are adapted during learning.

The main problem in implementing trainable neural network models is the need of analog memory elements to store analog adaptable connection weights. Floating gate devices, MOS capacitors and binary memory cells are widely used in neural network applications as analog storage elements. Each of these approaches has different disadvantages: Floating gate devices are not compatible with standard CMOS production technology and they use complex write/read circuitry for adaptation. The method based on the storage of analog weights in the gate capacitances of MOS transistors require the use of refreshing circuitry in order to prevent the decay of the capacitor voltages due to leakage currents. The weights stored in binary memory cells can not be updated by analog learning rule instructions unless complex analog-to-digital converters or bidirectional shifting techniques are employed.

In this work, a new multiple valued static memory cell has been developed and used as analog storage element in the realization of an artificial neural cell design. The proposed memory cell is fully compatible with standard CMOS production technology, does not require refresh operations and offers direct interface to analog signals. These properties constitutes the advantages of this storage approach over the other methods. However, the limited number of storage levels available from the proposed memory cell restricts its usage to the applications where low weight resolution is acceptable.

The developed memory cell, operating in voltage mode, does not dissipate power in standby contrary to current mode cells, and being static, does not necessitate refresh circuitry. Generally, in voltage mode multiple valued logic cells, the logic levels are set either by ratioing transistor sizes or by performing different threshold adjustment implants to different transistors. The proposed memory cell operates independently from the transistor size ratios in the sense that it retains functionality regardless of the geometric aspect ratios selected for transistors and does not require non-standard process steps such as different threshold adjustment implants for production. The memory is constructed by replicating the four-transistor unit cell for each level. The unit cell consists of an inverter and two gating transistors controlled by this inverter. The minimum logic level voltage that can be applied to the memory, and consequently, the maximum number of logic levels that the memory can store for a certain supply voltage are limited by the conduction conditions of the cell transistors. These conditions impose that the separation

between neighbouring storage levels must be larger than one device threshold. The threshold voltages of the cell transistors operating with nonzero source-substrate bias are subject to inflation due to body effect. In order to reduce this effect, the substrate-source voltages of PMOS transistors are minimized by realizing the devices in individual N-wells.

The memory cell is able to perform tetrastable operation with 5V supply voltage and contains 12 transistors for this configuration. The measurement results show that the number of storage levels, determined as four by the device conduction conditions, can be extended to six by allowing subthreshold operation of the gating devices. In this hexastable operation mode, although the output current of the memory is reduced down to nano Ampere range, it is still greater than storage node leakage currents. For this reason, the memory retains its static storage capability even in the subthreshold operation mode. The memory contains 20 transistors for six-level storage.

The developed memory cell is used in tetrastable form in the realization of a Kohonen type vector quantizer which is capable of classifying 5-dimensional analog input vectors into 4 classes with or without supervision. In the circuit, each class of input vectors is represented by a separate neuron. The connection weights of a given neuron approximate the coordinates of the centroid of the class represented by that neuron. Each time an input vector is applied, only the neuron of the nearest centroid produces a logical '1' output indicating membership to the class it represents. Learning is performed by the adaptation of weight vectors to move the centroid of this neuron in the direction of input vector. In other words, the network sorts out input vectors into classes in a such a way that the distance between any two vectors belonging to the same class is shorter than the distance between any vector belonging to different classes. The weight read-out facility is built into the network to provide the user information about the connection weights.

Kohonen's vector quantization algorithm is based on the calculation of the distances between the input vector and weight vectors stored in neurons, on the selection of the neuron closest to the input, and on the modification of the selected neuron weight vector in order to decrease its distance to the input vector. The circuit designed to realize this algorithm principally consists of four building blocks: input sample/hold structures where analog input signals are sampled and quantized, memory structures where weight vectors are stored and adapted, absolute difference calculating structures where the distances between input vector and neuron weight vectors are calculated, and a Winner-Take-All circuit where the neuron with the smallest distance to input is determined. The developed tetrastable memory cell is not only used in the storage and adaptation of neural weights but also in the realization of input sample/hold structures. Although in the original Kohonen's algorithm the distance calculation is based on the summation of the squared differences between weight vector elements and corresponding elements of the input vector, in this realization the summation of the absolute values of the differences is used as a measure of distance.

The vector quantizer chip has been fabricated by TUBITAK-YITAL 3 μ m double polysilicon single metal n-well CMOS process and consumes a die area of 2.5mm x 2mm. The circuit operates with 0V, 1.67V, 3.33V, 5V rail voltages. 'X₁, X₂, X₃, X₄, X₅' are bidirectional analog input/output pads. They are used for applying analog input vectors to the circuit and also for transferring the neural weight vectors out of the chip to realize weight read-out facility. 'O₁, O₂, O₃, O₄' are bidirectional digital input/output pads. The classification results are output from this pads. During supervised learning mode and weight read-out mode operations, these pads are

used to select the neuron that the supervisor wants to reach. The circuit has also 'CLK', 'START', ' K_1 ', ' K_2 ' inputs and 'STOP' output. When a raising signal is applied to the 'START' input, the quantizer run one step and produces a pulse signal at 'STOP' output. It is possible to run the quantizer step by step by applying pulses to 'START' input. If the 'STOP' output is tied to 'START' input, the circuit operates in free run mode.

The circuit has four run modes controlled by ' K_1 ', ' K_2 ' control inputs: For ' $K_1 = 0$ ', ' $K_2 = 0$ ' the quantizer classifies in unsupervised mode. It selects the neuron closest to input, produces a logical '1' at the related 'O' output, and adapt the weights of the selected neuron. For ' $K_1 = 1$ ', ' $K_2 = 0$ ' it is in the simple classification mode. It selects the winner neuron but does not adapt its weights. For ' $K_1 = 0$ ', ' $K_2 = 1$ ' 'O' pads are in high-impedance state. The supervisor apply logical '1' to one of the 'O' pads and the related neurons weights are adapted independently from the winner. Thus, the neurons are externally forced to learn the centroids determined by the user. For ' $K_1 = 1$ ', ' $K_2 = 1$ ' the weight vector of the neuron that the user selected applying logical '1' to the related 'O' pad, can be readout from the 'X' inputs.

The four principal building blocks forming the vector quantizer have been produced separately in a test chip and their characterisations have been performed. The measurements of the vector quantizer chip has been performed using a computer aided test setup. The computer applies four valued test vectors to the quantizer via 4-to-1 analog multiplexers, then runs the device one step and reads the weight vectors of each neuron using an A/D converter. Thus, the computer runs the quantizer step by step and at the end of each step it compares the measured weight vectors with the expected ones. All four run modes of the device have been tested. Among the ten measured devices, five devices passed all tests. The maximum clock frequency that can be applied to the device has been found as 5 MHz.

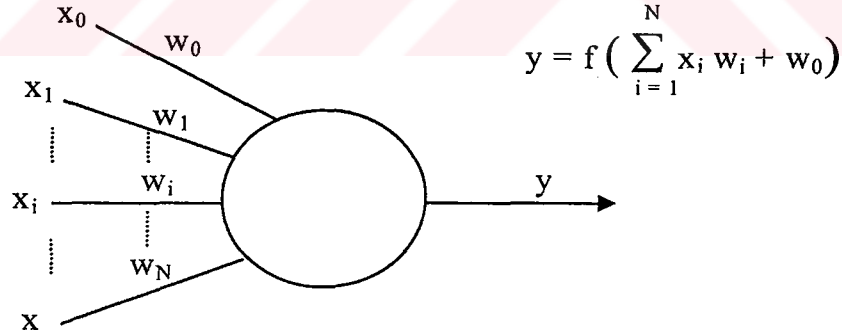
The developed memory cell can be effectively used in neural network applications where input space does not contain very closely spaced cluster centers, and consequently low weight resolution is acceptable. This cell is also very suitable to be used as multiple valued RAM or D-type latch in the realization of multiple valued logic circuits.

1. GİRİŞ

1.1 Yapay Sinir Ağı Tümleştirme Uygulamalarında Analog Verilerin Saklanması

Yapay sinir ağı modelleri, insan beyninin görüntü ve konuşma tanıma gibi bazı yeteneklerini yapay olarak gerçekleştirebilmek amacıyla, insan sinir sisteminden esinlenerek geliştirilmişlerdir [1]. Bu modeller, yoğun şekilde bağlanmış basit işlem elemanlarının (hücre) paralel olarak çalışmalarına dayanırlar. Birbirini tekrar eden basit işlem elemanlarından oluşma ve paralel olarak yüksek hızda çalışma özellikleri bu modelleri tümleştirilmeye çok elverişli kılmaktadır.

Şekil 1.1'de gösterildiği gibi en basit işlem elemanı, uygulanan x_i girişlerini kendinde sakladığı w_i bağlantı ağırlıkları ile çarparak, girişlerin ağırlıklı toplamını bulur ve sonucu doğrusal olmayan bir $f(\cdot)$ fonksiyonundan geçirerek çıkışına verir. Bir sinir hücresi, uygulanan girişlere nasıl yanıt vereceğine dair bilgileri ağırlık katsayıları olarak saklar ve bu katsayıların değerleri öğrenme sırasında değişirler.



Şekil 1.1 En basit işlem elemanı.

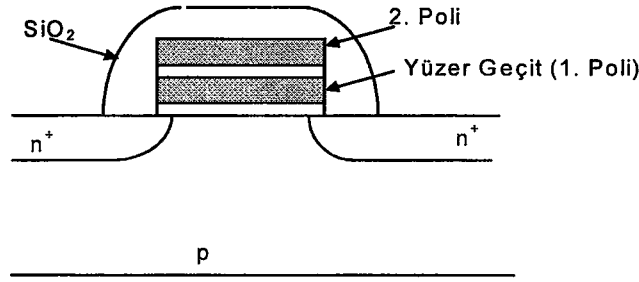
Girişlerin ve ağırlık katsayılarının sayısal ya da analog değerler almalarına ve katsayıların sabit ya da değişken olmalarına bağlı olarak çeşitli yapay sinir ağı modelleri geliştirilmiştir [2]. Bu modellerin tümleştirilme uygulamalarında ağırlık katsayılarının gerçekleştirilme yöntemleri Tablo 1.1'de özetlenmiştir.

Tablo 1.1 Yapay sinir ağı tümleştirme uygulamalarında ağırlık katsayılarının gerçekleştirilme yöntemleri.

YAPAY SİNİR AĞI MODELLERİ			
Sabit Ağırlık Katsayılı		Değişken Ağırlık Katsayılı	
Sayısal	Analog	Sayısal	Analog
• Direnç • Kapasite	• Direnç • Kapasite	• SRAM • DRAM • EPROM	• Yüzer Geçitli Elemanlar • MOS Kapasiteler • Sayısal Bellekler • Çok Düzeyli Bellekler

Buradan görüldüğü gibi, sabit analog ve sayısal ağırlık katsayıları kapasite [3,4] ya da direnç [5,6] değerleri ile oluşturulabilirken, değişken sayısal katsayıların saklanması SRAM, DRAM gibi sayısal belleklerden yararlanılmaktadır [7]. Hem analog hem de değişken katsayılı yapay sinir ağı modellerinin tümleştirilme uygulamalarında ise, öğrenme sırasında değerleri değişebilen analog ağırlıkları saklayabilecek bellek yapılarına gerek duyulmaktadır. Bu amaçla kullanılan yapılar aşağıda kısaca açıklanmıştır:

a) Yüzer geçitli elemanlar: Analog verilerin yüzer geçitli elemanlarda saklanması yaygın olarak kullanılmaktadır [8 - 11]. Bu yöntemde veri, Şekil 1.2'de görüldüğü gibi bir MOS tranzistörün yalıtılmış geçitinde yük olarak olarak saklanmaktadır. Geçit kendini çevreleyen oksit tabakaları tarafından tamamen yalıtılmış olup, çok uzun süre yük saklama yeteneğine sahip bir kapasite gibi davranmaktadır. On yıllık bir sürede yükte oluşacak kaybın %0.1'den daha az olması beklenmektedir [12]. Yüzer geçitte saklanan yük miktarının değiştirilmesi, elektronların yalıtım oksiti üzerinden tünelleme ile geçide gönderilmesi ya da geçitten uzaklaştırılması ile gerçekleştirilmektedir. Elektronların tünelleme ile oksitten geçmeleri için gerekli elektriksel alan 6.4×10^8 V/m'den daha büyüktür. Programlama için gerekli elektriksel alanın yalıtım oksiti üzerinde oluşması, bir kuplaj kapasitesi üzerinden yalıtılmış geçide gerilim darbesi uygulanarak gerçekleştirilmektedir. Bu kuplaj kapasitesinin bir elektrodu yüzer poli geçit olup diğer elektrodu ikinci poli ile oluşturulmaktadır. Yüksek elektriksel alan elde edilebilmesi için yüksek programlama gerilimlerine gereksinme duyulmaktadır. Bu gerilimlerin küçültülmesi için çok ince yalıtım oksiti kullanma, poli-poli tünelleme yapılarında alt elektrodun



Şekil 1.2 Yüzer geçitli tranzistör kesiti

yüzeyinde pürüzlülük oluşturma gibi özel üretim süreçlerinin kullanıldığı uygulamalar vardır. Yüzer geçitli yapılara analog veri yazma işlemi uygulanan programlama darbesinin genliği ve süresi ile kontrol edilebilir. Ancak tünelleme akımları yüzer geçit gerilimine üstel olarak bağlıdır ve sabit programla darbeleri uygulanması durumunda, yük aktarımı darbe sayısı ile üstel olarak azalır. Darbe sayısı ile yük değişimi arasındaki ilişkiyi doğrusal hale getirmek çeşitli yöntemler geliştirilmiştir [13 - 15].

Yüzer geçitli elemanlara yük aktarımı için, bazı uygulamalarda yalıtım oksiti iletkenliğinin UV ışığı ile değişmesinden yararlanılmaktadır [16]. Bazı uygulamalarda ise, ikinci poli kullanılmadan, yüzer geçitli tranzistörün savak ucunda çığ belvermesiyle oluşan yüksek enerjili elektronların geçit oksitini geçip geçiti yüklemesinden yararlanılmaktadır [17].

Yüzer geçitli elemanlarının özel üretim süreçleri ile gerçekleştirilmeleri, veri yazma için yüksek programla gerilimlerine ve karmaşık yazma devrelerine gerek duymaları olumsuz yönlerini oluşturmaktadır. Bu tür yapılar, kendi kendine öğrenen yapay sinir ağlarından çok, başlangıçta kullanıcı tarafından eğitilen ağlarda kullanılmaya daha uygundur.

b) MOS kapasiteler : Bu yöntemde de analog veriler bir MOS tranzistörün geçit kapasitesinde saklanmaktadır. Geçite anahtar olarak kullanılan bir tranzistör üzerinden erişilerek veri yazılmaktadır (Şekil 1.3). Erişim tranzistörünün kesiti ve bu tranzistörden akan kaçak akımlar Şekil 1.3b'de gösterilmiştir. Kapasitenin zamanla boşalmasına neden olan kaçak akımlar :

1) Eriřim tranzistörünün savađını oluřturan ters kutuplu p-n jonksiyonunun tıkama akımı (I_0). Bu akım savak bölgesinin alanı ile orantılıdır ve alanın küçültülmesi bu bölgeden küçük kontak olarak sağlanabilir.

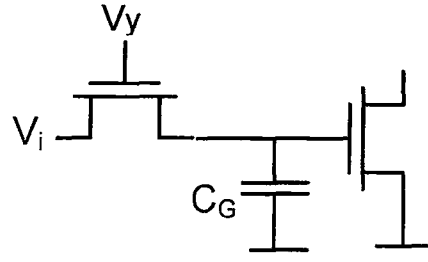
2) Eriřim tranzistörünün eşik altı akımı (I_{ss}). Bu akım uzun ve dar kanallı tranzistörler kullanılarak jonksiyon kaçacağı mertebelerine indirilebilir.

řekil 1.3c'de, $3 \times 3 \mu\text{m}^2$ boyutlu bir eriřim tranzistörü kullanılarak $500 \mu\text{m}^2$ alanlı bir MOS kapasitede saklanan yükün %1 azalmasına karşı gelen zamanın sıcaklığa bađlı deđiřimi verilmiřtir [18].

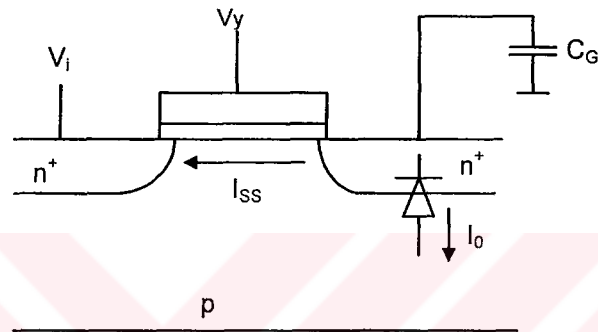
Analog verilerin MOS kapasitelerde saklanması sakıncası, kaçak akımlar nedeniyle zamanla boşalan kapasiteyi tekrar aynı gerilim deđerine getirmek için tazeleme devrelerinin kullanımına gerek duyulmasıdır [19 - 30].

c) Sayısal bellekler : Bazı uygulamalarda analog ađırlık katsayıları sayısal olarak belleklerde saklanmaktadır [31, 32]. Sayısal belleklerin analog dünya ile bađlantı kurmak için analog/sayısal ve sayısal/analog dönüřtürücülere gerek duymaları bu yöntemin sakıncasını oluřturmaktadır.

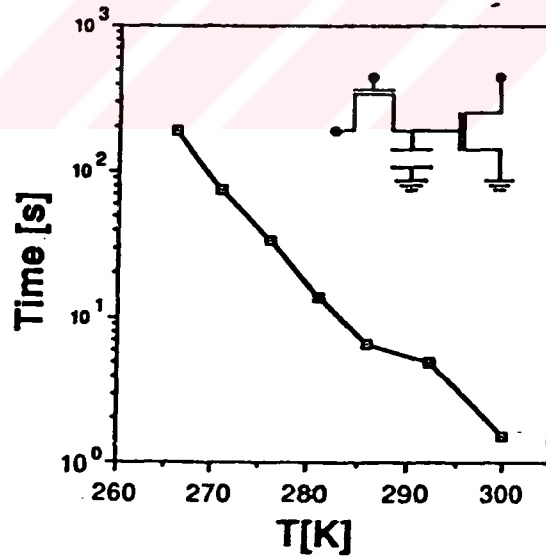
d) Çok düzeyli bellekler : Yüksek çözünürlükte ađırlık katsayılarına gerek duyulmayan yapay sinir ađı uygulamalarında, ađırlıklıkların saklanması çok düzeyli belleklerden yararlanılabilir. Ancak, yapılan kaynak arařtırmasında bu yönde bir uygulamaya rastlanılmamıřtır. Bu çalışmada geliřtirilen çok düzeyli bellek yapısı, analog ve deđiřken ađırlık katsayılarının saklanması kullanılmıř olup, yapının yukarıda sözü edilen standart yöntemlerle olumlu/olumsuz yönleri açısından karşılařtırılması Tablo 1.2'de verilmiřtir.



(a)



(b)



(c)

Şekil 1.3 (a) Analog verinin bir MOS kapasitede saklanması, (b) Erişim tranzistörünün kesiti ve kapasitenin boşalmasına neden olan akan kaçak akımlar, (c) $3 \times 3 \mu\text{m}^2$ boyutlu bir erişim tranzistörü kullanılarak $500 \mu\text{m}^2$ alanlı bir MOS kapasitede saklanan yükün %1 azalmasına karşı gelen zamanın sıcaklığa bağlı değişimi.

Tablo 1.2 Analog ve deęişken aęırlık katsayılarının saklanmasıda kullanılan standart yöntemler ile, bu çalışmada geliştirilen çok düzeyli bellek yapısının olumlu ve olumsuz yönleri açısından karşılaştırılması.

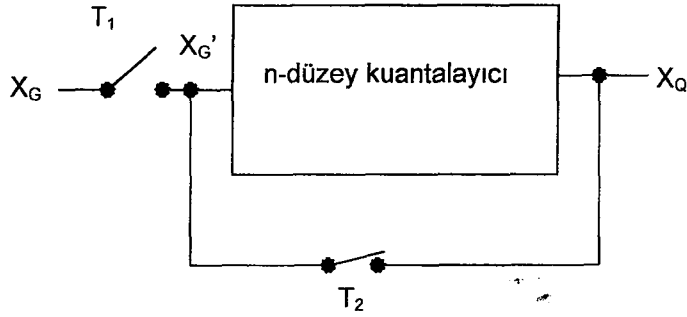
Aęırlık Katsayısı Saklama Yöntemi	Olumsuz Yönleri	Olumlu Yönleri
Yüzer Geçitli Elemanlar	- Özel üretim teknolojisi - Yüksek programla gerilimleri - Karmaşık yazma devreleri	- Yüksek aęırlık katsayısı çözünürlüęü - Aęırlık katsayılarının besleme gerilimi kesildięinde silinmemesi
MOS Kapasiteler	Tazeleme devreleri	Yüksek aęırlık katsayısı çözünürlüęü
Sayısal Bellekler	Analog/Sayısal ve Sayısal/Analog dönüştürücüler	Yüksek aęırlık katsayısı çözünürlüęü
Geliştirilen Çok Düzeyli Bellek Yapısı	Düşük aęırlık katsayısı çözünürlüęü	- Standart CMOS üretim süreci - Tazeleme gerektirmeme - Analog işaretlere doğrudan bağlanabilme

1.2 Çok Düzeyli Bellekler

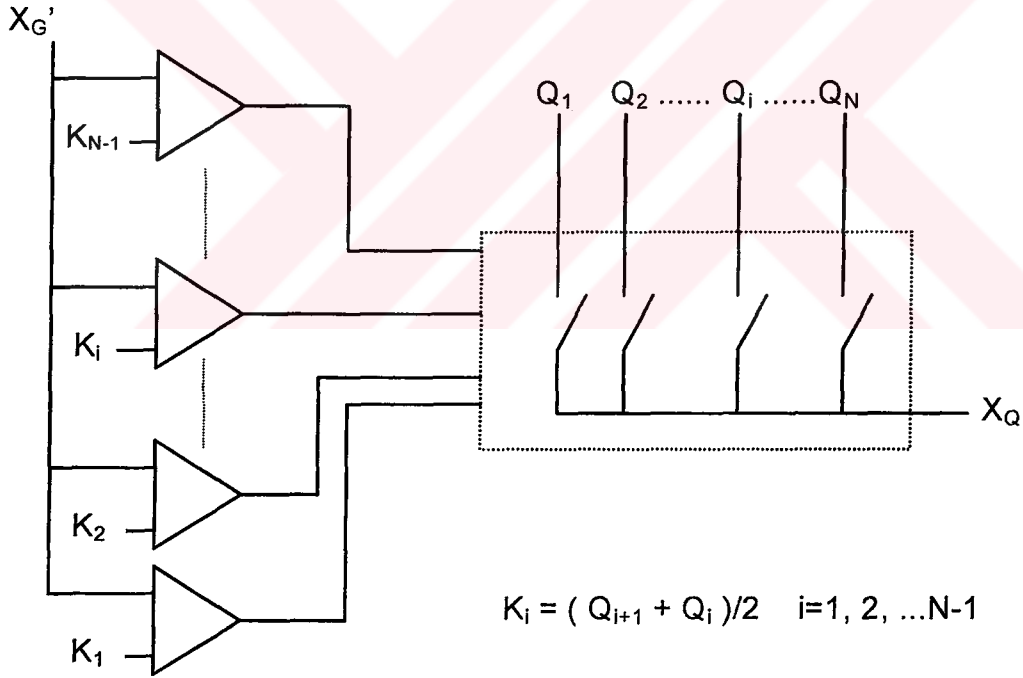
Çok düzeyli lojik devreler, karmaşık sayısal sistemlerde ara bağlantı sayılarını azaltmaları ve birim göze başına daha fazla bilgi saklamaları nedeniyle belleklerde [33 - 35], haberleşme ve işaret işleme gibi alanlarda kullanılmaktadırlar. Örneęin Intel 8087 matematik işlemcisinde dört düzeyli ROM yapısı kullanılarak %31 alan kazanımı sağlanmıştır [36]. Bu devrelerin gerek dinamik [37 - 41] gerekse statik [42, 43] uygulamaları bulunmaktadır. Statik uygulamalardan bir kısmı akıma dayalı çalışan yapılar kullanılmaktadırlar [44 - 46]. Bu tür yapıların sakıncalı yönleri duraęan halde akım akıtmalarından dolayı sürekli güç harcamalarıdır. Gerilime dayalı çalışan yapılar arasında ise, lojik düzeylerin belirlenmesi için tranzistörlere farklı eşik ayar ekimi gerektiren, dolayısı ile standart CMOS üretim sürecine uyumlu olmayanlara rastlanmaktadır [47]. Dięer bazı uygulamarda ise lojik düzeyler evirici tranzistörlerinin boyut oranları ile ayarlanmaktadır [48]. Bir CMOS eviricinin lojik eşięi, tranzistör boyut oranlarının karekökü ile orantılı olduğundan, bu tür

uygulamalarda eşiği $V_{DD}/2$ 'den uzaklaştırmak için büyük tranzistör boyutları kullanılması gerekmektedir. Bu yöntemin bir başka sakıncası da, eviricilerin ara kararlı konumlarında statik güç harcamalarıdır.

Genel olarak n-düzeyle statik bir bellek gözesi Şekil 1.4a'da gösterildiği gibi çıkışı girişine kısa devre edilebilen bir n-düzeyle kuantalayıcıdan oluşur. Bu yapıda T_1



(a)



(b)

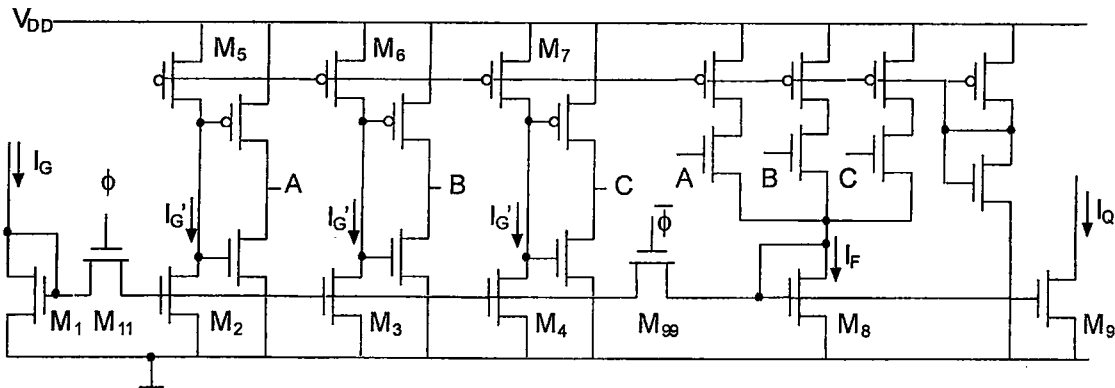
Şekil 1.4 Çok düzeyli bellek ; (a) Belleğin genel yapısı, (b) Kuantalayıcının genel yapısı.

ve T_2 anahtarları ters çalışmakta olup, T_1 'in kapanması ile X_G giriş işareti kuantalayıcıya uygulanır. Çıkışta oluşan kuantalanmış X_Q işareti, T_1 'in açılıp T_2 'nin

kapanması ile girişe uygulanarak, çıkışın bulunduğu düzeyde kararlı kalması sağlanır. Şekil 1.4b'de bir n-düzey kuantalayıcının genel yapısı gösterilmiştir. Yapı, karşılaştırıcı bloğu ve anahtarlama bloğu olmak üzere iki bölümden oluşmaktadır. Karşılaştırıcı bloğunda, X_G' giriş işareti n-1 adet K_i eşik değeri ile karşılaştırılarak girişin Q_i lojik düzey değerlerinden hangisine daha yakın olduğu belirlenmektedir. Anahtarlama bloğunda ise, karşılaştırmanın sonucuna göre uygun anahtar iletime sokularak giriş işaretine en yakın lojik düzey değeri X_Q çıkışına aktarılmaktadır.

Bu tür yapılara örnek olarak biri akıma değeri ise gerilime dayalı olarak çalışan iki statik bellek yapısı aşağıda kısaca tanıtılmıştır.

Şekil 1.5'de akıma dayalı çalışan dört düzeyli bellek yapısı gösterilmiştir [49]. I_G giriş akımı M_1 tranzistörüne uygulanmakta, tranzistörün geçitinde oluşan V_{GS1} gerilimi ϕ saat işaretinin lojik 1'e gitmesi ile M_{11} tranzistörü tarafından M_2 , M_3 ve M_4 tranzistörlerinin geçitlerine aktararak giriş akımının aynalanması (I_G') sağlanmaktadır. M_2 , M_3 ve M_4 tranzistörleri üç adet akım karşılaştırıcı yapısının girişlerini oluşturmaktadırlar. Akım kaynağı olarak kullanılan M_5 , M_6 ve M_7 PMOS tranzistörlerinin boyutları uygun seçilerek, akım karşılaştırıcıların eşiklerinin lojik düzeylere karşı gelen değerlere ayarlanması sağlanmıştır. Aynalanan giriş akımı bir karşılaştırıcının eşiğini geçtiği zaman, karşılaştırıcı çıkışı lojik 0'a düşmekte ve aynalama tranzistöründeki akım eşik akımı değerinde sınırlanmaktadır. Her karşılaştırıcı sürdüğü standart CMOS evirici yardımı ile geçitleri A, B ya da C ile gösterilen tranzistörlerden birini kontrol etmektedir. Bu tranzistörlerden her biri iletime geçtiğinde, en düşük lojik düzeye karşı gelen değerde bir akımın toplama



Şekil 1.5 Akıma dayalı çalışan dört düzeyli statik bellek yapısı örneği.

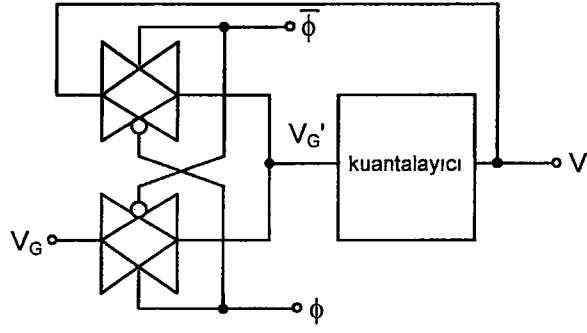
noktasına akmasına izin vererek kuantalanmış I_F akımının üretilmesini sağlar. I_F akımı M_8 ve M_9 tranzistörleri tarafından aynalanarak I_Q çıkış akımı oluşturulur. Saat işaretinin lojik 0'a gitmesi ile M_{11} kesime girerek M_1 giriş tranzistörünü kuantalayıcıdan ayırırken, M_{99} iletime geçerek üretilen I_F akımının kuantalayıcı girişine uygulanmasını sağlar. Böylece I_F akımı ve dolayısı ile I_Q çıkış akımı sahip oldukları değerde kararlı kalırlar.

Daha kısa bir anlatımla, kuantalayıcı, giriş akımını lojik düzeylere karşı gelen akımlarla karşılaştırmakta, bu karşılaştırmaların sonucuna göre lojik düzey akımlarını uygun şekilde toplayarak çıkış akımını üretmektedir.

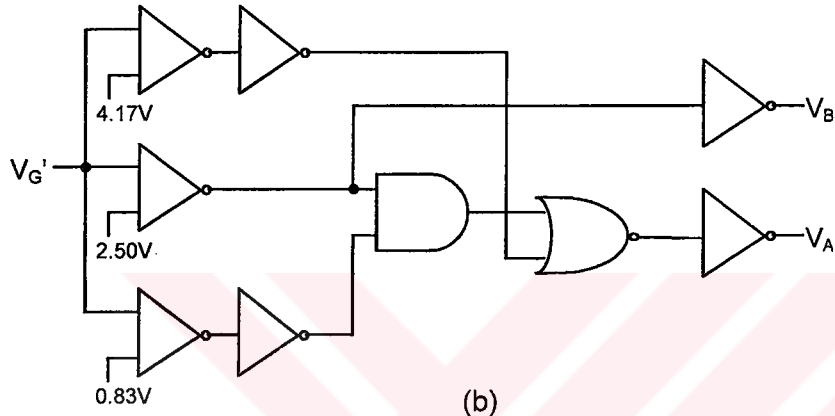
Yapı dört düzeyli saklama işlevini gerçekleştirmek için 23 tranzistör kullanmaktadır. İleride yapılacak karşılaştırmalara uyum sağlaması amacıyla, buradaki tranzistör sayısı hesabına anahtarlama tranzistörleri M_{11} ve M_{99} katılmamıştır. Düzey sayısının bir artırılması 6 tranzistör eklenmesini gerektirmektedir. Akıma dayalı tüm yapılarda olduğu gibi bu yapıda da durağan durumda akım akması devrenin sürekli güç harcamasına yol açmaktadır.

Gerilime dayalı çalışan dört düzeyli bellek yapısı örneği Şekil 1.6'da gösterilmiştir [50]. Yapı 0V, 1.67V, 3.33V ve 5V değerlerine sahip lojik düzey gerilimleri ile çalışmaktadır. Şekil 1.6b'de gösterilen üç gerilim karşılaştırıcı ve kapılardan oluşan bölüm, analog giriş işaretinin lojik değerini belirlemekte ve bu değeri gösteren V_A ve V_B kontrol işaretlerini üretmektedir. Şekil 1.6c'de gösterilen ve, V_A ve V_B işaretleri ile kontrol edilen transmisyon kapılarından oluşan 4'e-1 seçici, dört lojik düzey geriliminden birini seçerek kuantalayıcı çıkışına aktarmaktadır. Gerilim karşılaştırmacılar, eşikleri tranzistör boyut oranları ile belirlenen evirici yapılarından oluşmaktadırlar. Karşılaştırmacıların eşik gerilimleri lojik düzeylerin ara noktalarına karşı gelen 0.83V, 2.5V ve 4.17V değerlerine ayarlanmıştır. Yazılan verinin saklanması, Şekil 1.6a'da görüldüğü gibi kuantalayıcı çıkışının girişe kısa devre edilmesi ile sağlanmaktadır.

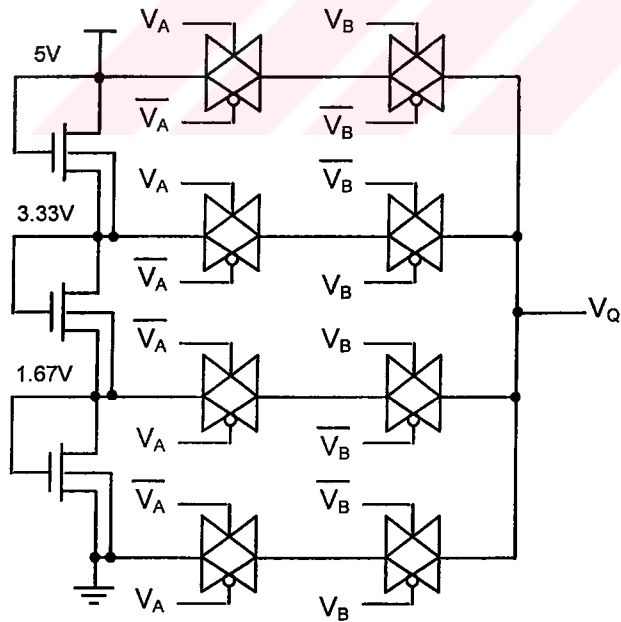
Devrede, 4'e-1 seçici yapısında 16, karşılaştırmacı yapısında 22 olmak üzere toplam 38 tranzistör kullanılmaktadır. Düzey sayısının artırılması karşılaştırmacı ve kapılardan oluşan bloğun karmaşılaşmasına yol açacaktır.



(a)



(b)



(c)

Şekil 1.6 Gerilime dayalı çalışan dört düzeyli bellek yapısı örneği ; (a) Belleğin genel yapısı , (b) Kuantalayıcının karşılaştırma bloğu , (c) Kuantalayıcının 4'e-1 seçici bloğu.

Bu çalışmada geliştirilen gerilime dayalı çok düzeyli bellek yapısı, tranzistör boyut oranlarından bağımsızdır, durağan halde hiç güç harcamamaktadır, statik olduğu için tazeleme gerektirmemektedir, analog işaretlere doğrudan bağlanabilmektedir ve standart CMOS üretim sürecine tam uyumludur. Yapı dört düzeyli saklama işlevini 12 tranzistör kullanarak gerçekleştirmektedir. Düzey sayısının her bir arttırımı için yapıya dört tranzistör eklemek yeterlidir.

2.Bölüm'de, geliştirilen çok düzeyli bellek yapısı tanıtılmış, düzey sayısını sınırlayan etkenler açıklanmış, akım-gerilim özeğrisinin analizi yapılmış, serimi ve ölçüm sonuçları verilmiş ve düzey sayısının nasıl arttırılabileceği tartışılmıştır.

3.Bölüm'de, bellek yapısının dört düzeyli olarak kullanılması ile gerçekleştirilen Kohonen türü bir vektör sınıflandırıcı tümdevre tanıtılmış, serimi ve kırkık fotoğrafları verilmiş, devreyi oluşturan bütün yapı blokları ölçüm sonuçları ile beraber ayrı ayrı açıklanmıştır.

4.Bölüm'de, üretilen vektör sınıflandırıcının ölçüm düzeneği tanıtılmış ve ölçüm sonuçları verilmiştir.

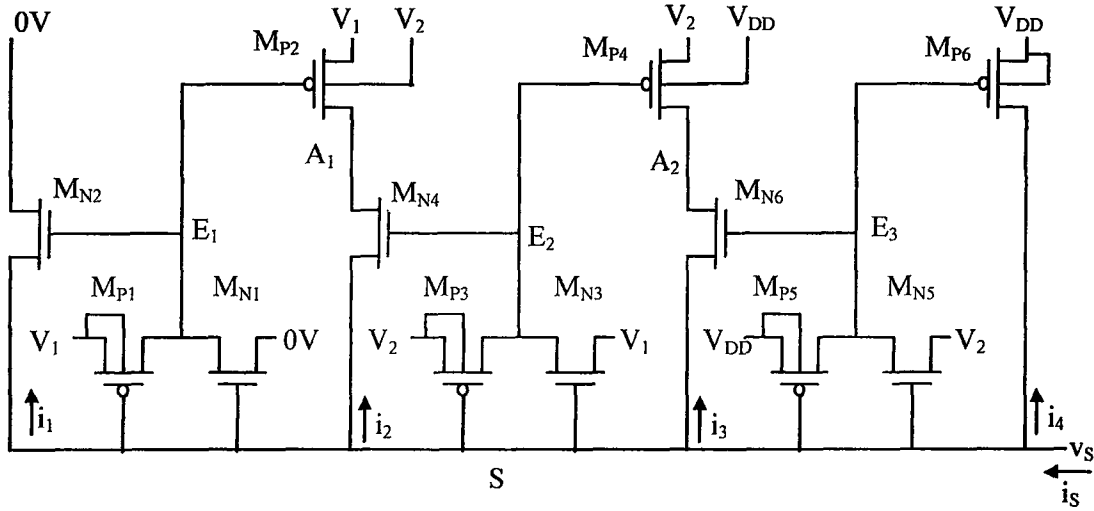
2. ÇOK DÜZEYLİ STATİK BELLEK GÖZESİ

2.1 Bellek Yapısı

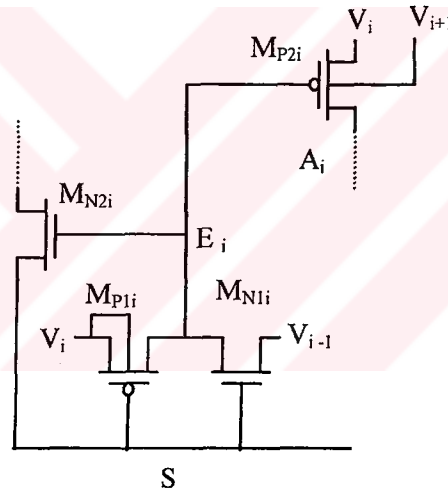
Geliştirilen çok düzeyli bellek gözesi Şekil 2.1a'da dört düzeyli yapıda gösterilmiştir. Devreye $0V$, V_1 , V_2 , ve V_{DD} değerine sahip dört lojik düzey gerilimi uygulanmaktadır. Bu gerilim kaynakları ortak bir S saklama düğümüne dört ayrı yoldan bağlanmışlardır. S düğümünün $0V$ ile arasındaki yol M_{N2} , V_1 ile arasındaki yol seri bağlı M_{P2} ve M_{N4} , V_2 ile arasındaki yol yine seri bağlı M_{P4} ve M_{N6} , V_{DD} ile arasındaki yol ise M_{P6} tranzistörleri ile oluşturulmuştur. S düğümüne bir anahtar üzerinden analog giriş gerilimi uygulandığında, devre, giriş gerilimine en yakın lojik düzeye sahip gerilim kaynağını S düğümüne, ilgili yola izin vererek, bağlamakta ve anahtar açıldığında S düğümündeki gerilim bu düzeyde sürekli olarak kalmaktadır.

Genel olarak N düzeyli bir bellek gözesi, Şekil 2.1b'de gösterilen dört tranzistörlü temel gözeden $N-1$ tanesinin ardarda bağlanması ile elde edilmektedir. Temel göze, M_{P1i} ve M_{N1i} tranzistörlerinin oluşturduğu ve girişi S düğümü tarafından sürülen bir evirici ile, bu evirici tarafından kontrol edilen M_{P2i} ve M_{N2i} tranzistörlerinden meydana gelmiştir. M_{N2i} tranzistörü, seri olarak bağlı bulunduğu bir önceki katın M_{P2i-1} tranzistörü ile birlikte S düğümünden V_{i-1} kaynağına olan yolu denetlemektedir. Benzer şekilde, M_{P2i} tranzistörü de bir sonraki katın M_{N2i+1} tranzistörüne seri olarak bağlı olup, S düğümü ile V_i kaynağı arasındaki yolu anahtarlamaktadır.

Evirici V_{i-1} ve V_i gerilimleri ile beslenmektedir. Burada V_{i-1} ve V_i , $V_i > V_{i-1}$ olmak üzere birbirini izleyen iki lojik düzey gerilimidirler. Eviricinin eşik gerilimi V_{Ti} olarak adlandırılırsa, giriş gerilimi $V_S < V_{Ti}$ için evirici çıkışı $V_{Ei} = V_i$ değerine sahip olduğundan M_{N2i} tranzistörü iletimde, M_{P2i} kesimdedir. $V_S > V_{Ti}$ için $V_{Ei} = V_{i-1}$ olur: M_{P2i} iletime, M_{N2i} kesime girer. Dolayısı ile, birim göze $V_{i-1} < V_{Ti} < V_i$ değerine sahip eşik gerilimi ile analog giriş gerilimi V_S 'yi karşılaştırır; $V_S < V_{Ti}$ için S düğümü ile V_{i-1} kaynağı arasındaki, $V_S > V_{Ti}$ için ise S düğümü ile V_i kaynağı arasındaki yolu açar. Birbirini izleyen iki gözenin aynı yolu açmasıyla giriş gerilim değerine en yakın lojik düzeye sahip kaynak S düğümüne bağlanmış olur.



(a)



(b)

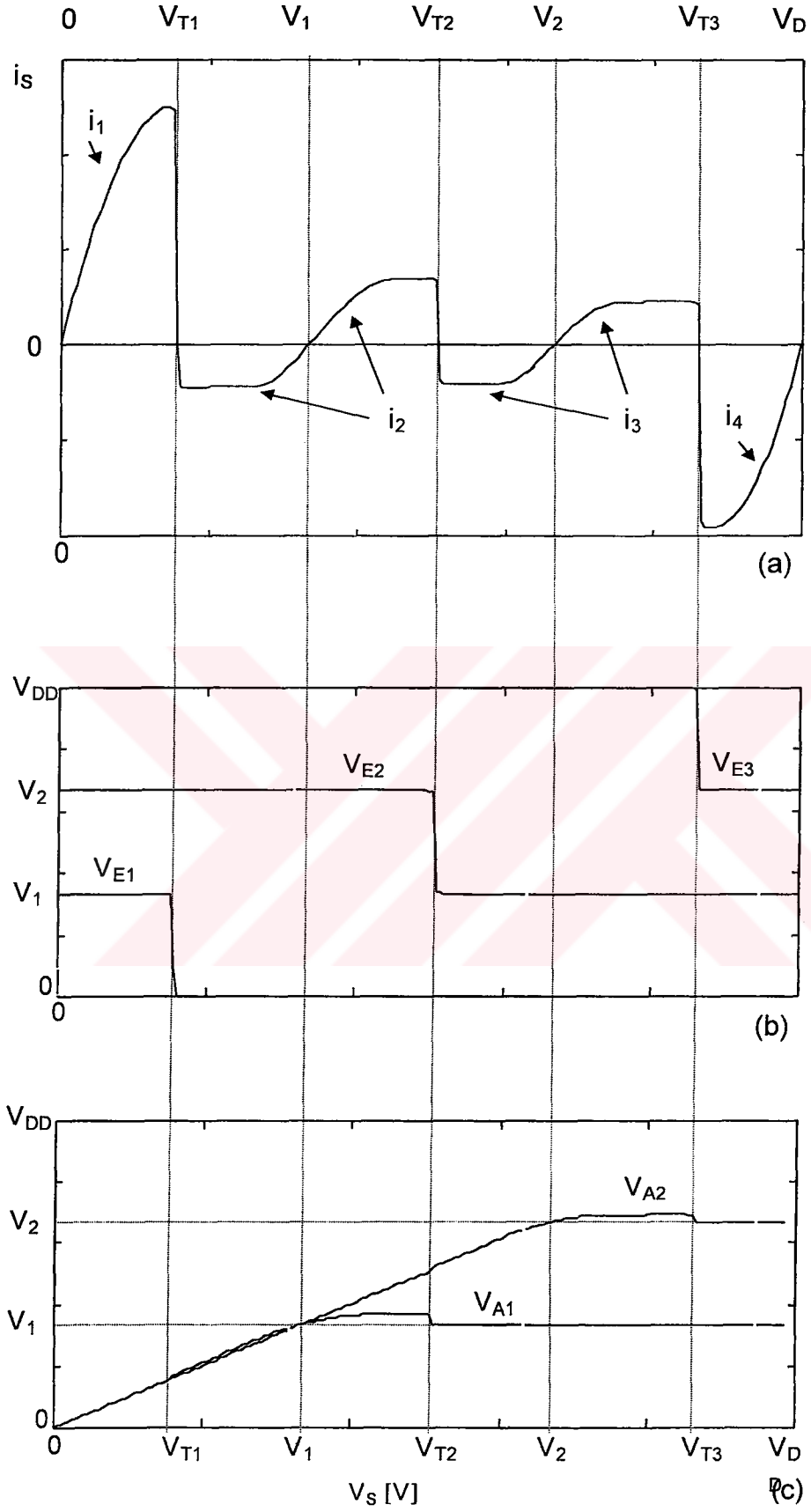
Şekil 2.1 (a) Dört düzeyli bellek gözesi . (b) Temel göze.

Şekil 2.1a'daki dört düzeyli bellek yapısı, S düğümüne uygulanan giriş gerilimini $0 < V_{T1} < V_1$, $V_1 < V_{T2} < V_2$ ve $V_2 < V_{T3} < V_{DD}$ değerlerine sahip üç eşik gerilimi ile karşılaştırarak, girişin hangi gerilim aralığında olduğuna karar vermektedir. Bu kararın sonucuna göre, $0 \leq V_S < V_{T1}$ için toprağa, $V_{T1} \leq V_S < V_{T2}$ için V_1 kaynağına, $V_{T2} \leq V_S < V_{T3}$ için V_2 kaynağına, $V_{T3} \leq V_S < V_{DD}$ için ise beslemeye olan yollar iletime girerek sırasıyla i_1 , i_2 , i_3 ve i_4 akımları S düğümünden akmaktadır. S düğümünden akan toplam i_s akımının ($i_s = i_1 + i_2 + i_3 + i_4$) V_S gerilimi ile değişimi Şekil 2.2a'da gösterilmiştir. Yolların iletime geçmesini kontrol eden

eviricilerin V_{Ei} çıkış gerilimlerinin değişimleri Şekil 2.2b'de, V_{Ai} olarak adlandırılan birim gözeler arası düğüm gerilimlerinin değişimleri ise Şekil 2.2c'de verilmiştir. Görüldüğü gibi V_{Ai} gerilimi, $V_s \leq V_i$ olduğu sürece V_s gerilimini izlemekte, $V_s > V_i$ olduğunda ise V_i 'den büyük ancak V_i 'ye yakın bir değerde sabit kalmaktadır ve V_{i+1} değerine ulaşması söz konusu değildir. Bu durum, ileride daha ayrıntılı olarak değinileceği gibi, M_{P2i} yol tranzistörünün taban ucunun V_{DD} yerine V_{i+1} kaynağına bağlanmasına ve böylece gövde etkisinin azaltılmasına olanak vermektedir.

Şekil 2.2a'dan görülebileceği gibi devrenin akıttığı akım V_s gerilimini en yakın kararlı konuma getirecek yöndedir. S düğümü herhangi bir dış devreye bağlı olmadığı sürece $i_s = 0$ olacağından, V_s dört lojik düzey geriliminden birinde kararlı olarak kalır. Bu durumda devre hiç akım çekmediğinden güç harcamamaktadır. Belleğin çalışması tranzistör boyutlarından bağımsızdır ve tranzistörlere farklı eşik ayar ekimleri yapılması gibi üretimde standart CMOS sürecinden sapmalara yol açacak adımlara gerek duymamaktadır.





Şekil 2.2 Dört düzeyli bellek gözesinin SPICE analizi sonuçları: (a) Akım - gerilim özeğrisi , (b) Evirici çıkışlarının değişimi , (c) Temel gözeler arası bağlantı düğümlerinin değişimi.

2.2 Düzey Gerilimlerinin Belirlenmesi

n-düzeyli bir bellek gözesine uygulanan lojik düzey gerilimleri

$$V_i = i \cdot \frac{V_{DD}}{n-1} \quad i = 0, \dots, n-1 \quad (2.1)$$

bağıntısı ile belirlenebilir. Birbirini izleyen iki lojik düzey gerilimi arasındaki fark

$$\Delta V_i = \frac{V_{DD}}{n-1} = V_1 \quad (2.2)$$

olarak bulunabilir ki , burada V_1 en düşük lojik düzey gerilimidir. Belleğin düzey sayısı n'yi arttırmak için V_1 gerilimini mümkün olduğunca küçültmek gerekmektedir. Geliştirilen bellek yapısında V_1 geriliminin küçültülmesini sınırlayan iki unsur vardır:

a) Evirici Yapısı: Şekil 2.1b'deki temel gözede evirici $V_i - V_{i-1} = V_1$ gerilimi ile beslenmektedir. Geleneksel olarak bir eviriciye uygulanabilecek en küçük besleme geriliminin, eviriciyi oluşturan NMOS ve PMOS tranzistörlerin eşik gerilimlerinin toplamından büyük olması gerekir:

$$V_1 > V_{TN} + |V_{TP}| \quad (2.3)$$

Burada V_{TN} ve V_{TP} , sırasıyla NMOS ve PMOS tranzistörlerin eşik gerilimleri olup, gövde etkisi nedeniyle V_{SB} kaynak-taban gerilimlerinin fonksiyonudurlar:

$$V_{TN}(V_{SBN}) = V_{TN0} + \gamma_N \cdot (\sqrt{V_{SBN} + 2\phi_{FP}} - \sqrt{2\phi_{FP}}) \quad (2.4a)$$

$$V_{TP}(V_{BSP}) = V_{TP0} - \gamma_P \cdot (\sqrt{V_{BSP} + 2\phi_{FN}} - \sqrt{2\phi_{FN}}) \quad (2.4b)$$

Yukarıdaki bağıntılarda V_{TN0} ve V_{TP0} tranzistörlerin sıfır kaynak-taban kutuplama durumundaki eşik gerilimleri, γ_N ve γ_P gövde etkisi katsayıları, ϕ_{FN} ve ϕ_{FP} taban Fermi potansiyelleridir.

NMOS tranzistörlere göre daha büyük gövde etkisine sahip olan PMOS tranzistörler, genel olarak taban uçları devredeki en büyük gerilim olan V_{DD} 'ye bağlı olacak şekilde ortak bir N-kuyuda gerçekleştirilirler. Böyle bir durumda, eviricilere ait PMOS tranzistörlerin taban-kaynak gerilimleri $V_{BSPi} = V_{DD} - V_i$ değerine sahip olmaktadır. Bu da, bellek yapısında son kattan ilk kata doğru gidildikçe, PMOS tranzistörlerin eşik gerilimlerinin (2.4b) bağıntısı gereği artmasına yol açmaktadır.

Bu durumu gidermek amacıyla PMOS tranzistörler, kaynak uçları taban uçlarına (kuyuya) kısa devre olacak şekilde ayırık N-kuyularda gerçekleştirilmiş, böylece bellek yapısındaki tüm eviriciler için

$$V_{TP} = V_{TP0} \quad (2.5)$$

olması sağlanmıştır. NMOS tranzistörler ise ortak P-tabanda üretildiklerinden taban uçları her zaman toprağa bağlıdır ve gövde etkisi nedeniyle eşikleri, kaynak düğümlerinin gerilimlerine bağlı olarak ilk kattan son kata doğru gidildikçe büyümektedir. En kötü durum, bellek gözesinin en son katında yer alan evirici için geçerlidir. Bu eviriciye ait NMOS tranzistörün kaynak-taban gerilimi $V_{SBN} = V_{DD} - V_1$ değerinde olacağından (2.3)'de verilen koşul (2.5) bağıntısının da kullanılması il

$$V_1 > V_{TN} (V_{DD} - V_1) + |V_{TP0}| \quad (2.6)$$

şeklını alır.

Bir eviricinin çalışması incelenirse, besleme gerilimi (2.3) koşulunu sağlamasa bile

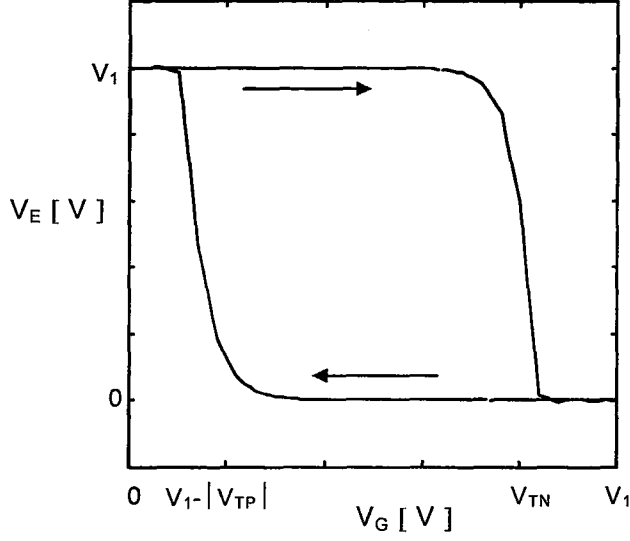
$$V_1 > \max(V_{TN}, |V_{TP}|) \quad (2.7)$$

olduğu sürece çalışmayı sürdürdüğü görülebilir [51]. Şekil 2.3'de besleme gerilim değeri $(\max(V_{TN}, |V_{TP}|) < V_1 < V_{TN} + |V_{TP}|)$ aralığında bulunan bir eviricinin gerilim geçiş eğrisi verilmiştir. Giriş gerilimi $(V_1 - |V_{TP}| < V_G < V_{TN})$ aralığında olduğu sürece her iki tranzistör de kesimde olduğu için evirici çıkışı yüksek empedans göstermektedir. Karakteristikte görülen histeresiz, yüksek empedans bölgesinde evirici çıkışının bir önceki konumunu dinamik olarak korumasından kaynaklanmaktadır. Histeresizli çalışma durumunda (2.6) bağıntısı

$$V_1 > \max(V_{TN} (V_{DD} - V_1), |V_{TP0}|) \quad (2.8)$$

bağıntısına dönüşür.

b) Yol Tranzistörleri: Şekil 2.1b'deki M_{P2i} tranzistörünün çalışması incelenirse, A_i düğümünün yükseleceği en büyük gerilim değerinin V_{i+1} değerinden küçük olacağı görülür. Çünkü S düğümüne V_{i+1} değeri uygulandığında M_{P2i} 'ye seri olarak bağlı olan NMOS tranzistör bir sonraki kat tarafından kesime sokulur. Bu sayede, kaynak ucu V_i gerilimine bağlı PMOS tranzistörün gerçekleştirildiği kuyu, devredeki en yüksek gerilim olan V_{DD} yerine, bir üst lojik düzey gerilimi olan V_{i+1} kaynağına bağlanarak gövde etkisinin azaltılması yoluna gidilmiştir. Bu tranzistör için iletim koşulu



Şekil 2.3 Besleme gerilim değeri ($\max(V_{TN}, |V_{TP}|) < V_1 < V_{TN} + |V_{TP}|$) aralığında bulunan bir eviricinin gerilim geçiş eğrisi.

$$V_{SG} = V_i - V_{i-1} > |V_{TP} (V_{i+1} - V_i)|$$

$$\Rightarrow V_1 > |V_{TP} (V_1)| \quad (2.9)$$

olarak bulunur.

Bir gözenin eviricisine ait PMOS tranzistör ile bir önceki gözenin PMOS yol tranzistörü taban gerilimleri aynı olacağından aynı kuyuda gerçekleştirilmişlerdir.

Gövde etkisinden en fazla etkilenen NMOS yol tranzistörü ise bellek yapısındaki en son kata ait olan olup iletim koşulu

$$V_1 > V_{TN} (V_{DD} - V_1) \quad (2.10)$$

sonucunu doğurur. NMOS ve PMOS yol tranzistörlerinin V_1 gerilimi üzerinde oluşturdukları kısıtlama (2.9) ve (2.10) kullanılarak

$$V_1 > \max(V_{TN} (V_{DD} - V_1), |V_{TP} (V_1)|) \quad (2.11)$$

olarak bulunur.

Çok düzeyli bellek yapısı için en düşük lojik düzey gerilimi (2.6) ve (2.11)'den

$$V_1 > \max (V_{TN} (V_{DD} - V_1) + |V_{TP0}|, |V_{TP}(V_1)|) \quad (2.12)$$

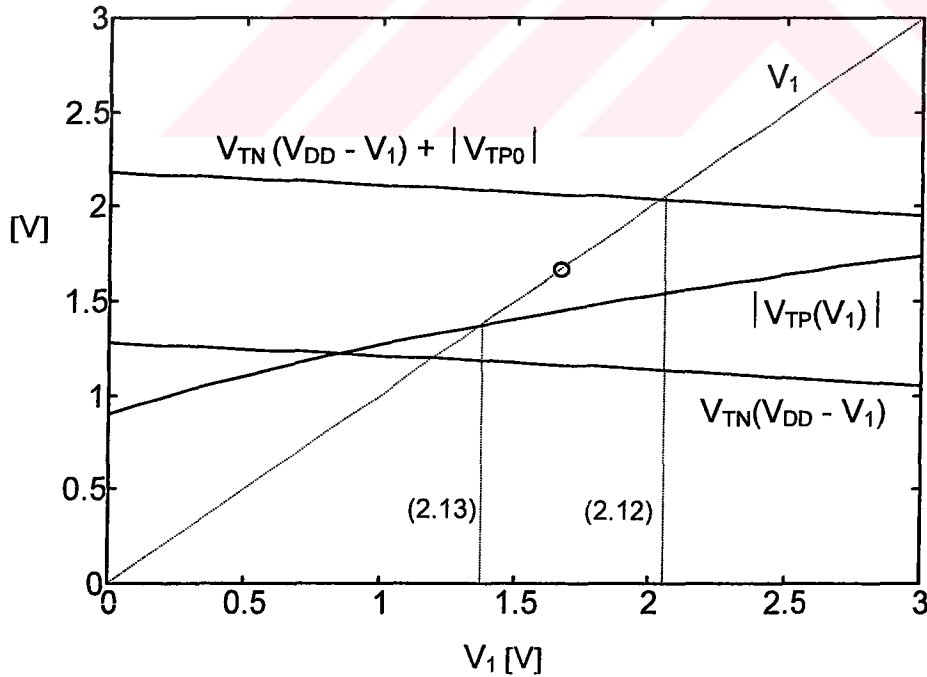
şeklinde elde edilir. Histeresizli çalışmaya izin verilmesi durumunda ise (2.7) ve (2.11)'den

$$V_1 > \max (V_{TN} (V_{DD} - V_1), |V_{TP}(V_1)|) \quad (2.13)$$

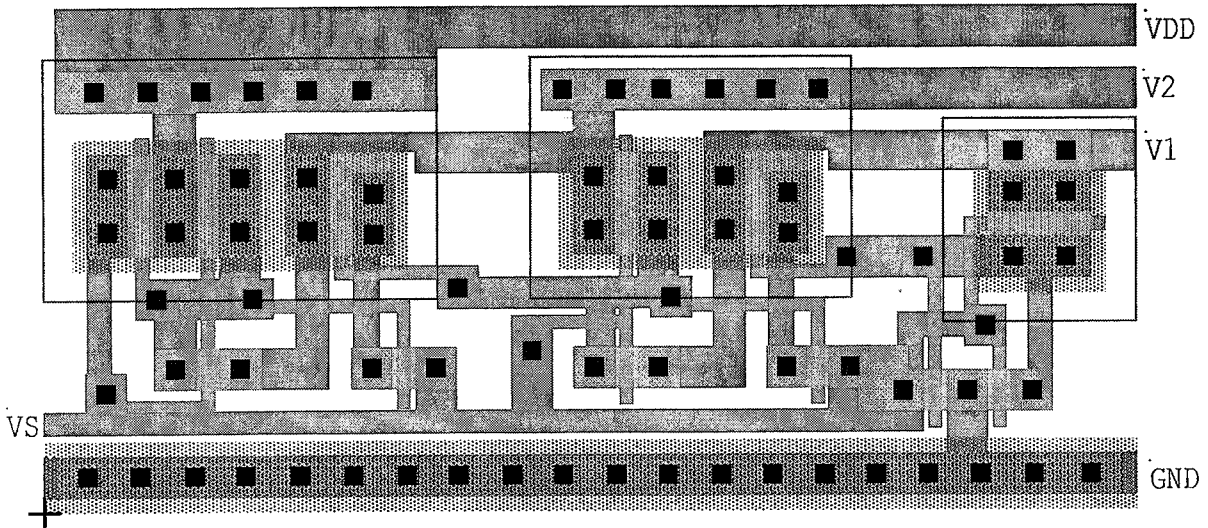
sonucuna ulaşılır. YİTAL 3 μ m CMOS üretim süreci parametreleri ($V_{TN0} = 0.8$ V, $\gamma_N = 0.3 \sqrt{V}$, $V_{TP0} = -0.9$ V, $\gamma_P = 0.65 \sqrt{V}$) kullanılarak (2.12) ve (2.13) bağıntıları Şekil 2.4'de çizdirilmiştir. Buradan histeresizli çalışma için $V_1 > 1.4$ V, histeresizsiz çalışma için ise $V_1 > 2.1$ V değerleri elde edilmektedir. Uygulamada

$$V_1 = V_{TN0} + |V_{TP0}| \cong 1.67 \text{ V} \quad (2.14)$$

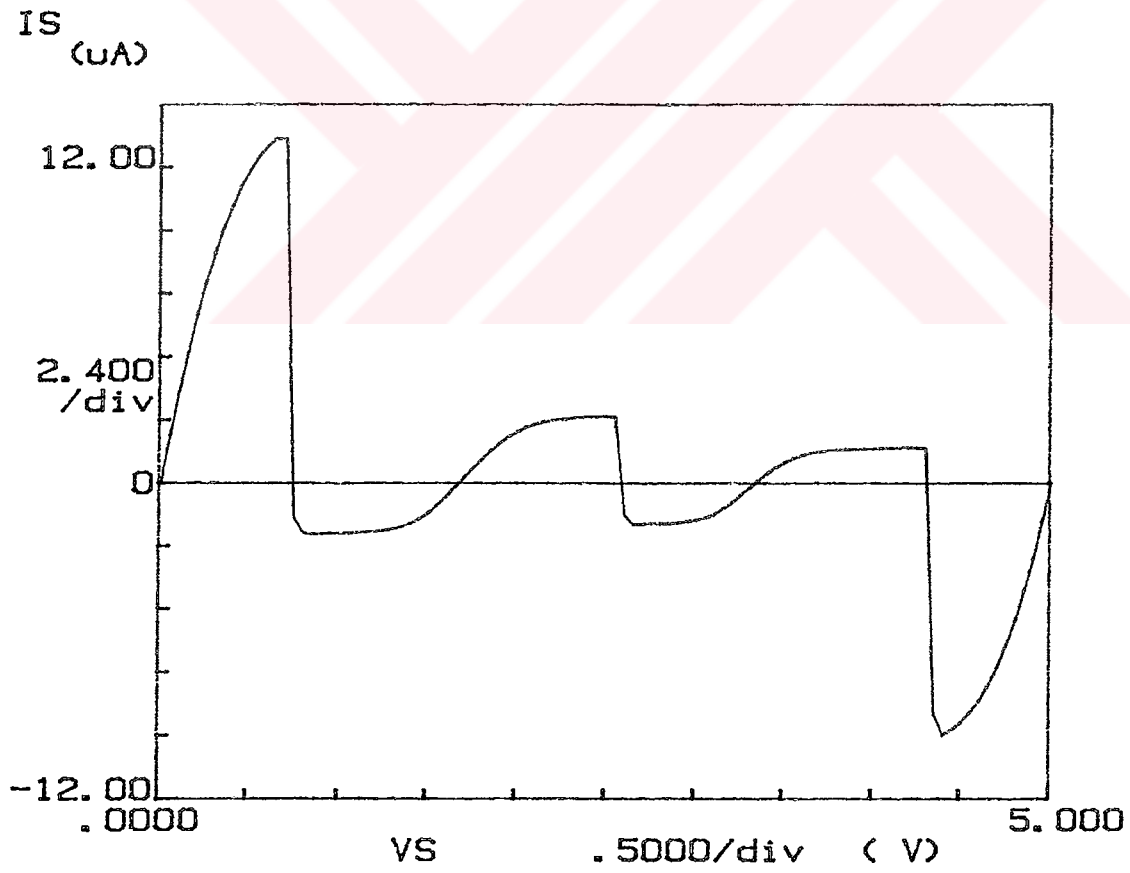
seçilerek dört düzeyli bellek gözesi için lojik düzey gerilimleri $V_0 = 0$ V, $V_1 = 1.67$ V, $V_2 = 3.33$ V ve $V_3 = V_{DD} = 5$ V olarak belirlenmiştir. Bütün PMOS tranzistör boyutları $W_P / L_P = 9\mu\text{m} / 3\mu\text{m}$ ve bütün NMOS tranzistör boyutları $W_N / L_N = 3\mu\text{m} / 3\mu\text{m}$ olacak şekilde üretilen bellek test yapısının serimi Şekil 2.5'de, 4145 parametre analizörü ile ölçülen akım-gerilim özeğrisi ise Şekil 2.6'da gösterilmiştir. Bu yapının SPICE benzetimi sonucu elde edilen özeğrisi ise Şekil 2.7'de verilmiştir.



Şekil 2.4 En düşük lojik düzey gerilimi V_1 'in histeresizli (2.13) ve histeresizsiz (2.12) çalışma durumları için belirlenmesi. Seçilen çalışma noktası 'o' ile gösterilmiştir.



Şekil 2.5 Üretilen bellek gözesinin serimi.



Şekil 2.6 Üretilen bellek gözesinin 4145 parametre analizörü yardımıyla ölçülen akım - gerilim özeğrisi.

2.3 Çalışma Bölgelerinin İncelenmesi

Devrenin giriş gerilimine bağlı olarak çalışma bölgeleri aşağıda incelenmiş ve sonuçlar Şekil 2.7'deki tabloda özetlenmiştir:

a) $0 \leq V_S < V_{TN0}$ için birinci evirici çıkışı $V_{E1} = V_1$ olup, M_{N2} tranzistörünün sürekli olarak doymasız çalıştığı görülebilir. V_{GS} ve V_{DS} tranzistörün geçit-kaynak ve savak-kaynak gerilimleri olmak üzere doymasız çalışma koşulu, (2.14)'ün de kullanılması ile

$$\begin{aligned} V_{GS} - V_{TN} > V_{DS} &\Rightarrow V_1 - V_{TN0} > V_S \Rightarrow V_{TN0} + |V_{TP0}| - V_{TN0} > V_S \\ &\Rightarrow |V_{TP0}| > V_S \Rightarrow |V_{TP0}| > V_{TN0} > V_S \end{aligned}$$

sonucunu verir ki, kullanılan süreç parametrelerinde $|V_{TP0}| > V_{TN0}$ olduğu için koşul sağlanmaktadır. Dolayısı ile birinci çalışma bölgesinde devrenin akıtacağı akım M_{N2} tranzistörünün doymasız akımı ile belirlenir:

$$I_S = \beta_{MN2} \cdot (V_1 - V_{TN0} - V_S / 2) \cdot V_S \quad (2.15)$$

b) $V_{TN0} \leq V_S < V_1$ için birinci evirici çıkışı $V_{E1} = 0$, ikinci evirici çıkışı $V_{E2} = V_2$ olduğundan M_{P2} ve M_{N4} iletimdedirler; V_1 'den girişe doğru akım akar. M_{P2} tranzistörü için doymalı çalışma sınırı

$$V_{SG} - |V_{TP}| = V_{SD} \Rightarrow V_1 - |V_{TP}(V_1)| = V_1 - V_{A1} \Rightarrow V_{A1} = |V_{TP}(V_1)|$$

olarak bulunur. M_{P2} tranzistörü, $V_{A1} < |V_{TP}(V_1)|$ için doymalı, $V_{A1} > |V_{TP}(V_1)|$ için ise doymasız çalışacaktır. M_{N4} tranzistörü ise

$$\begin{aligned} V_{GS} - V_{TN} > V_{DS} &\Rightarrow V_2 - V_S - V_{TN}(V_S) > V_{A1} - V_S \\ &\Rightarrow V_2 - V_{TN}(V_S) > V_{A1} \end{aligned}$$

koşulu gereği sürekli olarak doymasız çalışmaktadır. Dolayısı ile,

b.1) $V_{TN0} \leq V_S < |V_{TP}(V_1)|$ aralığında M_{P2} doymalı, M_{N4} doymasız çalışmakta olup çıkış akımı M_{P2} tranzistörü tarafından belirlenir ve Şekil 2.6'daki özeğride de görüldüğü gibi giriş geriliminden bağımsızdır.

$$I_S = \beta_{MP2} \cdot (V_1 - |V_{TP}(V_1)|)^2 / 2 \quad (2.16)$$

b.2) $|V_{TP}(V_1)| \leq V_S < V_1$ aralığında hem M_{P2} hem de M_{N4} doymasız çalışmakta olup çıkış akımı

$$I_S = \beta_{MN4} \cdot (V_2 - V_S - V_{TN}(V_S) - (V_{A1} - V_S)/2) \cdot (V_{A1} - V_S) \\ = \beta_{MP2} \cdot (V_1 - |V_{TP}(V_1)| - (V_1 - V_{A1})/2) \cdot (V_1 - V_{A1}) \quad (2.17)$$

eşitliğinden hesaplanacak V_{A1} geriliminin tranzistörlerden birinin akım bağıntısında kullanılması ile bulunabilir.

c) $V_1 \leq V_S < V_1 + V_{TN}(V_1)$ aralığında girişten V_1 kaynağına doğru akım akar. M_{N4} tranzistörü için doymalı çalışma sınırı

$$V_{GS} - V_{TN} = V_{DS} \Rightarrow V_2 - V_{A1} - V_{TN}(V_{A1}) = V_S - V_{A1} \Rightarrow V_S = V_2 - V_{TN}(V_{A1}) \\ \Rightarrow V_S = 2 \cdot V_1 - V_{TN}(V_{A1})$$

M_{N4} tranzistörü $V_S < 2 \cdot V_1 - V_{TN}(V_{A1})$ için doymasız, $V_S > 2 \cdot V_1 - V_{TN}(V_{A1})$ için ise doymalı çalışmaktadır.

M_{P2} tranzistörünün çalışması incelenirse

$$V_{SG} - |V_{TP}| > V_{SD} \Rightarrow V_{A1} - |V_{TP}(V_2 - V_{A1})| > V_{A1} - V_1 \Rightarrow V_1 > |V_{TP}(V_2 - V_{A1})|$$

koşulu gereği sürekli olarak doymasız çalıştığı görülür. Bu koşullar kullanılarak

c.1) $V_1 \leq V_S < 2 \cdot V_1 - V_{TN}(V_{A1})$ aralığında çıkış akımı

$$I_S = \beta_{MN4} \cdot (V_2 - V_{A1} - V_{TN}(V_{A1}) - (V_S - V_{A1})/2) \cdot (V_S - V_{A1}) \\ = \beta_{MP2} \cdot (V_{A1} - |V_{TP}(V_2 - V_{A1})| - (V_{A1} - V_1)/2) \cdot (V_{A1} - V_1) \quad (2.18)$$

eşitliğinden hesaplanacak V_{A1} gerilimi kullanılarak bulunabilir.

c.2) $2 \cdot V_1 - V_{TN}(V_{A1}) < V_S < V_1 + V_{TN}(V_1)$ aralığının varlığı ise $V_1 < V_{TN}(V_1) + V_{TN}(V_{A1})$ olması durumunda söz konusudur. (2.14) bağıntısı ve daha önce verilen eşik gerilimi ve gövde etkisi parametrelerine ait değerler bu koşulu sağlamaktadır. Bu durumda M_{N4} doymasız, M_{P2} ise doymalı çalışmakta olup çıkış akımı

$$I_S = \beta_{MN4} \cdot (V_2 - V_{A1} - V_{TN}(V_{A1}))^2 / 2 \\ = \beta_{MP2} \cdot (V_{A1} - |V_{TP}(V_2 - V_{A1})| - (V_{A1} - V_1)/2) \cdot (V_{A1} - V_1) \quad (2.19)$$

bağıntısından hesaplanabilir.

d) $V_1 + V_{TN} (V_1) \leq V_S < V_2$ aralığında (b)'de yapılan incelemeye benzer sonuçlar elde edilir:

d.1) $V_1 + V_{TN} (V_1) \leq V_S < V_1 + |V_{TP} (V_1)|$ için

$$I_S = \beta_{MP4} . (V_1 - |V_{TP} (V_1)|)^2 / 2 \quad (2.20)$$

d.2) $V_1 + |V_{TP} (V_1)| \leq V_S < V_2$ için

$$\begin{aligned} I_S &= \beta_{MN6} . (V_{DD} - V_S - V_{TN} (V_S) - (V_{A2} - V_S) / 2) . (V_{A2} - V_S) \\ &= \beta_{MP4} . (V_1 - |V_{TP} (V_1)| - (V_2 - V_{A2}) / 2) . (V_2 - V_{A2}) \end{aligned} \quad (2.21)$$

e) $V_2 \leq V_S < V_2 + V_{TN} (V_2)$ aralığında (c)'deki incelemeye benzer sonuçlar elde edilir:

e.1) $V_2 \leq V_S < V_{DD} - V_{TN} (V_{A2})$ için

$$\begin{aligned} I_S &= \beta_{MN6} . (V_{DD} - V_{A2} - V_{TN} (V_{A2}) - (V_S - V_{A2}) / 2) . (V_S - V_{A2}) \\ &= \beta_{MP4} . (V_{A2} - |V_{TP} (V_{DD} - V_{A2})| - (V_{A2} - V_2) / 2) . (V_{A2} - V_2) \end{aligned} \quad (2.22)$$

e.2) $V_{DD} - V_{TN} (V_{A2}) \leq V_S < V_2 + V_{TN} (V_2)$ için

$$\begin{aligned} I_S &= \beta_{MN6} . (V_{DD} - V_{A2} - V_{TN} (V_{A2}))^2 / 2 \\ &= \beta_{MP4} . (V_{A2} - |V_{TP} (V_{DD} - V_{A2})| - (V_{A2} - V_2) / 2) . (V_{A2} - V_2) \end{aligned} \quad (2.23)$$

f) $V_2 + V_{TN} (V_2) \leq V_S \leq V_{DD}$ aralığında M_{P6} tranzistörünün doymasız çalışma koşulu

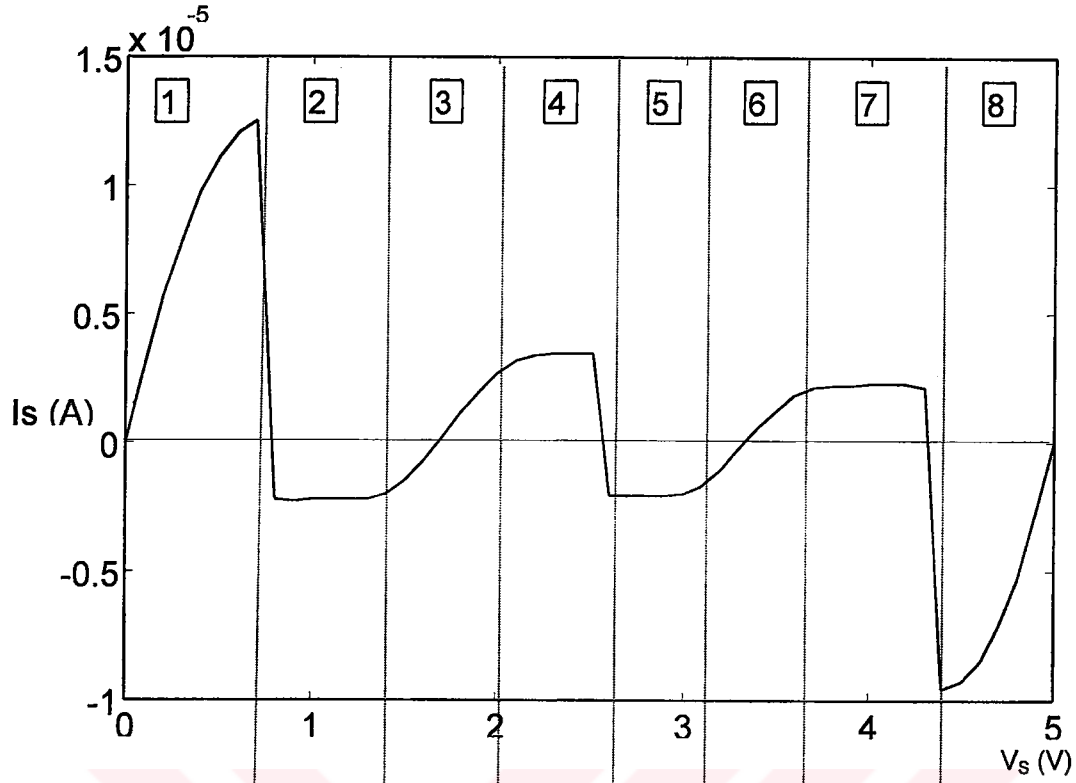
$$V_{SG} - |V_{Tp}| > V_{SD} \Rightarrow V_{DD} - V_2 - |V_{TP0}| > V_{DD} - V_S \Rightarrow V_{TN} (V_2) > |V_{TP0}|$$

sonucunu vermektedir. Kullanılan süreç parametreleri bu koşulu sağladığından devrenin akıttığı akım

$$I_S = \beta_{MP6} . (V_1 - |V_{TP0}| - (V_{DD} - V_S) / 2) . (V_{DD} - V_S) \quad (2.24)$$

bağıntısı ile hesaplanabilir.

Yukarıdaki inceleme sonuçları Şekil 2.7'de özetlenmiştir.



M_{N2}	DS	K	K	K	K	K	K	K
M_{P2}	K	DL	DS	DS	DS	DS	DS	DS
M_{N4}	DS	DS	DS	DL	K	K	K	K
M_{P4}	K	K	K	K	DL	DS	DS	DS
M_{N6}	DS	DS	DS	DS	DS	DS	DL	K
M_{P6}	K	K	K	K	K	K	K	DS

Şekil 2.7 Dört düzeyli bellek yapısının SPICE benzetimi ile elde edilen akım-gerilim özeğrisi ve yol tranzistörlerinin çalışma durumlarının giriş gerilimine bağlı olarak değişimi (K: Kesim, DS:Doymasız, DL:Doymalı).

Buradan görülebileceği gibi devrenin, yol tranzistörlerinin çalışma durumlarına göre sınıflandırılabilir sekiz çalışma bölgesi bulunmaktadır. Birinci bölgede M_{N2} tranzistörü, sekizinci bölgede ise M_{P2} tranzistörü doymasız çalıştılarından, bu bölgelerde akan I_s akımının değeri diğer bölgelere göre çok daha büyük olmaktadır. I_s akımı, ikinci bölgede doymalı çalışan M_{P2} , beşinci bölgede ise doymalı çalışan M_{P4} tranzistörleri tarafından sınırlanmaktadır. Bu bölgelerde M_{N4} ve M_{N6} tranzistörlerinin akım değerini belirleyici bir etkileri yoktur. Dördüncü bölgede doymasız çalışan M_{P2} ve doymalı çalışan M_{N4} tranzistörleri beraberince akan akımı belirlerken, benzer durum yedinci bölgede doymasız çalışan M_{P4} ve doymalı çalışan M_{N6} tranzistörleri için de geçerlidir. Yedinci bölgedeki akımın dördüncü bölgedekinden daha küçük değere sahip olmasının nedeni, M_{N6} tranzistörünün

M_{N4} 'e göre daha büyük taban-kaynak kutuplamasına, dolayısı ile daha büyük eşik gerilimine sahip olmasıdır. I_S akımının ikinci, dördüncü, beşinci ve yedinci bölgelerde V_S geriliminden bağımsız olması bu bölgelerde sırasıyla M_{P2} , M_{N4} , M_{P4} , M_{N6} tranzistörlerinin doymalı çalışmalarından kaynaklanmaktadır.

2.4 Tranzistör Boyutlarının Belirlenmesi

Yukarıda yapılan analizin ışığında, bellek gözesinin genel bir uygulamada nasıl tasarlanacağı aşağıda kısaca açıklanmıştır:

Birinci bölgede akan akım V_S geriliminin bir fonksiyonudur ve en büyük değerine $V_S = V_{TN0}$ değeri için ulaşmaktadır. Bu koşulun ve $\beta=(W/L)\mu C_{OX}$ eşitliğinin (2.15) bağıntısında kullanılması ile, birinci bölgede akması hedeflenen en büyük akım değerine bağlı olarak M_{N2} tranzistörünün boyutu

$$(W/L)_{MN2} = \frac{2 \cdot (I_{S1})_{\max}}{\mu_n C_{OX} \cdot (2 \cdot V_1 - 3 \cdot V_{TN0}) \cdot V_{TN0}} \quad (2.25)$$

şeklinde bulunur. Bu bağıntıda μ_n [$\text{cm}^2 / \text{V.s}$] elektron mobilitesi, C_{OX} [F/cm^2] ise birim alan başına oksit kapasitesidir.

İkinci bölgede akması hedeflenen V_S geriliminden bağımsız akımın değerine bağlı olarak M_{P2} tranzistörünün boyutu (2.16) bağıntısından

$$(W/L)_{MP2} = \frac{2 \cdot (I_{S2})_{\max}}{\mu_p C_{OX} \cdot (V_1 - |V_{TP}(V_1)|)^2} \quad (2.26)$$

olarak hesaplanabilir. Burada μ_p [$\text{cm}^2 / \text{V.s}$] delik mobilitesidir.

Dördüncü bölgede akacak akımı belirleyen M_{N4} tranzistörünün boyutunu bulmak için, öncelikle, (2.19) eşitliğindeki M_{P2} tranzistörüne ait akım bağıntısının yeniden düzenlenmesi ile elde edilen

$$V_{A1} = \sqrt{2(I_{S4})_{\max} / \beta_{MP2} + V_1^2 + 2(V_{A1} - V_1) \cdot |V_{TP}(V_2 - V_{A1})|} \quad (2.27a)$$

kapalı bağıntısından, (2.26)'da belirlenen β_{MP2} değerini de kullanarak, V_{A1} gerilimini hesaplamak gerekmektedir. Bu değer (2.19)'da M_{N4} tranzistörüne ait akım bağıntısında kullanılması ile, tranzistörün boyutu

$$(W/L)_{MN4} = \frac{2 \cdot (I_{S4})_{\max}}{\mu_n C_{OX} \cdot (V_2 - V_{A1} - V_{TN}(V_{A1}))^2} \quad (2.27b)$$

olarak bulunabilir.

Beşinci bölgede akacak akımı belirleyen M_{P4} tranzistörünün boyutu, (2.20) bağıntısından

$$(W/L)_{MP4} = \frac{2 \cdot (I_{S5})_{\max}}{\mu_p C_{OX} \cdot (V_1 - |V_{TP}(V_1)|)^2} \quad (2.28)$$

olarak hesaplanabilir. Bu değer (2.23)'ün yeniden düzenlenmesi ile elde edilen

$$V_{A2} = \sqrt{2(I_{S7})_{\max} / \beta_{MP4} + V_2^2 + 2(V_{A2} - V_2) \cdot |V_{TP}(V_{DD} - V_{A2})|} \quad (2.29a)$$

kapalı bağıntısında kullanılması ile bulunacak V_{A2} gerilimine bağlı olarak, yedinci bölgede akacak akımı belirleyen M_{N6} tranzistörünün boyutu

$$(W/L)_{MN6} = \frac{2 \cdot (I_{S7})_{\max}}{\mu_n C_{OX} \cdot (V_{DD} - V_{A2} - V_{TN}(V_{A2}))^2} \quad (2.29b)$$

şeklinde belirlenebilir.

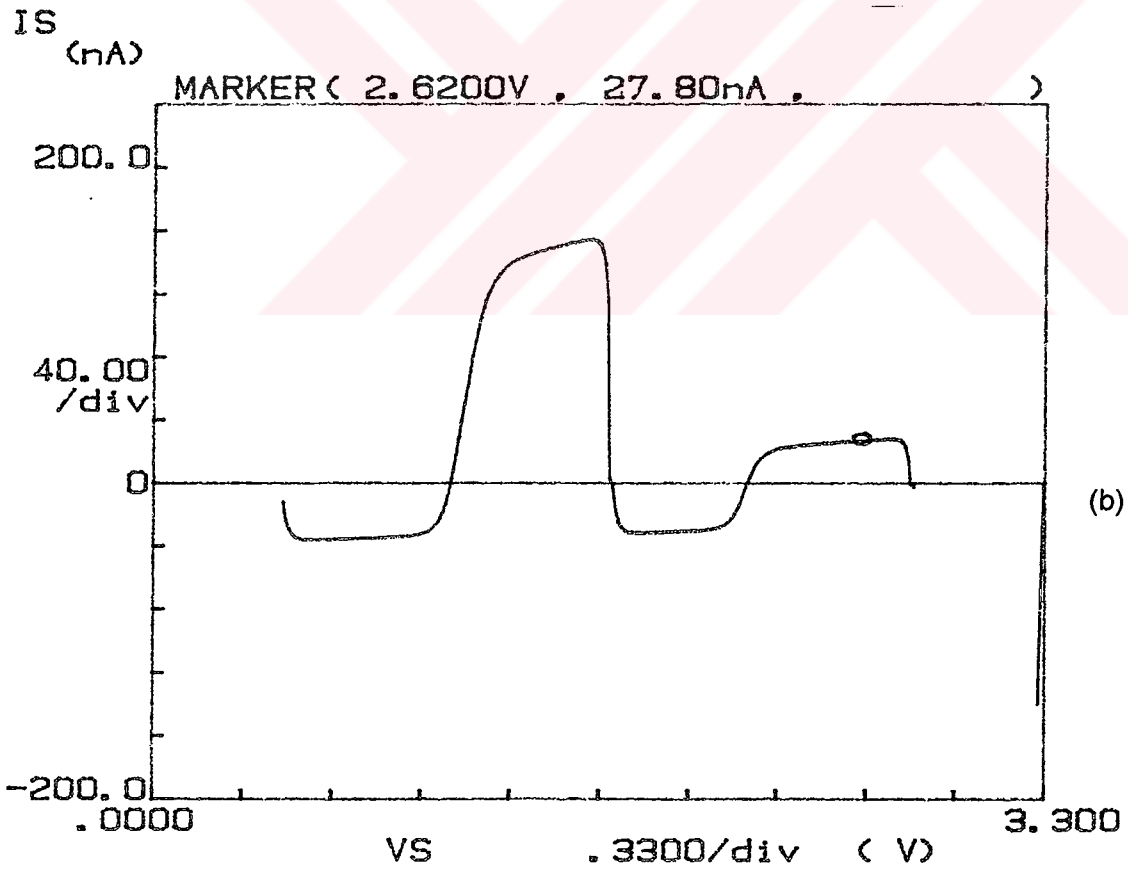
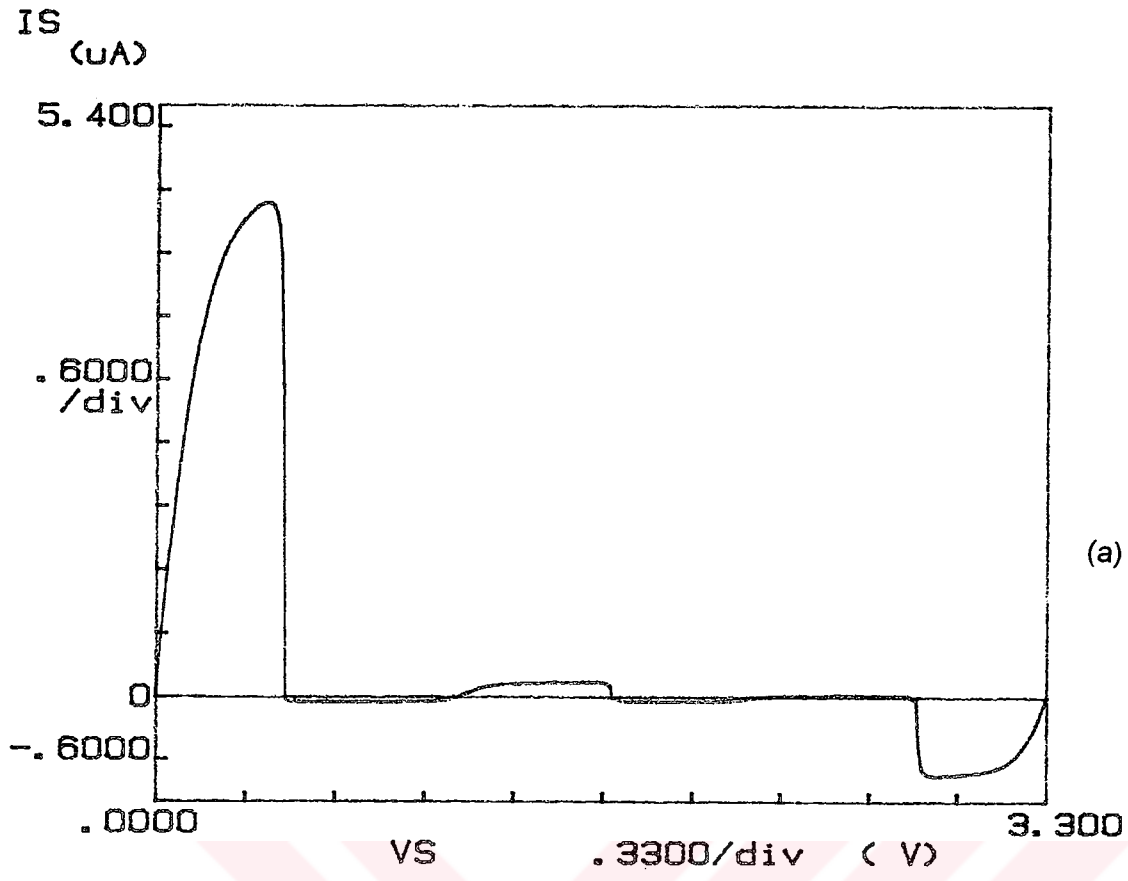
Sekizinci bölgede M_{P6} tranzistörü tarafından belirlenen akım V_S geriliminin bir fonksiyonu olup, $V_S = V_2 + V_{TN}(V_2)$ için en büyük değerini almaktadır. Bu koşulun (2.24) bağıntısında kullanılması ile M_{P6} tranzistörünün boyutu

$$(W/L)_{MP6} = \frac{2 \cdot (I_{S8})_{\max}}{\mu_p C_{OX} \cdot (V_1 + V_{TN}(V_2) - 2|V_{TP0}|)(V_1 - V_{TN}(V_2))} \quad (2.30)$$

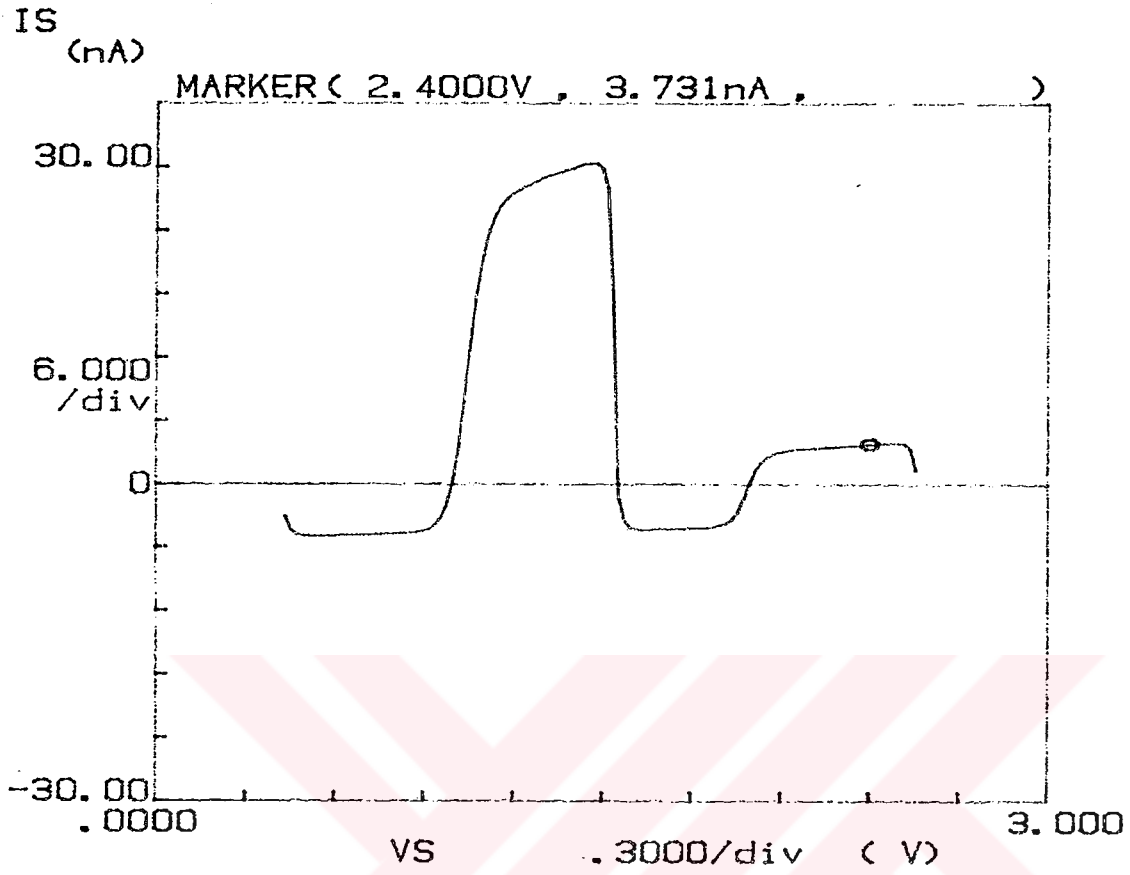
olarak hesaplanabilir.

2.5 Düzey Sayısının Arttırılması

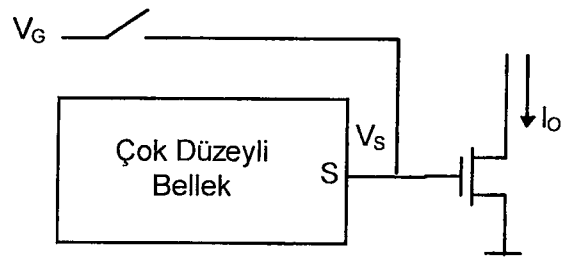
Dört düzeyli bellek yapısına uygulanabilecek en küçük lojik düzey gerilimleri Bölüm 2.2'de belirlenmişti. Devrenin bu değerlerden daha küçük düzey gerilimleri ile beslendiği durumunda da işlevini yerine getirmeyi sürdürdüğü görülebilir. Yapının 0V, 1.1V, 2.2V ve 3.3V'luk lojik düzey gerilimleri ile çalıştırılması durumunda ölçülen akım-gerilim eğrisi Şekil 2.8'de verilmiştir. Bu durumda yol tranzistörleri eşik altında çalıştıklarından çok küçük akımlar akıtmaktadırlar. Şekil 2.8b'de bu küçük akım bölgesi daha ayrıntılı olarak çizdirilmiş olup akan akımın 27nA mertebesinde olduğu görülmektedir. Şekil 2.9'da ise bellek yapısı 0V, 1V, 2V ve 3V'luk lojik düzey gerilimleri ile çalıştırılmıştır ve devrenin akıttığı en küçük akım 4nA mertebesinde dir. Bu küçük akım değerleri nedeniyle bellek, çıkışına bağlı bir yükü sürüp çıkışını istediği konuma getiremez. Buna karşın bellek, dışarıdan uygulanan bir kaynak ile kararlı konumlarından birine getirilip bırakıldığında sürekli olarak bu konumunu koruyacaktır. Çünkü bellekten akan küçük akımlar parazitik akımları yenecek kadar büyüktür. Çok düzeyli bellek yapısına yazma ve okuma Şekil 2.10'daki gibi yapılabilir. Anahtarının iletme girmesi ile V_G giriş gerilimi bellek yapısının S saklama ucuna ve NMOS tranzistörün geçitine uygulanır. Anahtarın kesime girmesi ile veri, NMOS tranzistörün geçit kapasitesinde saklanır. Kaçak akımlar nedeniyle kapasite ancak belleğin kararlı konumlarından birine kadar boşalabilir. Bellek akımı kaçak akımları bastırarak kapasite geriliminin bu değer altına inmesine izin vermeyecektir. Bellekte tutulan veri NMOS tranzistörün akımı şeklinde dışardan okunabilir. Çok düzeyli bellek yapısının bu şekilde çalıştırıldığı durumda 3V besleme gerilimine dört düzey sığdırılmaktadır. Dolayısı ile 5V besleme gerilimi kullanıldığında, devre altı düzey tutabilir duruma gelmektedir.



Şekil 2.8 (a) Çok düzeyli bellek yapısının 0V,1.1V,2.2V ve 3.3V lojik düzey gerilimleri ile beslenmesi durumunda akım-gerilim özeğrisi, (b) Eğrinin küçük akım bölgesi.



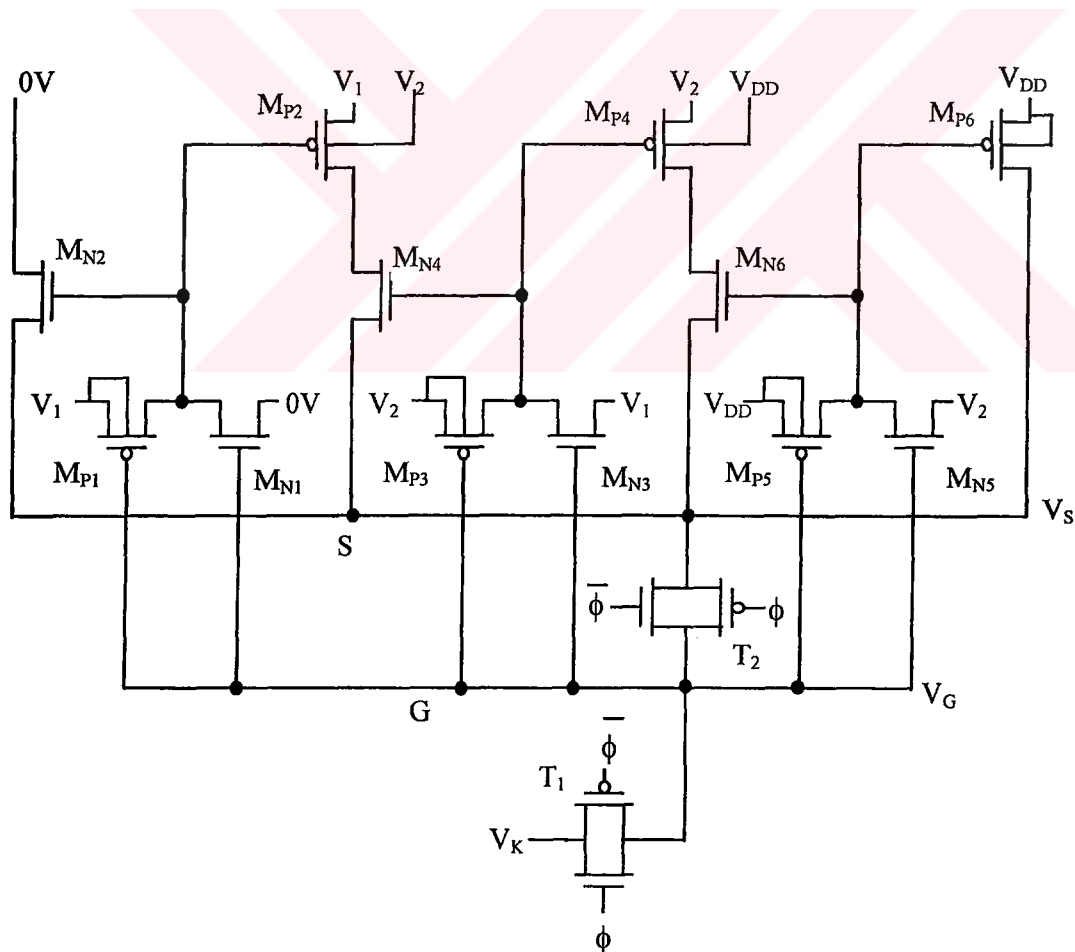
Şekil 2.9 Çok düzeyli bellek yapısının 0V,1V,2V ve 3V lojik düzey gerilimleri ile beslenmesi durumunda akım-gerilim özdeşliğinin küçük akım bölgesi.



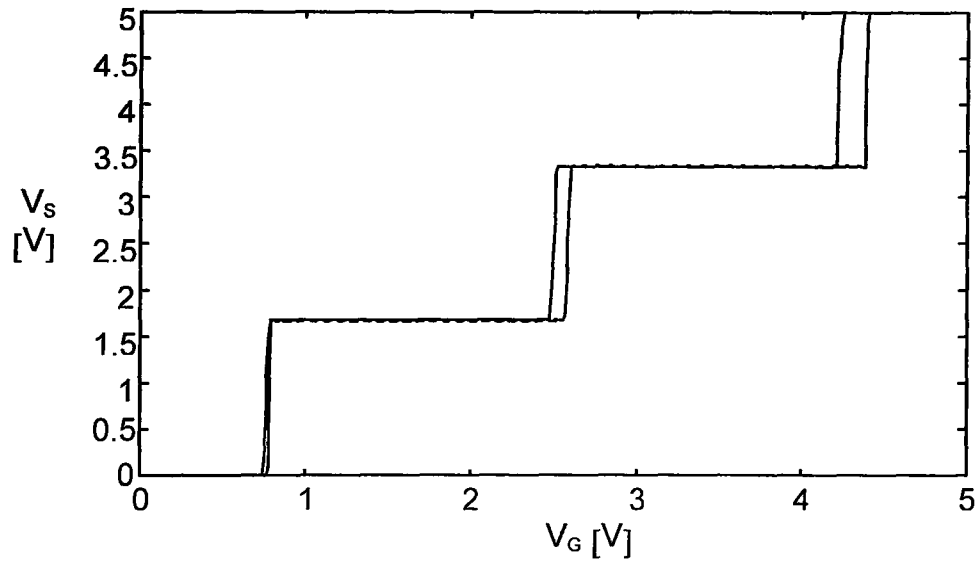
Şekil 2.10 Çok düzeyli bellek yapısına ağırlık katsayısı yazılması ve okunması.

2.6 Bellek Yapısında Giriş-Çıkışın Ayrılması

Bellek yapısının S saklama düğümüne bağlanan kaynaktan akım çekmesini engellemek amacıyla, yapının girişi çıkışından Şekil 2.11’de görüldüğü gibi bir transmisyon kapısı ile ayrılmıştır. Belleğe veri yazılacağı zaman T_1 iletime, T_2 kesime girmektedir. Bu durumda yapı, dört düzeyli kuantalayıcı olarak çalışmakta olup simülasyonla hesaplanan gerilim geçiş özeğrisi Şekil 2.12’de verilmiştir. Bu şekilde görülen histeresizin ilk kattan son kata doğru gittikçe artması, eviricilerdeki NMOS tranzistörlerin gövde etkilerinin büyümesinden kaynaklanmaktadır. Veri uygulandıktan sonra T_1 kesime girmekte, T_2 iletime geçerek belleğin girişini çıkışına kısa devre etmektedir. Böylece kuantalanmış veri girişe uygulanarak saklama işlemi gerçekleştirilmektedir.



Şekil 2.11 Bellek yapısının girişi çıkışından T_2 transmisyon kapısı ile ayrılmıştır.



Şekil 2.12 Belleğin kuantalayıcı olarak çalışma sırasındaki gerilim geçiş eğrisi.

3. KOHONEN TÜRÜ VEKTÖR SINIFLANDIRICI

3.1 Sınıflandırıcının Genel Yapısı

Geliştirilen dört düzeyli bellek yapısı, çok boyutlu verileri denetimli ve denetimsiz olarak öğrenme ve sınıflama yeteneklerine sahip bir vektör sınıflandırıcı gerçekleştirilmesinde kullanılmıştır. Üretilen devre 5 boyutlu giriş vektörlerini 4 sınıfa ayırmakta olup, $5 \times 4 = 20$ elemanlı bir matristen oluşmuştur. Her sınıf bir hücre tarafından temsil edilmekte, hücrenin ağırlık katsayıları temsil edilen sınıfın ağırlık merkezinin koordinatlarını oluşturmaktadır. Devreye bir giriş vektörü uygulandığında, en yakın ağırlık merkezine sahip hücre çıkışını lojik '1' düzeyine yükselterek girişin ait olduğu sınıfı belirtmektedir. Öğrenme, bu hücrenin ağırlık merkezini girişe yaklaştıracak şekilde ağırlık katsayılarını uyarlamasıyla gerçekleşmektedir. Bu uygulamada Kohonen tarafından önerilen 'öğrenen vektör kuantalama' algoritması bazı yaklaşıklıklarla gerçekleştirilmiştir.

Kohonen tarafından geliştirilen öz-düzenlemeli yapay sinir ağı modeli [52], gerek çok sayıda teorik incelemenin konusunu oluşturmuş [53 - 64], gerekse konuşma tanıma, optimizasyon, robot kol denetimi, örüntü sınıflandırma gibi farklı uygulama alanlarında kullanılmıştır [65 - 67]. Kohonen algoritmasının tümleştirilmesine yönelik çeşitli çalışmalar gerçekleştirilmiştir [68 - 74].

Kohonen tarafından önerilen yapay sinir ağı modelinde, n adet hücrede saklı m boyutlu w_{ij} ağırlık vektörleri ile m-boyutlu $(x_1, x_2, \dots, x_m)$ giriş vektörü arasındaki uzaklıklar

$$d_j(k) = \sum_{i=1}^m (x_i(k) - w_{ij}(k))^2 \quad j = 1, \dots, n \quad (3.1)$$

şeklinde hesaplanarak, en kısa uzaklığa sahip olan, başka bir deyişle giriş vektörüne en yakın ağırlık vektörüne sahip olan hücre

$$d_{j^*} = \min_j (d_j) \quad (3.2)$$

bulunur. Burada k zaman indeksini, j^* ise kazanan hücrenin indisini göstermektedir. Kazanan hücre ve onun $N_{j^*}(k)$ komşuluğundaki hücrelerin ağırlık katsayıları

$$w_{ij}(k+1) = w_{ij}(k) + \alpha(k) \cdot (x_i(k) - w_{ij}(k)) \cdot \gamma_j(k) \quad (3.3)$$

bağıntısı yardımı ile uyarlanır. Buradan görüldüğü gibi, $w_{ij}(k)$ ağırlık katsayısına $(x_i(k) - w_{ij}(k))$ farkı ile orantılı bir terim eklenerek yeni ağırlık katsayısının $x_i(k)$ giriş değerine bir miktar yaklaşması sağlanmaktadır. Yaklaşma miktarı $\alpha(k)$ öğrenme hızı katsayısı ile belirlenmektedir. Öğrenme süreci başlangıcında 1'e yakın bir değere sahip olan bu katsayı, sürecin yakınsama aşamasında küçük değerler almaktadır. $\gamma_j(k)$ katsayısı ise hangi hücrelerin ağırlık katsayılarının uyarlanacağını belirlemekte ve $N_{j^*}(k)$ zamanla boyutu azalan bir komşuluk fonksiyonu olmak üzere

$$\begin{aligned} \gamma_j(k) &= 1 & j &\in N_{j^*}(k) \\ \gamma_j(k) &= 0 & j &\notin N_{j^*}(k) \end{aligned} \quad (3.4)$$

olarak tanımlanmaktadır. Bu tanıma göre, girişle en fazla benzerliğe sahip j^* hücresi ve onun $N_{j^*}(k)$ komşuluğundaki hücreler için $\gamma_j(k)$ katsayısı 1 değerini almakta ve dolayısı ile yalnızca bu hücrelerin ağırlık katsayıları değişime uğramaktadır. $N_{j^*}(k)$ komşuluk fonksiyonunun boyutu, öğrenme süreci başlangıcında bütün ağın yarısını kaplayacak kadar büyükken, yakınsama aşamasında kazanan hücrenin yalnızca en yakın komşularını içine alacak şekilde küçülmektedir. Kazanan hücre ile beraber komşu hücrelerin de ağırlık katsayılarını girişe yaklaştırılmaları; topolojik olarak yakın hücrelerin fiziksel olarak benzer girişlere duyarlı hale gelmesine yol açmakta, bu durum da Kohonen'in öz-düzenlemeli ağının topoloji koruma özelliğini oluşturmaktadır.

Gerçekleştirilen tümleştirme uygulamasında, yukarıda verilen bağıntılarda bazı yaklaşıklıklara gidilmiştir :

a) Giriş vektörü ile hücre ağırlık vektörleri arasındaki uzaklıkların bulunmasında $(x_i(k) - w_{ij}(k))$ farkının karelerinin toplamı yerine, mutlak değerlerinin toplamı hesaplanmıştır [70]:

$$d_j(k) = \sum_{i=1}^m |x_i(k) - w_{ij}(k)| \quad j = 1, \dots, n \quad (3.5)$$

Bu değışikliğin nedeni, gerileme dayalı olarak gerçekleştirilen uzaklık hesabında kare alma işleminin zorluğundan kurtulmaktır. (3.5) ve (3.1)'de verilen uzaklık tanımları, alabilecekleri en büyük değerlere göre normalize edilip karşılaştırılırsa, yalnızca normalize 0 ve 1 değerleri için iki uzaklık hesabının aynı sonucu verdiği, bu noktalar dışında (3.5)'in normalize değerlerinin (3.1)'in normalize değerlerinden her zaman büyük olduğu görülebilir. Fark değerlerine göre hangi hücrenin giriş vektörüne daha yakın olduğuna karar verecek devrenin işlevini doğru yerine getirebilmesi için, girişlerine uygulanabilecek en küçük gerilimin belli bir değerden büyük olması gerekmektedir. Uzaklık hesabının (3.1) yerine (3.5) bağıntısı ile yapılarak daha büyük değerlerle çalışılması, bu devrenin çalışmasını olumlu yönde etkileyecektir.

b) Yalnızca girişle en fazla benzerliğe sahip j^* indisli hücrenin ağırlık katsayıları uyarlanmış, ona komşu hücrelerin ağırlık katsayıları değıştirilmemiştir :

$$\begin{aligned} \gamma_j &= 1 & j &= j^* \\ \gamma_j &= 0 & j &\neq j^* \end{aligned} \quad (3.6)$$

Gerek devrede basitlik sağlamak amacıyla gerekse devrenin yalnızca dört hücre içermesi nedeniyle yapılan bu değışiklik sonucunda, algoritmanın giriş uzayının topolojisini koruma özelliği kaybolmuştur. Bu durumda algoritma, bir öz-düzenlemeli ağ olma niteliğini yitirmiş, vektör kuantalama algoritmasına dönüşmüştür. Bu uygulamada üretilen tümdevre, Kohonen'in 'öğrenen vektör kuantlayıcı' algoritmasını gerçekleştirmektedir.

c) Ağırlık katsayılarının tutulduğu bellek elemanı dört düzeyli olduğu için, değışim genliği α en küçük değışim miktarı olan bir düzeylik değerde sabit tutulmuştur.

Bu değışiklikler sonucu (3.3) bağıntısı

$$w_{ij}(k+1) = w_{ij}(k) + \alpha \cdot \text{sign}(x_i(k) - w_{ij}(k)) \cdot \gamma_j \quad (3.7)$$

biçimini alır. Burada $\text{sign}(\cdot)$ işaret fonksiyonudur.

Şekil 3.1'de ; (3.5) , (3.2) , (3.6) ve (3.7)'de verilen bağıntıları gerçekleştirerek beş boyutlu giriş vektörlerini ($m=5$) dört sınıfa ($n=4$) ayıran Kohonen türü vektör

kuantalayıcı devrenin serimi verilmiştir. Devre 0V, $V_1 = 1.67V$, $V_2 = 3.33V$ ve $V_{DD} = 5V$ referans gerilimleri ile beslenmekte olup, X_1 , X_2 , X_3 , X_4 , X_5 çift yönlü analog giriş/çıkış uçları, O_1 , O_2 , O_3 , O_4 ise çift yönlü sayısal giriş/çıkış uçlarıdır. Devrenin ayrıca 'SAAT', 'BAŞLA' girişleri, ' K_1 ', ' K_2 ' kontrol girişleri ve 'BİTTİ' çıkışı bulunmaktadır. 'BAŞLA' girişine 0'dan 1'e çıkan bir işaret verildiğinde devre bir kere koşarak 'BİTTİ' çıkışında 1'den 0'a inip tekrar 1'e çıkan bir darbe üretmektedir. Devre, 'BAŞLA' girişine uygulanacak darbelerle adım adım koşturulabileceği gibi, 'BİTTİ' çıkışı 'BAŞLA' girişine kısa devre edilerek serbest olarak çalışması da sağlanabilir. ' K_1 ', ' K_2 ' kontrol girişlerine verilen değerlere bağlı olarak devrenin dört ayrı çalışma durumu vardır:

a) $K_1=0$, $K_2=0$ için devre sınıflama yaparken aynı zamanda kendi kendine öğrenmekte olup, (X_1 , X_2 , X_3 , X_4 , X_5) giriş vektörüne en yakın hücreyi belirleyerek, ilgili 'O' çıkışını lojik 1 düzeyine yükseltmekte ve hücrenin ağırlık katsayılarını giriş vektörüne yaklaştırmaktadır. Bu durumda, devre, aynı sınıfa ait herhangi iki vektör arasındaki uzaklık, farklı sınıflara ait vektörler arasındaki uzaklıktan daha kısa olacak şekilde giriş vektörlerini sınıflara ayırmakta ve bu sınıflar gelen giriş verilerine bağlı olarak kendiliğinden oluşmakta ve gelişmektedir.

b) $K_1=1$, $K_2=0$ için devre sadece sınıflama yapar, kazanan hücrenin ağırlık katsayılarını uyarlamaz, dolayısı ile öğrenme söz konusu değildir.

c) $K_1=0$, $K_2=1$ durumunda devre öğretici eşliğinde öğrenmekte olup, hücreler istenilen ağırlık merkezlerinin koordinatlarını öğrenmeye dışarıdan zorlanmaktadır. Bu durumda öğretici, giriş olarak çalışan 'O' uçlarından birine lojik 1 uygulayarak istediği hücreyi seçer ve öğretilecek ağırlık merkezine karşı gelen giriş vektörünü, hücrenin ağırlık katsayıları bu ağırlık merkezinin koordinatlarına yakınsayınca kadar sürekli olarak uygular. Benzer işlem diğer ağırlık merkezleri ve diğer hücreler için tekrarlanarak öğrenme tamamlanır.

Bu öğrenme adımı sonrasında, devre; (b)'deki gibi $K_1=1$, $K_2=0$ yapılarak çalıştırılırsa, önceden belirlenmiş ve sabit ağırlık merkezleri ile sınıflama yapması sağlanır. Devrenin kontrol girişlerine (a)'daki gibi $K_1=0$, $K_2=0$ uygulanarak sınıflandırırken öğrenme durumunda çalıştırılması, sınıfların ağırlık merkezlerinin öğretici tarafından başlangıçta verilen ilk değerler çevresinde gelişmesine yol açar.

d) $K_1=1$, $K_2=1$ durumu kullanıcının hücrelerin ağırlık katsayılarını okuyabilmesini sağlamaktadır. Bu durumda kullanıcı erişmek istediği hücreyi ilgili 'O' ucuna lojik 1

uygulayarak seçer ve bu hücrenin ağırlık katsayılarını çıkış olarak çalışan (X_1, X_2, X_3, X_4, X_5) uçlarından okuyabilir.

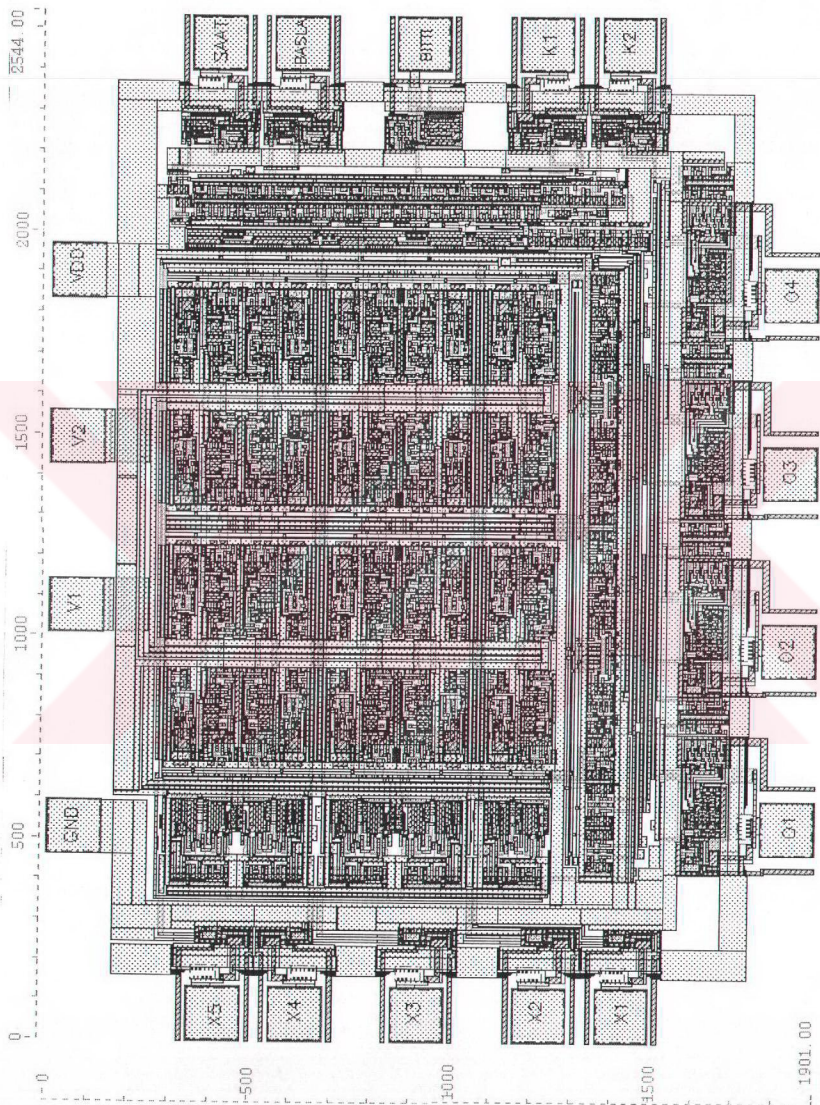
'BAŞLA', 'BİTTİ' ve ' K_1 ', ' K_2 ' uçları kullanılarak devre adım adım çalıştırılıp, her adımdaki ağırlık katsayılarının değişimi izlenebilir.

Devre TÜBİTAK-MAM-YİTAL'de $3\mu m$, çift poli, tek metal N-kuyu CMOS süreci kullanılarak üretilmiş olup kırmık resmi Şekil 3.2'de verilmiştir.

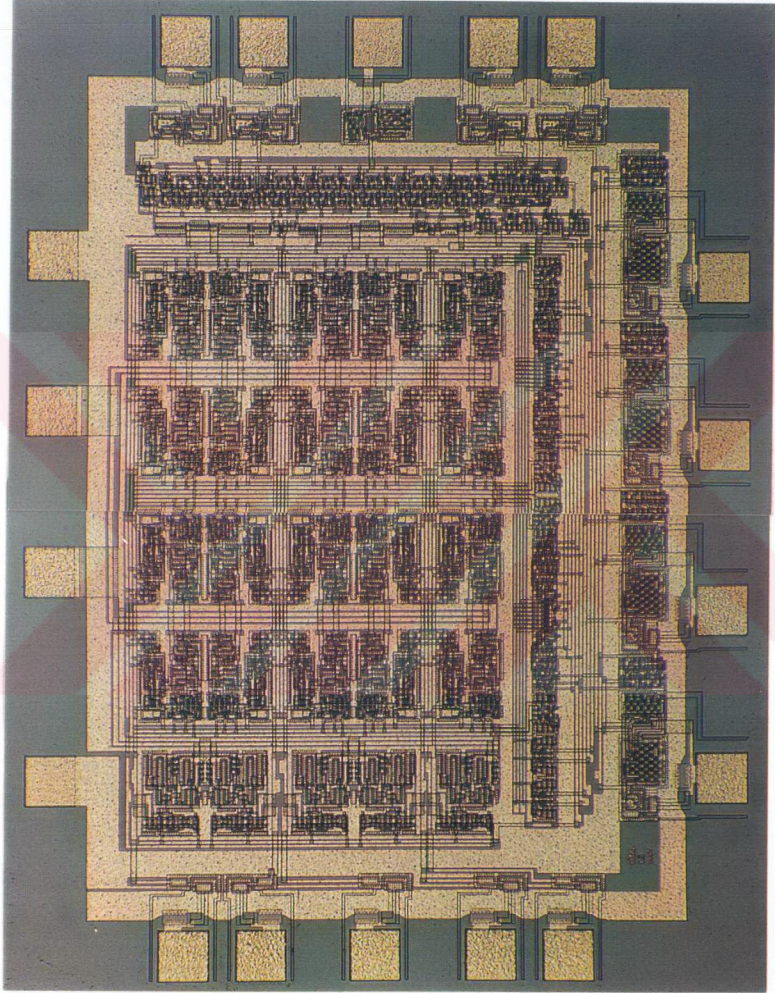
Vektör sınıflama devresinin blok yapısı Şekil 3.3'de gösterilmiştir. Devre, beş adet giriş kuantalayıcı/tutucu, hücrelerin ağırlık katsayılarının saklandığı ve giriş ile hücreler arasındaki benzerliklerin belirlendiği $5 \times 4 = 20$ elemanlı bir matris, girişine uygulanan dört gerilimden en küçüğünü seçen bir en küçüğü seçme devresi (WTA - Winner Take All) ve dört adet çıkış tutucusu ile kontrol bloğundan oluşmuştur. Geliştirilen dört düzeyli bellek (DSB) yapısı gerek giriş kuantalayıcı/tutucularında gerekse hücrelerin ağırlık katsayılarının saklanması için kullanılmıştır. Analog giriş vektörünün her (X_i) elemanı matrisin ayrı bir satırına kuantalanmış olarak (x_i) aktarılmaktadır. Matrisin her sütunu bir hücreyi oluşturmakta olup, hücrenin her elemanı bir mutlak fark alma yapısı ile (w_{ij}) ağırlık katsayısının tutulduğu dört düzeyli bellek yapısından oluşmaktadır. Bellek yapısına (x_i) giriş işareti ve (γ_j) uyarılma işareti uygulanmaktadır. Uyarılma girişi etkin hale getirildiği zaman, saklanan (w_{ij}) ağırlık katsayısı (x_i) giriş değerine doğru bir adım yaklaştırılarak (3.7) bağıntısının gerçekleştirilmesi sağlanmaktadır. Mutlak fark alma yapısı ise, girişlerine uygulanan (w_{ij}) ağırlık katsayısı ile giriş vektörünün ilgili elemanı (x_i) arasındaki uzaklığın mutlak değeri ($|x_i - w_{ij}|$) ile orantılı bir gerilim üretmektedir. Bu gerilimler sütunlar boyunca toplanarak (3.5) bağıntısı ile verildiği gibi her hücrenin giriş vektörüne olan uzaklığı hesaplanmaktadır. En küçüğü seçme yapısı, bu gerilimler arasında en küçüğünü, başka bir anlatımla girişe en yakın ağırlık merkezine sahip olan hücreyi belirleyerek (3.2) bağıntısını, daha sonra seçilen hücrenin uyarma girişini etkin hale getirerek de (3.6) bağıntısını gerçekleştirmektedir.

Kontrol bloğu, dışarıdan uygulanan 'SAAT' işaretinden Şekil 3.4'de verilen $\phi_1, \phi_2, \phi_3, \phi_4$ saat işaretlerini üretmekte, aynı zamanda ' K_1 ' ve ' K_2 ' girişlerine bağlı olarak devrenin çalışmasını denetlemektedir. Devre, sınıflandırırken öğrenme durumunda saat işaretlerine bağlı olarak aşağıdaki şekilde çalışmaktadır :

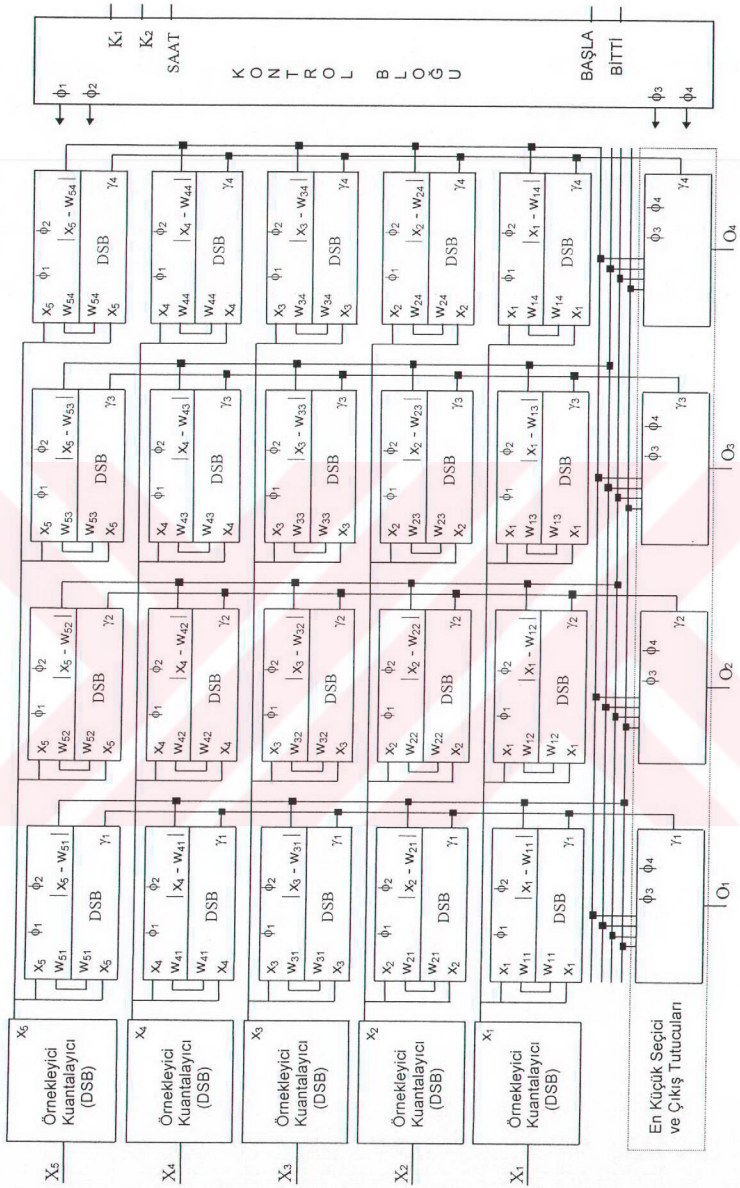
(X_1, X_2, X_3, X_4, X_5) analog giriş vektörü, ϕ_1 saat işareti lojik 1'de iken girişteki dört düzeyli bellek yapılarına uygulanarak kuantalanmakta ve ϕ_1 'in düşen kenarıyla



Şekil 3.1 Vektör sınıflandırıcı devrenin serimi.

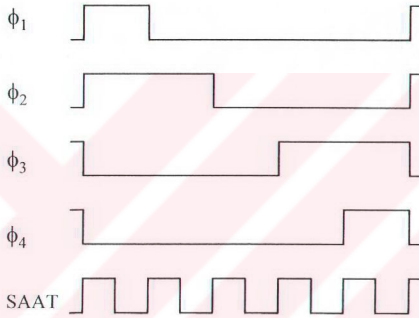


Şekil 3.2 Vektör sınıflandırıcının kırmık fotoğrafı.



Şekil 3.3 Vektör sınıflandırıcının blok yapısı.

tutulmaktadır. Kuantalanmış giriş vektörü mutlak fark alma yapılarına aktarılımakta ve bunların ürettikleri fark gerilimleri ϕ_2 'nin lojik 0'a inmesiyle sütunlar boyunca toplanarak, her hücrenin giriş vektörüne olan uzaklığı ile orantılı bir gerilim elde edilmektedir. Bu gerilimlerin uygulandığı en küçük seçme (WTA) yapısı, ϕ_3 saat işaretinin yükselmesi ile en düşük farka sahip olan hücreye karar vermekte ve sonuç ϕ_4 'ün yükselen kenarında çıkış tutucularına aktarılarak 'O' çıkışlarına verilmektedir. Aynı anda seçilen hücrenin uyarlama girişine (γ_j) ϕ_4 saat işareti uygulanarak, hücrenin ağırlık katsayılarının giriş vektörüne bir adım yaklaşması sağlanmaktadır.



Şekil 3.4. Kontrol bloğunda 'SAAT' girişi kullanılarak üretilen devre içi saat işaretleri.

Devre yalnızca sınıflandırma yapma durumunda çalışırken uyarlama işaretlerinin oluşmasına izin verilmeyerek seçilen hücrenin ağırlık katsayılarının değişmesi engellenmektedir.

Öğretici eşliğinde öğrenme durumunda ise, en küçük seçme devresinin belirlediği hücrenin uyarlama girişi yerine, öğreticinin dışarıdan 'O' uçları aracılığı ile seçtiği hücrenin uyarlama girişine ϕ_4 saat işareti uygulanmaktadır.

Ağırlık katsayılarının dışarıdan okunması istendiğinde ise devre, yapmakta olduğu işi bitirip 'BİTTİ' işaretini ürettikten sonra bekleme konumuna geçer. Bu durumda kullanıcı tarafından erişilmek istenilen hücreye ait 'O_j' ucuna uygulanan lojik 1 işareti (γ_j) uyarlama girişine aktarılarak hücrenin okuma boyunca seçili kalması sağlanır. Bu arada, Şekil 3.3'de gösterilmeyen bir kontrol işareti etkin hale gelerek dört düzeyli bellek yapısının (w_j) çıkışının (x_i) girişine kısa devre edilmesini sağlar.

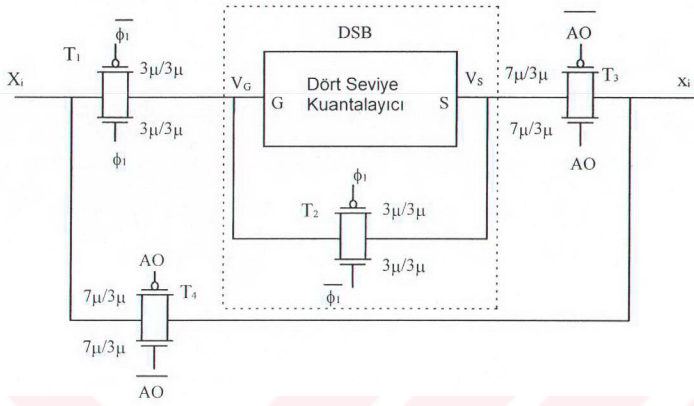
Böylece seçilen hücreye ait (w_{ij}) ağırlık katsayıları satırlara aktarılmış olur. Aynı kontrol işaretinin, giriş kuantalayıcı/tutucu yapılarını satırlardan ayırarak, satırları X_i uçlarına bağlaması ile (w_{ij}) ağırlık katsayıları X_i uçlarından okunabilir hale gelir.

Devreyi oluşturan yapılar aşağıda ayrı ayrı incelenmiştir.

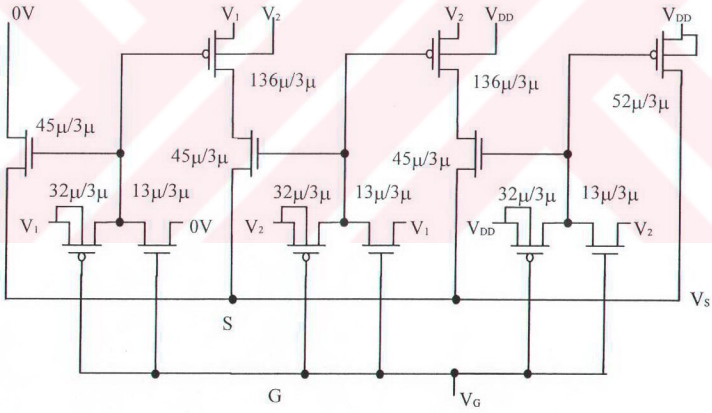
3.2 Giriş Örnekleyci/Kuantalayıcı

Analog giriş vektörünün örneklenmesi ve kuantalanmış olarak devreye uygulanması amacıyla dört düzeyli bellek yapısından yararlanılmıştır. Kullanılan yapı, seçilen tranzistör boyutlarıyla beraber Şekil 3.5'de gösterilmiştir. T_3 ve T_4 transmisyon kapıları ağırlık katsayısı okuma amacıyla kullanılmakta olup normal çalışma sırasında T_3 iletimde, T_4 ise kesimdedir. ϕ_1 saat işaretinin lojik 1'e yükselmesiyle X_i analog giriş işareti T_1 transmisyon kapısı aracılığı ile bellek yapısına uygulanmaktadır. Burada kuantalanan işaret sürekli iletimde bulunan T_3 üzerinden satıra aktarılmaktadır. ϕ_1 'in lojik 0'a gitmesi ile T_1 kesime girmekte, belleğin çıkışı, iletime geçen T_2 üzerinden girişine kısa devre edilerek işaretin tutulması sağlanmaktadır. Her bellek yapısı bağlı bulunduğu satırda dört adet bellek gözesi (ağırlık katsayılarını tutan) ve dört adet mutlak fark alma gözesi ile yaklaşık 0.5pF değerinde parazitik yol kapasitesi sürmektedir. İleride incelenecek mutlak fark alma devresinin yapısı gereği, bellek, çift poli kapasiteler üzerinden sütunları da sürebilecek akım akıtma yeteneğine sahip olmalıdır. Bellek yapısı, girişi çıkışına kısa devre durumda devreyi sürdürdüğü için, akıtılabileceğinden daha fazla akım çekilmesi, tuttuğu lojik düzeyin değişmesine yol açar. Birinci bölümdeki inceleme sırasında da görüldüğü gibi, dört düzeyli bellek yapısındaki PMOS yol tranzistörlerinin savak-geçit gerilimleri $V_{SG} = V_1 = 1.67V$ değerinde sabit olup eşik gerilimleri $V_{TP} = V_{TP}(V_1)$ de gövde etkisinden etkilenmektedir. Akım akıtma yeteneği bu nedenle sınırlı olan yapıdan istenilen akımları akıtılabilmek için Şekil 3.5'de görüldüğü gibi büyük boyutlu tranzistörler kullanılmıştır. Bellek yapısının SPICE benzetimi ile hesaplanan akım - gerilim özgeçisi Şekil 3.6'da verilmiştir.

Şekil 3.7'a'da rampa biçimindeki X_i giriş işaretinin, bellek yapısı tarafından ϕ_1 saat işareti ile örneklenmesi ve kuantalanması sonucu oluşan x_i satır geriliminin değişimi gösterilmiştir. x_i gerilimindeki ince sıçramalar, bellek yapısı çıkışının mutlak fark alma işlemi sırasında parazitik sütun kapasiteleri tarafından yüklenmesinden kaynaklanmaktadır. İleride değinileceği gibi, fark alma işleminin

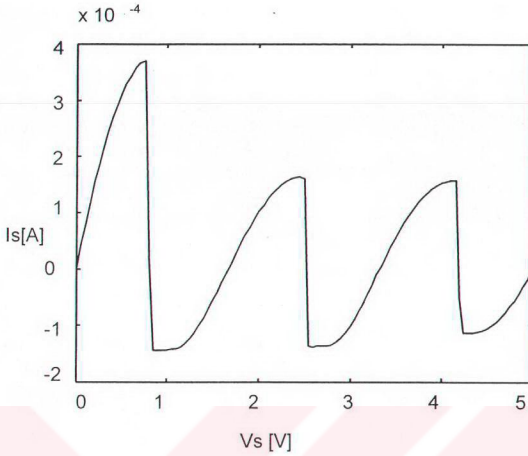


(a)



(b)

Şekil 3.5 (a) Geliştirilen dört düzeyli bellek yapısının giriş vektörünün örneklenip kuantalanması amacıyla kullanılması , (b) Kuantalayıcının transistör boyutları.



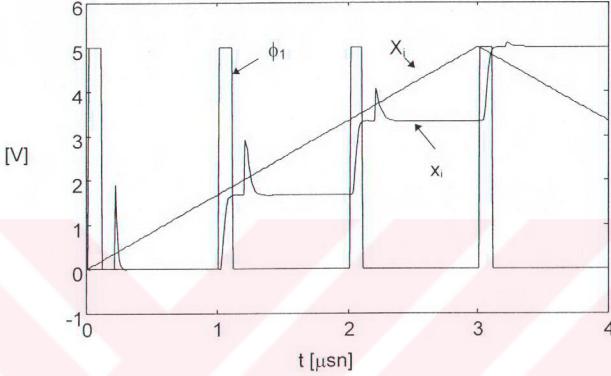
Şekil 3.6 Bellek yapısının akım-gerilim özeliği.

başında V_{DD} değerinde olan bu parazitik kapasitelerin gerilimleri, bellek yapısı tarafından x_i değerine doğru indirilmektedir. Dolayısı ile oluşan sıçramanın genliği bellekte saklanan değerin besleme geriliminden uzaklığı ile orantılıdır. En kötü durum olarak bellekte 0V tutulurken satırda oluşan sıçramanın genliği belleği bir üst düzeye geçirecek kadar büyük olmakla beraber, sıçrama süresinin kısıllığı buna izin vermemektedir. Ayrıca sürekli iletimde olan T_3 transmisyon kapısının direnci nedeniyle satırlarda oluşan bu sıçramalar bellek çıkışına zayıflayarak aktarılmaktadır (Şekil 3.7b).

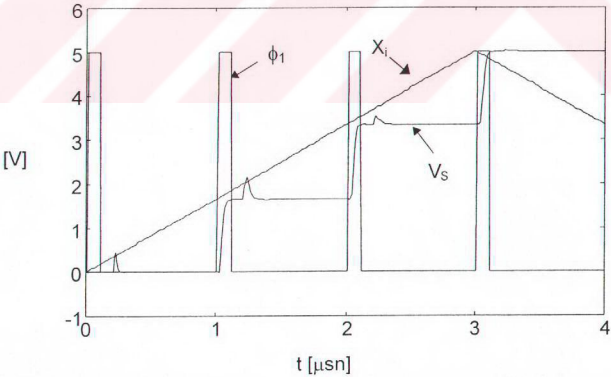
Hücre ağırlık katsayılarının okunması sırasında AO kontrol işaretine lojik 0 uygulanması ile T_3 kesime girerek bellek yapısının çıkışını satırdan ayırmaktadır. Aynı anda T_4 iletime girerek satırı girişe kısa devre etmektedir. Erişilen hücre tarafından satıra aktarılmış bulunan ağırlık katsayısı böylece girişten okunabilmektedir.

Giriş örnekleyici/kuantalayıcının üretilen test yapısı üzerinden gerçekleştirilen ölçümleri Şekil 3.8'de verilmiştir. Şekil 3.8a'da yapının girişine uygulanan üçgen biçimindeki bir işareti kuantalaması görülmektedir. Şekil 3.8.b'de ise kuantalayıcının giriş-çıkış özeliği gösterilmiştir.

Şekil 3.9'da vektör sınıflandırıcı devrede kullanılan giriş örnekleyci yapılarından iki tanesinin fotoğrafı görülmektedir. Yapı $220\mu\text{m} \times 160\mu\text{m}$ 'lik bir alan kaplamaktadır. Şekil 3.10'da ise dört düzeyli bellek hücresi, sınırlayıcı ve mutlak fark alıcıdan oluşan hücrenin genel görüntüsü verilmiştir.

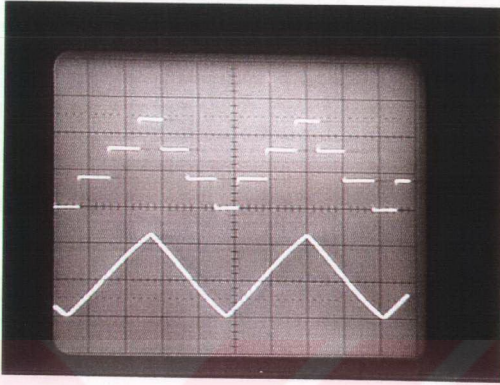


(a)

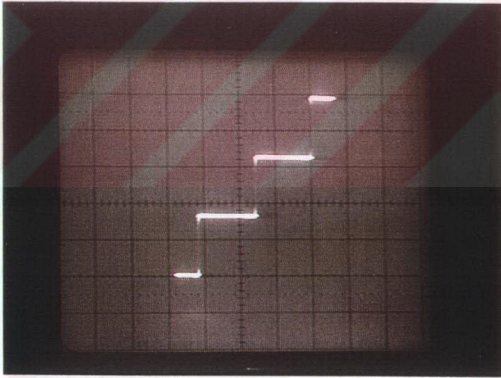


(b)

Şekil 3.7 Giriş işareti örnekleme ve mutlak fark alma işlemleri sırasında (a) satır geriliminin , (b) bellek çıkışının dalga şekilleri.

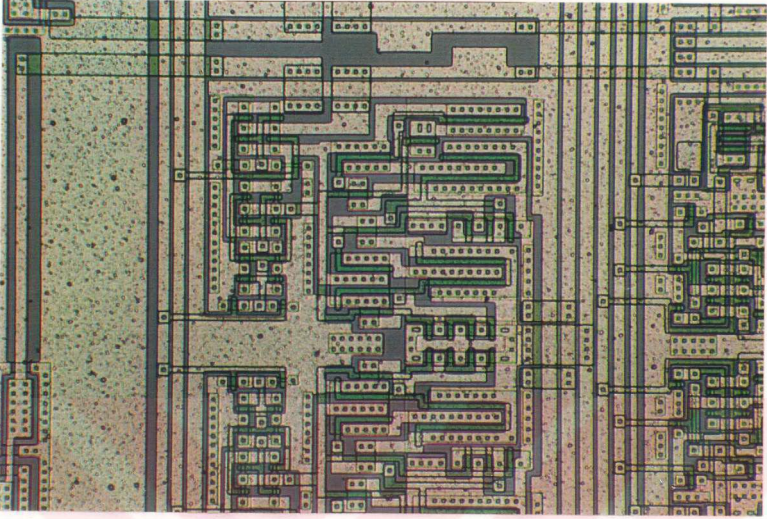


(a)

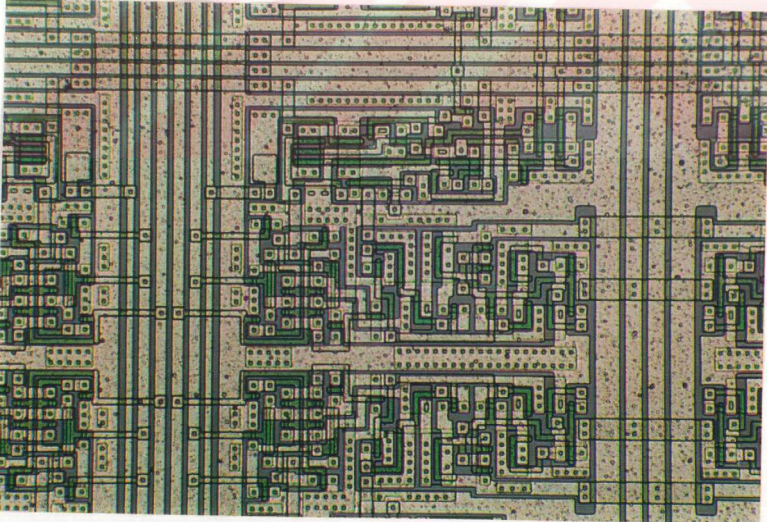


(b)

Şekil 3.8 (a) Üçgen dalga biçimindeki giriş işaretinin kuantalanması.
(b) Kuantalayıcının giriş-çıkış özeğrisi.



Şekil 3.9 Vektör sınıflandırıcıda kullanılan giriş örnekleyci yapılardan ikisinin görüntüsü.

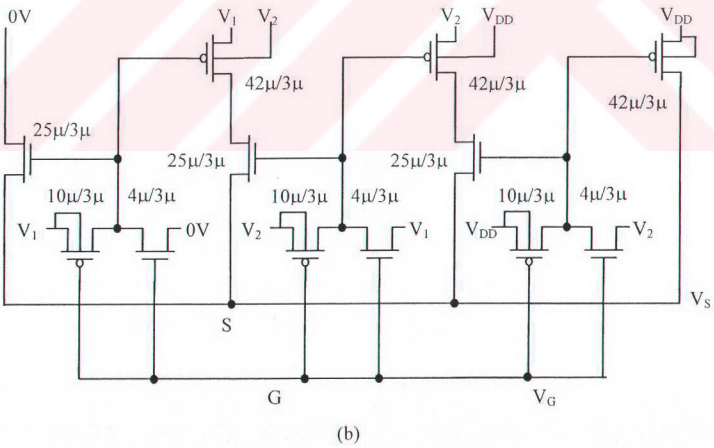
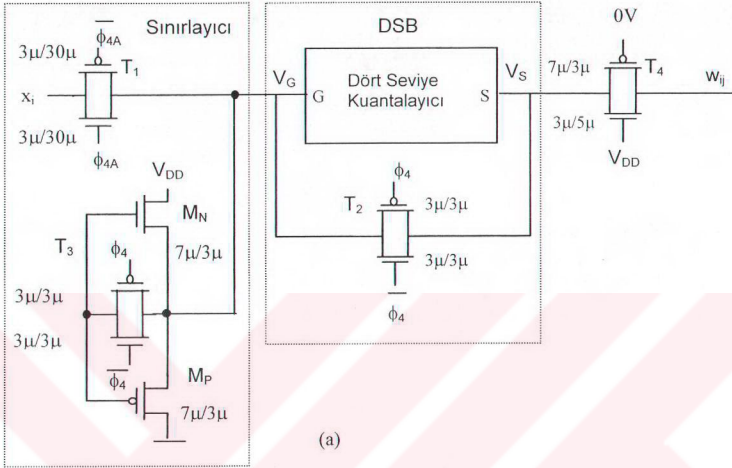


Şekil 3.10 Dört seviyeli bellek hücresi , sınırlayıcı ve mutlak fark alıcıdan oluşan hücrenin genel görüntüsü.

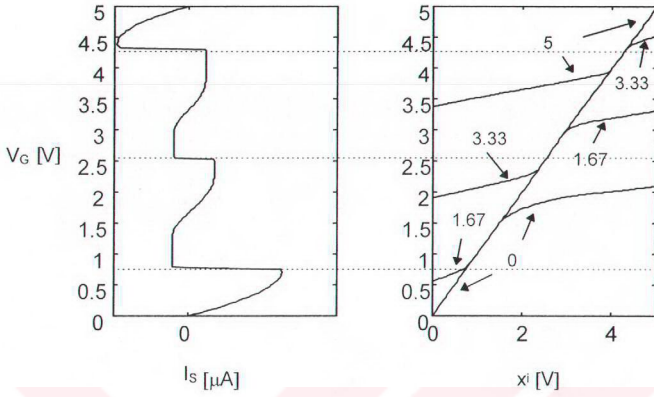
3.3 Ağırlık Katsayılarının Saklanması ve Uyarlanması

Ağırlık katsayılarının saklanması dört düzeyli bellek yapısından yararlanılmıştır. Uyarlama sırasında ağırlıkların değişme miktarının en küçük lojik düzey değeri $V_1 = 1.67V$ ile sınırlı tutulabilmesi amacıyla bellek yapısının girişine Şekil 3.11'de görüldüğü gibi bir sınırlayıcı kat eklenmiştir. Sınırlayıcı, T_1 ve T_3 transmisyon kapıları ile M_N ve M_P tranzistörlerinden oluşmuştur. ϕ_4 ve ϕ_{4A} ağırlık okuma dışında birbirinin aynısı iki işaret olup uyarlama yapılmadığı sürece $\phi_4 = \phi_{4A} = 0V$ 'dur. Bu durumda T_1 kesimde, T_2 ve T_3 iletimde olduklarından, bellekte tutulan $V_S(k)$ gerilimi kesimde olan M_N ve M_P tranzistörlerinin geçitlerine uygulanır. Uyarlama sırasında $\phi_4 = \phi_{4A} = 5V$ olur, T_1 iletime, T_2 ve T_3 kesime girer. Bu durumda $V_S(k)$ gerilimi M_N ve M_P tranzistörlerinin geçitlerinde dinamik olarak tutulurken giriş gerilimi $x_i(k)$ sınırlayıcıya uygulanır. $V_S(k) - V_{TN} < x_i(k) < V_S(k) + |V_{TP}|$ olduğu sürece M_N ve M_P tranzistörleri kesimde kalacaklarından belleğin giriş düğümü G' 'ye gelen gerilim $V_G = x_i(k)$ olacaktır. Bu giriş gerilimi aralığında bellek çıkışı eski değerini korur. Eğer $x_i(k) < V_S(k) - V_{TN}$ ise, M_N tranzistörü iletime girerek V_G geriliminin küçülmesini sınırlar. $x_i(k) > V_S(k) + |V_{TP}|$ için ise, V_G 'nin büyümesi iletime geçen M_P tarafından sınırlanır. Sınırlayıcıdan beklenen; giriş gerilimi $x_i(k)$, bellek çıkışı $V_S(k)$ ile aynı lojik aralıkta ise, $V_S(k)$ 'nin değişmeden kalması, $x_i(k) > V_S(k)$ için $V_S(k)$ 'nin bir üst lojik düzeye yükseltilmesi ve $x_i(k) < V_S(k)$ için de bir alt lojik düzeye indirilmesidir. T_1 transmisyon kapısını oluşturan tranzistörler ile M_N ve M_P tranzistörlerinin boyutu uygun seçilerek bu amaca ulaşılabilir. Şekil 3.11'de verilen boyutlar kullanılarak yapılan SPICE simülasyonu ile elde edilen sınırlayıcı karakteristiği Şekil 3.12'de verilmiştir. Test amacıyla üretilen sınırlayıcı bellek yapısının girişine üçgen ve kare dalga uygulanması durumunda ölçülen çıkış işaretleri Şekil 3.13'de gösterilmiştir. Kare dalga uygulandığında girişin hızlıca $0V$ 'dan $5V$ 'a yükselmesine karşın, bellek çıkışı her saat darbesinde bir düzey yükselerek üç adımda $5V$ 'a ulaşmaktadır. Benzer durum giriş $5V$ 'dan $0V$ 'a düşerken de gözlenmektedir. Dolayısı ile sınırlayıcı işlevini doğru yapmaktadır.

T_1 transmisyon kapısı, tranzistörleri $W/L = 3\mu / 30\mu$ boyutunda gerçekleştirildiği için büyükçe bir direnç göstermektedir. Ağırlık katsayısı okuma sırasında $\phi_4 = 0V$, $\phi_{4A} = 5V$ yapılarak T_1 ve T_2 aynı anda iletime sokulmakta, V_S bellek çıkış gerilimi,



Şekil 3.11 (a) Dört düzeyli bellek yapısı ve sınırlayıcı, (b) Bellek yapısının transistör boyutları.

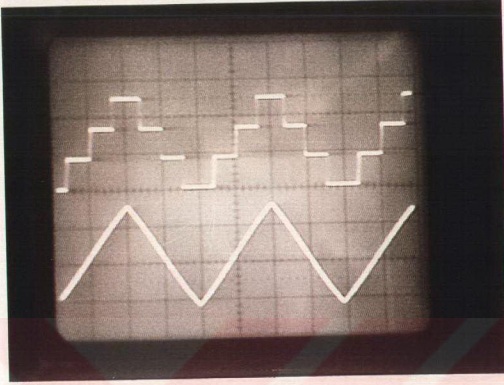


Şekil 3.12 Sınırlayıcı giriş-çıkış özeliğri.

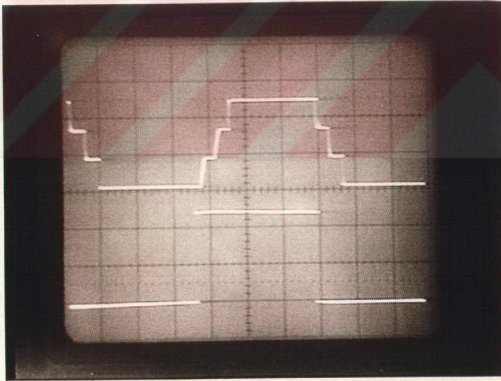
T_1 ve T_2 üzerinden kırmığın 'X' giriş/çıkış ucuna uygulanmaktadır. Buradaki büyük parazitik kapasitenin bellek yapısını yükleyip, okuma sırasında ağırlık katsayısı değışimine yol açması, T_1 'in büyük direnci sayesinde engellenmektedir.

Mutlak fark alma devresinin yapısı gereğı, bellek gözesi, çift poli kapasite üzerinden bağı bulunduğı sütunu sürmektedir. Sütun kapasitesinin ağırlık katsayısı değışimine yol açmaması için büyük boyutlu tranzistörler kullanılarak, bellek yapısının akım akıtma yeteneğı artırılmıştır. Yine bu amaçla bellek çıkışı ile mutlak fark alma devresi arasına direnç görevi gören sürekli iletimde bir transmisyon kapısı eklenmiştir.

Şekil 3.11'de boyutları verilen bellek yapısının SPICE analizi ile bulunan akım-gerilim karakteristiğı Şekil 3.14'de verilmiştir. Şekil 3.10'da genel görüntüsü verilen sınırlayıcılı bellek yapısı ve mutlak fark alma yapısından oluşan hücre Şekil 3.15'de ayrıntılı olarak gösterilmiştir. Hücre $230\mu\text{m} \times 170\mu\text{m}$ 'lik bir alan kaplamaktadır. Bu alanın $155\mu\text{m} \times 85\mu\text{m}$ 'lik bölümünü bellek yapısı, $75\mu\text{m} \times 85\mu\text{m}$ 'lik bölümünü ise sınırlayıcı oluşturmaktadır.

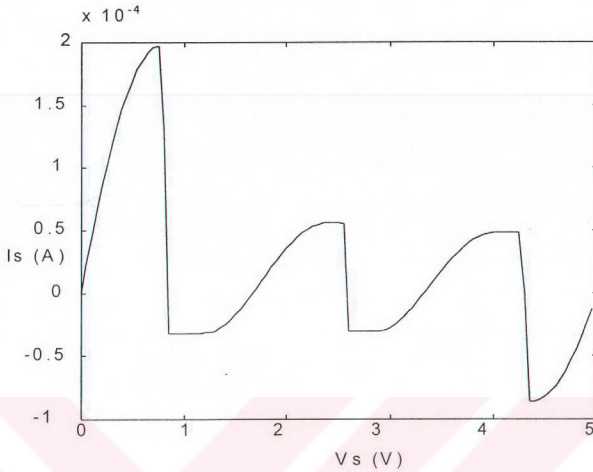


(a)



(b)

Şekil 3.13 Sınırlayıcı bellek yapısının (a) üçgen dalga (b) kare dalga giriş işaretlerine yanıtı.

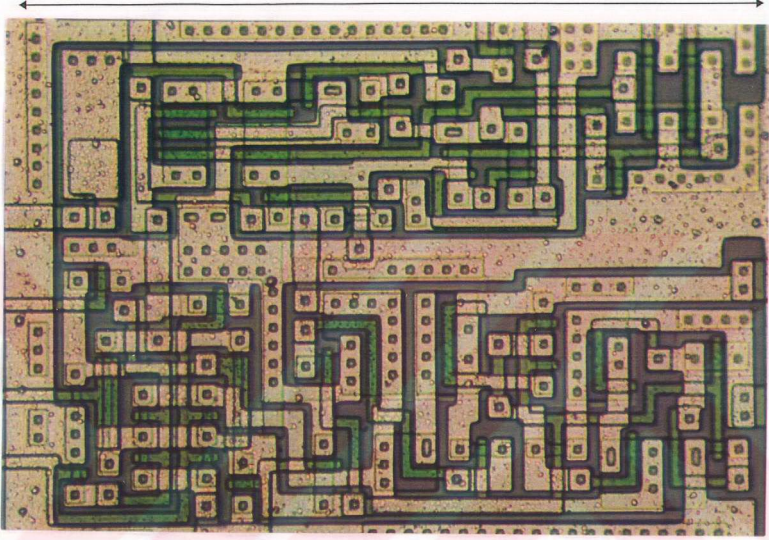


Şekil 3.14 Ağırlık katsayılarının saklanması için kullanılan dört düzeyli bellek yapısının akım-gerilim özgeçirisi.

3.4 Mutlak Fark Alma Yapısı

Her hücrenin girişi olan uzaklığının belirlenmesi için, daha önce (3.5) bağıntısında verildiği gibi, hücre ağırlık vektörü ile giriş vektörü elemanları arasındaki farkların mutlak değerlerinin toplamı hesaplanmaktadır. İki gerilim arasındaki farkın mutlak değerinin alınması işlemi, büyük gerilimden küçük gerilimin çıkarılması ile sağlanmıştır. Sütun boyunca oluşan fark gerilimlerinin toplanması ise Şekil 3.16'da gösterilen yapı ile gerçekleştirilmiştir. Burada C_c 'ler çift poli süreci ile gerçekleştirilmiş kapasiteleri, C_s sütundaki toplam parazitik kapasiteyi, C_p 'ler ise her fark alıcı gözenin çıkışındaki parazitik kapasiteleri göstermektedir. V_{Aj} ve V_{Bj} ($j = 1, 2, \dots, 5$) mutlak farklarının toplamı hesaplanacak gerilimlerdir. T_1 anahtarları kapalı, T_2 'ler açık iken sütun V_{DD} gerilimine getirilir. Bu sırada C_c kapasitelerinin diğer uçlarına $\max(V_{Aj}, V_{Bj})$ gerilimleri uygulanır. T_1 anahtarlarının açılıp T_2 'lerin kapatılması ile bu uçlardaki gerilim, $\max(V_{Aj}, V_{Bj})$ değerlerinden $\min(V_{Aj}, V_{Bj})$ değerlerine iner. Bu değişim C_c kapasiteleri tarafından, T_1 'in açılması ile yüzey duruma geçen sütun hattına aktarılır. Böylece sütunda oluşan toplam mutlak fark

Mutlak Fark Alıcı



Sınırlayıcı

Dört Seviyeli Bellek

Şekil 3.15 Sınırlayıcı bellek yapısı ve mutlak fark alma yapısından oluşan hücre.

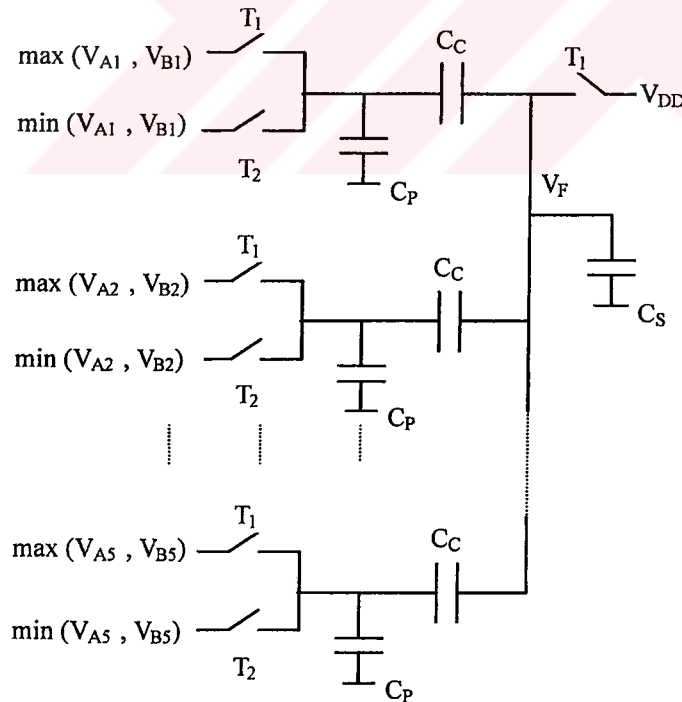
gerilimi V_F , $\Delta V_J = \max(V_{A_j}, V_{B_j}) - \min(V_{A_j}, V_{B_j}) = |V_{A_j} - V_{B_j}|$ tanımlaması ile

$$V_F = V_{DD} - (\Delta V_1 + \Delta V_2 + \Delta V_3 + \Delta V_4 + \Delta V_5) \frac{C_C}{C_S + 5.C_C} \quad (3.8)$$

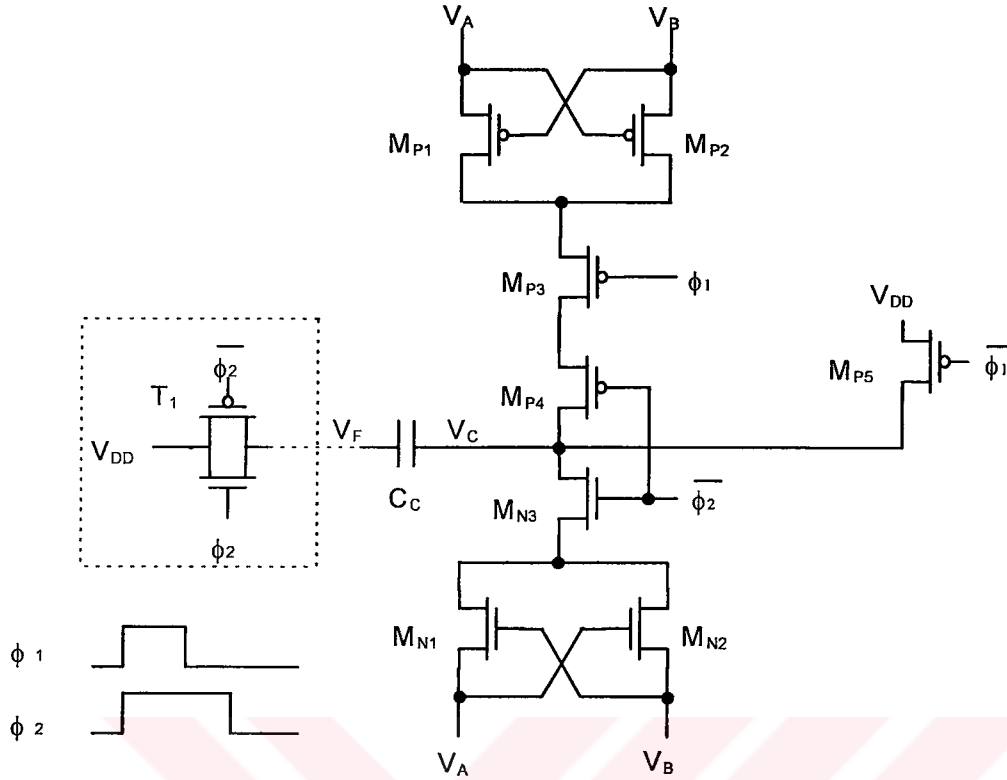
olarak bulunur. Çift polisilyum süreci ile üretilen C_C kapasitesi $17\mu\text{m} \times 15\mu\text{m}$ 'lik bir alan kaplamakta olup değeri 0.13pF olarak belirlenmiştir. C_S parazitik sütun kapasitesinin değeri ise yaklaşık olarak 0.46pF 'dır. Bu değerler kullanılarak toplam fark geriliminin zayıflama oranı

$$\frac{C_C}{C_S + 5.C_C} = 0.12 \quad (3.9)$$

olarak bulunur. Toplam fark geriliminin alabileceği 0V 'dan farklı en küçük değer olan 1.67V 'luk bir gerilim, bu zayıflama oranı nedeniyle sütuna $V_F = 200\text{mV}$ olarak aktarılacaktır. Dolayısı ile en küçükü seçme devresinin sütunlar arasındaki 200mV 'luk gerilim farklarını ayırt etmesi gerekmektedir.



Şekil 3.16 Mutlak fark gerilimlerinin sütun boyunca toplanması.



Şekil 3.17 Kullanılması hedeflenen mutlak fark alma yapısı.

İki gerilimin arasındaki farkın mutlak değerini hesaplamak için kullanılması hedeflenen ve çalışması büyük gerilimden küçük gerilimin çıkarılması esasına dayanan yapı Şekil 3.17’de gösterilmiştir. İleride açıklanacak nedenlerden dolayı bu yapıda daha sonra değişikliğe gidilmiştir. Farkları alınacak dört düzeyli V_A ve V_B gerilimleri çapraz bağlı $M_{P1} - M_{P2}$ ve $M_{N1} - M_{N2}$ tranzistör çiftlerine uygulanmaktadır. ϕ_1 ve ϕ_2 saat işaretleri lojik 1 düzeyinde iken C_C kapasitesinin bir ucunun bağlı bulunduğu sütun hattı T_1 transmisyon kapısı tarafından, diğer ucunun bağlı bulunduğu ‘C’ düğümü ise M_{P5} tranzistörü tarafından beslemeye çekilmiş durumdadır. ϕ_1 ’in lojik 0’a gitmesi ile beraber M_{P5} kesime girer ve ‘C’ düğümü M_{P4} ve iletme geçen M_{P3} üzerinden $M_{P1} - M_{P2}$ tranzistör çifti tarafından boşaltılmaya başlar. Bu tranzistörler için iletimde olma koşulu

$$V_{SGP1} > |V_{TP}| \Rightarrow V_C > V_B + |V_{TP}(V_{DD} - V_C)| \quad (3.10a)$$

$$V_{SGP2} > |V_{TP}| \Rightarrow V_C > V_A + |V_{TP}(V_{DD} - V_C)| \quad (3.10b)$$

olarak verilebilir. V_C gerilimi küçüldükçe geçidine iki giriş geriliminden büyüğü uygulanmış olan tranzistör iletim koşulunu sağlayamamaya başlar: $V_A > V_B$ için M_{P2}

tranzistörü kesime girer, 'C' düğümü M_{P1} tarafından V_A gerilimine kadar indirilir. Bu durumda M_{P1} için iletim koşulu

$$V_A - V_B > |V_{TP} (V_{DD} - V_A)| \quad (3.11)$$

olarak yazılabilir. En kötü durum $V_A = 1.67V$ ve $V_B = 0V$ için oluşmaktadır. $V_B > V_A$ için ise M_{P1} tranzistörü kesime girer, 'C' düğümü M_{P1} tarafından V_B gerilimine kadar indirilir. Sonuç olarak, PMOS tranzistör çifti 'C' düğümüne V_A ve V_B girişlerinden büyük olanını uygulamaktadır.

ϕ_2 'nin lojik 0'a düşmesi ile T_1 kapısı kesime girmekte, bunun sonucu yüzer duruma geçen sütun hattı C_C kapasitesi üzerinden 'C' düğümündeki değişimleri izlemektedir. Aynı anda, M_{P4} 'ün kesime, M_{N3} 'ün iletime girmesiyle 'C' düğümü $M_{N1} - M_{N2}$ tranzistör çifti tarafından boşaltılmaya başlanır. Bu durumda M_{N1} ve M_{N2} tranzistörlerinin geçit-kaynak gerilimleri sırasıyla $V_{GSN1} = V_B - V_A$ ve $V_{GSN2} = V_A - V_B$ değerlerine sahiptirler. $V_A > V_B$ için, M_{N1} kesimde olup 'C' düğümü M_{N2} tarafından V_A geriliminden V_B değerine getirilmektedir. $V_B > V_A$ için ise M_{N2} kesimdedir; M_{N1} 'C' düğümünü V_B geriliminden V_A gerilimine kadar boşaltmaktadır. Bu durumda sütun gerilimi V_{DD} değerinden

$$V_F = V_{DD} - \frac{C_C}{C_C + C_S} \cdot |V_A - V_B| \quad (3.12)$$

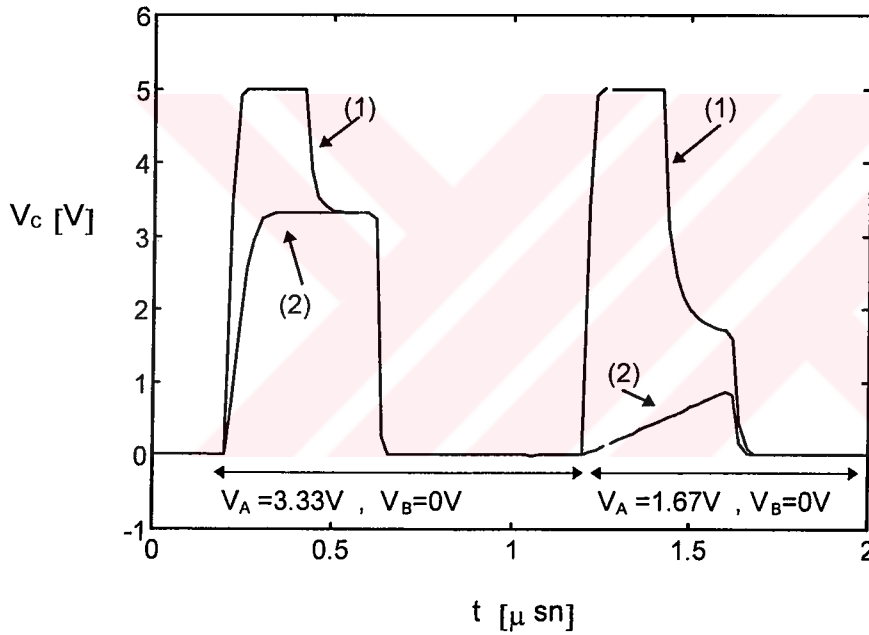
değerine düşer.

Şekil 3.17'deki yapıda M_{P3} ve M_{P5} tranzistörlerinin işlevi 'C' düğümünü başlangıçta V_{DD} değerine getirmek ve daha sonra $M_{P1} - M_{P2}$ çifti tarafından $\max(V_A, V_B)$ değerine boşaltılmasına izin vermektir. M_{P3} ve M_{P5} tranzistörleri ve dolayısı ile ϕ_1 saat işareti kullanılmadan da fark alma işleminin gerçekleştirilebileceği düşünülebilir. Bu durumda ϕ_2 'nin lojik 1 düzeyine geçmesi ile 'C' düğümüne doğrudan $\max(V_A, V_B)$ değeri uygulanacaktır. Ancak 'C' düğümünün başlangıçta sahip olabileceği $V_C = 0V$ değerinden $\max(V_A = 1.67V, V_B = 0V)$ değerine getirileceği özel durumda M_{P1} tranzistörünün iletim sınırında çalıştığı görülebilir:

$$V_{SGP1} = 1.67V \cong |V_{TP} (3.33V)| \quad (3.13)$$

Dört düzeyli bellek yapısında tabanları bir üst lojik düzeye bağlı PMOS yol tranzistörlerini iletimde tutacak şekilde belirlenen $V_1 = 1.67V$ 'luk gerilim ($|V_{TP} (1.67V)| < 1.67V$), tabanları V_{DD} 'ye bağlı olan $M_{P1} - M_{P2}$ tranzistörlerini her

koşulda iletme sokmaya yetmemektedir. Bu durum Şekil 3.18'deki (2) numaralı eğride gözükmemektedir. $V_A=3.33V$ ve $V_B=0V$ gerilimlerinin farkı alınırken 'C' düğümünün kolayca $3.33V$ değerine ulaştığı görülürken, $V_A=1.67V$ ve $V_B=0V$ değerleri için 'C' düğümü $1.67V$ değerine beklenen sürede getirilememektedir. Bunun nedeni sabit geçit-kaynak gerilimi $V_{SGP} = 1.67V$ ile ve iletim sınırında çalışan M_{P1} tranzistörünün çok az akım akıtabilmesidir. Şekil 3.18'deki (1) numaralı eğride olduğu gibi 'C' düğümünün önce V_{DD} değerine getirilip daha sonra $1.67V$ değerine boşaltıldığı durumda ise, M_{P1} tranzistörünün geçit-kaynak gerilimi $V_{SGP1} = V_C$ ve eşik gerilimi $V_{TP1} = -V_{TP}(V_{DD} - V_C)$ olup, boşaltma süresince $V_{SGP1} > 1.67V$ ve $|V_{TP1}| < |V_{TP}(3.33V)|$ koşulları sağlandığı için tranzistör çok daha büyük akım akıtılabilmektedir. Bu durumda V_C geriliminin beklenen sürede $1.67V$ değerine ulaştığı görülmektedir.

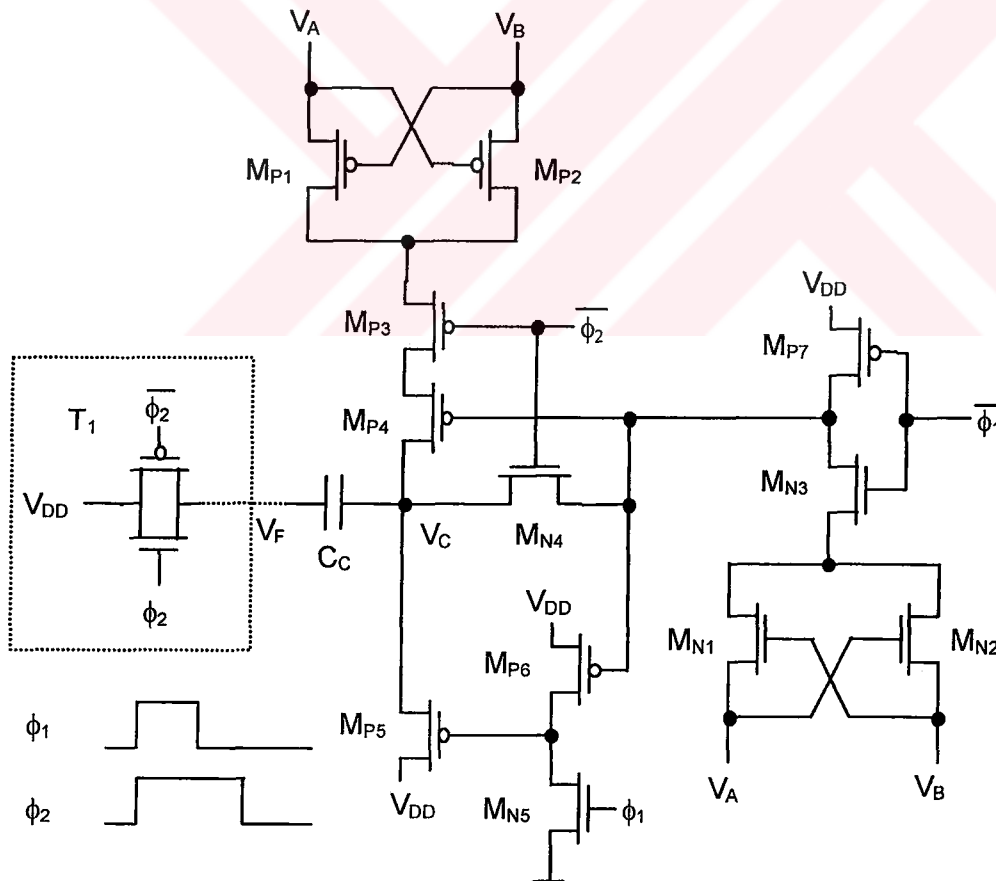


Şekil 3.18 M_{P3} ve M_{P5} tranzistörlerinin (1) kullanıldığı, (2) kullanılmadığı durumlarda 'C' düğümdeki dalga şekilleri.

Şekil 3.17'deki yapıda $V_A = V_B$ olması durumunda gerek $M_{P1} - M_{P2}$ gerekse $M_{N1} - M_{N2}$ tranzistörleri kesimde olacaklarından 'C' düğümü, ϕ_1 'in lojik 0'a düşmesi ile V_{DD} geriliminde yüzer durumda kalmaktadır. Bunun sonucu olarak sütuna bir yük aktarımı olmadığından sütun gerilimi değişmemektedir. Ancak mutlak fark alma devresinin çıkışının yüksek empedans göstermesi, sütuna birden fazla mutlak fark alma yapısının bağlı olması durumunda toplam fark geriliminin yanlış oluşmasına yol açmaktadır. Yüksek empedans gösteren yapının C_P parazitik çıkış kapasitesi C_C üzerinden sütunun eşdeğer C_S kapasitesinin değişmesine yol açmaktadır. Bu durumda (3.8) bağıntısı

$$V_F = V_{DD} - (\Delta V_1 + \Delta V_2 + \Delta V_3 + \Delta V_4 + \Delta V_5) \frac{C_C}{C_S + m.C_P' + (5-m).C_C} \quad (3.14)$$

şeklini alır. Burada C_P' , C_C ve C_P kapasitelerinin seri eşdeğeri, m ise $\Delta V_j = 0$ olması nedeniyle çıkışı yüksek empedans gösteren mutlak fark alma yapısı sayıdır. (3.14)'den görüldüğü gibi toplam fark işaretinin zayıflama oranı farkları hesaplanacak gerilimlerin bir fonksiyonu haline gelmektedir. Şekil 3.17'deki mutlak fark alma yapısında, çıkışın $V_A = V_B$ durumunda yüksek empedans göstermesini engellemek amacıyla bazı değişiklikler yapılmış ve sonuç Şekil 3.19'da verilmiştir. ϕ_1 saat işareti lojik 1 düzeyinde iken, geçidi M_{N5} tarafından sıfıra çekilerek ilettime sokulan M_{P5} tranzistörü V_C gerilimini V_{DD} değerine getirmektedir. Bu sırada geçidi M_{P7} tarafından beslemeye çekilen M_{P4} tranzistörü tıkamadadır. ϕ_1 'in lojik 0'a düşmesi ile, M_{N3} ilettime girerek M_{P4} 'ün ve M_{P6} 'nın ortak geçitlerine $M_{N1} - M_{N2}$ tranzistör çifti tarafından belirlenen gerilimi uygular. Bu gerilim $V_A \neq V_B$ için $\min(V_A, V_B)$ değerine sahip olup, M_{P6} 'nın ilettime geçip M_{P5} 'i kesime sokmasına ve M_{P4} 'ün ilettime geçip V_C

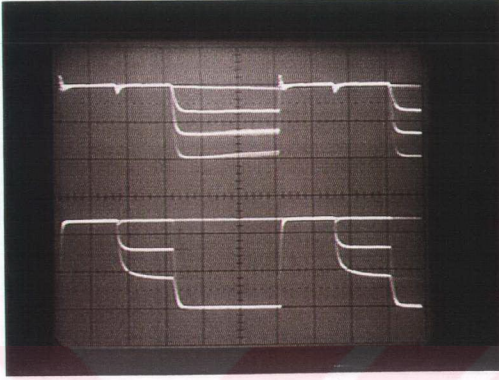


Şekil 3.19 Kullanılan mutlak fark alma yapısı.

gerilimini $M_{P1} - M_{P2}$ tranzistör çifti tarafından belirlenen $\max(V_A, V_B)$ değerine getirmesine neden olur. ϕ_2 saat işaretinin lojik 0'a gitmesi ile M_{P3} kesime girer, iletme geçen M_{N4} 'C' düğümüne $\min(V_A, V_B)$ gerilimini uygular. $V_A = V_B$ olması durumunda ise $M_{N1} - M_{N2}$ tranzistör çifti kesimde olacaklarından M_{P4} 'ün ve M_{P6} 'nın ortak geçitleri V_{DD} değerinde yüzer olarak kalırlar. Bu durumda M_{P6} iletme geçmediğinden, M_{P5} sürekli iletimde kalarak V_C gerilimini V_{DD} değerinde tutar. Böylece çıkışın yüksek empedans göstermesi engellenir.

Vektör sınıflandırıcıda kullanılan mutlak fark alma yapısı Şekil 3.15'de ağırlık katsayılarının tutulduğu ve güncelleştirildiği dört düzeyli bellek yapısı ile beraber gösterilmiştir. Yapı $230\mu\text{m} \times 75\mu\text{m}$ 'lik bir alan kaplamaktadır.

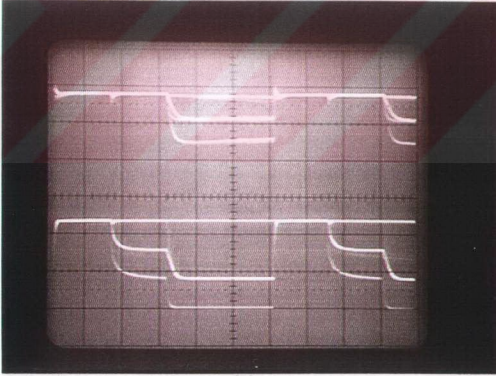
Şekil 3.20 ve Şekil 3.21'de mutlak fark alma devresinin üretilen test yapısı üzerinden gerçekleştirilen ölçüm sonuçları verilmiştir. Şekil 3.20a'da mutlak fark alıcının bir girişi 0V'da sabit tutulurken diğer girişine sırasıyla 0V, 1.67V, 3.33V ve 5V değerleri uygulanmış ve V_C ile V_F gerilimlerinin değişimleri osiloskoptan izlenmiştir. Sabit tutulan girişe 1.67V, 3.33V ve 5V uygulanarak gerçekleştirilen benzer ölçümler sırasıyla Şekil 3.20b, Şekil 3.21a ve Şekil 3.21b'de gösterilmiştir.



V_F
(500mV /div)

V_C
(2V/div)

(a)



V_F
(500mV /div)

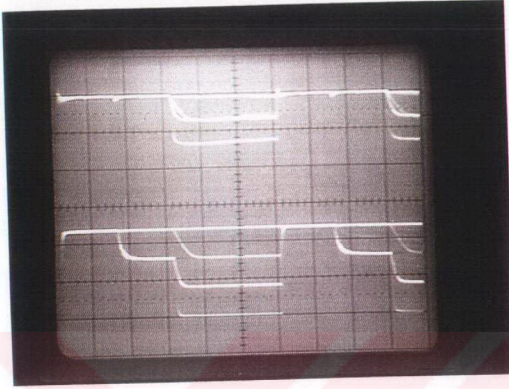
V_C
(2V /div)

(b)

Şekil 3.20 V_A ve V_B gerilimleri arasındaki farkın mutlak değerinin elde edilmesi :

(a) $V_B=0V$, $V_A = 0V, 1.67V, 3.33V, 5V$

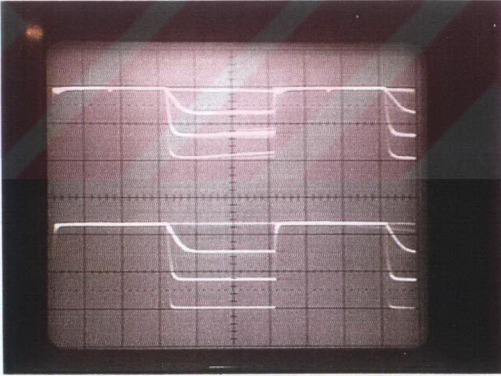
(b) $V_B=1.67V$, $V_A = 0V, 1.67V, 3.33V, 5V$



V_F
(500mV /div)

V_C
(2V/div)

(a)



V_F
(500mV /div)

V_C
(2V /div)

(b)

Şekil 3.21 V_A ve V_B gerilimleri arasındaki farkın mutlak değerinin elde edilmesi :

(a) $V_B=5V$, $V_A=0V, 1.67V, 3.33V, 5V$

(b) $V_B=3.33V$, $V_A=0V, 1.67V, 3.33V, 5V$

3.5 En Büyüğü Seçme Yapısı

Mutlak fark alma işlemi sonunda sütunlarda hücrelerin giriş vektörüne uzaklıkları ile orantılı gerilimler oluşmaktadır. Bu gerilimler arasında en büyüğü, başka bir deyişle başlangıçta getirildiği V_{DD} değerinden en az sapan sütun gerilimi girişe en yakın hücreyi belirtmektedir. Dört hücre arasından bu hücrenin belirlenmesi için bir en büyük seçici (WTA - Winner Take All) [75,4,7,74] devresinden yararlanılmıştır. Kullanılan devre Şekil 3.22'de gösterilmiştir. ϕ_2 saat işaretinin lojik 0'a düşmesi ile beraber, sütunlardaki C_S parazitik kapasitelerinde fark gerilimleri oluşmaktadır. ϕ_3 ' ün lojik 1'e gitmesi ile yapıdaki tüm tranzistörler akım akıtmaya başlarlar. Birim gözeden görülebileceği gibi, her sütun dört NMOS tranzistörün geçidini sürmektedir. Bu tranzistörlerden üçü diğer sütunları toprağa çekmeye çalışırken, akımı iki PMOS tranzistör tarafından aynalanan dördüncü tranzistör kendi sütununu beslemeye getirmeye uğraşmaktadır. Böylece gözeler birbirlerinin giriş kapasitelerini boşaltırken, başlangıçta en büyük giriş gerilime sahip gözenin tranzistörleri daha fazla akım akıttıklarından, diğer gözelerin giriş gerilimlerinin daha çabuk sıfıra yaklaşmasını sağlayacaklardır. Giriş gerilimleri, kontrol ettikleri NMOS tranzistörler iletimde kalamayacak kadar küçülen gözeler, en büyük gerilime sahip gözenin girişini serbest bırakırlar ve bu gözenin girişi akım aynası aracılığı ile kendini beslemeye çeker.

Şekil 3.23'de 50mV aralıklı dört giriş gerilimi uygulanan en büyüğü seçme devresinin SPICE benzetimi sonucu verilmiştir. Görüldüğü gibi başlangıçta tüm girişler düşmekte, daha sonra en büyük gerilime sahip giriş lojik 1 düzeyine yükselirken diğer girişler sıfıra gitmektedir.

Şekil 3.24'de üretilen dört girişli test yapısının ölçüm sonucu görülmektedir. Osiloskopta en büyük iki gerilimin değişimi izlenmiştir.

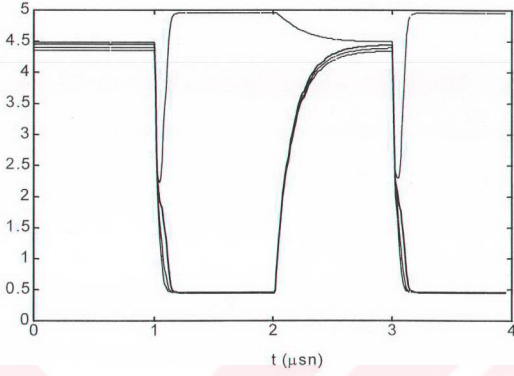
Hücre ağırlık vektörleri arasındaki 1.67V'luk bir fark en büyüğü seçme yapısı girişlerine, (3.9) bağıntısı gereği 200mV olarak yansıtacaktır. Bu gerilim değeri tranzistörler arası dengesizlikleri bastırarak kadar büyüktür. Bu değerin daha da büyütülmesi C_C kapasitesinin değerinin artırılarak (3.9)'da verilen zayıflama oranının küçültülmesi ile sağlanabilir. Mutlak fark alma yapısındaki C_C çift poli

kapasitesi gerekirse yalnızca ikinci poli maskesi değiştirilip değeri artırılabilir şekilde çevresinde genişlemeye yeterli alan bırakılarak çizilmiştir (Şekil 3.15).

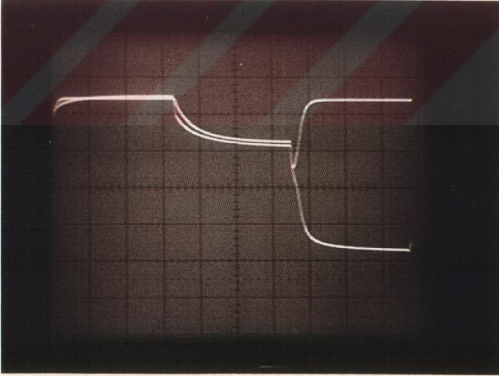
Tasarım sırasında C_s sütun kapasiteleri mümkün olduğunca eşit yapılmaya çalışılmıştır. Bu amaçla bazı yollar uzatılmış, eklemeler yapılmıştır. Bu kapasitelerin farklı değerlere sahip olması hem (3.9)'da verilen zayıflama oranının sütundan sütuna değişmesine, hem de en büyüğü seçme yapısının yanlış karar vermesine yol açacaktır. Bu durumda, daha büyük giriş kapasitesine sahip olması nedeniyle girişi diğer hücreler tarafından daha yavaş boşaltılan hücre en büyük olarak seçilebilecektir. Gerçekleşen sütun kapasiteleri $C_{S1} = 0.465\text{pF}$, $C_{S2} = 0.461\text{pF}$, $C_{S3} = 0.459\text{pF}$, $C_{S4} = 0.466\text{pF}$ olarak hesaplanmaktadır.

Şekil 3.25a'da kırmığın en büyüğü seçme yapısını içeren bölümünün genel görüntüsü, Şekil 3.25b'de en büyüğü seçme yapısının ayrıntılı görüntüsü verilmiştir.

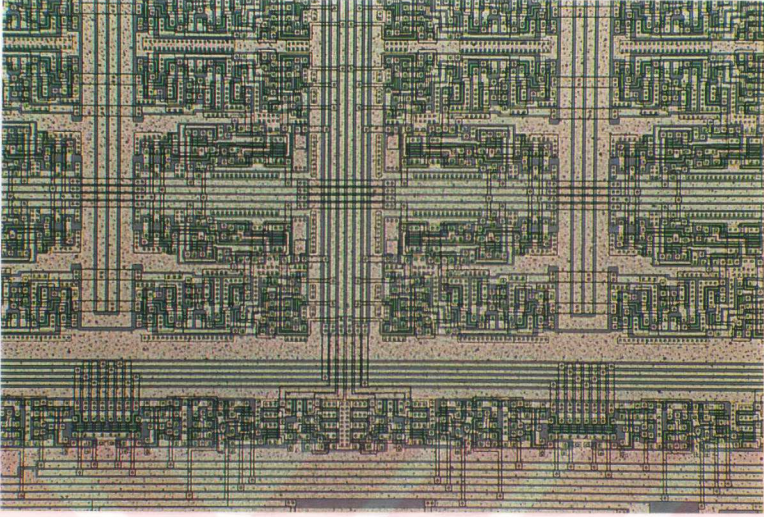
Yapıda tüm NMOS tranzistör boyutları $W_N/L_N = 3\mu\text{m}/3\mu\text{m}$ ve tüm PMOS tranzistör boyutları $W_P/L_P = 7\mu\text{m}/3\mu\text{m}$ 'dir.



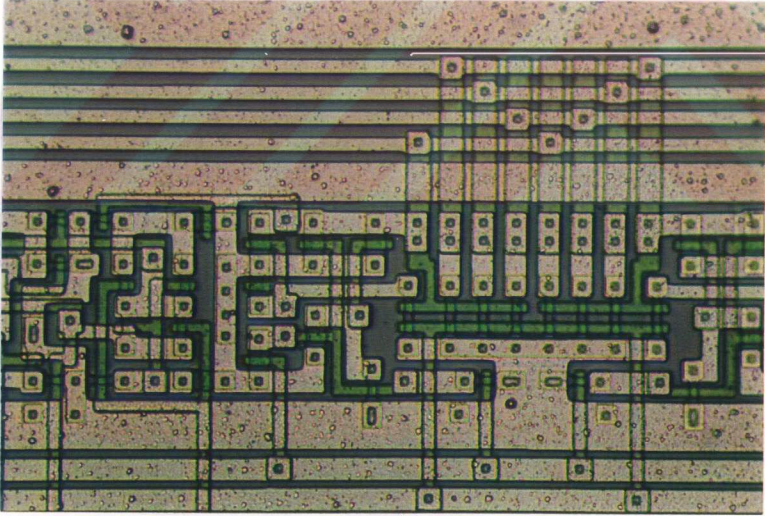
Şekil 3.23 Girişlerine 50mV aralıklı dört gerilim uygulanan en büyüğü seçme yapısının SPICE analizi sonucu.



Şekil 3.24 En büyüğü seçme test yapısının ölçüm sonucu.



(a)



(b)

Şekil 3.25 En büyüğü seçme yapısı : (a) Kırmıktaki genel görüntü; (b) Ayrıntılı görüntü.

4. ÖLÇÜM

4.1 Vektör Sınıflandırıcının Sınanması

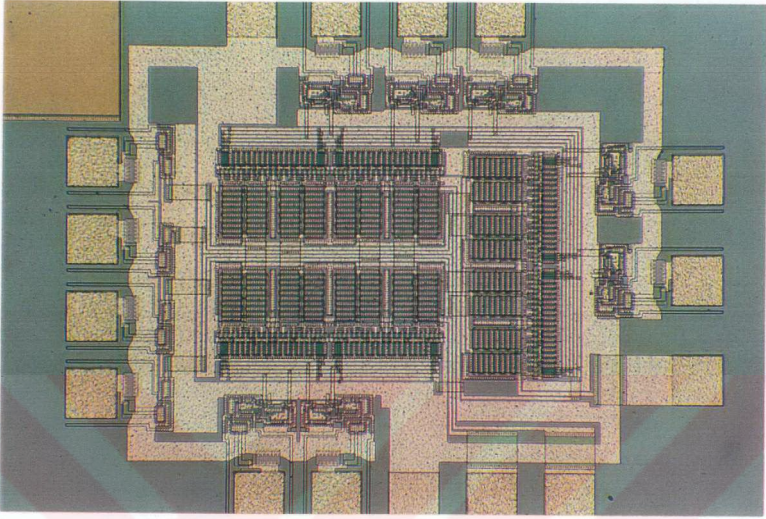
Vektör sınıflandırıcıda kullanılan dört temel göze (giriş örnekleyici bellek yapısı, ağırlık katsayılarını tutan ve güncelleyen bellek yapısı, mutlak fark alma yapısı, en küçüğü seçme yapısı) bir test kırımığında ayrıık olarak üretilmişlerdir. Bunlara ait ölçüm sonuçları önceki bölümde yapılar tanıtılırken verilmiştir.

Vektör sınıflandırıcının sınanması için kullanılan ölçüm düzeni Şekil 4.1'de gösterilmiştir. Ölçüm, istenilen giriş vektörlerinin sınıflandırıcıya bilgisayar aracılığı ile uygulanması, sınıflandırıcının adım adım çalıştırılıp her adımda oluşan ağırlık vektörlerinin bilgisayar tarafından okunarak beklenen değerlerle karşılaştırılmasına dayanmaktadır.

Bilgisayar tarafından kontrol edilen dört düzeyli giriş gerilimlerinin oluşturulması amacıyla, içinde üç adet analog 4'e -1 seçici bulunun bir devre test kırımığıyla beraber üretilmiştir. Kırmık resmi Şekil 4.2'de verilen bu devrenin dört analog girişi (G_0, G_1, G_2, G_3), üç adet iki bitlik kontrol girişleri (A_1A_0, B_1B_0, C_1C_0), üç analog çıkışı (O_A, O_B, O_C) ve 'İZİN' girişi bulunmaktadır. Devredeki her 4'e-1 seçici, kontrol girişine uygulanan iki bitlik veriye bağıli olarak ortak analog girişlerden birini seçip çıkışına uygulamaktadır. 'İZİN' girişinin lojik 0 düzeyinde olması durumunda devrenin çıkışları yüksek empedans göstermektedirler.

Ölçüm düzeninde (G_0, G_1, G_2, G_3) girişlerine sırasıyla 0V, 1.67V, 3.33V ve 5V değerleri uygulanmıştır. Bu durumda 4'e-1 seçicinin doğruluk tablosu Tablo 4.1'de verilmiştir. Yapı iki bitlik D/A çevirici olarak çalışmaktadır. Her giriş için bir 4'e-1 seçici kullanıldığından her elemanı dört düzeyli olan beş boyutlu giriş vektörü bilgisayar tarafından 10 bitlik bir sayı ile kontrol edilmektedir.

Okunan ağırlık katsayılarının bilgisayara aktarılması amacıyla ADC0808 tümdevresinden yararlanılmıştır. Bu tümdevre 8 bitlik bir A/D çevirici olup girişine uygulanan 8 analog işaretten üç bitlik adres girişlerine ($A_2A_1A_0$) bağıli olarak



Şekil 4.2 Üç adet analog 4'e -1 seçici içeren devrenin kirmık resmi.

Tablo 4.1 4'e -1 Seçicinin doğruluk tablosu.

İzin	A ₁	A ₀	O _A	
1	0	0	0V	(G ₀)
1	0	1	1.67V	(G ₁)
1	1	0	3.33V	(G ₂)
1	1	1	5V	(G ₃)
0	X	X	Z	

seçileni sayısala dönüştürmektedir. Ağırlık okuma sırasında vektör sınıflandırıcının giriş uçlarında oluşan ağırlık katsayıları ADC0808 tarafından sırayla taranarak bilgisayara aktarılmaktadır. Vektör sınıflandırıcı 1MHz'lik, A/D çevirici ise 640 KHz'lik saat işaretleri ile çalışmakta olup her iki tümdevrenin diğer bütün giriş çıkışları bilgisayar tarafından denetlenmektedir.

Ölçüm düzeninin kontrolü BASIC dilinde bir yazılımla sağlanmış ve vektör sınıflandırıcının sinama sonuçları Tablo 4.2'den Tablo 4.5'e kadar verilmiştir. Bu tablolarda düz yazılar devreye uygulanan test vektörlerini, yatay yazılar ölçüm sonucu elde edilmesi beklenen değerleri, koyu satırlar ise ölçüm sonuçlarını göstermektedirler.

Tablo 4.2'de hücre ağırlık katsayılarının öğrenme sırasında birer adım değişip değişmediği sinanmıştır. Bu amaçla başlangıçta bütün ağırlık katsayıları sıfırlanmıştır. Sıfırlama işlemi için devre, $K_1=0$, $K_2=1$ yapılarak denetimli öğrenme durumunda çalıştırılmış, her hücre sırayla seçilerek girişlerine üçer kere sıfır yazılmıştır. Sakladığı dört düzeyli veri her seferinde bir adım değişebilen bellek yapısına istenen değeri yazmak için en fazla üç kere aynı vektörü uygulamak yeterli olmaktadır. Sıfırlama işlemi sonunda, denetimli öğrenme durumunda çalışan devrenin birinci hücresi seçilmiş ve devre, girişlerine önce (5,5,5,5,5) vektörü, daha sonra (0,0,0,0,0) vektörü uygulanmış şekilde üçer kere koşturulmuştur. Her bir koşma sonrasında $K_1=1$, $K_2=1$ yapılarak hücrenin ağırlık katsayıları okunmuş ve katsayılardaki değişimlerin gerek artarken gerekse azalırken birer adımla sınırlı olup olmadığı kontrol edilmiştir. Aynı işlem daha sonra, (0,1.67,3.33,5,0) ve (5,3.33,1.67,0,5) giriş vektörleri için tekrarlanmıştır.

Yukarıdaki sinama diğer hücreler için de uygulanmıştır. Ölçülen on vektör sınıflandırıcı devreden altısı bu sinamadan geçmiştir.

Tablo 4.3'de ölçüm sonuçları verilen sinamada, tüm hücre ağırlık katsayıları sıfırlandıktan sonra, $K_1=0$, $K_2=0$ yapılarak devre kendi kendine sınıflama ve sınıflarken öğrenme durumunda çalıştırılmaktadır. Devreye (0,0,0,0,0) giriş vektörü uygulandığında, ağırlık katsayıları ve giriş vektörü aynı değere sahip oldukları için mutlak fark alma yapıları çıkışlarını 5V değerinde sabit tutacaklar ve sütunlara herhangi bir yük aktarımı olmayacaktır. Bu durumda en büyüğü seçme devresi, kendi iç dengesizliklerine bağlı olarak, hepsi 5V değerinde bulunan girişlerinden

Tablo 4.2 Ağırlık katsayılarının her uyarlamada bir adım değişmesinin sınanması.

K1	K2	X5	X4	X3	X2	X1	O1	O2	O3	O4
* AGIRLIKLARI SIFIRLA										
0	1	0.00	0.00	0.00	0.00	0.00	1	0	0	0 3x KOS
0	1	0.00	0.00	0.00	0.00	0.00	0	1	0	0 3x KOS
0	1	0.00	0.00	0.00	0.00	0.00	0	0	1	0 3x KOS
0	1	0.00	0.00	0.00	0.00	0.00	0	0	0	1 3x KOS
*O1 ICIN BIR ADIM ATLAMA TESTI										
1	1	0.00	0.00	0.00	0.00	0.00	1	0	0	0
		0.00	0.00	0.00	0.00	0.00				
0	1	5.00	5.00	5.00	5.00	5.00	1	0	0	0
1	1	1.67	1.67	1.67	1.67	1.67	1	0	0	0
		1.67	1.67	1.67	1.67	1.67				
0	1	5.00	5.00	5.00	5.00	5.00	1	0	0	0
1	1	3.33	3.33	3.33	3.33	3.33	1	0	0	0
		3.33	3.33	3.33	3.33	3.33				
0	1	5.00	5.00	5.00	5.00	5.00	1	0	0	0
1	1	5.00	5.00	5.00	5.00	5.00	1	0	0	0
		5.00	5.00	5.00	5.00	5.00				
0	1	0.00	0.00	0.00	0.00	0.00	1	0	0	0
1	1	3.33	3.33	3.33	3.33	3.33	1	0	0	0
		3.33	3.33	3.33	3.33	3.33				
0	1	0.00	0.00	0.00	0.00	0.00	1	0	0	0
1	1	1.67	1.67	1.67	1.67	1.67	1	0	0	0
		1.67	1.67	1.67	1.67	1.67				
0	1	0.00	0.00	0.00	0.00	0.00	1	0	0	0
1	1	0.00	0.00	0.00	0.00	0.00	1	0	0	0
		0.00	0.00	0.00	0.00	0.00				
*O1 ICIN BIR ADIM ATLAMA TESTI										
1	1	0.00	0.00	0.00	0.00	0.00	1	0	0	0
		0.00	0.00	0.00	0.00	0.00				
0	1	0.00	1.67	3.33	5.00	0.00	1	0	0	0
1	1	0.00	1.67	1.67	1.67	0.00	1	0	0	0
		0.00	1.67	1.67	1.67	0.00				
0	1	0.00	1.67	3.33	5.00	0.00	1	0	0	0
1	1	0.00	1.67	3.33	3.33	0.00	1	0	0	0
		0.00	1.67	3.33	3.33	0.00				
0	1	0.00	1.67	3.33	5.00	0.00	1	0	0	0
1	1	0.00	1.67	3.33	5.00	0.00	1	0	0	0
		0.00	1.67	3.33	5.00	0.00				
0	1	5.00	3.33	1.67	0.00	5.00	1	0	0	0
1	1	1.67	3.33	1.67	3.33	1.67	1	0	0	0
		1.67	3.33	1.67	3.33	1.67				
0	1	5.00	3.33	1.67	0.00	5.00	1	0	0	0
1	1	3.33	3.33	1.67	1.67	3.33	1	0	0	0
		3.33	3.33	1.67	1.67	3.33				
0	1	5.00	3.33	1.67	0.00	5.00	1	0	0	0
1	1	5.00	3.33	1.67	0.00	5.00	1	0	0	0
		5.00	3.33	1.67	0.00	5.00				

Tablo 4.3 Devrenin kendi kendine sınıflama yapma işlevinin sınanması ve hücre önceliklerinin belirlenmesi.

K1 K2 X5 X4 X3 X2 X1 O1 O2 O3 O4

*AGIRLIKLARI OLUSTUR

0	1	0.00	0.00	0.00	0.00	0.00	1	0	0	0	3x KOS
0	1	0.00	0.00	0.00	0.00	0.00	0	1	0	0	3x KOS
0	1	0.00	0.00	0.00	0.00	0.00	0	0	1	0	3x KOS
0	1	0.00	0.00	0.00	0.00	0.00	0	0	0	1	3x KOS

* KENDİN OGREN (HUCRE ONCELİKLERİNİN BELİRLENMESİ)

0	0	0.00	0.00	0.00	0.00	0.00	?	?	?	?	
							1	0	0	0	
0	0	5.00	0.00	0.00	0.00	0.00	?	?	?	?	3x KOS
							1	0	0	0	
0	0	0.00	0.00	0.00	0.00	0.00	?	?	?	?	
							0	1	0	0	
0	0	0.00	5.00	0.00	0.00	0.00	?	?	?	?	3x KOS
							0	1	0	0	
0	0	0.00	0.00	0.00	0.00	0.00	?	?	?	?	
							0	0	1	0	
0	0	0.00	0.00	5.00	0.00	0.00	?	?	?	?	3x KOS
							0	0	1	0	
0	0	0.00	0.00	0.00	0.00	0.00	?	?	?	?	
							0	0	0	1	
0	0	0.00	0.00	0.00	5.00	0.00	?	?	?	?	3x KOS
							0	0	0	1	

Tablo 4.4 Devrenin sınıflama işlevinin sınanması.

K1 K2 X5 X4 X3 X2 X1 O1 O2 O3 O4

*AGIRLIKLARI OLUSTUR

0	1	5.00	5.00	5.00	5.00	5.00	1	0	0	0	3x KOS
0	1	5.00	5.00	5.00	5.00	5.00	0	1	0	0	3x KOS
0	1	5.00	5.00	5.00	5.00	5.00	0	0	1	0	3x KOS
0	1	5.00	5.00	5.00	5.00	3.33	0	0	0	1	3x KOS

*SINIFLA

1	0	5.00	5.00	5.00	5.00	1.67	0	0	0	1	
							0	0	0	1	
1	0	5.00	5.00	5.00	5.00	3.33	0	0	0	1	
							0	0	0	1	
1	0	5.00	5.00	5.00	5.00	5.00	1	0	0	0	
							1	0	0	0	

Tablo 4.5 Sınıflama hatası yapan bir devrenin ölçüm sonuçları.

K1 K2 X5 X4 X3 X2 X1 O1 O2 O3 O4

*AGIRLIKLARI OLUSTUR

0	1	0.00	0.00	0.00	0.00	0.00	1	0	0	0	3x KOS
0	1	0.00	0.00	0.00	0.00	0.00	0	1	0	0	3x KOS
0	1	0.00	0.00	0.00	0.00	0.00	0	0	1	0	3x KOS
0	1	0.00	0.00	0.00	0.00	0.00	0	0	0	1	3x KOS

* KENDIN OGREN (HUCRE ONCELIKLERININ BELIRLENMESI)

0	0	0.00	0.00	0.00	0.00	0.00	?	?	?	?	
							0	1	0	0	
0	0	5.00	0.00	0.00	0.00	0.00	?	?	?	?	3x KOS
							0	1	0	0	
0	0	0.00	0.00	0.00	0.00	0.00	?	?	?	?	
							1	0	0	0	
0	0	0.00	5.00	0.00	0.00	0.00	?	?	?	?	3x KOS
							1	0	0	0	
0	0	0.00	0.00	0.00	0.00	0.00	?	?	?	?	
							0	0	0	1	
0	0	0.00	0.00	5.00	0.00	0.00	?	?	?	?	3x KOS
							0	0	0	1	
0	0	0.00	0.00	0.00	0.00	0.00	?	?	?	?	
							0	0	1	0	
0	0	0.00	0.00	0.00	5.00	0.00	?	?	?	?	3x KOS
							0	0	1	0	

*AGIRLIKLARI OLUSTUR

0	1	5.00	5.00	5.00	5.00	5.00	1	0	0	0	3x KOS
0	1	5.00	5.00	5.00	5.00	5.00	0	1	0	0	3x KOS
0	1	5.00	5.00	5.00	5.00	3.33	0	0	1	0	3x KOS
0	1	5.00	5.00	5.00	5.00	5.00	0	0	0	1	3x KOS

*SINIFLA

1	0	5.00	5.00	5.00	5.00	1.67	0	0	1	0	
							0	1	0	0	*YANLIS*
1	0	5.00	5.00	5.00	5.00	3.33	0	0	1	0	
							0	1	0	0	*YANLIS*
1	0	5.00	5.00	5.00	5.00	5.00	0	1	0	0	
							0	1	0	0	

*AGIRLIKLARI OLUSTUR

0	1	5.00	5.00	5.00	5.00	5.00	1	0	0	0	3x KOS
0	1	5.00	5.00	5.00	5.00	5.00	0	1	0	0	3x KOS
0	1	5.00	5.00	5.00	5.00	1.67	0	0	1	0	3x KOS
0	1	5.00	5.00	5.00	5.00	5.00	0	0	0	1	3x KOS

* SINIFLA

1	0	5.00	5.00	5.00	5.00	0.00	0	0	1	0	
							0	0	1	0	
1	0	5.00	5.00	5.00	5.00	1.67	0	0	1	0	
							0	0	1	0	
1	0	5.00	5.00	5.00	5.00	3.33	0	1	0	0	
							0	1	0	0	

birini kazanan olarak seçecektir. Seçilecek hücrenin hangisi olacağı daha önceden bilinemeyeceğinden, Tablo 4.3'deki test vektörlerinde beklenen değerler '?' işareti ile gösterilmiştir. Bu tablodan görüldüğü gibi, (0,0,0,0,0) girişine ilk yanıt veren en yüksek önceliğe sahip hücrenin ağırlık katsayıları bir sonraki adımda (5,0,0,0,0) değerine getirilerek, bu hücrenin ağırlık merkezinin diğer hücrelerinkinden uzaklaşması sağlanmaktadır. Böylece her sefer girişe eşit uzaklıkta olan hücrelerden en fazla önceliği olan seçilmekte, seçilen hücrenin ağırlık katsayıları (5,0,0,0,0) değerine eşitlenerek diğerlerinden uzaklaşması sağlanmakta, ve benzer işlem geriye kalan seçilmemiş hücreler arasında tekrar edilerek hücreler arası öncelik sıralaması yapılmaktadır. Tablo 4.3'de ölçüm sonuçları verilen devrede, hücre öncelikleri 1-2-3-4 olarak belirlenmiştir.

Herhangi iki vektörün ağırlık merkezleri arasındaki en küçük uzaklığın 1.67V değerine sahip olacağı ve bu değer en büyüğü seçme devresi girişinde 200 mV'luk bir gerilim farkı ile temsil edileceği düşünülürse, en yüksek ve en düşük seçilme önceliğine sahip hücreler arası dengesizliğin 200 mV değerinden büyük olması vektör sınıflandırıcının yanlış çalışmasına yol açacaktır. Tablo 4.4'de sonuçları verilen ölçümde bu durumun sinaması yapılmıştır. En düşük önceliğe sahip 4 numaralı hücrenin ağırlık katsayıları (5,5,5,5,3.33) değerine, diğerlerinin ise (5,5,5,5,5) değerine eşitlenerek ağırlık merkezleri arasındaki farkın 1.67V değerine sahip olması sağlanmıştır. Giriş (5,5,5,5,1.67) ve (5,5,5,5,3.33) vektörleri uygulandığında, ağırlık merkezi bu değerlere diğer hücrelerden daha yakın olan 4 numaralı hücre seçilmektedir. (5,5,5,5,5) giriş vektörü ise diğer üç hücrenin ağırlık merkezlerine daha yakındır ve bunların arasında en yüksek önceliğe sahip olan 1 numaralı hücre girişe yanıt vermektedir. Bu ölçüm sonuçları, en düşük ve yüksek seçilme öncelikli hücreler arası dengesizliğin devrenin sınıflama işlevini doğru olarak yerine getirmesini engellemeyecek kadar küçük bir değerde olduğunu göstermektedir.

Tablo 4.5'de sınıflama işlevini yanlış olarak gerçekleştiren bir devrenin ölçüm sonuçları verilmiştir. Bu tablonun ilk bölümünde, devrenin hücre seçilme öncelikleri 2-1-4-3 olarak belirlenmiştir. İkinci bölümde ise, en yüksek önceliğe sahip 2 numaralı hücre ile en düşük önceliğe sahip 3 numaralı hücre ağırlık vektörleri arasındaki uzaklığın 1.67V değerinde olması durumunda sınıflama işleminin yanlış olarak gerçekleştiği, ağırlık merkezi giriş vektörüne 3 numaralı hücreden daha uzak olan 2 numaralı hücrenin daha yakınmış gibi seçildiği görülmektedir. Tablo 4.5'in üçüncü bölümünde verilen ölçüm sonuçlarından ise, 2 ve 3 numaralı hücre ağırlık

vektörleri arasındaki uzaklığın 3.33V değerine yükseltilmesi durumunda sınıflama işleminin doğru olarak yerine getirildiği anlaşılmaktadır. Dolayısı ile, ölçülen bu devrede en büyüğü seçme yapısı girişleri arasındaki dengesizlik 200mV değerinden büyüktür.

Sınanan on adet vektör sınıflandırıcı tümdevreye ait ölçüm sonuçları Tablo 4.6'da özetlenmiştir. Bu devrelerden yalnızca bir tanesi sınıflama sınavasından geçmemiş olup buna ait ölçüm sonuçlarına yukarıda (Tablo 4.5) değinilmişti. Diğer tümdevrelerde bu tür bir sorun ile karşılaşılması, hatanın bu kırmığa özgü özel bir durum olarak değerlendirilmesine yol açmıştır.

Tablo 4.6 On adet test kırmığının ölçüm sonuçları

TÜMDEVRE NO	HÜCRE ÖNCELİĞİ	FREKANS
# 1	Sınıflama Hatası	-
# 2	1,2,3,4	5 MHz
# 3	Adım Atlama Hatası	-
# 4	1,4,2,3	5 MHz
# 5	2,4,3,1	5 MHz
# 6	3,1,4,2	1.5 MHz
# 7	Adım Atlama Hatası	-
# 8	Adım Atlama Hatası	-
# 9	4,1,2,3	1.5 MHz
# 10	Adım Atlama Hatası	-

Geriye kalan dokuz tümdevreden dördü 'bir adım atlama' sınavasında takılmıştır. Bu sınavada hatalar genellikle, ağırlık katsayılarının 3.33V'dan 5V'a yükselememesi ya da 1.67V'dan 0V'a düşmemesi şeklinde kendini göstermektedirler. Daha önce Şekil 3.12'de verilen ve SPICE benzetimi ile elde edilen sınırlayıcı giriş-çıkış özeğrisinden, bu değerlere karşı gelen çalışma noktalarının saçılmalara karşı fazla bir paya sahip olmadıkları görülebilir. Tablo 4.6'da söz edilen on adet tümdevreden ilk beşi bir silisyum puldan, diğer beşi ise başka bir silisyum puldan elde edilmişlerdir. İlk puldan elde edilenlerin yalnızca biri 'bir adım atlama' sınavasından geçememekte, bu sınavadan geçenlere uygulanabilecek en büyük saat frekansı ise 5MHz olarak ölçülmektedir. Buna karşın ikinci puldan elde edilen tümdevrelerin üçü 'bir adım atlama' sınavasında takılmakta, bu sınavadan geçen diğer iki tümdevreye uygulanabilecek saat frekansı ise 1.5MHz'in üzerine çıkarılamamaktadır. Saat frekansı arttırıldığında bu iki tümdevre de 'bir adım atlama' sınavasında takılmaktadırlar. Bu sonuçlar, sınırlayıcı

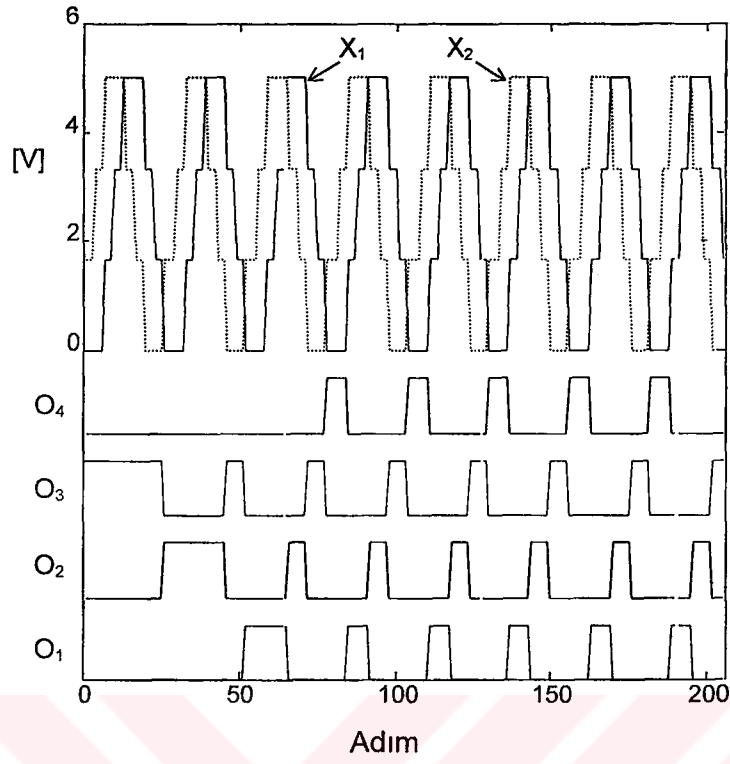
tranzistör boyutlarının tasarım sırasında iyi belirlenememesi nedeniyle, sınırlayıcının çalışmasının üretim süreci saçılmalarına karşı çok duyarlı hale geldiğini ve bu nedenle sağlam devre sayısının azaldığını göstermektedir.

1 MHz saat frekansı uygulanarak çalıştırılan toplam on tümdevreden beşi tüm sınamalardan geçmiştir. Bunlara ait hücrelerin seçilme öncelikleri Tablo 4.6'da verilmiştir. Buradan görüldüğü gibi herhangi bir hücrenin sürekli bir üstünlüğü yoktur, sonuç kırmıktan kırmığa değişmektedir. Daha önce değinildiği gibi, hücre önceliklerinin belirlendiği sınamada hücrelerin ağırlık merkezlerinin giriş vektörüne eşit uzaklıkta olması, en büyüğü seçme devresinin girişlerine eşit gerilimlerin uygulanması anlamına gelmektedir. Böyle bir durumda en büyüğü seçme devresinin dengesizlikleri karar verici olacaktır. Örneğin en büyük sütun kapasitesine bağlı girişi her zaman seçilecektir. Tasarım sırasında sütun kapasiteleri mümkün olduğunca eşit yapılmaya çalışılmıştır. En büyüğü seçme devresinin sütunları boşaltan tranzistörlerinin eşit ve aynı yönde yapılmasına özen gösterilmiştir. Tranzistörlerin aynı yönde yapılmasının amacı, gerek maske üretimi gerekse poli geçit şekillendirme sırasında yatay ve düşey tranzistörler arasında oluşabilecek boyut farklarının etkisinden kurtulmaktır. Ölçümlerin sonucunda herhangi bir hücrenin sürekli üstünlüğüne rastlanmaması tasarımda amaçlanan hedefe ulaşıldığını göstermektedir. Bu durumda hücre öncelikleri, doğal olarak, üretim süreci içi saçılmalar tarafından belirlenecektir. Vektör sınıflandırıcıların farklı hücre önceliklerine sahip olmaları; kendi kendine sınıflama yapacak şekilde çalıştırıldıkları durumda, kendiliğinden oluşacak sınıf ağırlık merkezlerinin devreden devreye farklı gelişmesine neden olmayacak, buna karşın bu sınıfların hangi hücreler tarafından temsil edileceği devreden devreye değişecektir.

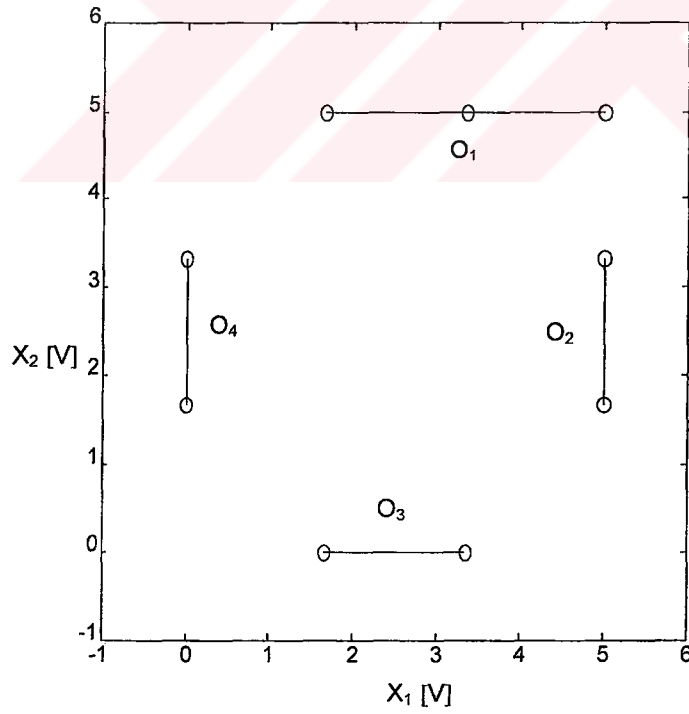
4.2 Vektör Sınıflandırıcısının Örnek Bir Uygulamada Sınanması

Örnek bir uygulama olarak, vektör sınıflandırıcısının üç girişi sıfıra bağlanmış, diğer iki girişine ise birbirinden 90 derece faz farklı iki sinüsoidal işaret uygulanarak, devreden bu işaretleri kendi kendine sınıflara ayırması istenmiştir. Şekil 4.3'de bu uygulamanın MATLAB yazılımı kullanılarak elde edilen benzetim sonuçları görülmektedir. Şekil 4.3a'da X_1 ve X_2 girişlerine uygulanan kuantalanmış işaretlerin ve bu işaretlere bağlı olarak kendiliğinden oluşan sınıfları temsil eden 'O' çıkışlarının zamana göre değişimi verilmiştir. Başlangıçta tüm ağırlık katsayıları sıfırlandıktan sonra, sinüsoidal giriş işareti, bir periyodu 25 adıma bölünmüş biçimde sınıflandırıcıya uygulanmakta, ve yaklaşık iki periyod (50 adım) sonunda 'O' çıkışları kararlı hale gelmektedir. Bu kararlı durumda, sınıflandırıcısının giriş işaretlerini dört ayrı sınıfa ayırdığı Şekil 4.3a'dan görülmektedir. Oluşan sınıflar, X_1 ve X_2 giriş değerlerine bağlı olarak Şekil 4.3b'de çizdirilmiştir. Aynı sınıfta gruplanan giriş vektörlerinin düz bir çizgi ile birleştirildiği bu şekilden anlaşılabileceği gibi, devreye iki boyutlu dokuz farklı giriş vektörü periyodik olarak uygulanmaktadır. Vektör sınıflandırıcı, bu giriş vektörlerinden üçünü bir sınıfta toplamakta ($X_2 = 5, X_1 = 1.67, 3.33, 5$), diğer altısını ise ikişer ikişer diğer üç sınıfa dağıtmaktadır: ($X_1 = 5, X_2 = 1.67, 3.33$), ($X_2 = 0, X_1 = 1.67, 3.33$), ($X_1 = 0, X_2 = 1.67, 3.33$).

Tablo 4.7'de bu uygulamanın Şekil 4.1'de tanıtılan ölçüm düzeneği ile gerçekleştirilen sınama sonuçları verilmiştir. Bu tabloda ilk iki sütun, X_1 ve X_2 girişlerine uygulanan sinüsoidal işaretlerin bir periyod boyunca aldıkları değerleri göstermektedir. Üçüncü sütunda her giriş vektörü değerinin süresi, başka bir anlatımla, giriş vektörünün devreye kaç kere uygulandığı görülmektedir. Buradan anlaşılabileceği gibi yalnızca ($X_1 = 5, X_2 = 5$) vektörü bir kere, diğer tüm vektörler ise üç kere sınıflandırıcıya uygulanmaktadır. Tablonun diğer sütunlarında, giriş işaretlerinin periyodik uygulanış sayısına bağlı olarak seçilen sınıfların değişimi verilmiştir. Buradan görülebileceği gibi, giriş işaretlerinin ondördüncü uygulanış periyodundan itibaren devre çıkışları kararlı duruma gelmektedir. Tabloda koyu olarak işaretlenen bu bölgeden, vektör sınıflandırıcısının dokuz giriş vektörünü dört sınıfa ayırdığı ve oluşan sınıf içeriklerinin MATLAB benzetiminden beklenenler ile aynı olduğu görülmektedir.



(a)



(b)

Şekil 4.3 Örnek uygulamanın MATLAB benzetimi sonuçları: (a) Sınıflandırıcı giriş ve çıkışlarının zamana bağlı değişimi, (b) Giriş vektörü değerlerine bağlı olarak sınıfların oluşumu.

Tablo 4.7 Örnek uygulama ölçüm sonuçları: Seçilen sınıfların giriş işaretlerinin periyodik uygulamalarına göre değişimi.

GİRİŞ			PERİYOD NO / SEÇİLEN SINIF															
X ₁	X ₂	Süre	#1	#2	#3	#4	#5	#6	#7	#8	#9	#10	#11	#12	#13	#14	#15	#16
0	1.67	x3	3	2	4	1	1	1	1	3	3	3	3	2	2	2	2	2
0	3.33	x3	3	2	4	1	1	1	1	3	3	3	3	2	2	2	2	2
1.67	5	x3	3	2	4	4	4	4	1	1	1	1	3	3	3	3	3	3
3.33	5	x3	3	2	4	4	4	4	1	1	1	1	3	3	3	3	3	3
5	5	x1	3	2	4	4	4	4	4	1	1	1	3	3	1	3	3	3
5	3.33	x3	3	2	2	2	2	4	4	4	4	1	1	1	1	1	1	1
5	1.67	x3	3	3	3	3	2	2	2	2	4	4	4	4	1	1	1	1
3.33	0	x3	1	1	1	1	3	3	3	2	2	2	2	4	4	4	4	4
1.67	0	x3	4	4	1	1	3	3	3	2	2	2	2	4	4	4	4	4

5.SONUÇLAR VE TARTIŞMA

Bu çalışmada yeni bir çok düzeyli statik bellek yapısı geliştirilmiştir. Bellek; gerilime dayalı çalışmasından dolayı, akıma dayalı yapıların tersine durağan halde hiç güç harcamamakta, statik olması nedeniyle de tazeleme devrelerine gerek duymamaktadır. Genel olarak gerilime dayalı çok düzeyli bellek yapılarında lojik düzeyler, ya tranzistör boyut oranları ile ya da tranzistörlere farklı eşik ayar ekimi yapılarak ayarlanırlar. Bu çalışmada geliştirilen bellek yapısı ise, hem tranzistör boyut oranlarından bağımsız olarak çalışmakta, hem de farklı eşik ayar ekimi gibi standart dışı üretim süreçlerine gerek duymamaktadır. Bellek yapısının diğer bir özelliği de, analog işaretlere doğrudan bağlanabilmesi, analog/sayısal ve sayısal/analog dönüştürücülere gerek duymamasıdır.

Yapı, düzey başına dört tranzistörlü bir göze kullanmakta olup, bu gözelerin ard arda bağlanmasından oluşmuştur. Her göze, bir evirici ve evirici tarafından kontrol edilen iki yol tranzistörü içermektedir. Bellek yapısına uygulanabilecek en düşük lojik düzey gerilimini, ve dolayısı ile belleğin düzey sayısını sınırlayan, göze tranzistörlerinin iletim koşullarıdır. Bu nedenle, belleğe sığdırılabilecek düzey sayısında tranzistör eşik gerilimleri ve gövde etkileri belirleyici olmaktadır. Özellikle büyük gövde etkisine sahip PMOS tranzistörler ayırık N-kuyularda gerçekleştirilerek, taban-kaynak gerilimlerinin mümkün olduğunca küçük yapılması ve böylece eşik gerilimlerinin gövde etkisi nedeniyle fazla büyümemesi sağlanmıştır. YİTAL 3 μ m CMOS üretim süreci parametreleri ($V_{TN0}=0.8V$, $\gamma_N=0.3\sqrt{V}$, $V_{TP0}=-0.9V$, $\gamma_P=0.65\sqrt{V}$) kullanılarak $V_{DD}=5V$ 'luk besleme gerilimi ile çalışan bellek yapısına dört düzey sığdırılabilmektedir. Bu durumda lojik düzey gerilimleri 0V, 1.67V, 3.33V ve 5V olarak belirlenmektedir. Daha düşük eşik gerilimi ve gövde etkisine sahip üretim süreçleri düzey sayısının artırılmasına olanak sağlayabilir. Örneğin parametreleri ($V_{TN0}=0.6V$, $\gamma_N=0.3\sqrt{V}$, $V_{TP0}=-0.6V$, $\gamma_P=0.4\sqrt{V}$) olarak verilen bir 2 μ m CMOS üretim süreci kullanılması durumunda, belleğe beş düzey sığdırılabileceği hesaplanmaktadır.

Bellek dört seviyeli olarak çalışmasını 12 tranzistör kullanarak gerçekleştirmektedir. Aynı işlevin [49]'da 23 tranzistör, [50]'de ise 38 tranzistör kullanılarak gerçekleştirildiği düşünülürse, tranzistör sayısının önemli ölçüde düşürüldüğü sonucuna varılabilir.

Bellek gözesi tranzistörlerinin iletim koşullarına bağlı olarak $V_{DD}=5$ V'luk besleme gerilimi için dört olarak belirlenen düzey sayısının, yol tranzistörlerinin eşik altında çalışmasına izin verilmesi durumunda altıya çıkarılabileceği test devresi üzerinde yapılan ölçümlerden görülmüştür. Bellek yapısı bu şekilde altı düzeyli olarak çalıştırıldığında, çıkışından çok küçük akımlar akıtmaktadır. Bu akımlar bir yükü sürmeye yeterli olmamakla beraber, çıkışın kaçak akımlar nedeniyle zamanla değişmesine engel olacak kadar da büyüktürler. Dolayısı ile, bellek çıkışı dışarıdan kararlı konumlarından birine getirilip serbest bırakıldığında bu konumunu koruyacaktır. Bellekte saklı ağırlık katsayısının okunması bellek çıkışı yüklenmeden, çıkışının bağlı olduğu tranzistörün akımı kullanılarak gerçekleştirilebilir. Bellek altı düzeyli çalışma için 20 tranzistöre gerek duymaktadır.

Bu çalışmada sunulan bellek yapısına ait bilgilere [76]'dan da ulaşılabilir.

Değişken ve analog ağırlık katsayılı yapay sinir ağı modellerinin tümleştirilme uygulamalarında karşılaşılan en önemli sorun, ağırlık katsayılarının uyarlanabilir şekilde saklandığı analog bellek yapılarına gereksinme duyulmasıdır. Bu amaçla yüzer geçitli elemanlardan, MOS kapasitelerden, sayısal belleklerden yararlanıldığı çeşitli uygulamalardan görülmektedir. Bu yöntemlerin herbirinin kendine özgü sakıncaları bulunmaktadır. Örneğin, yüzer geçitli elemanlar özel üretim teknolojileri kullanılarak üretilmekte ve karmaşık yazma devrelerine gerek duymaktadırlar. Verilerin bir MOS tranzistörün geçit kapasitesinde saklandığı yöntemde, kapasitenin kaçak akımlar nedeniyle zamanla boşalmasını engellemek için tazeleme devrelerinin kullanılması gerekmektedir. Analog verilerin sayısal belleklerde saklanması ise, ancak analog/sayısal ve sayısal/analog dönüştürücüler kullanılarak gerçekleştirilebilmektedir. Bu çalışmada geliştirilen dört düzeyli bellek yapısı analog ve değişken ağırlık katsayılarının saklanmasıyla yönelik olarak, Kohonen türü bir vektör sınıflandırıcının gerçekleştirilmesinde kullanılmıştır. Yapılan kaynak araştırmasında, çok düzeyli belleklerin yapay sinir ağı uygulamalarında ağırlık katsayısı saklama amaçlı kullanımına rastlanmamıştır. Geliştirilen belleğin, standart CMOS üretim sürecine tam uyumlu olma, tazeleme devreleri gerektirmeme ve analog işaretlere doğrudan bağlanabilme özellikleri diğer saklama yöntemlerine

göre olumlu yönlerini oluşturmaktadır. Buna karşın dört seviyeli olması, kullanımını yüksek ağırlık katsayısı çözünürlüğü istemeyen uygulamalarla sınırlamaktadır.

Yukarıda sözü edildiği gibi, geliştirilen bellek yapısından Kohonen türü bir vektör sınıflandırıcı gerçekleştirilmesinde yararlanılmıştır. Kohonen'in öz-düzenlemeli ağ algoritması; giriş vektörü ile hücre ağırlık vektörleri arasındaki uzaklıkların hesaplanmasına, hücreler arasında girişe en yakın uzaklığa sahip olanın belirlenmesine ve, bu hücre ile bu hücreye komşu hücrelerin ağırlık vektörlerinin giriş vektörüne doğru yaklaştırılmalarına dayanmaktadır. Gerçekleştirme sırasında orijinal algoritmada bazı değişikliklere gidilmiştir:

- a) Kohonen algoritmasında uzaklıklar, giriş vektörü elemanları ile hücre ağırlık vektörü elemanları arasındaki farkların karelerinin toplamı şeklinde hesaplanırken, buradaki gerçekleştirmede farkların mutlak değerlerin toplamı uzaklık ölçütü olarak kullanılmıştır. Kare alma işleminin gerilime dayalı olarak gerçekleştirilmesindeki zorluktan kurtulmak amacıyla, yerine mutlak değer alma işlemi tercih edilmiştir. Kare almaya ve mutlak değer almaya dayanan uzaklıklar normalize olarak karşılaştırılırsa, mutlak değer olarak hesaplanan uzaklık değerlerinin kare alarak hesaplanarlardan her zaman daha büyük veya eşit olduğu görülür. Giriş ile hücreler arasındaki uzaklık değerlerine dayanarak girişe en yakın hücreyi belirleyen en büyüğü seçme devresinin doğru çalışabilmesi, girişlerine uygulanan gerilimler arasındaki farkın karşılaştırılabileceği bir en küçük gerilim değerinden büyük olmasına bağlıdır. Mutlak fark alma yöntemi kullanıldığında kare almaya göre daha büyük uzaklık değerleri elde edilmesi, en büyüğü seçme devresinin girişlerine daha büyük gerilimler uygulanmasına yol açacağından, devrenin çalışmasını olumlu yönde etkileyecektir.
- b) Öz-düzenlemeli ağ algoritmasında yapılan diğer bir değişiklik ise, yalnızca seçilen hücrenin ağırlık katsayılarının girişe doğru yaklaştırılması, komşu hücrelerin ağırlık katsayılarına dokunulmamasıdır. Bu durumda, öz-düzenlemeli ağa özgü olan hücrelerin giriş uzayının topolojisini öğrenecek şekilde düzenlenmeleri özelliği ortadan kalkmakta, gerçekleştirilen yapı Kohonen'in öğrenen vektör kuantalayıcısına dönüşmektedir.
- c) Orijinal algoritmada, öğrenme başlangıcındaki uyarlamalar sırasında hücre ağırlık katsayıları büyükçe adımlarla değiştirirken, öğrenme ilerledikçe, yakınsama

aşamasında bu değişim miktarı küçültülmektedir. Buradaki gerçekleştirilmede ise zaten dört düzeyli olan ağırlık katsayılarının değişim miktarları, bir düzeylik değerde sabit tutulmuştur.

TÜBİTAK-UEKAE-YİTAL'de 3µm çift poli N-kuyu CMOS süreci kullanılarak üretilen Kohonen türü vektör sınıflandırıcı, beş boyutlu giriş vektörlerini dört sınıfa ayırmakta olup, sınıflandırırken kendi kendine öğrenme, denetimli olarak öğrenme ya da yalnızca sınıflandırma yapma yeteneklerine sahiptir. Ayrıca kullanıcıya istediği hücrenin ağırlık katsayılarını dışarıdan okuma olanağını vermektedir. Devre serbest olarak çalışabildiği gibi adım adım da çalıştırılabilmektedir. Vektör sınıflandırıcı 2mm x 2.5mm'lik bir kırık alanı kaplamaktadır. Devre başlıca dört yapı bloğundan oluşmaktadır: Analog girişlerin örneklenip kuantalandığı giriş örnekleyici/tutucu yapıları, ağırlık katsayılarının saklandığı ve uyarlandığı bellek yapıları, giriş vektörü ile hücre ağırlık vektörleri arasındaki uzaklıkların hesaplandığı mutlak fark alma yapıları ve hesaplanan uzaklıklara bağlı olarak giriş vektörüne en yakın uzaklığa sahip hücreyi belirleyen en büyüğü seçme yapısı. Geliştirilen dört düzeyli bellek yapısı, gerek giriş örnekleyici/kuantalayıcılarında, gerekse ağırlık katsayılarının saklanması/uyarlanması kullanılmıştır. Ağırlık katsayısı uyarlamasının bir lojik düzeylik değere sınırlanması, bellek girişine bir sınırlayıcı yapı eklenerek sağlanmıştır.

Vektör sınıflandırıcıyı oluşturan dört temel yapı, test amaçlı olarak ayrı ayrı üretilmişler ve ölçülmüşlerdir. Vektör sınıflandırıcısının sınanması ise bilgisayar destekli bir ölçüm düzeneği yardımıyla gerçekleştirilmiştir. Bilgisayar aracılığı ile sınıflandırıcıya istenen test vektörleri uygulanmış, devre adım adım çalıştırılarak her adım sonunda devre çıkışlarının ve hücre ağırlık katsayılarının aldıkları değerler ölçülmüş ve beklenen değerlerle karşılaştırılmıştır. Beşi bir puldan, diğer beşi başka bir puldan elde edilmiş olmak üzere toplam on adet tümdevre ölçülmüştür. Birinci pula ait beş devreden biri yanlış sınıflama yapmakta, biri bir adım atlama sınavından geçememekte, diğer üçü ise tüm sınavlardan geçmekte ve 5MHz'lik saat frekansı ile çalışabilmektedirler. İkinci puldan elde edilenlerin üçü bir adım atlama sınavından geçememektedir. Bu sınavdan geçen diğer iki tümdevrenin ise çalışma frekansları 1.5 MHz ile sınırlı kalmakta, saat frekansının artırılması durumunda bu devreler de bir adım atlama sınavında takılmaktadır. Dolayısı ile ölçülen on tümdevreden dördü bir adım atlama hatası yaparken, sağlam devrelerden ikisi bu hataya duyarlıdır. Hata genel olarak, 3.33V değerinden 5V'a

yükselememe ya da 1.67V değerinden 0V'a düşememe şeklinde kendini göstermektedir. Sınırlayıcının Şekil 3.12'de verilen SPICE benzetimiyle elde edilmiş karakteristiğinden de, bu değerlere karşı gelen çalışma noktalarının saçılmalara duyarlı olduğu görülebilir. Sonuç olarak, sınırlayıcı tranzistör boyutları tasarım sırasında iyi belirlenememiş ve bu nedenle sınırlayıcının çalışması üretim saçılmalarına çok duyarlı hale gelmiştir. Ölçülen devrelerin hemen hemen yarısında bu sorunla karşılaşmış olmasının temel nedeni budur.

Ölçümler sırasında giriş vektörüne eşit uzaklığa sahip hücreler arasındaki seçilme öncelikleri de incelenmiştir. Giriş vektörlerinin ve ağırlık vektörlerinin birbirine eşit oldukları durumda, en büyüğü seçme devresinin girişlerinde eşit gerilimler oluşacak, bu durumda hangi hücrenin seçileceği devre içi dengesizlikler tarafından belirlenecektir. Tasarım sırasında, en büyüğü seçme devresi mümkün olduğunca dengeli yapılmaya çalışılmıştır. Yapılan ölçümler sonucunda, hücre önceliklerinin devreden devreye değiştiği, belli bir sıralamanın ya da herhangi bir hücrenin sürekli üstünlüğünün olmadığı görülmüştür. Bu durum, tasarımının dengeli yapılmasından dolayı, hücre önceliklerinin üretim süreci içi saçılmalar tarafından belirlendiğini göstermektedir. Vektör sınıflandırıcıların farklı hücre önceliklerine sahip olmaları; kendiliğinden oluşacak sınıf ağırlık merkezlerinin devreden devreye farklı gelişmesine neden olmayacak, buna karşın bu sınıfların hangi hücreler tarafından temsil edileceği devreden devreye değişecektir.

Sınıflandırıcının basit bir uygulamada sınanması amacıyla, devrenin girişlerinden ikisine birbirinden 90 derece faz farklı iki sinüsoidal işaret verilmiş ve devreden bu girişleri kendi kendine sınıflara ayırması istenmiştir. Bu sırada, diğer üç giriş toprağa bağlanmıştır. Ölçülen devrenin çıkışları, giriş işareti 13 periyod uygulandıktan sonra kararlı hale gelmişler ve bu durumda dört ayrı sınıfın oluştuğu görülmüştür. Oluşan sınıfların içerikleri, MATLAB benzetimi ile bulunanlarla tam bir uyum içindedir.

Vektör sınıflandırıcıda kullanılan gerilime dayalı mutlak fark alma yapısı, bu çalışmada gerçekleştirilen tasarımın en zayıf yönünü oluşturmuştur. Bu yapı, hem kendisi fazla alan kaplamakta, hem de kendine bağlı bellek yapılarının tranzistörlerinin büyük yapılmasına yol açmaktadır. Bellek yapıları, mutlak fark alma yapıları üzerinden büyük satır ve sütun kapasiteleri sürmek zorunda kalmışlardır. Geçit-kaynak gerilimleri en düşük lojik düzeye eşit olarak çalışan bellek tranzistörlerinden gerekli akımların akıtılabilmesi için, tranzistör boyutlarının büyütülmesi gerekmiştir. Bunun sonucunda da bellek yapısının kapladığı alan

artmıştır. Bellek yapısı, sınırlayıcı ve mutlak fark alma yapısından oluşan göze $230\mu\text{m} \times 170\mu\text{m}$ 'lik bir alana sahiptir. Bu alanın yaklaşık %40'ını mutlak fark alma yapısı kaplamaktadır. Mutlak fark alma işleminin akıma dayalı yapılması hem bellek yapısının hem de mutlak fark alma yapısının çok daha küçük boyutlarda gerçekleştirilmesine olanak verecektir.

Bu çalışmadaki vektör sınıflandırıcı beş boyutlu dört hücreden oluşmuştur. Hücre sayısının az olması ve gerçekleştirme sırasında da kolaylık sağlaması nedeniyle, yalnızca kazanan hücrenin ağırlık katsayıları uyarlanmış, komşu hücrelerinkine ise dokunulmamıştır. Daha fazla hücre içeren bir devre gerçekleştirilmesi durumunda, kazanan hücrenin ağırlık katsayılarının iki birim, ona komşu hücrelerin ağırlık katsayılarının ise birer birim değiştirilmesi sağlanarak, devreye öz-düzenleme özelliği katılabilir. Bu durumda, sınırlayıcı yapısını gerektiğinde iki birimlik gerektiğinde ise bir birimlik değişimlere izin verecek şekilde tekrar tasarlamak gerekmektedir. Devreye eklenebilecek hücre sayısını sınırlayan, giriş kuantalayıcı/örnekleyici yapıların sürme yetenekleridir. Dolayısı ile, bu yapıların tranzistör boyutları uygun yapılarak devreye istenildiği kadar hücre eklenebilir.

Vektör sınıflama uygulaması için gerekli ağırlık çözünürlüğü giriş uzayının özelliklerine bağlıdır. Dört düzeyli bellek yapısının sağladığı sınırlı çözünürlük, giriş uzayının çok yakın küme merkezleri içerdiği uygulamalarda yetersiz kalmaktadır. Buna karşın düşük çözünürlüğün kabul edilebildiği çalışmalarda, geliştirilen bellek yapısı etkin olarak kullanılabilir. Akıma dayalı bir mutlak fark alma yapısı ve eşik altında çalışan bellek yapıları kullanılarak, altı düzeyli ağırlık vektörleri ile işlem yapan bir vektör sınıflandırıcı üretilmesi olasıdır.

Geliştirilen bellek yapısı yüksek ağırlık katsayısı çözünürlüğü gerektirmeyen yapay sinir ağı uygulamalarının yanı sıra, çok düzeyli RAM ya da D-tip flip flop olarak çok düzeyli lojik devrelerde de kullanılmaya son derece elverişlidir.

KAYNAKLAR

- [1] **WIDROW, W., LEHR, M.A.**, 1990. 30 Years of Adaptive Neural Networks: Perceptron, Madaline, and Backpropagation, *Proceedings of the IEEE*, **78**, No. 9, 1-30.
- [2] **LIPPMANN, R. P.**, 1987. An Introduction to Computing with Neural Nets, *IEEE ASSP Magazine*, April, 4-22.
- [3] **ÇİLİNGİROĞLU, U.**, 1991. A Purely Capacitive Synaptic Matrix for Fixed-Weight Neural Networks, *IEEE Transactions on Circuits and Systems*, **38**, No. 2, 210-217.
- [4] **ÇİLİNGİROĞLU, U.**, 1993. A Charge-Based Neural Hamming Classifier , *IEEE Journal of Solid State Circuits*, **SC-28**, No. 1, 59-67.
- [5] **LEE, B. W., SHEU, B.J.**, 1989. Design of a Neural-Based A/D Converter Using Modified Hopfield Network, *IEEE Journal of Solid State Circuits*, **24**, No. 4, 1129-1135.
- [6] **GRAF, H.P., JACKEL, L.D., HUBBARD W.E.**, 1998. VLSI Implementation of a Neural Network, *IEEE Computer*, March, 41-49.
- [7] **ROBINSON, M.E., YONEDA, H., SANCHEZ-SINENCIO, E.**, 1992. A Modular CMOS Design of a Hamming Network , *IEEE Transactions on Neural Networks*, **3**, 444-456.
- [8] **KRAMER, A., HU, V., SIN C.K., GUPTA B., CHU, R., KO, P.K.**, 1989. EEPROM Device as a Reconfigurable Analog Element for Neural Networks, *Tech. Dig. IEEE IEDM*, 259-262.
- [9] **DURFEE, D. A., SHOUCAIR, F.S.** , 1992. Comparison of Floating Gate Neural Network Cells in Standard VLSI CMOS Technology, *IEEE Transactions on Neural Networks*, **3**, No. 3, 347-353.
- [10] **DEVOS, F., ZHANG, M., NI, Y., PONE, J.P. A.**, 1991. Trimming CMOS smart imager with tunnel-effect nonvolatile analogue memory, *Electronics Letters*, **29**, No.20, 924-926.
- [11] **MONTALVO, A.J., GYURCSIK, R.S., PAULO, J.J.**, 1997. Toward a General Purpose Analog VLSI Neural Network with On-Chip Learning, *IEEE Transactions on Neural Networks*, **8**, No. 2, 413-423.

- [12] CARLEY, L. R., 1989. Trimming Analog Circuits Using Floating-Gate Analog MOS Memory , *IEEE Journal of Solid State Circuits*, **24**, No. 6, 1569-1575.
- [13] HOLLER, M., TAM,S., CASTRO, H., BENSON,R.,1989. An Electrically Trainable Artificial Neural Network (ETANN) with 10240 Floating Gate Synapses, *Proc. Intl. Joint Conf. Neural Networks*, **2**,191-196.
- [14] FUJITA, D., AMEMIYA, Y., IWATA,A., 1991. Characteristics of Floating Gate Device as Analog Memory for Neural Networks, *Electronics Letters*, **27**, No. 11, 924-926.
- [15] SHIBATA,T., KOSAKA,H., ISHII,H., OHMI, T., 1995. A Neuron-MOS Neural Network Using Self-Learning-Compatible Synapse Circuits, *IEEE Journal of Solid State Circuits*, **30**, No. 8, 913-922.
- [16] CAUWENBERGHS, G., NEUGEBAUER, C.F., YARIV, A., 1992. Analysis and Verification of an Analog VLSI Incremental Outer-Product Learning System, *IEEE Transactions on Neural Networks*, **3**, No.3, 488-497.
- [17] SHIMABUKURO,R. L.,REEDY, R.E., GARCIA, G.A.,1988. Dual Polarity Nonvolatile MOS Analog Memory (MAM) Cell for Neural-Type Circuitry, *Electronics Letters*, **24**, No. 19, 1231-1232.
- [18] SCHWARTZ,D.B., HOWARD,R.E., HUBBARD,W.E., 1989. A Programmable Analog Neural Network Chip, *IEEE Journal of Solid State Circuits*, **24**, No. 2, 313-319.
- [19] MASSENGILL,L.W.,MUNDIE,D.B.,1992. An Analog Neural Hardware Implementation Using Charge-Injection Multipliers and Neuron Specific Gate Control, *IEEE Transactions on Neural Networks*, **3**, No. 3, 354-362.
- [20] SÄCKINGER, E.,BOSER,E., BROMLEY, J., LECUN,Y., JACKEL, L.D., 1992. Application of the ANNA Neural Network Chip to High-Speed Character Recognition, *IEEE Transactions on Neural Networks*, **3**, No.3, 498-505.
- [21] WATANABE, T., KIMURA, K., AOKI,M., SAKATA, T., ITO,K., 1993. A Single 1.5V Digital Chip for a 10^6 Synapse Neural Network, *IEEE Transactions on Neural Networks*, **4**, No.3, 387-393.
- [22] SATYANARAYANA, S., TSIVIDIS,Y.P., GRAF,H.P., 1992. A Reconfigurable VLSI Neural Network, *IEEE Journal of Solid State Circuits*, **27**, No. 1, 67-81.
- [23] CASTELLO, R., CAVIGLIA , D.D., FRANCIOTTA, M., MONTECCHI,F.,1991. Selfrefreshing Analog Memory Cell for Variable Synaptic Weights, *Electronics Letters*, **27**, No. 20, 1871-1872.
- [24] HOCHET, B.,1989. Multivalued MOS Memory for Variable-Synapse Neural Networks, *Electronics Letters*, **25**, No. 10, 669-670.

- [25] LEE, E.K.F., GULAK,P.G. ,1991. Error Correction Code Technique for Multivalued MOS Memory, *Electronics Letters*, **2**, No. 15, 1321-1322.
- [26] HEIM, P.,JABRI, M.A. , 1994. Long Term CMOS Static Storage Cell Performing AD/DA Conversion for Analog Neural Network Implementations, *Electronics Letters*, **30**, No. 25, 2124-2125.
- [27] ARIMA,Y., MASHIKO, K.,OKADA, K.,YAMADA,T.,MAEDA,A.,KONDOH,H., KAYANO,S.,1991. A Self-Learning Neural Network Chip with 125 Neurons and 10K Self-Organization Synapses, *IEEE Journal of Solid State Circuits*, **26**, No. 4, 607-611, April.
- [28] ARIMA,Y., MURASAKI,M., YAMADA,T., MAEDA,A., SHINOHARA, H., 1992. A refreshable Analog VLSI Neural Network Chip with 400 Neurons and 40K Synapses, *IEEE Journal of Solid State Circuits*, **27**, No.12, pp. 1854-1861.
- [29] MORIE,T., AMEMIA,Y., 1994. An All-Analog Expandable Neural Network LSI with On-Chip Backpropagation Learning, *IEEE Journal of Solid State Circuits*, **29**, No.9, 1086-1093.
- [30] LINARES-BARRANCO,B.,SANCHEZ-SINENCIO,E.,RODRIGUEZ-VAZQUEZ, A.,1993. A CMOS Analog Adaptive BAM with On-Chip Learning and Weight Refreshing, *IEEE Transactions on Neural Networks*, **4**, No. 3, 445-455.
- [31] HOLLIS, P. G., PAULOS,J.J., 1990. Artificial Neural Networks Using MOS Analog Multipliers, *IEEE Journal of Solid State Circuits*, **25**, No. 3, 849-855.
- [32] COGGINS, R., JABRI, M., FLOWER, B., PICKARD, S. ,P. G., 1995. A Hybrid Analog and Digital VLSI Neural Network for Intracardiac Morphology Classification, *IEEE Journal of Solid State Circuits*, **30**, No. 5, 542-549.
- [33] AOKI, M.,NAKAGOME, Y.,HORIGUCHI, M.,IKENAGA,S.,SHIMOHIGASHI,K., 1987. A 16-Level/Cell Dynamic Memory, *IEEE Journal of Solid State Circuits*, **SC-22**, No. 2, 297-300.
- [34] FURUYAMA,T., OHSAWA,T., NAGAHAMA,Y.,TANAKA,H., WATANABE, Y., KIMURA, T., MURAOKA, K., NATORI, K. , 1989. An Experimental 2-bit/Cell Storage DRAM for Macrocell or Memory-on-Logic Application, *IEEE Journal of Solid State Circuits*, **24**, No. 2, 388-393.
- [35] HORIGUCHI, M.,AOKI, M.,NAKAGOME, Y.,IKENAGA,S.,SHIMOHIGASHI,K. ,1988. An Experimental Large-Capacity Semiconductor File Memory Using 16-Levels/Cell Storage, *IEEE Journal of Solid State Circuits*, **23**, No.1, 27-33.
- [36] STARK, M., 1981. Two bits per cell ROM, *Proc. COMPCON*, January, 209-212.

- [37] WU,C., HUANG, H., 1993. Design and Application of Pipelined Dynamic CMOS Ternary Logic and Simple Ternary Differential Logic, *IEEE Journal of Solid State Circuits*, **28**, No.8, 895-906.
- [38] HERRFELD, A., HENTSCHE, S.,1994. CMOS Ternary Dynamic NORA Logic, *Electronics Letters*, **30**, No. 17, 1370-1371.
- [39] HERRFELD, A., HENTSCHE, S., 1994. CMOS Ternary Dynamic Differential Logic, *Electronics Letters*, **30**, No. 10, 762-763.
- [40] HUERTAS, J.L., BARRIGA,A., SANCHEZ-GOMEZ,G., 1987. Multivalued Dynamic Circuits, *Electronics Letters*, **23**, No. 10, 502-503.
- [41] LEE, E.K.F., GULAK,P.G., 1992. Current-Mode Multivalued Dynamic MOS Memory with Error Correction, *Electronics Letters*, **28**, No.11, pp.1067-1069.
- [42] NAGARAJ,K.,RAMKUMAR, K., 1984. Static RAM Cell for Ternary Logic, *Proceedings of the IEEE*, **72**, No.2, 227-228.
- [43] XUNWEI,W., XIEXIONG, C.,1985. Ternary Flip-Flops with Triple-Rail Outputs and Their Application in Ternary Sequential Circuits, *Scientia Sinica* , **XXVIII**, No.11, 1208-1221.
- [44] KAMEYAMA,W.S., SEKIBE,T., HIGUCHI,T., 1989. Highly Parallel Residue Arithmetic Chip Based on Multiple-Valued Bidirectional Current-Mode Logic, *IEEE Journal of Solid State Circuits*, **24**, No.5, 1404-1411.
- [45] CHU,W.S., CURRENT,W., 1995. Current-Mode CMOS Quaternary multiplier Circuit, *Electronics Letters*, **31**, No.4, 267-268.
- [46] CURRENT,K. W., 1994. Current-Mode CMOS Multiple-Valued Logic Circuits, *IEEE Journal of Solid State Circuits*, **29**, No.2, 95-107.
- [47] HANYU,T., HIGUCHI,T. ,1989. High-Density Quaternary Logic Array Chip for Knowledge Information Processing Systems, *IEEE Journal of Solid State Circuits*, **24**, No.4, 916-921.
- [48] SHANBHAG,N.R.,NAGCHOUDHURI,D.,SIFERD,R.E.,VISWESWARAN,G.S., 1990. Quaternary Logic Circuits in 2- μ m CMOS Technology , *IEEE Journal of Solid State Circuits*, **25**, No.3, 790-799.
- [49] CURRENT, K. W., 1989. CMOS Quaternary Latch, *Electronics Letters*, **25**, No. 13, 856-858.
- [50] CURRENT, K. W., 1994. Voltage Mode CMOS Quaternary Latch Circuit, *Electronics Letters*, **30**, No. 23, 1928-1929.
- [51] TALKHAN, E. A. , 1988. New Capabilities of the CMOS Inverter, *IEEE Journal of Solid State Circuits*, **23**, No. 3, 872-875.

- [52] KOHONEN, T. ,1990. The Self-Organizing Map, *Proceedings of the IEEE* , **78**, No. 9, 1464-1480.
- [53] PAL, N. R., BEZDEK, J.C., TSAO, E.C. ,1993. Generalized Clustering Networks and Kohonen's Self-Organising Scheme, *IEEE Transactions on Neural Networks*, **4**, No. 4, 549-557.
- [54] THIRAN, P., PEIRIS, V., HEIM, P., HOCHET, B., 1994. Quantization Effects in Digitally Behaving Circuit Implementations of Kohonen Networks, *IEEE Transactions on Neural Networks*, **5**, No. 3, 450-458.
- [55] KANGAS, J. A., KOHONEN, T.K., LAAKSONEN, J.T., 1990. Variants of Self-Organizing Maps, *IEEE Transactions on Neural Networks*, **1**, No. 1, 93-99.
- [56] VILLMANN, T., DER, R., HERRMANN, M., MARTINETZ, M., 1997. Topology Preservation in Self-Organizing Feature Maps: Exact Definition and Measurement, *IEEE Transactions on Neural Networks*, **8**, No. 2, 256-265.
- [57] LO, Z., YU, Y., BAVARIAN, B., 1993. Analysis of the Convergence Properties of Topology Preserving Neural Networks, *IEEE Transactions on Neural Networks*, **4**, No. 2, 207-220.
- [58] ZHAO, Z. ,1994. Improvements to Kohonen Self-Organising Algorithm, *Electronics Letters*, **30**, No. 6, 502-503 .
- [59] BAUER, H., PAWELZIK, K.R., 1992. Quantifying the Neighborhood Preservation of Self-Organizing Feature Maps, *IEEE Transactions on Neural Networks*, **3**, No. 4, 570-579.
- [60] CHOI, D., PARK, S., 1994. Self-Creating and Organizing Neural Networks, *IEEE Transactions on Neural Networks* , **5**, No. 4, 561-575.
- [61] IENNE, P., THIRAN, P., VASSILAS, N., 1997. Modified Self-Organizing Feature Map Algorithms for Efficient Digital Hardware Implementation , *IEEE Transactions on Neural Networks*, **8**, No. 2, 315-330.
- [62] CHANG, R., HSIAO, P., 1997. Unsupervised Query-Based Learning of Neural Networks Using Selective-Attention and Self-Regulation, *IEEE Transactions on Neural Networks*, **8**, No. 2, 205-330.
- [63] BAUER, H., VILLMANN, T. ,1997. Growing a Hypercubical Output Space in a Self-Organizing Feature Map, *IEEE Transactions on Neural Networks*, **8**, No. 2, 218-225.
- [64] VAN HULLE, M.M., T. , 1996. Topographic Map Formation By Maximizing Unconditional Entropy: A Plausible Strategy for 'On-Line' Unsupervised Competitive Learning and Nonparametric Density Estimation, *IEEE Transactions on Neural Networks*, **7**, No. 5, 1299-1305.

- [65] KOHONEN, T. , 1988. The Neural Phonetic Typewriter, *IEEE Computer*, March, 11-21.
- [66] ZHANG, C., MLYNSKI,D.A. , 1997. Mapping and Hiererchical Self-Organizing Neural Networks for VLSI Placement, *IEEE Transactions on Neural Networks*, **8**, No. 2, 299-314.
- [67] COLLINS,P., YU,S., ECKERSALL,K.R., JERVIS, B.W., BELL,I.M., TAYLOR,G.E., 1994. Application of Kohonen and Supervised Forced Organisation Maps to fault Diagnosis in CMOS Opamps, *Electronics Letters*, **34**, No. 22, 1846-1847.
- [68] MACQ, D.,VERLEYSEN, M.,JESPERS,P., LEGAT, J., 1993. Analog Implementation of a Kohonen Map with On-Chip Learning, *IEEE Transactions on Neural Networks*, **4**, No. 3, 456-461.
- [69] MELTON, M.S.,PHAN,T.,REEVES,D.S.,VAN DEN BOUT, D.E., 1992. The TInMANN VLSI Chip, *IEEE Transactions on Neural Networks*, **3**, No. 3, 375-384.
- [70] HE,Y., ÇİLİNGİROĞLU, U., 1993. A Charge -Based On - Chip Adaptation Kohonen Neural Network, *IEEE Transactions on Neural Networks*, **4**, No. 3, 462-469.
- [71] MANN, J. R.,GILBERT,S., 1989. An Analog Self-Organizing Neural Network Chip, *Advances in Neural Information Processing Systems*, **1**,739-747.
- [72] HOCHET, B., PEIRIS,V., ABDO,S., DECLERCQ,M., P., 1991. Implementation of a Learning Kohonen Neuron, *IEEE Journal of Solid State Circuits*, **26**, 262-267.
- [73] HEIM,P., VITTOZ, E. A., 1988. Precise Analog Synapse for Kohonen Feature Maps, *IEEE Journal of Solid State Circuits*, **29**, No. 8, 982-985.
- [74] FANG, W. C.,SHEU,B.J., CHEN,T.C., CHOI,J., 1992. A VLSI Neural Processor for Image Data Compression Using Self-Organization Networks, *IEEE Transactions on Neural Networks*, **3**, No.3, 506-518.
- [75] ŞEKERKIRAN, B., ÇİLİNGİROĞLU, U., 1995. A High Resolution CMOS Winner-Take-All Circuit, in *Proc. IEEE International Conference on Neural Networks*, 2023-2026.
- [76] ÇİLİNGİROĞLU, U., ÖZELÇİ, Y., Multiple-Valued Static CMOS Memory Cell, , *IEEE Transactions on Circuits and Systems II*, Yayınlanma aşamasında.

ÖZGEÇMİŞ

Yaman Özelçi 1965 yılında İstanbul'da doğdu. 1984 yılında Saint Benoit Fransız Erkek Lisesi'nden mezun oldu. 1988 yılında İstanbul Teknik Üniversitesi Elektrik-Elektronik Fakültesi'nde Lisans eğitimini, 1991 yılında aynı üniversitede yüksek lisans eğitimini tamamladı. 1990 yılından bugüne, TÜBİTAK Marmara Araştırma Merkezi, Yarı İletken Teknolojisi Araştırma Laboratuvarında araştırmacı olarak çalışmaktadır.

