

66805

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

KAPASİTİF EŞİK LOJİĞİ TEMELLİ
ANALOG SAYISAL ÇEVİRİCİ

YÜKSEK LİSANS TEZİ

Müh. Bilge BAYRAKCI

66809

Tezin Enstitüye Verildiği Tarih : 22 Ağustos 1997

Tezin Savunulduğu Tarih : 27 Ağustos 1997

Tez Danışmanı : Prof.Dr. Duran LEBLEBİCİ



Diğer Jüri Üyeleri : Prof.Dr. Uğur ÇİLİNGİROĞLU



Y.Doç.Dr. Ali TOKER 04.09.1997



AĞUSTOS 1997

T.C. YÜKSEK ÖĞRETİM KURULU
DOKÜMANTASYON MERKEZİ

İÇİNDEKİLER

	<u>Sayfa No</u>
KISALTMALAR	iii
SEMBOL LİSTESİ	iv
ŞEKİL LİSTESİ	v
TABLO LİSTESİ	ix
ÖZET	x
SUMMARY	xi
BÖLÜM 1 GİRİŞ	1
BÖLÜM 2 KAPASİTİF EŞİK LOJİĞİ VE KAPASİTİF EŞİK LOJİĞİ TEMELLİ ANALOG-SAYISAL DÖNÜŞTÜRME YÖNTEMİ	3
2.1. Kapasitif Eşik Lojiği Kapısı ve Tanım Bağıntısı	3
2.2. Kapasitif Eşik Lojiği Temelli Analog Sayısal Çevirici Çalışma Prensibi	4
2.3. Kapasitif Eşik Lojiği Temelli Analog Sayısal Çevirici Blok Şeması	6
BÖLÜM 3 KAPASİTİF EŞİK LOJİĞİ TEMELLİ ANALOG-SAYISAL ÇEVİRİCİNİN ALT BLOKLARI TASARIMI	8
3.1. Klasik Kapasitif Eşik Lojiği Kapılarında Karşılaşılan İkincil Etkiler	9
3.1.1 Yükleme enjeksiyonu	9
3.1.2 Geçit-savak örtüşümü ve geçit oksit kapasitelerinin etkileri	12
3.1.3 Besleme kaynağını bastırma oranı (PSRR)	14
3.2. Karşılaştırmalı Devrelerin Sağlaması Gereken Özellikler	14
3.3. Karşılaştırmalı Devrelerin Tasarımı ve Analizi	16
3.3.1 Giriş katı	17
3.3.2 Kazanç katı	26
3.3.3 Çıkış katı	27

3.4	Karşılaştırmalı Devre Parametrelerinin Belirlenmesi ve Benzetim Sonuçları	28
3.5	Satır Anahtar Devreleri Tasarımı	59
3.6	Sütun Anahtar Devreleri Tasarımı	61
3.7	Saat İşaretleri Üretici Devresi Tasarımı	64
BÖLÜM 4	KAPASİTİF EŞİK LOJİĞİ TEMELLİ ANALOG-SAYISAL ÇEVİRİCİ ÜST DÜZEY TASARIMI	66
4.1.	Üst Düzey Devre Şeması ve Serim Öncesi Benzetim Sonuçları	66
4.2.	Devrenin Serimi ve Serim Sonrası Benzetim Sonuçları	79
BÖLÜM 5	SONUÇLARIN DEĞERLENDİRİLMESİ	98
KAYNAKLAR		101
ÖZGEÇMİŞ		103



KISALTMALAR

ADC	:	Analog Sayısal Dönüştürücü.
DAC	:	Sayısal Analog Dönüştürücü.
CTL	:	Kapasitif Eşik Lojigi. (Capacitive Threshold Logic)
TL	:	Eşik Lojigi. (Threshold Logic)
MOS	:	Metal Oxide Semiconductor
PSRR	:	Besleme Kaynağını Bastırma Oranı. (Power Supply Rejection Ratio)
mV	:	miliVolt
V	:	Volt
OTA	:	Operasyonel Geçiş İletkenliği Kuvvetlendiricisi. (Operational Transconductance Amplifier)
AMS	:	Austria Mikro Systems.
CMOS	:	Complementary Metal Oxide Semiconductor.
MS/s	:	Saniyede-milyon-örnek. (Mega-sample per second)
Hz	:	Hertz

SEMBOL LİSTESİ

ϕ_R	:	Sıfırlama fazı saat işareti.
ϕ_E	:	Değerlendirme fazı saat işareti.
ΔV	:	Gerilim değişimi.
C_i	:	i. kapasite değeri.
V_i	:	i. gerilim değeri.
V_{DD}	:	Besleme gerilimi.
C_{goxp}	:	P tipi MOS tranzistor geçit-oksit kapasitesi.
C_{goxn}	:	N tipi MOS tranzistor geçit-oksit kapasitesi.
C_{goxs}	:	Anahtar MOS tranzistor geçit-oksit kapasitesi.
C_{gdp}	:	P tipi MOS tranzistor geçit-savak örtüşüm kapasitesi.
C_{gdn}	:	N tipi MOS tranzistor geçit-savak örtüşüm kapasitesi.
V_{th}	:	Evirici eşik gerilimi
C_f	:	Geribesleme kapasitesi.
g_m	:	Tranzistor geçiş iletkenliği
r_o	:	Tranzistor çıkış direnci.
B	:	Akım aynası yansıtma oranı.
K_V	:	Gerilim kazancı.
V_{offset}	:	Giriş eşdeğer dengesizlik gerilimi.

ŞEKİL LİSTESİ

	<u>Sayfa No</u>
Şekil 2.1 Kapasitif eşik lojiği kapısı	4
Şekil 2.2 Kapasitif eşik lojiği temelli analog-sayısal çeviricide karşılaştırma işlemleri	5
Şekil 2.3 Kapasitif eşik lojiği temelli analog-sayısal çevirici blok şeması	7
Şekil 3.1 Kapasitif eşik lojiği kapısı giriş eviricisi	9
Şekil 3.2 Yük enjeksiyonunun etkisiyle çıkış geriliminin değişimi	10
Şekil 3.3 Yük enjeksiyonunun etkisiyle giriş geriliminin değişimi	11
Şekil 3.4 Oksit ve örtüşüm kapasiteleri	13
Şekil 3.5 Oksit ve örtüşüm kapasiteleri etkilerinin incelendiği eşdeğer devre	13
Şekil 3.6 Karşılaştırmacı blok şeması	16
Şekil 3.7 Giriş katı	17
Şekil 3.8 Giriş katının küçük işaret eşdeğer devresi	19
Şekil 3.9 MATLAB Programı giriş dosyası	21
Şekil 3.10 MATLAB Programı giriş dosyası (Simetrik devre için)	22
Şekil 3.11 MATLAB Programı giriş çıkış dosyası	23
Şekil 3.12 Kazanç katı	26
Şekil 3.13 Çıkış katı	28
Şekil 3.14 Karşılaştırmacının giriş katı ve devre parametreleri	30

Şekil 3.15	Besleme kaynağına bağlı tranzistorların boyutlandırılması	31
Şekil 3.16	Besleme kaynağına bağlı tranzistorların boyutları ile kazancın değişimi	31
Şekil 3.17	Kazanç tranzistorlarının boyutlandırılması	33
Şekil 3.18	Kazanç tranzistorlarının boyutları ile kazancın değişimi	33
Şekil 3.19	Giriş katı darbe cevabı	34
Şekil 3.20	Karşılaştırıcının kazanç katı ve devre parametreleri	35
Şekil 3.21	Kazanç katı geçiş eğrisi(0-5V)	36
Şekil 3.22	Kazanç katı geçiş eğrisi(2.83-2.87V)	36
Şekil 3.23	Kazanç katının darbe cevabı	37
Şekil 3.24	Karşılaştırıcının çıkış katı ve devre parametreleri	38
Şekil 3.25	Çıkış katı gerilim geçiş eğrisi(0-5V)	39
Şekil 3.26	Çıkış katı gerilim geçiş eğrisi(2.1-2.7V)	39
Şekil 3.27	Karşılaştırıcı devre şeması	40
Şekil 3.28	Karşılaştırıcı devres geçiş eğrisi	42
Şekil 3.29	Karşılaştırıcı devresi geçiş eğrisi(2.6458V-2.6460V)	43
Şekil 3.30	1mV fark gerilimi için karşılaştırıcı devre cevabı	44
Şekil 3.31	10mV fark gerilimi için karşılaştırıcı devre cevabı	45
Şekil 3.32	100mV fark gerilimi için karşılaştırıcı devre cevabı	46
Şekil 3.33	(-1mV) fark gerilimi için karşılaştırıcı devre cevabı	47
Şekil 3.34	(-10mV) fark gerilimi için karşılaştırıcı devre cevabı	48
Şekil 3.35	(-100mV) fark gerilimi için karşılaştırıcı devre cevabı	49
Şekil 3.36	1mV fark geriliminin kapasitif kuplaj ile devreye uygulanması	51
Şekil 3.37	10mV fark geriliminin kapasitif kuplaj ile devreye uygulanması	52
Şekil 3.38	100mV fark geriliminin kapasitif kuplaj ile devreye uygulanması	53

Şekil 3.39	(-1mV) fark geriliminin kapasitif kuplaj ile devreye uygulanması	54
Şekil 3.40	(-10mV) fark geriliminin kapasitif kuplaj ile devreye uygulanması	55
Şekil 3.41	(-100mV) fark geriliminin kapasitif kuplaj ile devreye uygulanması	56
Şekil 3.42	Eleman toleranslarının en fazla %5 olduğu durum için karşılaştırmalı devrenin “Monte Carlo” benzetim sonuçları.	58
Şekil 3.43	Eleman toleranslarının en fazla 0.1 μ m olduğu durum için karşılaştırmalı devrenin “Monte Carlo” benzetim sonuçları.	59
Şekil 3.44	Satır anahtarları devre şeması ve parametreleri	60
Şekil 3.45	Satır anahtarları zaman domenli benzetim sonuçları	61
Şekil 3.46	Sütun anahtarları devre şeması ve parametreleri	62
Şekil 3.47	Sütun anahtarları zaman domenli benzetim sonuçları	63
Şekil 3.48	Analog-sayısal çevirici saat işaretleri üretici	64
Şekil 3.49	Saat işareti üretici devresinin zaman domenli benzetim sonuçları	65
Şekil 3.50	Saat işareti üretici devresinde saat işaretleri arasındaki ilişki	65
Şekil 4.1	Kapasitif temelli analog sayısal dönüştürücü en üst düzey devre şeması	67
Şekil 4.2	$V_{DD}[0.100000001]_2$ giriş gerilimi için elde edilen benzetim sonuçları	68
Şekil 4.3	$V_{DD}[0.010000001]_2$ giriş gerilimi için elde edilen benzetim sonuçları	69
Şekil 4.4	$V_{DD}[0.001000001]_2$ giriş gerilimi için elde edilen benzetim sonuçları	70
Şekil 4.5	$V_{DD}[0.000100001]_2$ giriş gerilimi için elde edilen benzetim sonuçları	71
Şekil 4.6	$V_{DD}[0.000010001]_2$ giriş gerilimi için elde edilen benzetim sonuçları	72
Şekil 4.7	$V_{DD}[0.000001001]_2$ giriş gerilimi için elde edilen benzetim sonuçları	73
Şekil 4.8	$V_{DD}[0.000000101]_2$ giriş gerilimi için elde edilen benzetim sonuçları	74
Şekil 4.9	$V_{DD}[0.000000011]_2$ giriş gerilimi için elde edilen benzetim sonuçları	75
Şekil 4.10	$V_{DD}[0.101010101]_2$ giriş gerilimi için elde edilen benzetim sonuçları	76

Şekil 4.11	$V_{DDx}[0.111100001]_2$ giriş gerilimi için elde edilen benzetim sonuçları	77
Şekil 4.12	$V_{DDx}[0.111111111]_2$ giriş gerilimi için elde edilen benzetim sonuçları	78
Şekil 4.13	Kapasitif temelli analog sayısal dönüştürücü devresi serimi	80
Şekil 4.14	Karşılaştırmacı blokları seriminin bir bölümü	81
Şekil 4.15	Satır-sütun anahtarları seriminin bir bölümü	82
Şekil 4.16	Kapasite matrisi seriminin bir bölümü	83
Şekil 4.17	Gerilim referansı üretici seriminin bir bölümü	84
Şekil 4.18	$V_{DDx}[0.100000001]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	85
Şekil 4.19	$V_{DDx}[0.010000001]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	86
Şekil 4.20	$V_{DDx}[0.001000001]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	87
Şekil 4.21	$V_{DDx}[0.000100001]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	88
Şekil 4.22	$V_{DDx}[0.000010001]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	89
Şekil 4.23	$V_{DDx}[0.000001001]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	90
Şekil 4.24	$V_{DDx}[0.000000101]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	91
Şekil 4.25	$V_{DDx}[0.000000011]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	92
Şekil 4.26	$V_{DDx}[0.101010101]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	93
Şekil 4.27	$V_{DDx}[0.010101011]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	94
Şekil 4.28	$V_{DDx}[0.111100001]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	95
Şekil 4.29	$V_{DDx}[0.111111111]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	96
Şekil 4.30	$V_{DDx}[0.000000001]_2$ giriş gerilimi için serim sonrası benzetim sonuçları	97

TABLO LİSTESİ

	<u>Sayfa No</u>
Tablo 5.1 Literatürdeki analog-sayısal çeviricilerden bazılarının özellikleri	100



ÖZET

Analog-sayısal ve sayısal-analog çevirici devrelerinin önemi her geçen gün artmaktadır. Teknolojik ve bilimsel gelişmelerin sayısal sistemlerinin kullanımını yaygınlaştırması ve bir çok probleme sayısal çözümler bulunması, sayısal-analog ve analog-sayısal çevirici devrelerinin kullanımını ve bu devrelerin tasarımı konusunda yapılan çalışmaları arttırmıştır. Konu üzerinde yapılan çalışmalara katkıda bulunması amacıyla, “Kapasitif Eşik Lojiği” temelli bir “Analog-sayısal Çevirici” devresinin tasarımı bu tez çalışmasında sunulmuştur.

“Kapasitif Eşik Lojiği” devre yapıları 90’lı yılların başında geliştirilmiştir ve çalışma esasları 1960’lı yıllarda ortaya çıkan “Eşik Lojiği”ne dayanır. Benzerlerine göre çok daha küçük silisyum alanlarında lojik devrelerin gerçekleşmesine imkan veren bu yapıların sağladığı faydalar, analog-sayısal çevirici devresi tasarımı da kullanılmıştır. Kapasitif eşik lojiği kapıları ile analog giriş işareti belirli referans gerilimleriyle karşılaştırılır ve bu işlem devre yapısıyla belirlenen bir akış içinde hiç bir kontrol işaretine gerek duyulmaksızın yapılır. Tasarlanan analog-sayısal çevirici devresi benzerlerine, silisyum üzerinde gerçekleştirme alanı bakımından üstünlük sağlamaktadır.

Kapasitif eşik lojiği kapılarının gerçekleşmesinde, istenilmeyen ikincil etkilerin azaltılması için yeni devre yapıları önerilmiştir. Bu sayede analog-sayısal çevirici devresinin performansı da arttırılmıştır. Yük enjeksiyonu, besleme gerilimini bastırma oranı ve devrelerin hızı konusunda iyileştirici çalışmalar yapılmıştır. Geliştirilen yapıların çalışması benzetim sonuçları verilerek desteklenmiştir.

Tasarım ortamının sunduğu imkanlarla, tasarlanan kapasitif temelli analog-sayısal çevirici devrenin serim öncesi ve serim sonrası benzetimleri yapılmış ve benzetim sonuçları değerlendirilerek, yapılan çalışma bezerleri ile karşılaştırılmış, devrenin kullanım alanları belirlenmiştir.

SUMMARY

A CAPACITIVE THRESHOLD LOGIC BASED ANALOG TO DIGITAL CONVERTER

Analog-to-digital and digital-to-analog converters are widely used in today's electronic systems. Growing demand for digital circuit based solutions and digital system designs in many branches of the electronic industry, make these converter circuits more essential. Recent advances in signal processing and silicon fabrication, make digital systems to become more extensively used in many applications, though interface to the analog world can only be done via analog-to-digital and digital-to-analog converters. Not only for electronic equipment manufacturers but also for circuit design and research groups, the converter circuits are becoming more attractive as development and research project, simply because of that, the projections made for the next few years are pointing the demand for converter circuits with higher resolution and higher conversion rates. A converter circuit which is a key stone in mixed-mode system design and must satisfy the needs of the system, in means of resolution, speed and cost. Considering these requirement as design criteria and planning to support the related research study done on the subject, a "Capacitive Threshold Logic Based Analog-to-Digital Converter" circuit is introduced in this thesis.

"Threshold Logic" which was introduced in the early 60's, perform not only and/or primitives but any linearly separable Boolean functions using a single gate. This advantage of realizing Boolean functions in a shorter logic depth didn't find many application areas most probably due to the limited success achieved in developing a suitable threshold logic gate on silicon. In the early 90's "Capacitive Threshold Logic Gate" which is a capacitive and charge based implementation of a threshold logic gate, is introduced. Its satisfactory performance for many applications and smaller implementation area than its counterparts, make the gate more advantageous for VLSI designs.

A capacitive threshold gate schematic is shown in Figure1. The operation of the capacitive threshold logic gate is controlled by the clock signals ϕ_R and ϕ_E which are active in the "Reset" and "Eval" phases respectively. In the "Reset" phase the clock signal ϕ_R is logic-1 and all of the inputs are connected to the reference voltage V_{REF} . Meanwhile output of the first inverter is connected to its input and the voltage of the input node is forced to the inverter threshold. At the "Eval" phase, clock signal ϕ_E is activated and all input signals are applied to the gate inputs and this cause the input node voltage of the first inverter to change. This voltage change is amplified by the

cascade connected inverters and the outputs will take their logic values. Change in the input node voltage of the first inverter is given in expression (1).

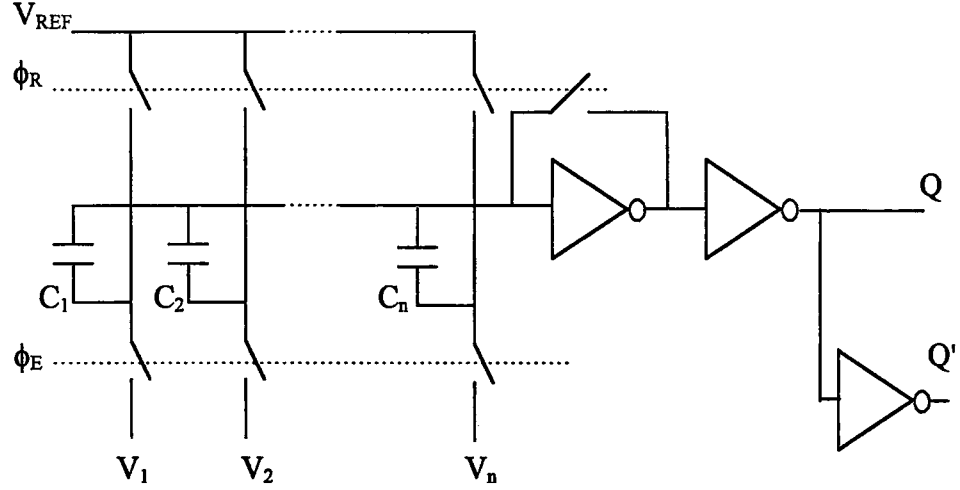


Figure 1 A capacitive threshold logic gate.

$$\Delta V = \frac{\sum_{j=1}^n C_j \cdot (V_j - V_{ref})}{\sum_{j=1}^n C_j} \quad (1)$$

The main operation principle of the capacitive threshold logic based analog-to-digital converter circuit is that, analog input signal which is first sampled in the “Reset” phase is then compared with the appropriate reference voltages in the “Eval” duration and digital outputs are produced by the capacitive threshold logic gates. The comparison begins with the most significant bit and according to the result of the previous bit the rest of the gates adjust their reference voltages via control switches controlled by the previous bits. Although the conversion is done according to a similar algorithm of the “Successive Approximation Analog-to-Digital Converters”, no control signals, different than the “Reset” and “Eval” phase clocks, are used for the control of the conversion operation, and the outputs mount after successive ripples in a single clock phase.

Capacitive threshold logic based analog to digital converter is designed to have 8-bits output. This is equivalent to 20mV input resolution for the least significant bit, under 5V supply operation. The trade-off between the unit capacitor value and the area of a threshold logic gate makes the conventional capacitive threshold logic gates impossible to be used in this design. In order to suppress the second order effects for needed accuracy of operation, unit capacitor have to be chosen a few hundreds of the minimum capacitor size allowed by today’s typical CMOS processes. Novel sub-blocks’ circuitry for capacitive threshold gate architecture is introduced. The second order effects for a capacitive threshold logic gate which are mainly charge-injection effects, low power supply rejection ratio and speed are tried to be managed with the hardware used, while keeping the design complexity alike. Capacitive threshold logic gates include high gain comparators. In the conventional

gate architecture, three cascade connected identical inverters are used for this purpose. The input of the first inverted is adjusted to its threshold voltage in the “Reset” phase by a MOS transistor shortening inverter’s input and the output. During the “Eval” phase the voltage of input node, which is floating, of the inverter chain, is changed by capacitively coupled input signals and the output takes its continuous value after the delay of the chain. Selecting small value capacitors for capacitive coupling, increase the effect of charge injected by the switch MOS transistor in the first inverter stage. The charge injection cause the floating input node voltage to decrease and suppress the voltage perturbation of the input signals. In order to avoid charge injection effect a differential comparator is designed. The amount of charge injected on one side is also injected on the other differential input and the difference between two inputs are allowed to be changed with the input voltage differences practically. Using a negative feedback, biasing of the comparator is stabilized and the power supply rejection is increased. This makes the capacitive threshold logic gate more suitable for mixed mode integrated circuit implementations.

Comparator circuit schematic is shown in Figure 2. It has mainly three cascade stages. The first one is a self biased differential amplifier. Both of its inputs can be short circuited to its outputs via MOS transistors in order to bias the comparator inputs at the “Reset” phase. The second stage is a well known symmetrical operational transconductance amplifier. This stage enables an high differential voltage gain and amplifies the output of the first stage nearly to the supply voltage rails. The last stage is the output stage which is build up with two inverters. Output stage guarantees the appropriate logic levels to be seen at the outputs. Stability and metastability which are two important issues especially at flash analog-to-digital converter design, are prevented by the suitable output stage design of the comparator blocks also. The gain of three stages are given in expressions from (2) to (4). In the expresions “ g_m ” is the transconductance of the related gain tranzistor, “ r_o ” is the output resistance of the tranzistor connected to the output node and “ B ” is the tranzistor transconductance ration of the current mirrors used in second stage.

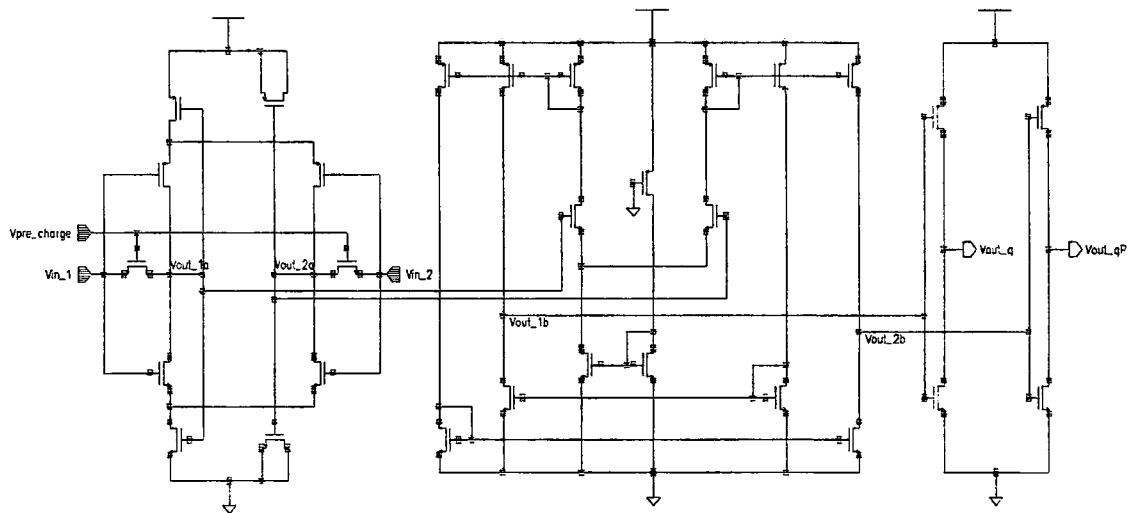


Figure 2 Comparator circuit schematic.

$$K_{vd} = g_m \cdot r_o \quad (2)$$

$$K_{vd} = B \cdot g_m \cdot \frac{r_o}{2} \quad (3)$$

$$K_v = g_m \cdot r_o \quad (4)$$

In order to determine the effects of process parameters' changes, on the operation of the comparator circuit, "Monte Carlo" simulations are made. Equivalent input referred offset, which is called also as "Random Offset" is found to be 1.28mV and 0.571mV, for %5 percent and 0.1 μ m change in the tranzistor channel dimensions, respectively. On the other hand, systematic offset of the comparator is practically zero as a result of its symmetrical architecture.

The converter circuit is porposed to be implemented with 0.8 μ m AMS CMOS technology. Design is carried out using CADENCE Design Framework-II analog design tools. The top-level schematic of the circuit is shown in Figure 3. All the capacitors used are equal and 360fF. Reference voltages are produced by a R-2R resistor circuit whic is also shown in the figure.

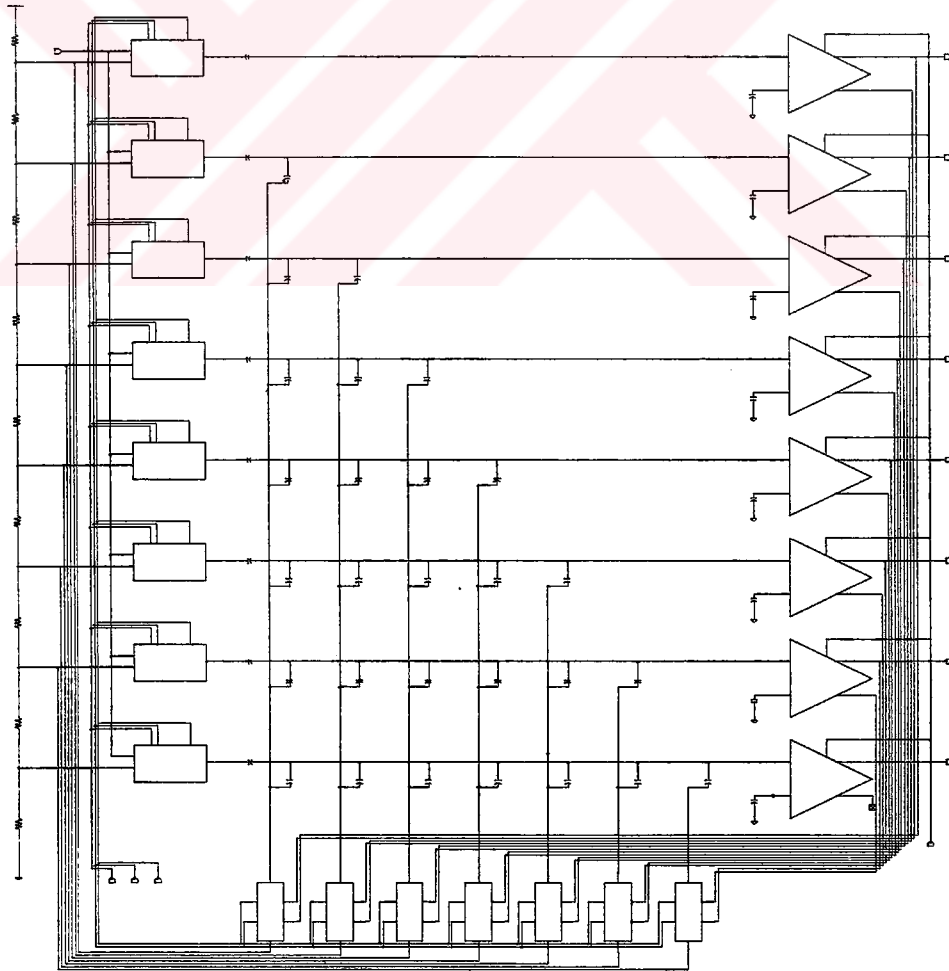


Figure 3 Analog-to-digital converter circuit top-level schematic.

Post-layout simulations yields 300KS/s throughput for 8-Bit operation. The active silicon area of the capacitive based analog-to-digital converter is only $0.08\mu\text{m}^2$. Another remarkable property of the capacitive threshold logic based analog-to-digital converter is its low power consumption. The power consumption of the circuit is nearly 15mW. Its small area and low-power consumption makes the converter suitable for embedding into standard cell based integrated circuit designs with a low silicon cost. All the signal interface at the control input and at the converter output is CMOS compatible. A post-layout simulation result is shown in Figure 4 corresponding to the input voltage of " $V_{DD} \times [0.1010\ 1010\ 1]_2$ " volts.

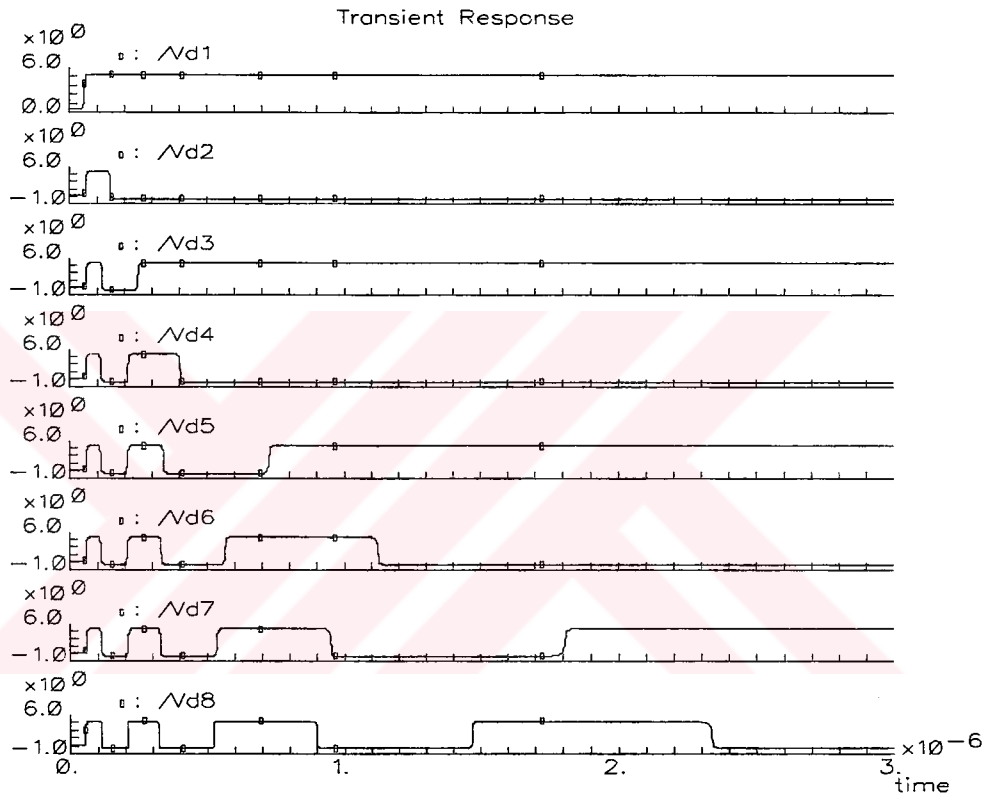


Figure 4 A post-layout simulation result.

The capacitive threshold logic based analog-to-digital converter meet the performance requirements for being used in audio systems, some signal processing applications and industrial automation circuitry. The converter is ready for fabrication and prototyping. Then, detailed test measurements have to be made on the prototypes and test result have to be checked to verify the design. Measurements related to the errors which are devised for the analog-to-digital convertor circuits have to be checked. Offset error, differential and integral non-linearity errors are the three basic errors meet at the analog-to-digital convertor design.

BÖLÜM 1

GİRİŞ

Analog ve sayısal elektrik işaretleri arasında dönüşümü sağlayan “Sayısal-Analog ve Analog-sayısal Çevirici” devreleri, elektronik devreleri arasında önemli bir yere sahiptir. Sistemlerin, sürekli zamanlı ve ayrık zamanlı sistemler olarak sınıflandırılmasına ve teorik çalışmaların geliştirilmesine büyük bir paralellik göstererek, elektronik devreleri de analog devreler ve sayısal devreler olarak başlıca iki kolda gelişmesini sürdürmüştür. Sürekli ve ayrık zamanlı sistemler arasındaki bağlaşım elemanlarının modellenmesi, bu sistemleri gerçekleyen elektronik devrelerde analog-sayısal çevirici devreler (ADC) ve sayısal-analog çevirici devrelerin (DAC) kullanılması ile sağlanmaktadır.

Çağımız elektronik teknolojisinin sunduğu boyutlardaki küçülme, düşük güç tüketimi, tasarım ve üretim zaman ve maliyetlerindeki azalma, daha karmaşık ve daha çok işlevi üstlenmiş elektronik devrelerinin gelişmesine ve bununla beraber, sadece analog veya sadece sayısal devrelerden kurulu sistemlerin değil, hem analog hem de sayısal devrelerin bir arada kullanıldığı sistemlerin gerçekleştirilmesine imkan vermiştir. Bu gelişmeler, analog ve sayısal işaretler arası dönüşümü ve işlem blokları arasında bağlaşımı sağlayan analog-sayısal çevirici ve sayısal-analog çevirici devreleri konusundaki çalışmaların önem kazanması ve devre yapılarıyla ilgili araştırmaların artması sonucunu doğurmuştur. Tez çalışması konusunun analog sayısal çevirici devreleri ile ilgili seçilmesinin sebebi, elektronik devre tasarımı konusunda güncel araştırmaların takip edilmesi ve devam eden araştırmalara katkıda bulunulmasının hedeflenmesidir.

Sayısal-analog ve analog-sayısal çevirici devrelerin tasarım esasları, diğer elektronik devrelerinininkiler gibi, günümüz elektronik teknolojilerinin hedefleri ile belirlenir.

Çevirici devrelerinin, daha küçük silisyum alanlarına sığdırılabilmesi ve daha yüksek çevirme hızlarında çalıştırılması temel iki tasarım esasıdır. Belirli fonksiyonları, benzerlerine göre daha küçük silisyum alanlarında gerçekleştirme imkanı sağlayan, Kapasitif Eşik Lojiği (Capacitive Threshold Logic - CTL) tabanlı devre yapıları kullanılarak gerçekleştirilmiş bir analog-sayısal çevirici devresi tasarımı bu tez çalışmasında sunulmuştur. [1]

Yapılan çalışmada kapasitif eşik lojiği yapıları, bu yapıların analog-sayısal çevirici devre tasarımında kullanıma yöntemleri, kapasitif eşik lojiği tabanlı gerçekleştirilen bir analog-sayısal çevirici devresinin alt blokları ve bu blokların tasarım gereksinimleri sunulmuştur. Tasarım ortamının sunduğu benzetim (Simülasyon) imkanları kullanılarak elde edilen, benzetim sonuçları da verilerek, yapılan çalışmanın sağlam bir temele oturtulması hedeflenmiştir.

BÖLÜM 2

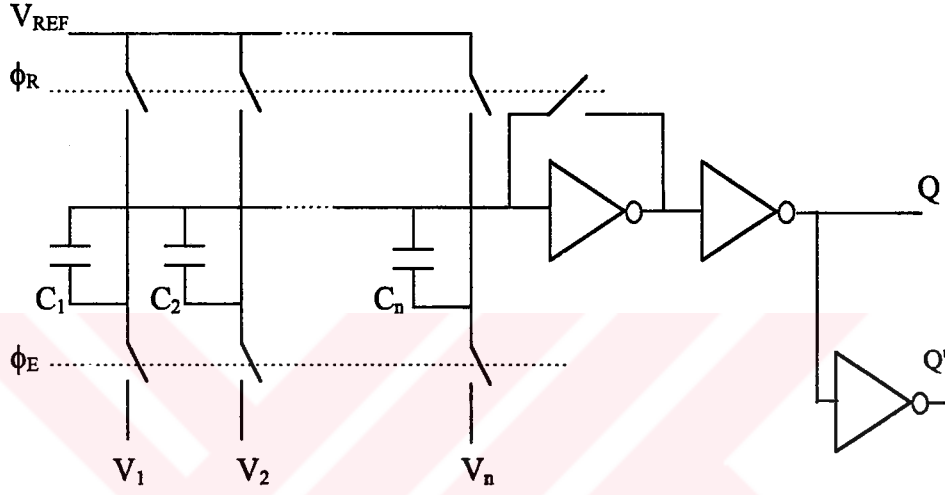
KAPASİTİF EŞİK LOJİĞİ VE KAPASİTİF EŞİK LOJİĞİ TEMELLİ ANALOG-SAYISAL DÖNÜŞTÜRME YÖNTEMİ

1960 yılların başlarında ortaya çıkan eşik lojiği (Threshold Logic - TL) sadece ve-veya fonksiyonlarının değil, lineer ayrıştırılabilir tüm Boole fonksiyonlarının, daha kısa bir lojik derinlik içinde gerçekleştirilmesine imkan tanımaktadır. Fakat, 1990'lı yılların başlarına kadar beklenen preformansı gösteren bir eşik lojiği kapısı silisyum üzerinde geliştirilemediği için, eşik lojiği uygulama alanı bulamamıştır. 1990'ların ilk yarısında tümdevre üretim teknolojisindeki gelişmeler, eşik lojiğinin tekrar canlanmasına, kapasitif mimariler ve MOS tranzistorlu devre yapıları içeren "Kapasitif Eşik Lojiği" (Capacitive Threshold Logic, CTL) kapılarının tasarlanmasına imkan sağlamıştır. [1]

2.1 Kapasitif Eşik Lojiği Kapısı ve Tanım Bağıntısı

"n" girişli bir kapasitif eşik lojiği kapısına ait devre şeması Şekil 2-1'de görülmektedir [1]. Devre örtüşmeyen iki saat işareti ile çalışmaktadır. "Sıfırlama" (Reset) fazında ϕ_R saat işareti pozitif besleme kaynağı geriliminde tutulmakta, "Değerlendirme" (Eval) fazında ise ϕ_R işareti negatif besleme gerilimine çekilip, ϕ_E saat işareti pozitif besleme kaynağı gerilimine getirilmektedir. "Sıfırlama" fazında ilk evirici katının girişi ve çıkışı kısa devre edilerek, kapasitelerin bir ucu eşik gerilimine getirilirken diğer uçları "Vref" referans gerilimine anahtarlanmaktadır. "Sıfırlama" fazı sonunda, bir sonraki "Sıfırlama" fazına kadar kapasitelerin evirici girişine bağlı olan uçları yüzer durumda (Floating) kalmakta ve kapasitelerin üzerindeki yük korunmaktadır. "Değerlendirme" fazının başlaması ile kapasitelerin uçlarına giriş gerilimleri uygulanır. Kapasiteler üzerindeki yük korunarak yüzen düğüm gerilimi, "Sıfırlama" fazında belirlenen ilk

eviricinin eşik gerilimi değerinden, kullanılan kapasitelerin oranlarının ve uygulanan giriş işareti genliklerinin bir fonksiyonu olarak, yeni bir gerilim değerine değişir. Yüzen düğüm geriliminde oluşacak ΔV değişimi (2.1) eşitliğinde verilmiştir. Gerilim değişimi ΔV 'nin pozitif olması durumunda Q çıkışı pozitif besleme kaynağına, Q' çıkışı negatif beleme kaynağına çekilir.



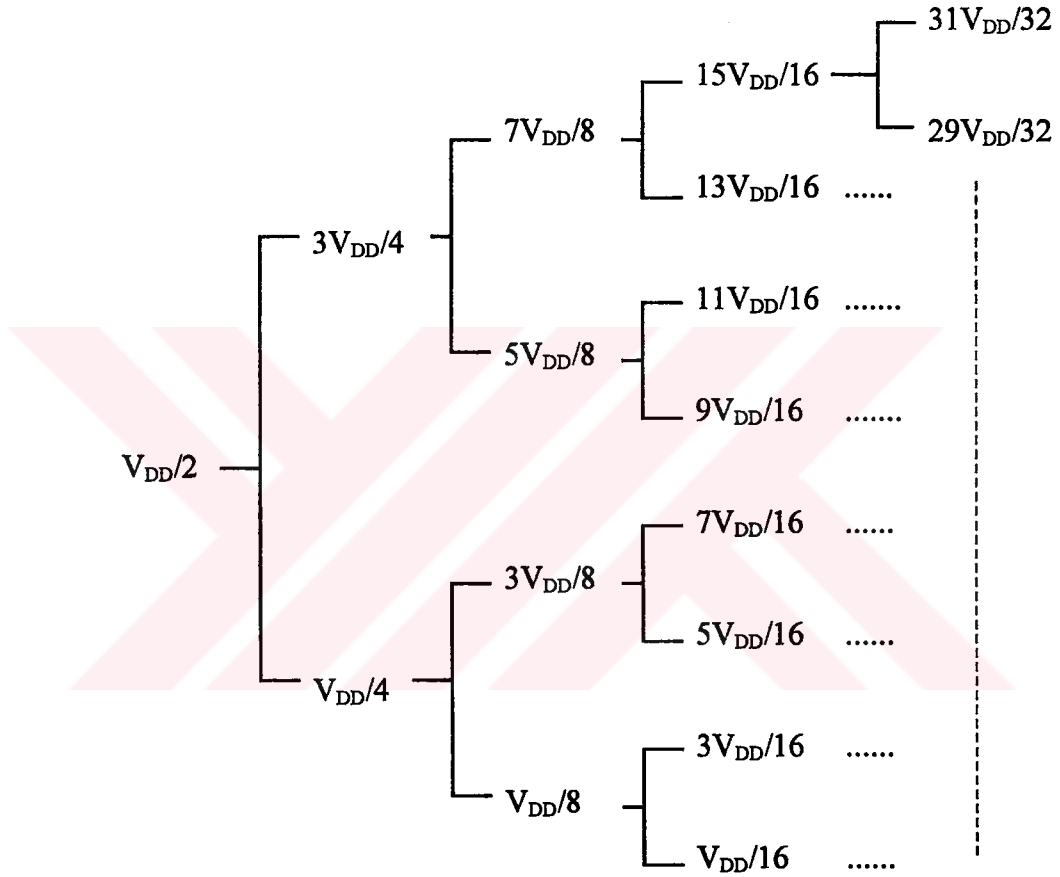
Şekil 2-1 Kapasitif eşik lojiği kapısı.

$$\Delta V = \frac{\sum_{j=1}^n C_j \cdot (V_j - V_{ref})}{\sum_{j=1}^n C_j} \quad (2.1)$$

2.2 Kapasitif Eşik Lojiği Temelli Analog Sayısal Çeviricinin Çalışma Prensibi

Kapasitif eşik lojiği temelli analog-sayısal çevirici, “Sıfırlama” fazında örneklenen giriş işaretinin, “Değerlendirme” fazında referans gerilimleri ile karşılaştırılması esasına

göre çalışır. Çevirme işlemine en yüksek anlamlı bittten başlanır ve bu bitin karşılaştırılması sonucuna göre bir düşük anlamlı bit için girişin karşılaştırılacağı referans gerilimi belirlenir. Kapasitif eşik lojiji temelli ADC'nin çevirme işlemini yaparken gerçekleştirdiği karşılaştırma işlemleri Şekil 2-2'de sembolik olarak gösterilmiştir. Bu karşılaştırma yönteminde, analog giriş işareti elde edilmek istenilen bit sayısı kadar karşılaştırma işlemi sonucunda sayısal veriye dönüşmektedir.



Şekil-2.2 Kapasitif eşik lojiji temelli analog-sayısal çeviricide karşılaştırma işlemleri.

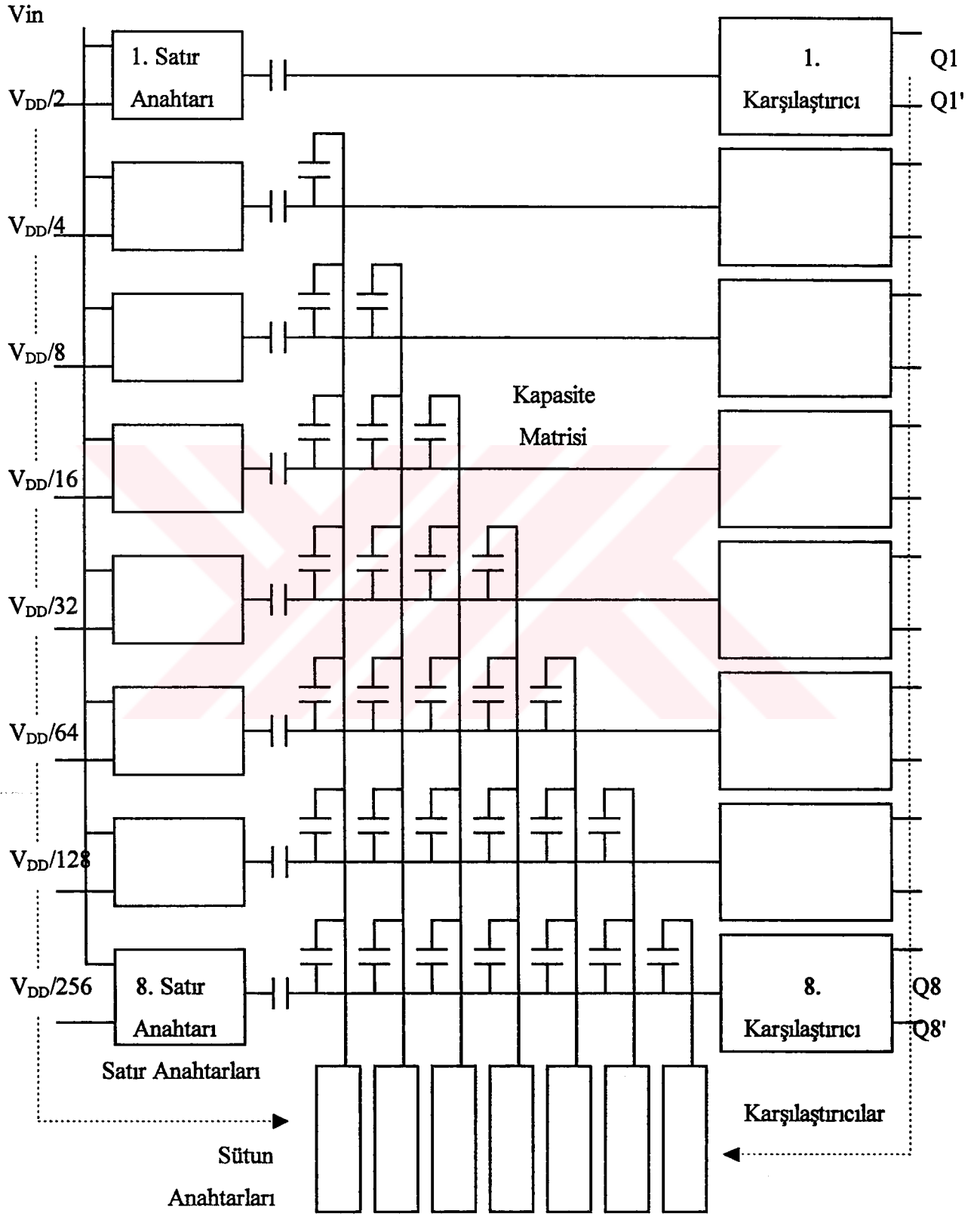
Yaygın olarak kullanılan analog-sayısal çevirici mimarileri hız ve devre karmaşıklığı bakımından sınıflandırılabilir. [2][3] Kapasitif eşik lojiji temelli analog-sayısal çeviricinin bu sınıflandırma içinde bulunduğu yer “Ardışıl Yaklaşımlı Analog-Sayısal Çeviriciler” grubudur. Ardışıl yaklaşımli analog-sayısal çevirici yapılarında karşılaştırma işlemi en yüksek anlamlı bittten başlanarak yapılır ve çıkışta istenilen bit sayısı kadar saat işareti sonunda sayısal veri elde edilir. Genellikle bir ardışıl lojik

devre de içeren ardışıl yaklaşımlı analog-sayısal çeviricilerden kapasitif eşik lojiği temelli analog-sayısal çeviriciyi ayıran en önemli özellik, çevirme işleminin kendi kendine yürütülmesi, “Sıfırlama” ve “Değerlendirme” saat işaretlerinden başka kontrol işaretlerine gerek duyulmamasıdır. “Değerlendirme” fazının başlamasından itibaren tüm bitler karşılaştırma işlemine başlar ve en yüksek anlamlı bitten başlayarak kararlı değerlerine ulaşırlar. Bu nedenle çalışma prensibi bakımından değerlendirildiğinde, ardışıl yaklaşımlı analog-sayısal çevirici devrelerine göre çevirme hızı bakımından daha üstündür.

2.3 Kapasitif Eşik Lojiği Temelli Analog Sayısal Çevirici Blok Şeması

Kapasitif eşik lojiği temelli analog-sayısal çevirici devresinin blok şeması Şekil 2.3’de verilmiştir. Devre sekiz adet kapasitif eşik lojiği kapısından, satır ve sütun anahtarlarından oluşmaktadır. “Sıfırlama” fazında satır anahtarları çıkışlarını, giriş gerilimi “Vin”e, sütun anahtarları ise bağlı oldukları düğüm gerilimlerini toprak referansına çekerler. Bu sırada, karşılaştırıcı blokları kapasitelerin diğer uçlarını karşılaştıracakları eşik gerilimine getirirler. “Sıfırlama” fazı sonunda bütün girişler sürekli konumlarını alır ve kapasiteler üzerinde sabit bir yük biriktirilir. ϕ_R saat işareti toprak referansına indirildikten sonra ϕ_E saat işareti aktif değerini alır ve “Değerlendirme” fazı başlar. Bu geçiş sırasında kapasiteler üzerinde toplanan yük değişmemelidir. Bunun sağlanabilmesi için ϕ_R ve ϕ_E saat işaretlerinin örtüşmemesi gerekir. “Değerlendirme” fazında satır anahtarları çıkışlarını, giriş geriliminin karşılaştırılacağı referans gerilimlerine çekerler. Bu gerilim değerleri en yüksek anlamlı bitten başlayarak V_{DD} besleme gerilimi olmak üzere, sırasıyla $V_{DD}/2$, $V_{DD}/4$, $V_{DD}/8$, $V_{DD}/16$, $V_{DD}/32$, $V_{DD}/64$, $V_{DD}/128$ ve $V_{DD}/256$ ’dır. Sütun anahtarları ise bir yüksek anlamlı bit için yapılan karşılaştırılma işlemi sonucuna göre çıkışlarını ya toprak referansında bırakırlar ya da bir önceki kattın satır anahtarlarına bağlı referans gerilimine çekerler. Bu sayede her bitte yapılan karşılaştırma işlemine göre bir sonraki bit için yapılacak karşılaştırma işlemi referansı tekrar belirlenir. Önceki bitte yapılan karşılaştırma işlemi sonucu giriş geriliminin referans geriliminden daha büyük olduğu

şeklindeyse, o bitin karşılaştırılacağı referans gerilimine bir önceki bitin karşılaştırıldığı referans gerilimi de eklenir.



Şekil 2.3 Kapasitif eşik lojigi temelli analog-sayısal çevirici blok şeması.

BÖLÜM 3

KAPASİTİF EŞİK LOJİĞİ TEMELLİ ANALOG SAYISAL ÇEVİRİCİNİN ALT BLOKLARI TASARIMI

Kapasitif eşik lojiği temelli analog sayısal dönüştürücünün tasarım esasları bu bölümde incelenmiştir. İlk olarak alışılagelmiş ve pek çok uygulamada kullanım alanı bulmuş, kapasitif eşik lojiği kapılarının ayrıntılı bir incelemesi yapılmış ve çalışmalarındaki ikincil etkiler ortaya konularak, bir analog-sayısal çevirici devresi tasarımı için doğabilecek kısıtlamalar belirlenmiştir. Devrenin sağlaması gereken özelliklerle beraber, incelenmiş ikincil etki ve kısıtlamalar da göz önüne alınarak kapasitif eşik lojiği temelli analog-sayısal çevirici devresinin tasarım esasları belirlenmiştir. Bu esasların sağlanabilmesi için çözüm yolları önerilmiş ve yeni devre yapıları geliştirilmiştir.

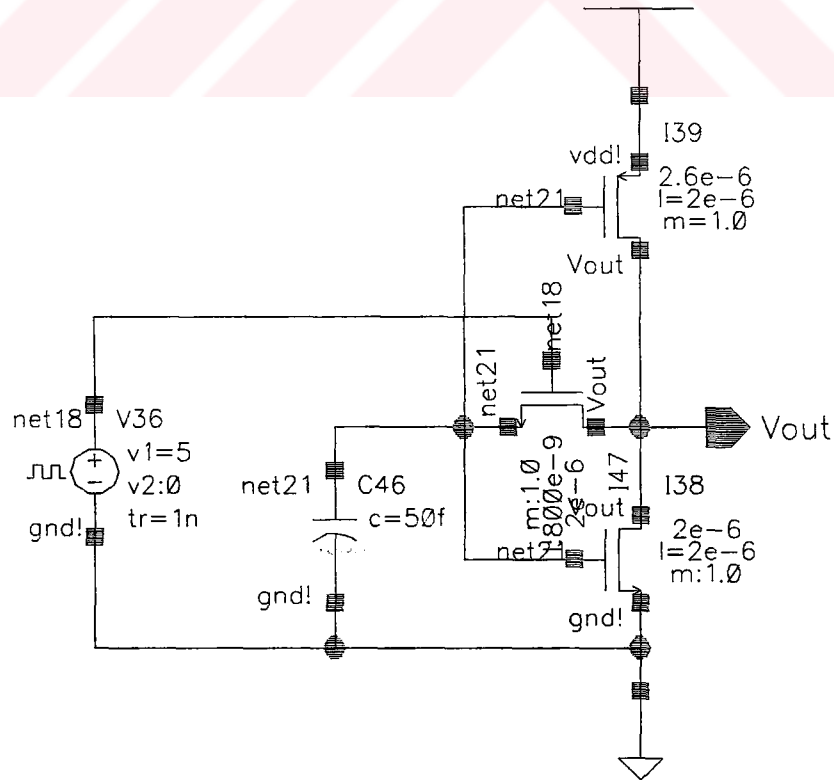
Geliştirilşen devre yapılarının detaylı analizleri ayrıntılı bir şekilde yapılmıştır. Devrelerin tasarımı sırasında özellikle devre parametrelerinin belirlenmesi ve tasarım esaslarının devre parametreleriyle değişiminin modellenenebilmesi için analitik ifadeler elde edilmiştir.

Alt blokların tasarım ortamı araçlarından elde edilen benzetim sonuçları, en az devrelerin analizi kadar önemlidir. Özellikle devrelerin zaman domeninde geçici davranışın incelenmesinde analitik çözümlerin bulunması, problemin karmaşıklığı da göz önüne alınırsa, kolay olmayabilir. Bunun yerine çok yüksek doğrulukta yapılacak nümerik çözümlerin incelenmesi tasarım sırasında zaman ve doğruluk açısından tercih edilmelidir. Analog-sayısal çevirici devresi alt bloklarının tasarımı sırasında benzetim araçları kullanılmış ve elde edilen sonuçlar sunulmuştur.

3.1 Klasik Kapasitif Eşik Lojiği Kapılarında Karşılaşılan İkincil Etkiler

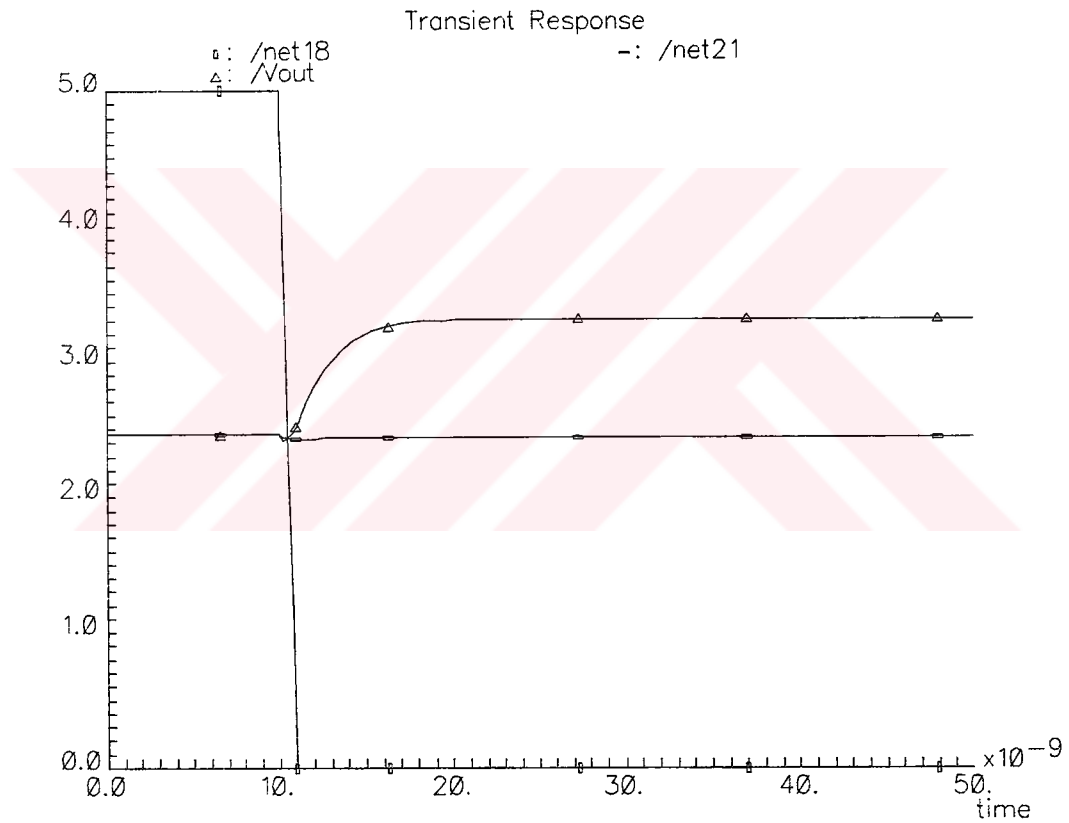
3.1.1 Yük Enjeksiyonu.

Klasik eşik lojiği kapısı üç adet eviricinin ard arda bağlanması ile oluşmaktadır. Bu devre yapısında eviriciler kendinden kutuplamalı karşılaştırmacılar olarak kullanılmıştır. Karşılaştırmacı olarak evirici devrelerinin kullanılmasının temel iki nedeni vardır. İlki, eviricinin giriş gerilimini karşılaştıracığı referans geriliminin, kendi evirici eşiği olması ve "Sıfırlama" fazında tek bir MOS tranzistoru ile sağlanan giriş çıkış düğümleri arasındaki kısa devre ile evirici girişinde eşik geriliminin elde edilebilmesidir. Bunun için ayrıca bir kutuplama gerilimine veya referans gerilimi üreticine ihtiyaç duyulmamasıdır. İkincisi ise bu yapının çok az sayıda tranzistor içermesi ve basit bir yapı olmasıdır. Devrenin serimi ve silisyum üzerinde kapladığı alan benzer işi yapan diğer devrelere göre küçük olacaktır.

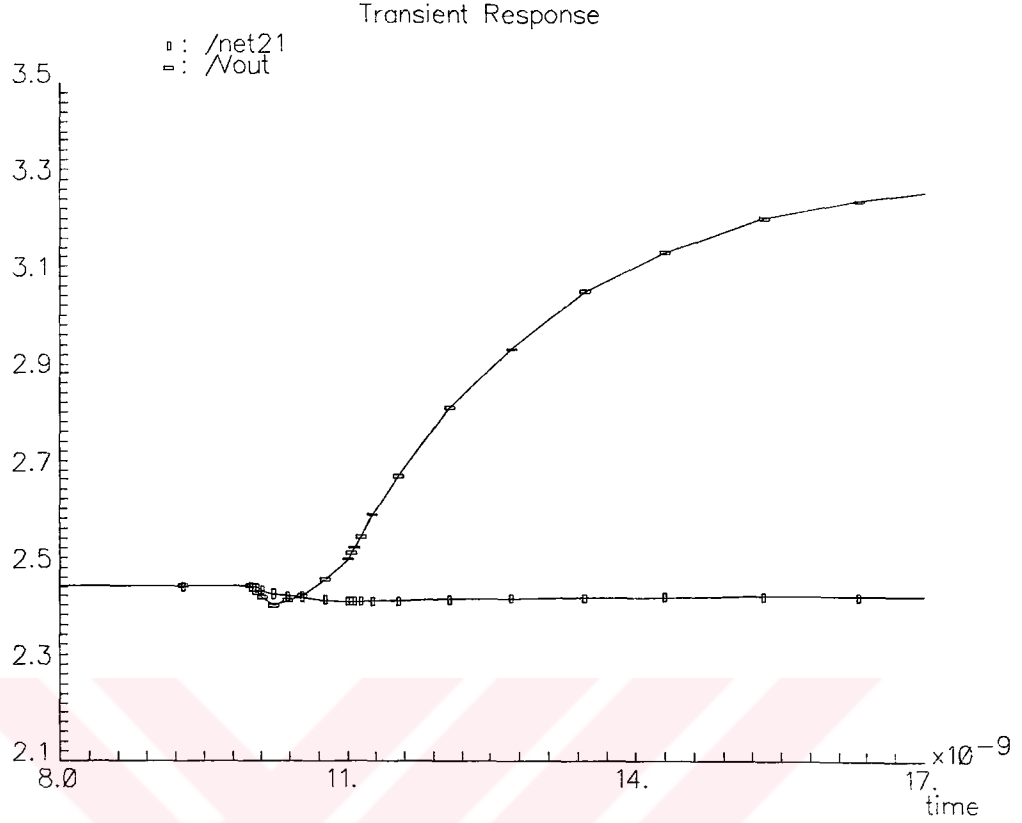


Şekil 3.1 Kapasitif eşik lojiği kapısı giriş eviricisi.

Şekil 3.1’de karşılaştırmalı devrenin ilk katı olan evirici şeması görülmektedir. Anahtar olarak kullanılan MOS tranzistoru "Sıfırlama" fazında doymasız çalışır ve geçidinde kanal yükü toplar. "Sıfırlama" fazı sonunda, tranzistorun kesime girmesiyle beraber kanal yükünün bir kısmı çıkış düğümüne geri kalanı ise giriş düğümüne bağlı toplam kapasite üzerinde aktarılır. MOS tranzistorunun geçidinden enjekte edilen bu yük, yüzen durumdaki giriş düğümünün geriliminin azalmasına sebep olur. Şekil 3.1’de devre şeması verilen devre için elde edilen benzetim sonuçları Şekil 3.2 ve daha ayrıntılı olarak Şekil3.3’de görülmektedir.



Şekil 3.2 Yük enjeksiyonun etkisiyle çıkış geriliminin değişimi



Şekil 3.3 Yük enjeksiyonu etkisiyle giriş geriliminin değişimi

Giriş düğümüne bağlı toplam kapasite küçük seçildikçe, MOS tranzistorundan enjekte edilen geçit yükü nedeniyle, karşılaştırıcının giriş gerilimindeki azalma daha da etkili olur. Bu mekanizma, kapasitif eşik lojiji kapılarının girişlerine uygulanabilecek gerilim değerlerinin alt sınırlarının seçilmesinde ve giriş düğümüne bağlı toplam kapasitenin belirlenmesinde önemli bir unsurdur. Herhangi bir giriş işaretinin giriş düğümünde yaratması gereken en düşük gerilim değişimi, yük enjeksiyonu etkilerinden yeteri kadar büyük olmalıdır ki evirici girişinde, evirici çıkışını eşik geriliminden yeterince ayırabilecek bir fark gerilimi oluşsun. Giriş düğümüne bağlı toplam kapasite arttırıldıkça da bu etkinin azaldığı görülür. Fakat bu durumda da devrenin silisyum üzerinde gerçekleştirileceği alan artmaktadır ki bu çözüm kapasitif eşik lojiji devrelerinin benzerlerine göre en büyük üstünlüğü olan küçük alanda gerçeklenmeleri özellikleri ile çelişmektedir.

3.1.2 Geçit-Savak Örtüşüm ve Geçit Oksit Kapasitelerinin Etkileri

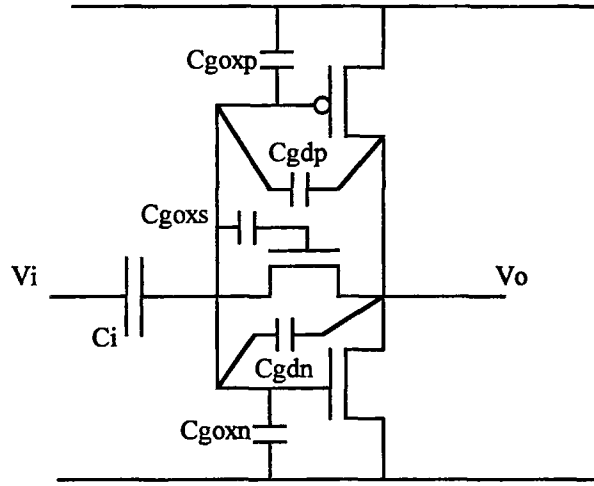
Karşılaştırmalı devreden beklenen özelliklerin başında kazancının yüksek olması gelmektedir. Bir kapasitif eşik lojiği kapısında giriş gerilimi milivoltlar mertebelerinde olabilir. Karşılaştırmalı devrenin bu kadar küçük gerilim farklarını bile kuvvetlendirerek çıkışı besleme gerilimine veya toprak referansına çekmesi gerekir.

Devrenin kazancının artırılmasının bir yolu giriş katındaki tranzistorların boyutlarını büyük seçerek tranzistorların geçiş iletkenliklerinin, haliyle ilk katın kazancının artırılmasıdır. Fakat bu durumda istenilmeyen iki önemli ikincil mekanizma devrenin çalışmasında etkili olmaya başlar.

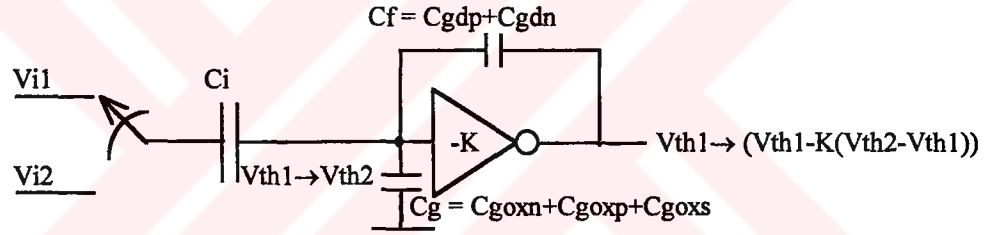
Etkilerden biricisi, giriş tranzistorlarından gelen geçit kapasitelerinin artması ve giriş düğümüne bağlı toplam kapasitenin artmasıdır. Giriş düğümüyle toprak arasında bağlı toplam kapasite arttıkça, kapasitif eşik lojiği kapısının herhangi bir girişinden uygulanacak gerilimin, giriş düğümünde yaratacağı değişim azalacaktır.

Etkilerden ikincisi ise, ilk evirici katın girişi ve çıkışı arasında yer alan geçit-savak örtüşüm kapasitelerinden kaynaklanmaktadır. Birim uzunluk başına örtüşüm kapasitesi değerleri gelişen CMOS proseslerinde, azalan geçit oksidi kalınlıkları ve “Düşük düzeyde katkılı savak” (Lightly Doped Drain) yapılarının kullanılması sebebiyle giderek artmaktadır. Karşılaştırmalı giriş tranzistorlarının kanal genişliklerinin büyük seçilmesi bu etkiyi doğrudan arttıracaktır. Giriş düğümü ile çıkış arasına gelen bu kapasite, kapasitif eşik lojiği kapısının çalışması da dikkate alınırsa, sanki yeni bir girişmiş gibi modellenebilir. Giriş düğümündeki gerilimin değişmesinin aksi yönde bir değişim çıkıştan girişe beslenilir. Bu nedenle giriş katının kazancı devrenin gerilim kaynağı ile sürülürkenki kazancından farklı ve daha düşük olacaktır. Şekil 3.4’de oksit ve örtüşüm kapasiteleri gösterilmiştir. Şekil 3.5’deki devreden yola çıkılarak elde edilen (3.3) eşitliğinde geçit-savak örtüşüm kapasitelerinin etkisiyle giriş gerilimindeki azalmanın analitik ifadesi verilmiştir. Örtüşüm kapasitesi kazanç ile çarpılarak giriş düğümü ile toprak arasına gelmiştir. Karşılaştırmalı devrenin girişinde

düşük kazançlı bir kat kullanılması ve kazancın giriş katı ile sürülen sonraki katlarda sağlanması gerekmektedir.



Şekil 3.4 Oksit ve örtüşüm kapasiteleri.



Şekil 3.5 Oksit ve örtüşüm kapasiteleri etkilerinin incelendiği eşdeğer devre.

$$(V_{th1} - V_{i2})C_i + V_{th1}C_g = (V_{th2} - V_{i2})C_i + V_{th2}C_g + (V_{th2} - V_{th1} + K(V_{th2} - V_{th1}))C_f \quad (3.1)$$

$$V_{th1}(C_i + C_g + (1 + K) \cdot C_f) = V_{th2}(C_i + C_g + (1 + K)C_f) + (V_{i1} - V_{i2})C_i \quad (3.2)$$

$$(V_{th1} - V_{th2}) = \frac{C_i(V_{i1} - V_{i2})}{C_i + C_g + (1 + K)C_f} \quad (3.3)$$

Geçit-savak örtüşüm kapasitelerinin etkisi karşılaştırmalı giriş katında anahtar olarak kullanılan MOS tranzistorunda da görülür. Devrenin çalışmasını düzenleyen saat işareti de aynı yolla karşılaştırmalı girişini etkiler. Fakat bu etki aynı tranzistordan

kaynaklanan yük enjeksiyonu etkisi ile ters yönde olduğu için devrenin çalışmasında yük enjeksiyonu etkilerini iyileştirici bir rol oynar.

3.1.3 Besleme Kaynağını Bastırma Oranı (PSRR)

Gerek elektronik devre kartları üzerindeki tasarımlarda olsun, gerek tümdevre yapılarıyla elde edilen karışık-tür (Mixed-mode) devre tasarımlarında olsun, sayısal blokların kendi besleme hatları üzerinde oluşturacakları değişken işaret bileşenlerinin, özellikle yüksek çalışma frekanslarında, analog devrelerin besleme hatlarına iletilmesi ve analog blokların çalışmasını etkilenmesi kaçınılmazdır. Bu nedenle kuvvetlendirici devrelerinin tasarımında besleme kaynağından gelebilecek değişken işaret bileşenlerinin devre çıkışına iletilmemesi için gerekli tedbirler alınmalıdır.

Eviriciler ile yapılan bir karşılaştırıcı devrenin besleme kaynağını bastırma oranı 6dB'dir. (3.4) eşliğinde bir evirici için yapılan analizin sonucu verilmiştir.[2]

$$\frac{K_{vi}}{K_{vdd}} = \frac{K_{vi}}{K_{vss}} = \frac{2g_m \frac{r_o}{2}}{g_m \frac{r_o}{2}} = 2 = 6 \text{ dB} \quad (3.4)$$

3.2 Karşılaştırıcı Devrelerin Sağlaması Gereken Özellikler

Kapasitif eşik lojigi temelli analog-sayısal çevirici devresinin performansı, kullanılacak karşılaştırıcı devrelerinin performansları ile doğrudan ilişkilidir. Tasarlanacak karşılaştırıcı devrelerin sağlaması gereken özellikler belirlenirken, analog-sayısal çevirici devresinden beklenen performans tasarım kriteri olarak alınmıştır.

Analog sayısal çeviricinin çevirme hızı, karşılaştırmacı blokların hızları ile belirlenir. En düşük çevirme hızının hesaplanması için, bir tek karşılaştırmacı devrenin en kötü durumdaki çevirme hızının sekiz katı alınır. Kapasitif temelli analog-sayısal çevirici devresinde çıkış, en yüksek anlamlı bitten en düşük anlamlı bite doğru ardışıl olarak belirlendiği için her bir karşılaştırmacı blok bir önceki bloğun karşılaştırma işlemini bekler ve toplam sekiz bitin belirlenmesi için en kötü durumda sekiz karşılaştırmacı gecikmesi kadar beklenilir. Bu nedenle karşılaştırmacı blokları ne kadar hızlı tasarlanabilir ve gerçekleştirilebilir ise analog sayısal çevirici devresinde o kadar hızlı çalışır.

Karşılaştırmacı blokların en kötü durumda karşılaştırma hızlarının belirlenmesi için girişlerine uygulanacak gerilim farkının, devrenin çalışması açısından anlamlı olan bir alt sınırının belirlenmesi gerekir. Sekiz bitlik olarak tasarlanacak kapasitif temelli analog-sayısal çevirici devresinde, en düşük anlamlı bitin giriş gerilimi cinsinden ağırlığının yarısı, girişe uygulanabilecek en düşük fark gerilimi olacaktır. Fakat, kapasitif eşik lojiji kapılarında karşılaştırmacı girişinde oluşan etkin gerilim değişimi, kapının herhangi bir girişine uygulanan gerilim farkının diğer girişlerdeki kapasiteler sebebiyle bölünmesinden dolayı girişe uygulanan gerilim farkından daha küçük olacaktır. Kapasitif temelli analog-sayısal çevirici devresinin en düşük anlamlı bitini karşılaştıran sekizinci katın girişindeki toplam kapasite her girişteki kapasitenin sekiz katıdır ve herhangi bir girişe uygulanacak gerilim değişimi karşılaştırmacı girişinde etkin olarak, parazitik etkiler de gözardı edilirse, sekizde birine düşecektir. En düşük anlamlı bitin belirlenmesi için giriş gerilimi, en düşük anlamlı bit ağırlığı olan $V_{DD}/256$ referans gerilimi ile karşılaştırılır. En düşük anlamlı bit ağırlığı " $V_{DD}/256 = 18.53\text{mV}$ "tur. Bu gerilim farkı, parazitik etkilerde göz önüne alınırsa, karşılaştırmacı girişinde etkin olarak 1-2mV'lar mertebesinde fark gerilimi oluşturmaktadır. Tasarlanacak karşılaştırmacı devrelerin bu denli düşük gerilim farklarında bile yeterince hızlı çalışmaları gerekmektedir. Giriş genliğinin çok küçük olması sebebiyle, karşılaştırmacı giriş katının kazancı örtüşüm kapasiteleri etkileride göz önüne alınırsa çok yüksek seçilmemelidir.

Karşılaştırmacı girişine uygulanabilecek en düşük gerilim farkının yük enjeksiyonu etkilerinden daha yüksek olması gerektiğini bir önceki bölümde belirlenmişti. mV'lar

mertebeğinde giriş gerilimlerinin karşılaştırılması durumunda, yük enjeksiyonu etkilerinden, klasik evirici ile yapılan karşılaştırıcılar kullanılarak kaçılması mümkün değildir. Tasarlanacak karşılaştırıcı devrede yük enjeksiyonu etkileri giderilmesi için tedbirler alınmalıdır.

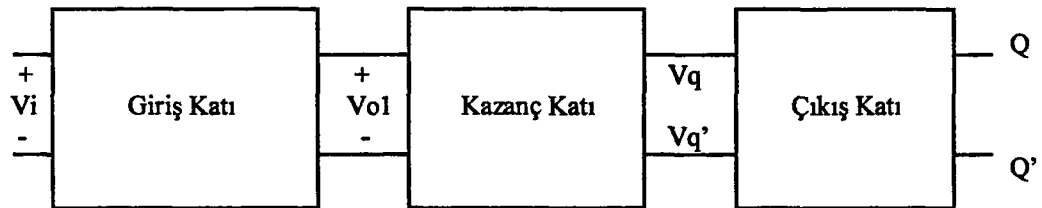
Devrenin yapısından kaynaklanacak sistematik dengesizlik (Systematic offset) mümkün olduğunca düşük olmalıdır. Bu nedenle gerek devrenin tasarımında gerek seriminde gerekli tedbirler alınmalıdır.

Besleme kaynağını bastırma oranı devre tasarımında önemli bir diğer kriterdir. Besleme hatları ile devreye taşınabilecek değişken işaret bileşeni, girişe uygulanabilecek en düşük fark gerilimine göre bir kaç merteye büyük olabilir. Bu nedenle karşılaştırıcı devrenin besleme kaynağını bastırma özelliği çok iyi olmalıdır.

3.3 Karşılaştırıcı Devrelerin Tasarımı ve Analizi

Karşılaştırıcı devrelerin tasarım esasları, kapasitif eşik lojii temelli analog-sayısal çeviricinin özellikleri ve klasik kapasitif eşik lojii karşılaştırıcılarındaki ikincil etkiler göz önüne alınarak önceki bölümlerde belirlenmişti. Bu incelemeler ışığında yeni bir karşılaştırıcı devresinin tasarımı ve devrenin analizi bu bölümde sunulmuştur.

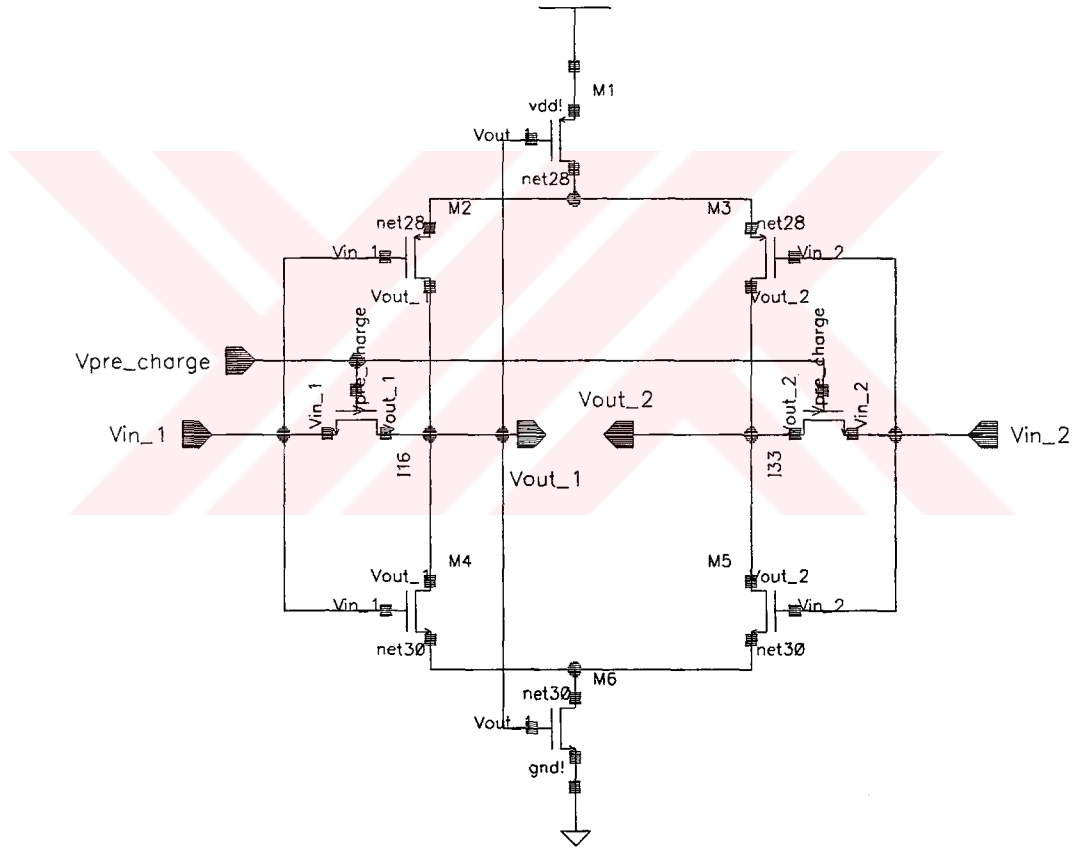
Karşılaştırıcı devrenin blok şeması Şekil 3.6'da verilmiştir. Devre temel üç kattan oluşmaktadır. Bunlardan ilki kendinden kutuplamalı diferansiyel giriş katı, ikincisi simetrik geçiş iletkenliği kuvvetlendiricisi, üçüncüsü ise çıkışların lojik seviyelere çekilmesini, sahip olduğu yüksek gerilim kazancıyla sağlayan çıkış katıdır.



Şekil 3.6 Karşılaştırıcı blok şeması.

3.3.1 Giriş Katı

Giriş katı devre şeması Şekil 3.7’de verilmiştir. Devre kendinden kutuplamalı bir fark kuvvetlendiricisidir. PMOS bloğu ve NMOS bloğu hem girişler arasındaki fark gerilimine göre her iki koldan akacak akımı belirlemekte, hem de birbirleri için aktif yük oluşturmaktadır. Devre çıkışlarının birinden alınan negatif geri besleme ile kendini kutuplamaktadır. Bu sayede devrenin kutuplanması için dışarıdan ayrıca bir gerilim kaynağına veya akım referansına ihtiyaç duyulmamaktadır. [4]



Şekil 3.7 Giriş katı.

Her iki kolda giriş ile çıkış arasına MOS transistorların bağlanmasıyla, devrenin karşılaştırma eşliğinde kutuplanmasını sağlanır. Her iki girişe, kapasitif eşik lojigi kapılarındakine benzer şekilde kapasiteler bağlanarak, devre girişlerinin birer yüzen

düğüm haline getirilmesiyle, devre kapasitif eşik lojiği uygulamalarında kullanılmaya uygun hale gelir. Devrenin kendini kutuplaması sırasında kapasitelerin bağlı olduğu yüzen durumdaki giriş düğümleri, klasik kapasitif eşik lojiği kapılarında olduğu gibi evirici eşiğine getirilir. Girişlerin biri, kapasitif eşik lojiği kapısı girişlerini oluşturukun diğeri kutuplama gerilimini üzerinde tutarak, karşılaştırma işleminin yapılacağı gerilim referansını oluşturur. “Sıfırlama” fazında devre kutuplanır, “Değerlendirme” fazındaysa girişteki değişim kapasitif kuplaj ile devreye fark girişi olarak uygulanır.

Devre “Değerlendirme” fazı süresince kendi kutuplama gerilimini tuttuğu için, devrenin bir gerilim veya akım referansına, karşılaştırma işlemi için, ihtiyacı yoktur. Bu özelliğiyle devre, kapasitif eşik lojiği uygulamaları için çok uygundur. Genellikle sayısal tüm devrelerde yer alacak kapasitif eşik lojiği bloklarının, devre beslemesinden başka, ayrıca bir analog bir referansa ihtiyacının ortadan kaldırmış olması, devrelerin kullanım alanlarını yaygınlaştıracaktır.

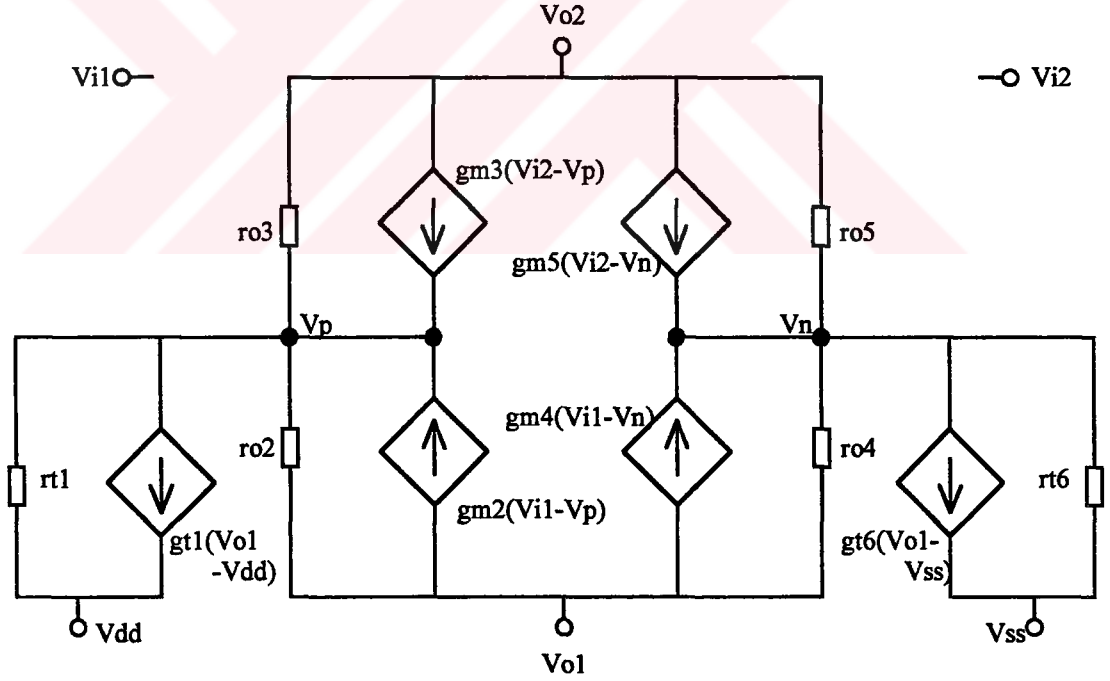
Devrenin kendi referans gerilimini üretmesi ve fark işareti ile çalışması devreye başka üstünlükler de sağlamaktadır. Bunların başında devrenin besleme kaynağını bastırma oranının iyileştirilmesi gelmektedir. Elektronik devrelerde işaret bilgisinin fark gerilimi ile taşınması besleme kaynağını bastırma oranının iyileştirilmesi için çok sık tercih edilen bir yöntemdir. Kullanılan devre yapılarının simetrik olması ve fark çıkışı üretmesi ile, besleme kaynaklarından gelecek istenilmeyen değişken işaret etkileri engellenebilir. Devre simetrik bir yapıya sahip olması ve fark işareti üretmesi sebebiyle besleme kaynağından gelebilecek değişken işaret etkilerini kazanç katına iletmemektedir. Devre, üzerindeki negatif geri besleme sayesinde kutuplama şartlarını, besleme kaynağındaki değişimlere karşı koruyabilmektedir. Besleme kaynaklarına bağlı ve her zaman doymasız çalışan tranzistorların akımlarını çıkış düğümünden alınan geribesleme işareti ile kontrol edilmekte ve bu tranzistorların akımları birbirine eşit kılınmaktadır.[4] Bu sayede, devrenin besleme kaynaklarını bastırma oranı negatif geribesleme kazancının ayarlanması ile belirlenebilmektedir.

Devrenin fark işareti kullanmasının bir diğer önemli avantajı da yük enjeksiyonu etkilerinin ortadan kaldırılmasında görülür. Her iki girişe bağlanan kapasitelerin eşit

seçilmesi durumunda yük enjeksiyonu etkileri her iki girişte aynı olacak ve fark girişi değişmeyecektir.

Devrenin önemli özelliklerinden bir diğeri de hızlı olmasıdır. Besleme kaynaklarına bağlı MOS tranzistorları her zaman doymasız çalıştıkları için savak kaynak gerilim değişimleri ile akımları kontrol edilebilmekte ve devre konum değiştirirken çıkış düğümüne gereken akımı basabilmektedir.

Devrenin küçük işaret analizi Şekil 3.8'de verilen eşdeğer devre kullanılarak yapılmıştır. Bu devrede toplam dört düğüm için yazılan, genelleştirilmiş düğüm gerilimi denklemleri (3.5)-(3.8) eşitliklerinde verilmiştir. Denklemlerde yalnız girişler değil, besleme kaynaklarında değişken işaret kaynağı olarak tanımlanmıştır. Daha sonra hesaplanması istenilen büyüklüğe uygun olarak gerekli kaynak değerleri sıfır alınarak analize devam edilmiştir.



Şekil 3.8 Giriş katının küçük işaret eşdeğer devresi.

$$\frac{v_{o1} - v_p}{r_{o2}} + g_{m2} \cdot (v_{i1} - v_p) + g_{m4} \cdot (v_{i1} - v_n) + \frac{v_{o1} - v_n}{r_{o4}} = 0 \quad (3.5)$$

$$\frac{v_p}{r_{t1}} + g_{t1} \cdot (v_{o1} - v_{dd}) + \frac{v_p - v_{o1}}{r_{o2}} - g_{m2} \cdot (v_{i1} - v_p) + \frac{v_p - v_{o2}}{r_{o3}} - g_{m3} \cdot (v_{i2} - v_p) = 0 \quad (3.6)$$

$$\frac{v_n}{r_{t6}} + g_{t6} \cdot (v_{o1} - v_{ss}) + \frac{v_n - v_{o1}}{r_{o4}} - g_{m4} \cdot (v_{i1} - v_n) + \frac{v_n - v_{o2}}{r_{o5}} - g_{m5} \cdot (v_{i2} - v_n) = 0 \quad (3.7)$$

$$\frac{v_{o2} - v_n}{r_{o5}} + g_{m5} \cdot (v_{i2} - v_n) + g_{m3} \cdot (v_{i2} - v_p) + \frac{v_{o2} - v_p}{r_{o3}} = 0 \quad (3.8)$$

Denklem sistemi MATLAB programı yardımıyla çözülmüş ve devrenin fark işareti kazancı, ortak işaret kazancı, pozitif besleme kaynağından çıkışa kazancı, negatif işaret kaynağından çıkışa kazancı ve ortak işareti bastırma oranının analitik ifadeleri çıkartılmıştır. MATLAB programı için hazırlanan giriş dosyası Şekil 3.9'da verilmiştir. Sonuçların daha kolay yorumlanabilmesi için devrenin analizinde bazı varsayımlar yapılarak devre denklemleri tekrar düzenlenmiş ve basitleştirilmiştir. Analizde, PMOS ve NMOS tranzistorların geçiş iletkenlikleri, eşik gerilimleri ve kanal boyu modülasyon faktörleri birbirine eşit olduğu kabul edilmiştir. Basitleştirilmiş denklem sistemi kullanılarak MATLAB programı için hazırlanan giriş dosyası Şekil 3.10'da, programa ait çıkış dosyası Şekil 3.11'de verilmiştir. Yapılan analiz sonunda devrenin değişken işaret büyüklükleri (3.9)-(3.13) denklemlerinde sırasıyla fark işareti kazancı, ortak işaret kazancı, ortak işareti bastırma oranı, pozitif beslemeden çıkışa kazanç ve negatif beslemeden çıkışa kazanç için sunulmuştur.

```

echo on
%General node voltage equations;
f1 = '(Vo1-Vp)/ro2 + gm2*(Vi1-Vp) + gm4*(Vi1-Vn) + (Vo1-Vn)/ro4';
f4 = '(Vo2-Vn)/ro5 + gm5*(Vi2-Vn) + gm3*(Vi2-Vp) + (Vo2-Vp)/ro3';
f2 = 'Vp/rt1 + gt1*(Vo1-Vdd) + (Vp-Vo1)/ro2 - gm2*(Vi1-Vp) + (Vp-
Vo2)/ro3 - gm3*(Vi2-Vp)';
f3 = 'Vn/rt6 + gt6*(Vo1-Vss) + (Vn-Vo1)/ro4 - gm4*(Vi1-Vn) + (Vn-
Vo2)/ro5 - gm5*(Vi2-Vn)';
%Solution of the equation in two step.
[Vna,Vpa] = solve(f2,f3,'Vn,Vp');
f1 = subs(f1,Vna,'Vn');
f1 = subs(f1,Vpa,'Vp');
f4 = subs(f4,Vna,'Vn');
f4 = subs(f4,Vpa,'Vp');
[Vo1,Vo2] = solve(f1,f4,'Vo1,Vo2');
%Differential voltage gain.
Vodiff = symsub(Vo2,Vo1);
Kvdiff = symdiv(Vodiff,'Vi2-Vi1') ;
Kvd = Kvdiff;
Kvd = subs(Kvd,0,'Vdd');
Kvd = subs(Kvd,0,'Vss');
Kvd = simple(Kvd);
pretty(Kvd)
%Common voltage gain.
Vocomm = symadd(Vo2,Vo1);
Kvcomm = symdiv(Vocomm,'Vi2+Vi1') ;
Kvc = Kvcomm;
Kvc = subs(Kvc,0,'Vdd');
Kvc = subs(Kvc,0,'Vss');
%Vi1 and Vi2 are equal and defined as Vi
Kvc = subs(Kvc,'Vi','Vi1');
Kvc = subs(Kvc,'Vi','Vi2');
Kvc = simple(Kvc);
pretty(Kvc)
%Common mode rejection
CMRR = symdiv(Kvc,Kvd) ;
pretty(CMRR)
%power supply rejection(Vdd)
PSRRvdd = symdiv(Vodiff,'Vdd');
PSRRvdd = subs(PSRRvdd,0,'Vss');
PSRRvdd = subs(PSRRvdd,0,'Vi1');
PSRRvdd = subs(PSRRvdd,0,'Vi2');
PSRRvdd = simple(PSRRvdd);
pretty(PSRRvdd)
%power supply rejection(Vss)
PSRRvss = symdiv(Vodiff,'Vss');
PSRRvss = subs(PSRRvss,0,'Vdd');
PSRRvss = subs(PSRRvss,0,'Vi1');
PSRRvss = subs(PSRRvss,0,'Vi2');
PSRRvss = simple(PSRRvss);
pretty(PSRRvss)

```

Şekil 3.9 MATLAB programı giriş dosyası.

```

echo on
%General node voltage equations of CSDA are solved for symetric CMOS
pairs.
[Vol,Vo2,Vn,Vp] = solve(...
'(Vol-Vp)/ro + gm*(Vi1-Vp) + gm*(Vi1-Vn) + (Vol-Vn)/ro',...
'Vp/rt + gt*(Vol-Vdd) + (Vp-Vol)/ro - gm*(Vi1-Vp) + (Vp-Vo2)/ro -
gm*(Vi2-Vp)',...
'Vn/rt + gt*(Vol-Vss) + (Vn-Vol)/ro - gm*(Vi1-Vn) + (Vn-Vo2)/ro -
gm*(Vi2-Vn)',...
'(Vo2-Vn)/ro + gm*(Vi2-Vn) + gm*(Vi2-Vp) + (Vo2-Vp)/ro',...
'Vol,Vo2,Vn,Vp');
Vodiff = symsub(Vo2,Vol);
Kvdiff = symdiv(Vodiff,'Vi2-Vi1') ;
Kvd = Kvdiff;
Kvd = subs(Kvd,0,'Vdd');
Kvd = subs(Kvd,0,'Vss');
Kvd = simple(Kvd);
pretty(Kvd)
Vocomm = symadd(Vo2,Vol);
Kvcomm = symdiv(Vocomm,'Vi2+Vi1') ;
Kvc = Kvcomm;
Kvc = subs(Kvc,0,'Vdd');
Kvc = subs(Kvc,0,'Vss');
%Vi1 and Vi2 are equal and defined as Vi
Kvc = subs(Kvc,'Vi','Vi1');
Kvc = subs(Kvc,'Vi','Vi2');
Kvc = simple(Kvc);
pretty(Kvc)
CMRR = symdiv(Kvd,Kvc) ;
pretty(CMRR)
PSRRvdd = symdiv(Vodiff,'Vdd') ;
PSRRvdd = subs(PSRRvdd,0,'Vss');
PSRRvdd = subs(PSRRvdd,0,'Vi1');
PSRRvdd = subs(PSRRvdd,0,'Vi2');
PSRRvdd = simple(PSRRvdd);
pretty(PSRRvdd)
PSRRvss = symdiv(Vodiff,'Vss') ;
PSRRvss = subs(PSRRvss,0,'Vdd');
PSRRvss = subs(PSRRvss,0,'Vi1');
PSRRvss = subs(PSRRvss,0,'Vi2');
PSRRvss = simple(PSRRvss);
pretty(PSRRvss)

```

Şekil 3.10 MATLAB programı giriş dosyası. (Simetrik devre için)

Şekil 3.11 MATLAB Programı çıkış dosyası. (Simetrik devre için)

$$K_{vd} = \frac{v_{o2} - v_{o1}}{v_{i2} - v_{i1}} = g_m \cdot r_o \quad (3.9)$$

$$K_{vc} = \frac{v_{o2} + v_{o1}}{v_{i2} + v_{i1}} = \frac{g_m \cdot r_o}{r_o g_t r_t g_m + 1 + g_t r_t} \quad (3.10)$$

$$K_{vVDD} = \frac{v_{o2} - v_{o1}}{v_{dd}} = 0 \quad (3.11)$$

$$K_{vVSS} = \frac{v_{o2} - v_{o1}}{v_{ss}} = 0 \quad (3.12)$$

$$CMRR = r_o g_t r_t g_m + 1 + g_t r_t \quad (3.13)$$

Devrenin kutuplama analizi de (DC analiz) benzer şekilde yapılır. Bunun için devredenin genelleştirilmiş düğüm gerilimleri denklemleri yazılır ve bu denklem sistemi çözülerek devredeki akım ve gerilimler eleman parametrelerinin ve besleme geriliminin bir fonksiyonu olarak bulunur. Kutuplama analizinden elde edilen sonuçlar kullanılarak elemanların küçük işaret parametreleri elde edilir ve böylece devrenin değişken işaret analizi de tamamlanmış olur. Kutuplama analizi sırasında, devrenin çalışmasının göz önüne alınması faydalı olur. “Sıfırlama” fazında devrenin giriş ve çıkışları kısa devre edilerek kutuplama sağlanıyor ve devre “Değerlendirme” fazında bu çalışma noktasında kutuplu kalıyordu. Bu nedenle, kutuplama analizinde, giriş ve çıkış gerilimleri aynı bilinmeyen olarak seçilir.

Kutuplama analizinin yapılabileceği denklem sistemi (3.14)-(3.17) eşitlikleri ile verilmiştir. İlk iki denklemde her iki tarafın karekökü alınarak karesel ifadelerden kurtularak analitik çözüme ulaşılır. Diğer iki denklemin çözümünde ise karesel

ifadeler olduğundan analitik çözümler aramak yerine, nümerik çözüm yöntemlerinin uygulanması daha akıllıca olur.

$$\frac{\beta_2}{2}(V_{i1} - V_p - V_{tp})^2(1 + \lambda_p(V_{o1} - V_p)) - \frac{\beta_4}{2}(V_{i1} - V_n - V_{tn})^2(1 + \lambda_n(V_{o1} - V_n)) = 0 \quad (3.14)$$

$$\frac{\beta_3}{2}(V_{i2} - V_p - V_{tp})^2(1 + \lambda_p(V_{o2} - V_p)) - \frac{\beta_5}{2}(V_{i2} - V_n - V_{tn})^2(1 + \lambda_n(V_{o2} - V_n)) = 0 \quad (3.15)$$

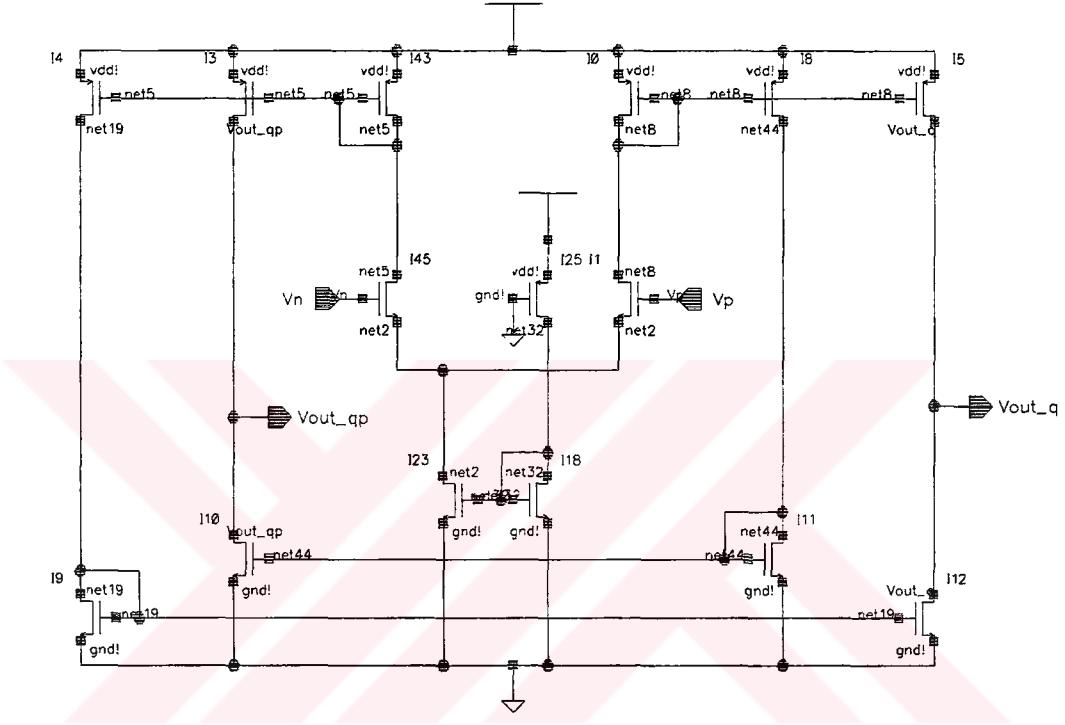
$$\begin{aligned} & \frac{\beta_1}{2} \left[2(V_{o1} - V_{DD} - V_{tp})(V_p - V_{DD}) - (V_p - V_{DD})^2 \right] \\ & - \frac{\beta_2}{2}(V_{i1} - V_p - V_{tp})^2(1 + \lambda_p(V_{o1} - V_p)) - \frac{\beta_3}{2}(V_{i2} - V_p - V_{tp})^2(1 + \lambda_p(V_{o2} - V_p)) = 0 \end{aligned} \quad (3.16)$$

$$\begin{aligned} & \frac{\beta_6}{2} \left[2(V_{o1} - V_{SS} - V_{tn})(V_n - V_{SS}) - (V_n - V_{SS})^2 \right] \\ & - \frac{\beta_4}{2}(V_{i1} - V_n - V_{tn})^2(1 + \lambda_n(V_{o1} - V_n)) - \frac{\beta_5}{2}(V_{i2} - V_n - V_{tn})^2(1 + \lambda_n(V_{o2} - V_n)) = 0 \end{aligned} \quad (3.17)$$

Devrenin kayıklık analizi için (3.13)-(3.17) denklemleri kullanılarak analitik çözümlere ulaşılması mümkündür. Bunun için denklemlerin, kayıklık bileşeni hasaplanacak değişkene göre türevlerinin alınıp denklem sisteminin lineerleştirilmesi ve bu lineer denklem sisteminin çözülmesi gerekir. Tasarım sırasında, devrenin kayıklık analizinin bu yöntem ile yapılması yerine, benzetim araçlarının sunduğu ve bir çok parametrenin bir anda değiştirilmesine imkan veren “Monte Carlo” benzetiminden faydalanılmıştır.

3.3.2 Kazanç Katı

Karşılaştırmalı devresinin ikinci katı olan kazanç katı, simetrik bir geçiş iletkenliği kuvvetlendiricisinden oluşmaktadır. Devrenin şeması Şekil 3.12’de görülmektedir.



Şekil 3.12 Kazanç katı.

Devre giriş katından aldığı fark çıkışını kuvvetlendirerek birbiriyle simetrik iki çıkış üretir. Bu sayede giriş katında üretilen fark işareti, kazanç katında tekil-sonlandırılmış (Single-ended) çıkış işaretine çevrilmiş olur. Devrenin bu iki çıkışı, bir kapasitif eşik lojiki kapısının iki çıkışı olarak kullanılabilir. Sükunette devre çıkışlarının, sürecekleri lojik devrenin eşğinde kutuplanmaları gereklidir.

Devre simetrik bir yapıya sahip olduğu için, devre yapısından gelecek sistematik kayıklık pratik olarak sıfırdır. Devrenin gerçekleşmesi sırasında ortaya çıkabilecek tek kayıklık kaynağı eleman toleransları olacaktır. Boyutlandırma ve serim sırasında alınacak tedbirler ile bu etki en aza indirilmeye çalışılmıştır. Devrenin

gerçekleştirileceği AMS 0.8u CMOS prosesi için üretici firma tarafından eleman uyuşmaları için tavsiyeler ve kurallar verilmediği için bildik yöntemler kullanılmıştır. Bunlar arasında eleman boyutlarının minimum geometrilere büyük seçilmesi, aynı merkezli ve iç içe geçmiş serim yöntemlerinin kullanılması ve elemanların proses sırasında aynı aşındırma şartlarına maruz kalmaları sağlayacak serim yöntemlerinin tercih edilmesi gelir.

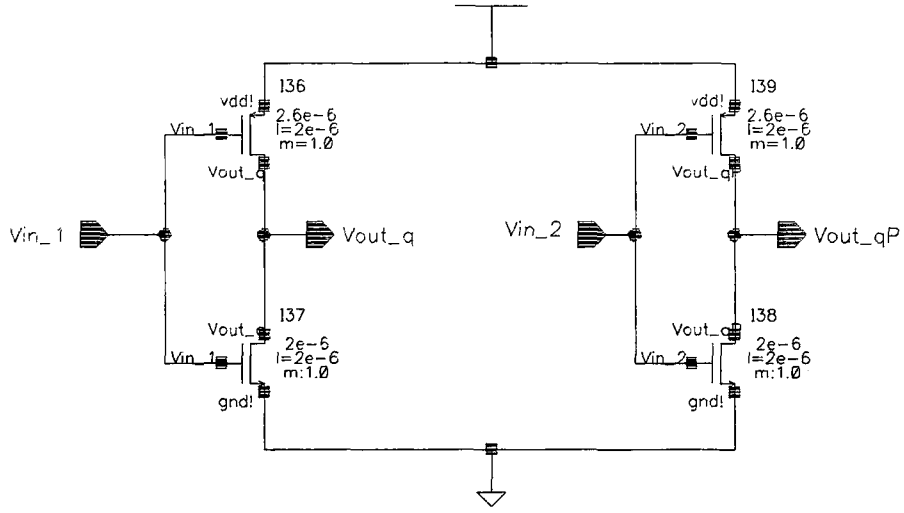
Simetrik geçiş iletkenliği kuvvetlendiricisi yaygın kullanım alanı bulmuş bir devredir. Analog tümdevre tasarımı konusunda yayınlanmış bir çok kaynakta devrenin değişik analizlerini bulmak mümkündür.[5] Bu nedenle devrenin analizi giriş katı için yapıldığı gibi ayrıntılı incelenmemiştir. Devrenin gerilim kazancı (3.18) eşitliği ile verilir.[5] “ g_m ” giriş katındaki tranzistorların geçiş iletkenliği, “ B ” aktif yük olan akım aynasının yansıtma oranı ve “ r_o ” çıkış tranzistorlarının çıkış direncidir.

$$K_v = \frac{v_o}{(v_{i1} - v_{i2})} = B \cdot g_m \cdot \frac{r_o}{2} \quad (3.3.2-1)$$

3.3.3 Çıkış Katı

Karşılaştırmalı devrenin üçüncü katı çıkış katıdır. Devre şeması Şekil 3.13’de görülmektedir.

Devre iki eviriciden oluşur. Kazanç katının tekil-sonlandırılmış çıkışlarının, lojik-1 ve lojik-0 seviyelerine çekilmesi yüksek kazançlı eviriciler ile garanti altına alınmıştır. Devre yapısında eviriciler kullanılmasının en önemli nedeni hızlı olması ve küçük alanda gerçekleştirilmesinin mümkün olmasıdır. Evirici eşikleri kazanç katının sükunette aldıkları değerler ile aynı seçilerek, tüm karşılaştırmalı devresinin sükunette her iki çıkışının da, sürececekleri katın evrilme eşiğinde durmaları sağlanmıştır.



Şekil 3.13 Çıkış katı.

Devrenin gerilim kazancı (3.19) eşitliği ile verilmiştir. “ g_m ” tranzistorun geçiş iletkenliği ve “ r_o ” tranzistorların çıkış direncidir.

$$K_V = \frac{v_o}{v_i} = 2 \cdot g_m \cdot \frac{r_o}{2} = g_m \cdot r_o \quad (3.19)$$

3.4 Karşılaştırmalı Devre Parametrelerinin Belirlenmesi ve Benzetim Sonuçları

Devre tasarım sürecinde, şema düzeyinde, en son adım, devre parametrelerinin belirlenmesidir. Bu aşama çoğu kez bir optimizasyon probleminin çözümüne dönüşür. Devre parametrelerinin uygun seçilmesi ile devre özelliklerinin hepsi birden iyileştirilmeye çalışılır. Devrenin performansının iyileştirilmesinde hangi özelliklerin daha önemli olduğu ve özellikler arasındaki ilişki, devrenin tasarım esasları ve yapılan analizleri göz önüne alınarak belirlenir. Devrenin gerçekleştirilmesine yönelik

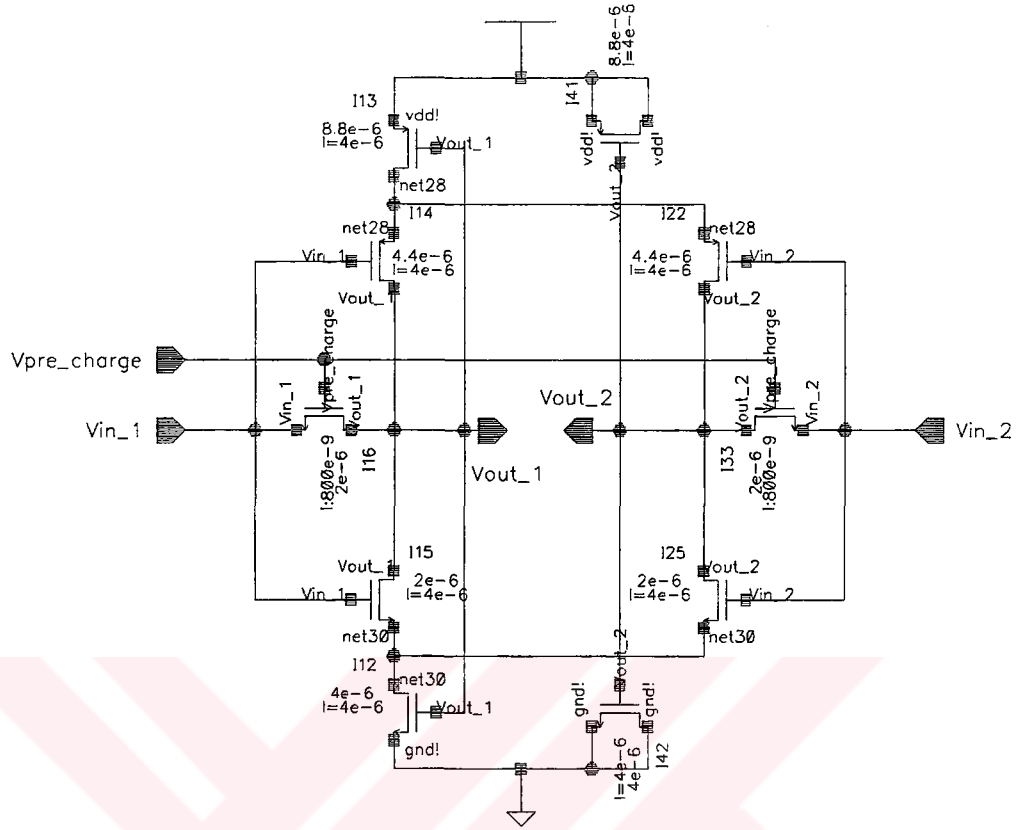
kısıtlamalar da bu safhada ayrıca incelenir ve tasarım akışına dahil edilir. Bu bilgiler ışığında çeşitli optimizasyon yöntemleri kullanılarak devre parametreleri belirlenir.

Karşılaştırmalı devrelerinin belirlenmiş tasarım esasları ve yapılan analizleri ışığında, devre parametrelerinin belirlenebilmesi için tasarım ortamının sunduğu imkanlardan da yararlanılmıştır. Devre parametrelerinin, devre performansına etkisinin incelenmesi ve değişimleri ile performans değişiminin belirlenmesi için, parametrik benzetim araçları kullanılmıştır. Parametrik benzetim araçları, benzetimi yapılacak devrenin istenilen bir parametresi için aynı benzetimi her seferinde yeni bir parametre değeri ile koşturur. Parametrenin değişimi ve benzetim ortamından alınan sayısal değerler incelenerek, devre özelliklerinin o parametre ile değişimi gözlenir ve belirli parametre değerleri için sayısal sonuçlar da elde edilmiş olur. Tasarım parametrelerinden sadece bir tanesi için yapılan optimizasyon, diğerleri içinde tekrarlanarak, gerekli bütün devre parametre değerleri bu şekilde belirlendiğinde devre özellikleri açısından optimuma yakın bir noktaya varılmış olur.

Karşılaştırmalı devre parametreleri, karşılaştırmalı devresinin her katı için ayrı ayrı belirlenmiştir. Aşağıda, giriş katı, kazanç katı ve çıkış katı için belirlenen devre parametreleri devre şemaları ile verilmiş ve bu parametrelerin belirlenmesi sırasında göz önüne alınan esaslar, ilgili parametrik benzetim sonuçları verilerek açıklanmıştır.

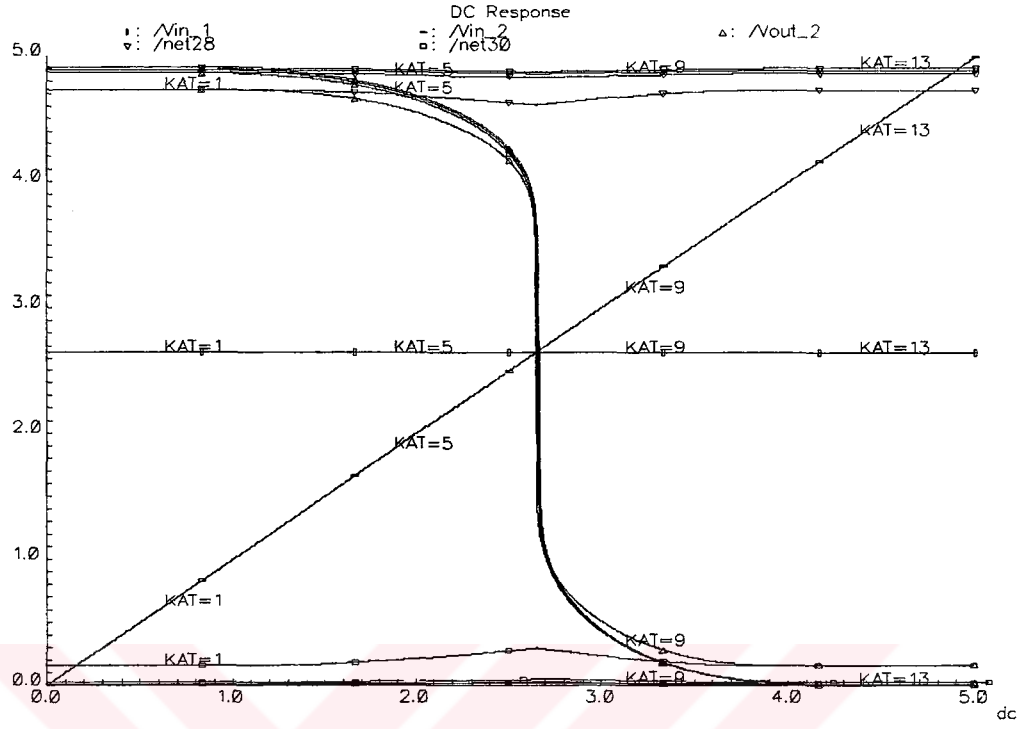
Karşılaştırmalı devrenin giriş katı ve giriş katı devre parametreleri Şekil 3.14’de görülmektedir.

Karşılaştırmalı devredeki NMOS ve PMOS tranzistorların boyutları arasındaki oran, devre “Sıfırlama” fazındayken girişleri ve çıkışları yaklaşık “ $V_{DD}/2$ ” gerilim değerinde olacak şekilde seçilmiştir. Yapılan benzetimlerden elde edilen sonuçlar incelenerek Şekil-3.14’deki devrenin “Sıfırlama” fazında giriş ve çıkışların “ $V_{th}=2.646V$ ”da ($V_{DD}=5V$) kutuplandığı belirlenmiştir. Aşağıda sunulan benzetim sonuçlarında her iki giriş $2.646V$ ile kutuplanmış ve anahtar tranzistorların geçitleri $0V$ ’da kutuplanarak iletme girmemeleri sağlanmıştır.

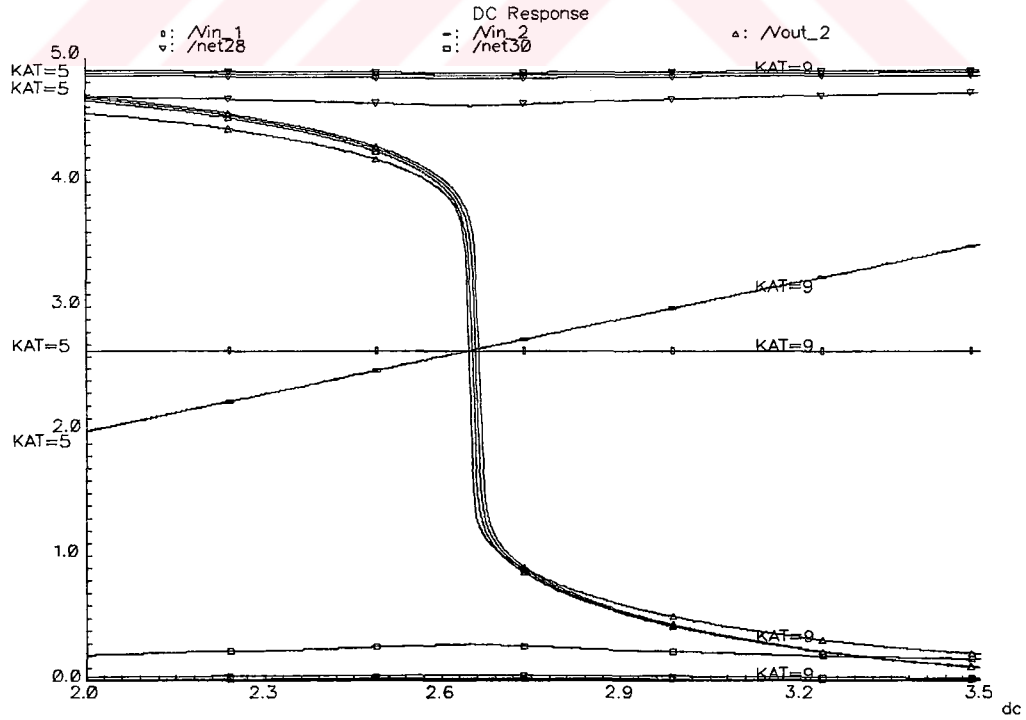


Şekil 3.14 Karşılaştırıcının giriş katı ve devre parametreleri

İlk olarak besleme kaynaklarına bağlı tranzistorların boyutlarının belirlenmesi amacıyla parametrik benzetimler koşturulmuştur. Pozitif besleme kaynağına bağlı PMOS ve negatif besleme kaynağına bağlı NMOS tranzistorun kanal genişlikleri devre şemasında gösterilen değerlerinin “KAT” katı seçilerek devrenin doğru gerilim (DC) benzetimi yapılmıştır. Benzetim sonuçları Şekil 3.15’de verilmiştir. Besleme kaynağına bağlı transistor boyutları arttıkça devre şemasında görülen “net30” ve “net28” düğümlerinin gerilimleri besleme kaynağına yaklaşmakta ve doymasız çalışan tranzistorların akımları baskın olarak devre şemasında ortadaki tranzistorlar tarafından belirlendiği için boyutları arttıkça tranzistorların üzerinde düşen savak-kaynak gerilimleri azalmaktadır. Bunun bir sonucu olarak, devreyi kutuplayan akımın besleme kaynağındaki gerilim değişimlerine olan bağımlılığı bu tranzistorların boyutları arttıkça artacaktır. Öte yandan devrenin kaplayacağı alanın da artmaması için besleme kaynağına bağlı tranzistorların boyutları, elemanların uyuma özellikleride



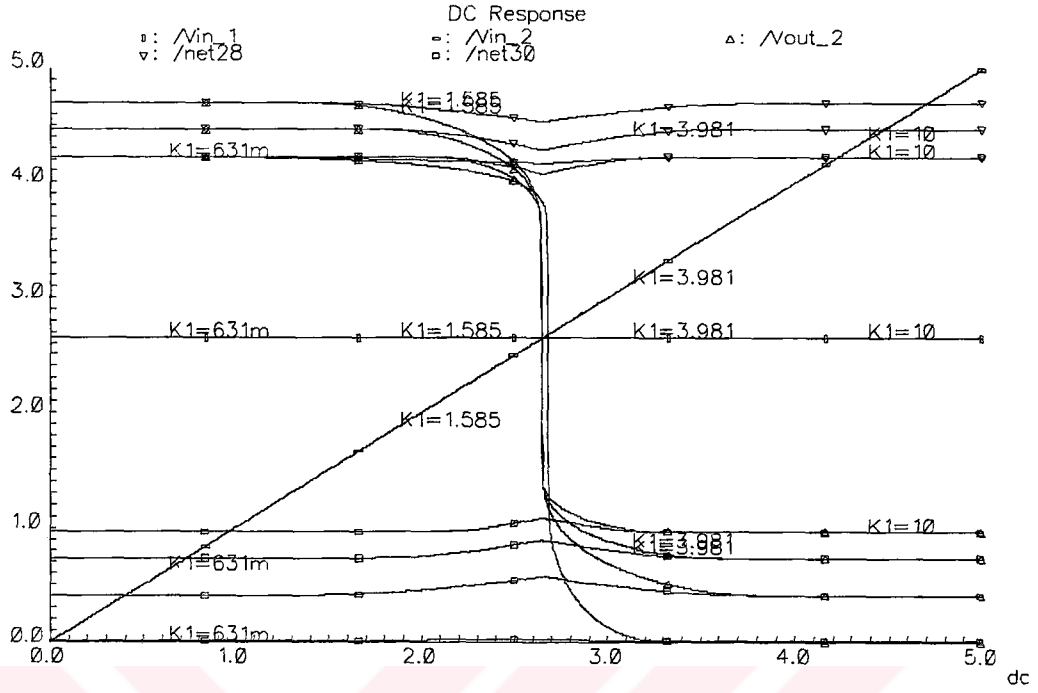
Şekil 3.15 Besleme kaynağına bağlı transistorların boyutlandırılması.



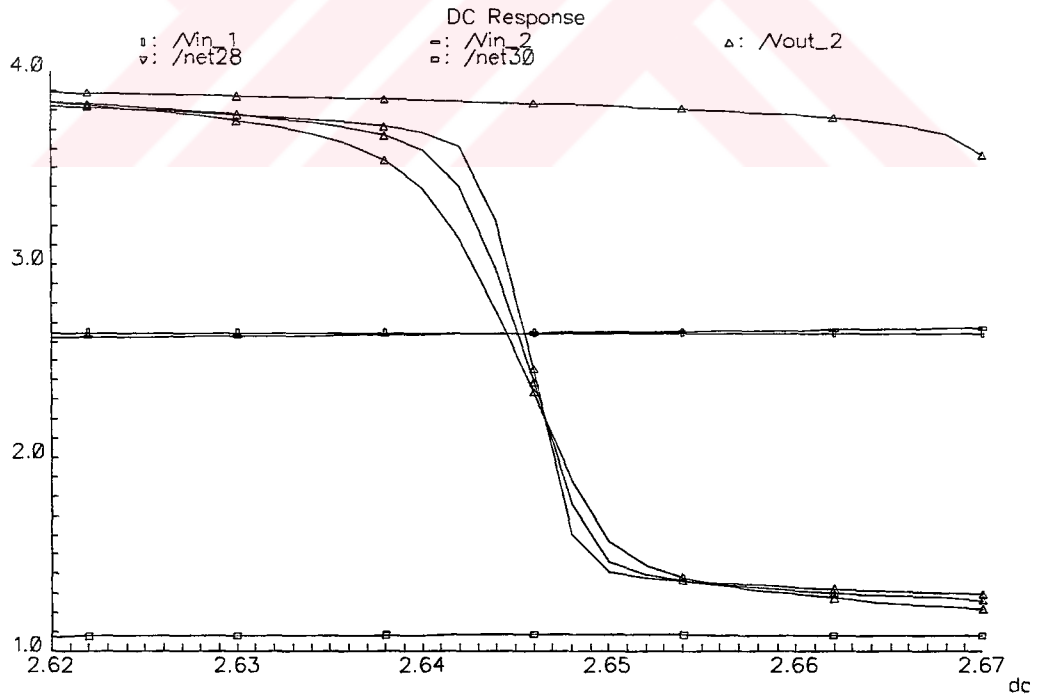
Şekil 3.16 Besleme kaynağına bağlı tranzistorların boyutları ile kazancın değişimi

göz önüne alınarak devre şemasında verildiği gibi seçilmiştir. Devrenin fark işareti gerilim kazancı (3.9) ifadesinde de verildiği gibi bu tranzistorların boyutlarına bağlı değildir. Kazancın değişimi aynı grafiğin daha dar bir aralıkta verilen sunumunda Şekil 3.16’da verilmiştir.

Devre şemasında görünen I22, I14, I15 ve I25 tranzistorlarının geçiş iletkenlikleri ve çıkış dirençleri, giriş katının fark işaret kazancını (3.9) ifadesinde verildiği şekilde belirlir. Bu tranzistorların kanal genişlikleri parametrik benzetimlerde, devre şemasında görünen değerlerinin “K1” katına değiştirilmiş ve kazancın değişimi incelenmiştir. Şekil 3.17 ve Şekil 3.18’de benzetim sonuçları farklı giriş gerilimi aralıkları için verilmiştir. Tranzistorların kanal genişlikleri arttıkça devrenin fark işareti kazancı da artmaktadır. Fakat devrenin çalışmasında, giriş düğümü ile devre çıkışları arasınada yer alan geçit-savak örtüşüm kapasitelerinin, Miller etkisinden dolayı kazançla çarpılarak girişe gelmesini engellemek amacıyla bu tranzistorların boyutları küçük seçilmiştir. Küçük geometrilere gidildikçe artacak ikincil etkilerden kaçınmak için eleman boyutları üretilebilecek en küçük boyutlu seçilmemiştir. Bu ikincil etkilerin başında kanal boyu modülasyonu etkisinin ve eleman toleranslarının artması gelmektedir.

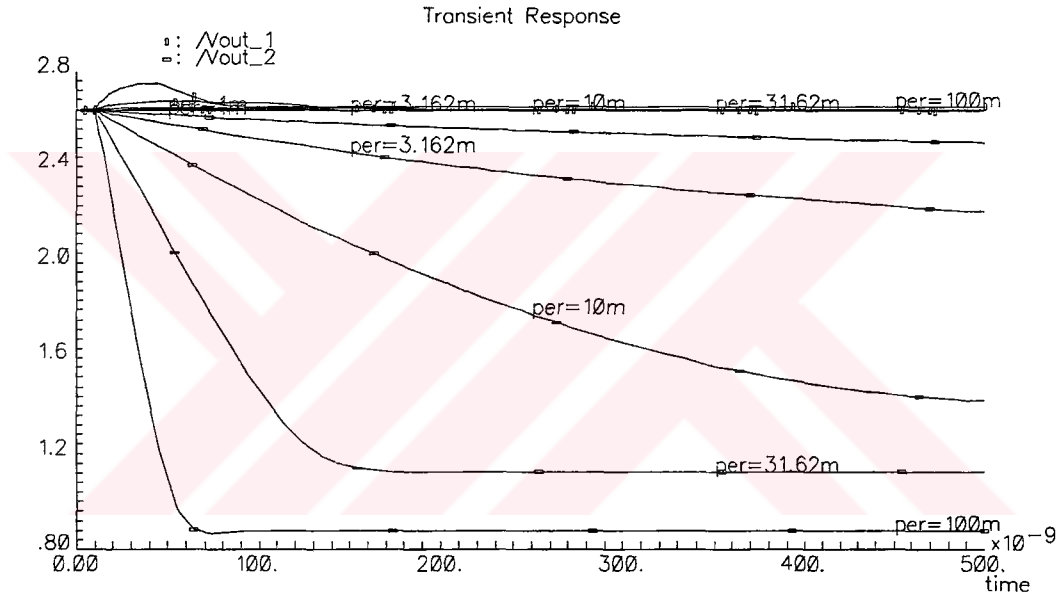


Şekil 3.17 Kazanç tranzistorlarının boyutlandırılması.



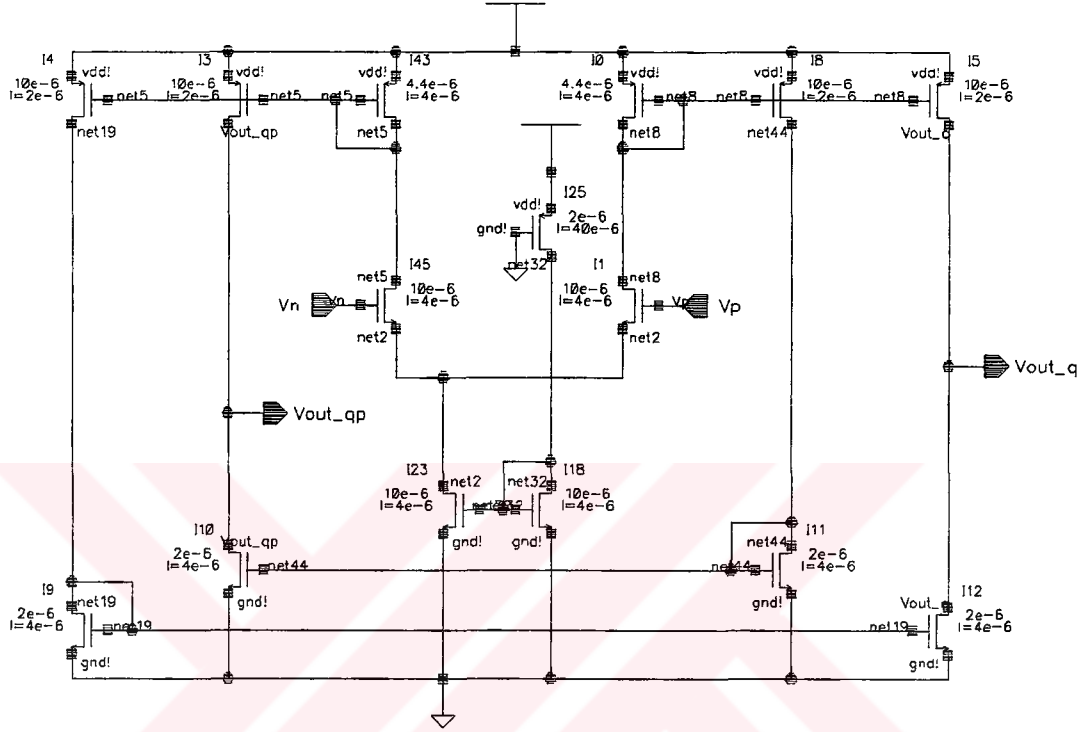
Şekil 3.18 Kazanç tranzistorlarının boyutları ile kazancın değişimi.

Giriş katının darbe cevabı Şekil 3.19'da verilmiştir. Devrenin hızını belirlemek için, 1mV'dan 100mV'a kadar çeşitli gerilim değerleri için yapılan benzetimlerde, devre çıkışında belirli bir fark gerilimi elde edilebilmesi için geçen sürenin devreye uygulanan fark gerilimine bağlı olduğu görülmüştür. Devre 100mV genlikli fark giriş işareti için çıkış fark gerilimini yaklaşık 20ns'de 1V'un üzerine çıkartırken, 10mV genlikli fark giriş işareti için 350ns sonra fark gerilimi 1V'a ulaşmaktadır.



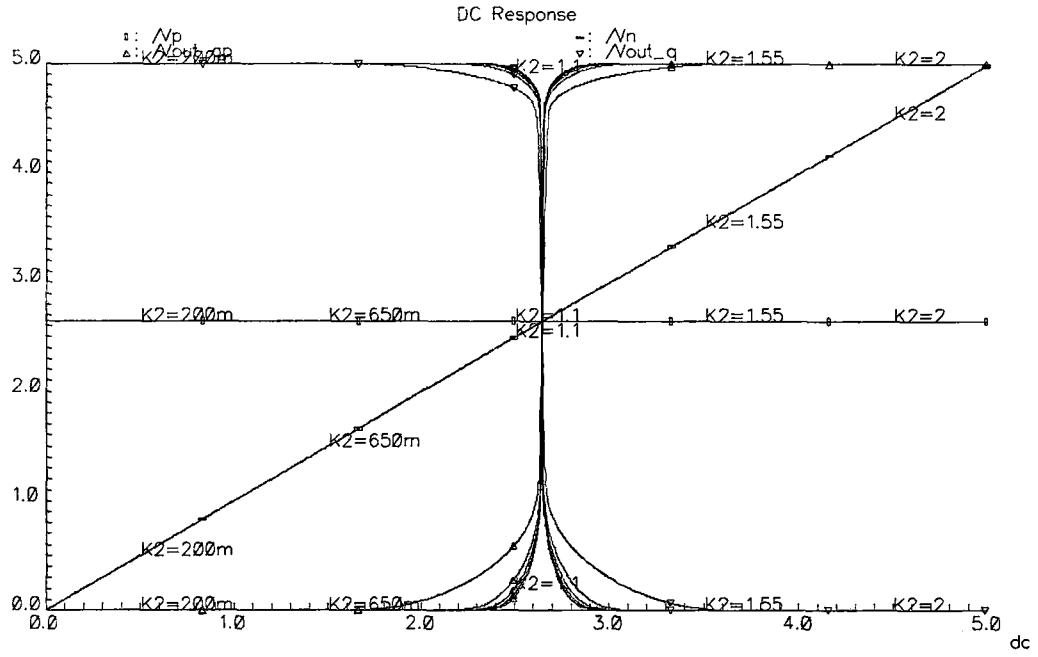
Şekil 3.19 Giriş katı darbe cevabı.

Karşılaştırmalı devrenin kazanç katı ve kazanç katı devre parametreleri Şekil 3.20’de görülmektedir.

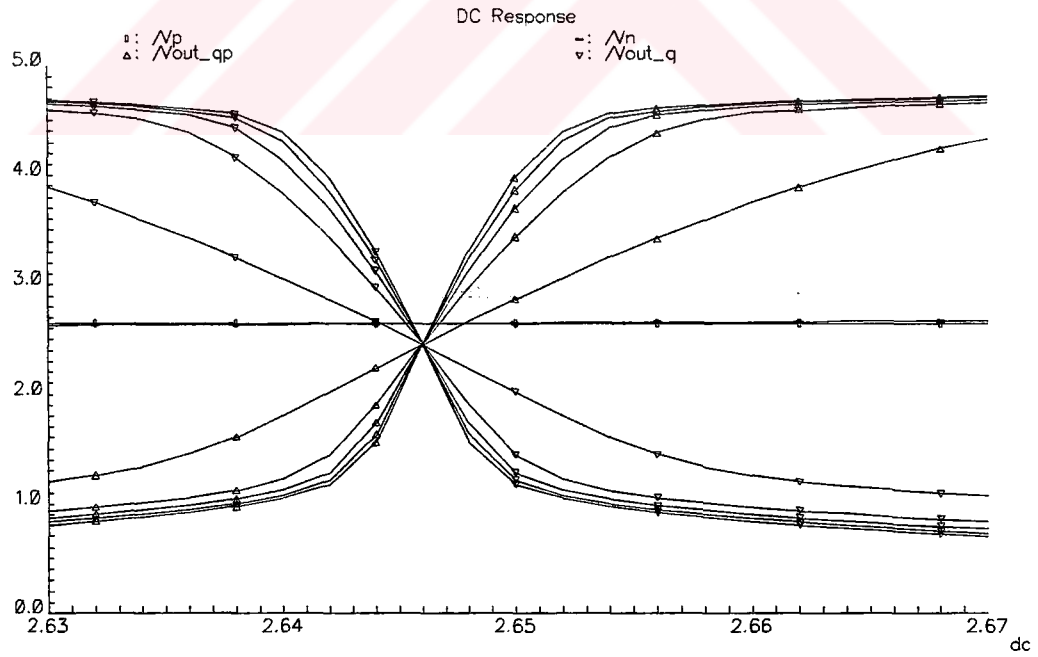


Şekil 3.20 Karşılaştırmalı devrenin kazanç katı ve devre parametreleri

Şekil 3.21’de simetrik geçiş iletkenliği kuvvetlendiricisi olarak tasarlanan kazanç katının gerilim geçiş eğrisi görülmektedir. Benzetimler sırasında devre girişlerinden bir tanesi ilk kat olan giriş katı çıkışlarının sükunette aldıkları 2.646V değeri ile kutuplanmış, daha sonra değeri değiştirilerek devrenin doğru gerilim benzetimi yapılmıştır. Şekil 3.21’de giriş katındaki tranzistorların kanal genişliklerinin devre şemasında verilen değerlerinin “K2” katı seçilmesi durumunda yapılmış parametrik benzetim sonuçları görülmektedir. Aynı sonuçlar daha detaylı olarak Şekil 3.22’de de sunulmuştur. Fark katı giriş tranzistorlarının kanal genişlikleri arttırıldıkça kazancın da artacağı (3.18) formülünde gösterilmişti. Devre, parametrelerinin şemada verilen değerleriyle, beklenen kazanç, eleman uyuşması ve gerçekleştirme alanı özelliklerini sağlamaktadır.

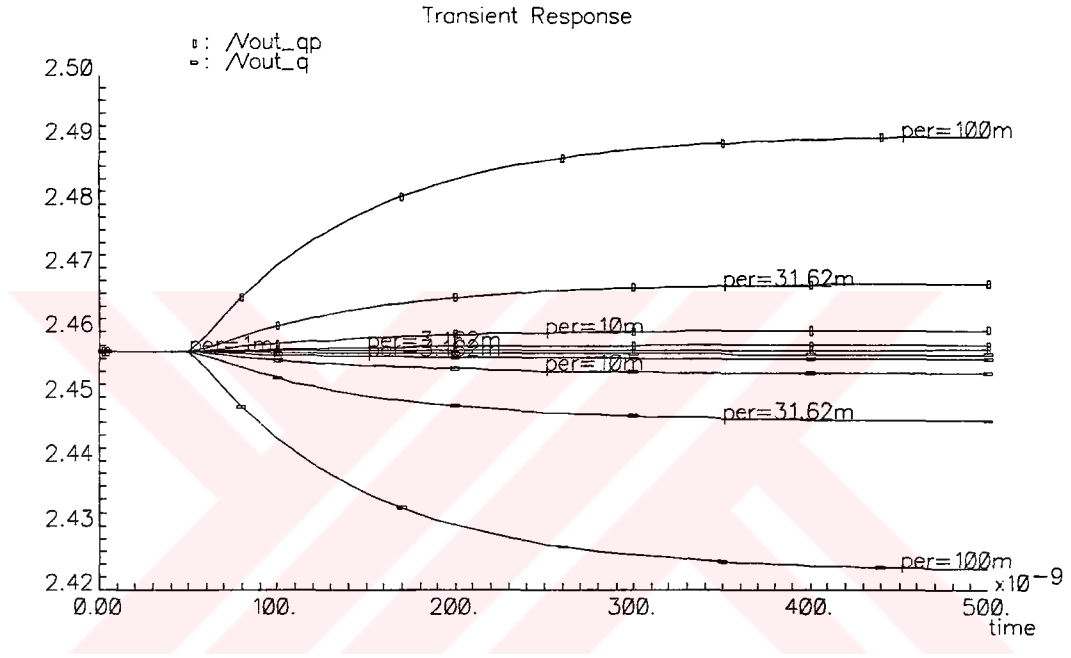


Şekil 3.21 Kazanç katı geçiş eğrisi (0-5V)



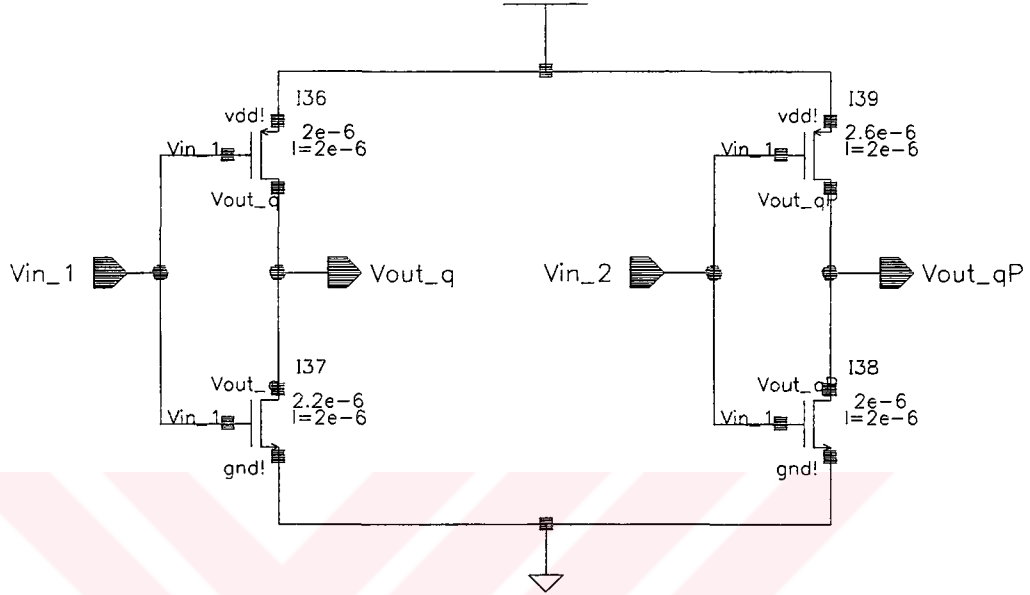
Şekil-3.22 Kazanç katı geçiş eğrisi (2.83-2.87V)

Kazanç katı darbe cevabı Şekil-3.23’de ve Şekil 3.24’de verilmiştir. Devre uygulanan fark gerilimi ile orantılı bir fark çıkışını simetrik olarak üretmektedir. Devrenin gecikmesi, giriş katında olduğu gibi, devre girişine uygulanan fark işareti genliği ile orantılıdır. Girişe uygulanacak fark işareti genliği arttıkça devrenin üreteceği fark çıkışı belirli bir gerilim değerine daha kısa sürede gelmektedir.



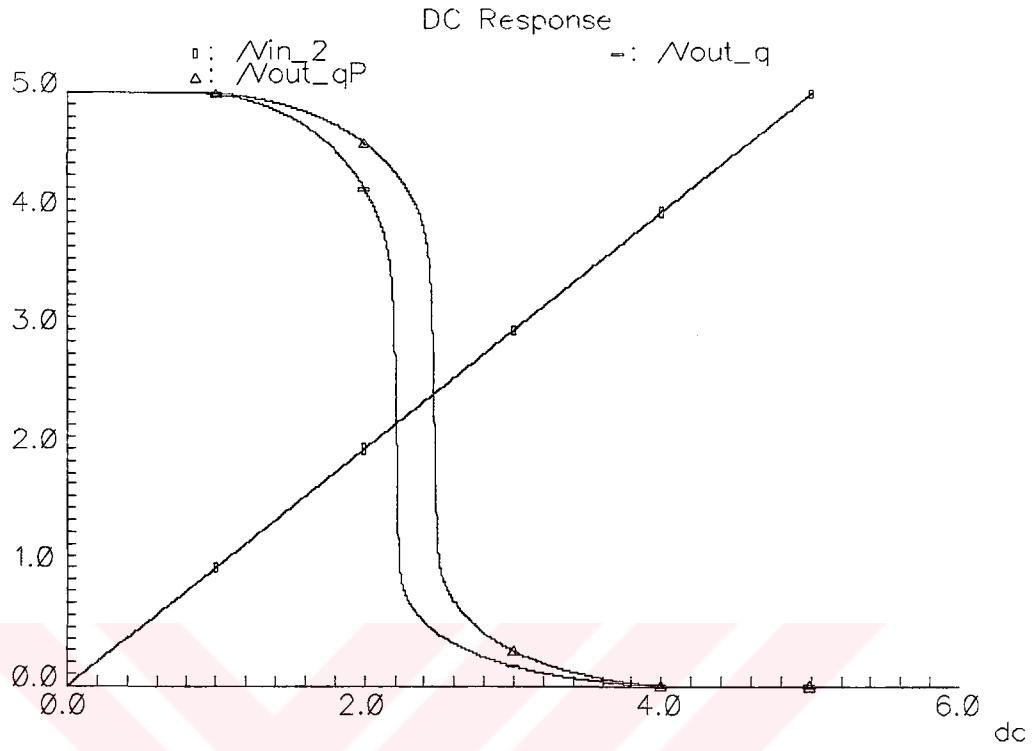
Şekil 3.23 Kazanç katının darbe cevabı.

Karşılaştırmacı devrenin son katı olan çıkış katı devre şeması ve parametreleri Şekil 3.24’de verilmiştir.

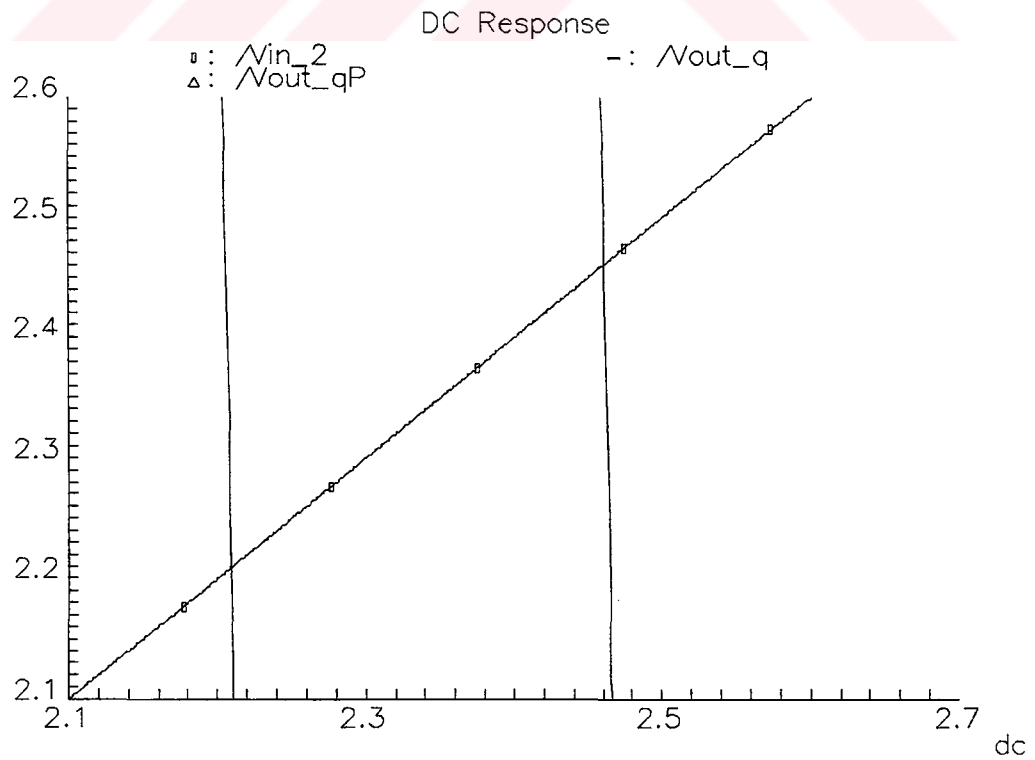


Şekil 3.24 Karşılaştırmacının çıkış katı ve devre parametreleri

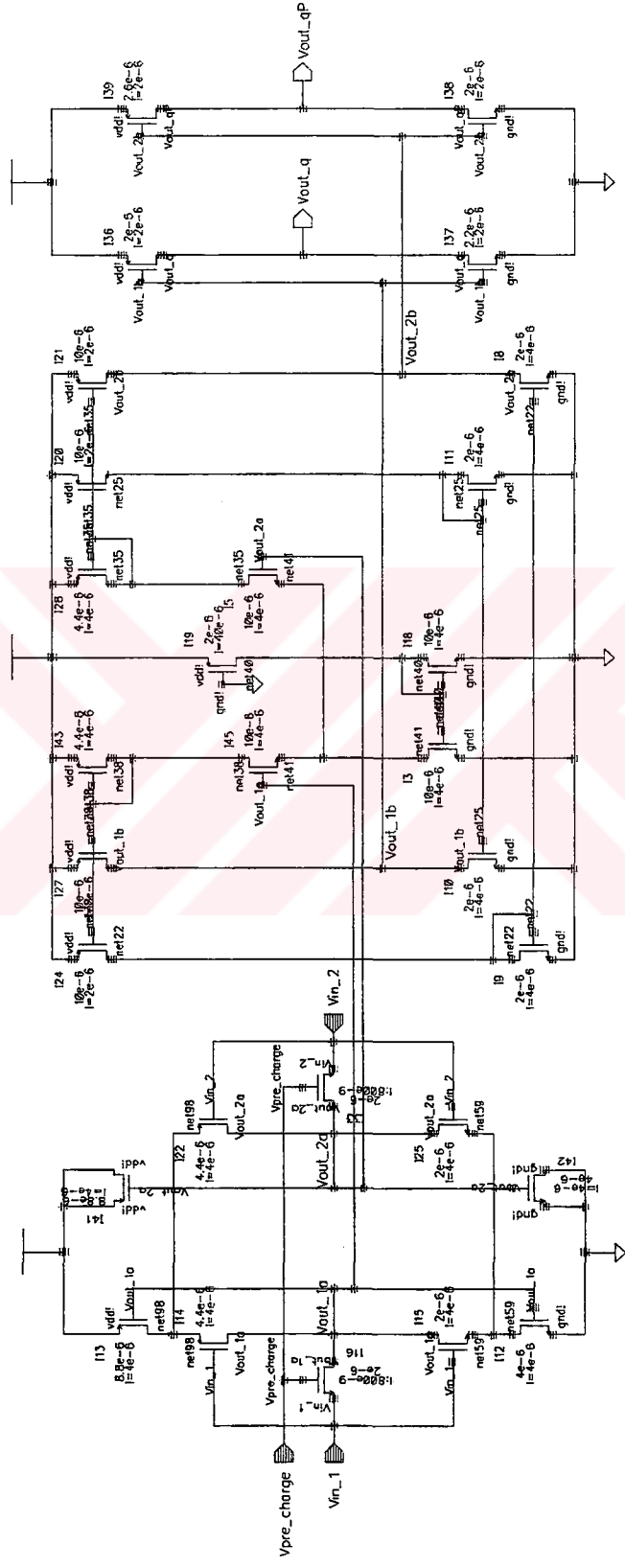
Çıkış katı iki eviriciden oluşmaktadır. Bu iki eviricinin eşik gerilimlerinin birbirinden farklı olması için eleman boyutları her ikisinde de farklı seçilmiştir. Eviricilerin eşik gerilimlerinin farklı olması, kontrol edecekleri sütun anahtar devrelerine, NMOS eşik geriliminden büyük bir gerilim değerinin her iki girişe aynı anda iletilmesini engellemek içindir. Devrenin gerilim geçiş eğrisi Şekil 3.25’de verilmiştir. Eviricilerden bir tanesinin eşik gerilimi 2.461V diğerinki ise 2.211V tur. Şekil 3.26’da geçiş eğrisi daha ayrıntılı olarak verilmiştir. Kazanç katının sükunette çıkış gerilimi 2.457V olduğu da göz önüne alındığında, sükunette “V_outqP” çıkışı yaklaşık olarak eşik gerilimi civarında kalmakta, “V_outq” çıkışı ise negatif besleme gerilimine NMOS tranzistorunun eşik geriliminden daha küçük bir gerilim değeri kadar yaklaşmaktadır. Bu mekanizmanın önemi “Sütun Anahtarı” devrelerinin anlatılmasında daha ayrıntılı olarak vurgulanacaktır.



Şekil 3.25 Çıkış katı gerilim geçiş eğrisi (0-5V)



Şekil 3.26 Çıkış katı gerilim geçiş eğrisi (2.1-2.7V)



Şekil 3.27 Karşılaştırmalı devre şeması.

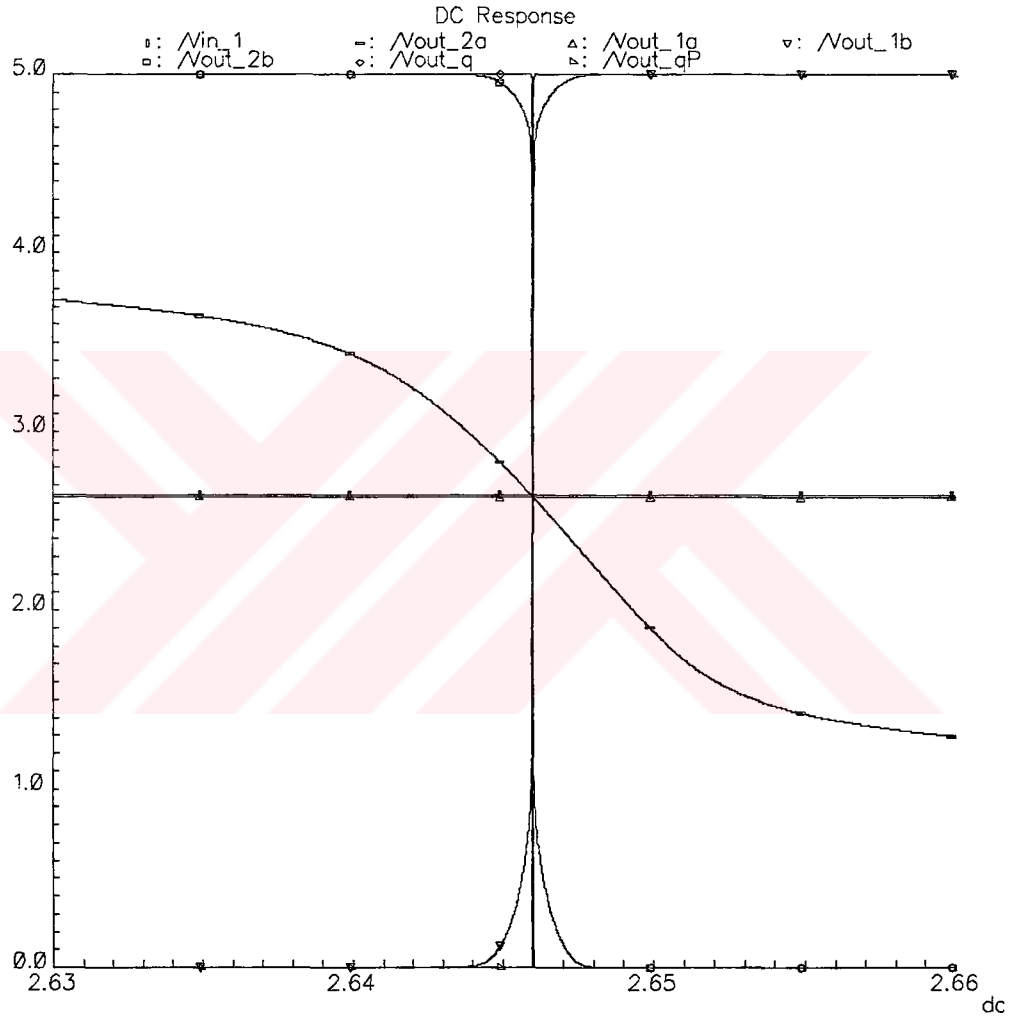
Karşılaştırmalı devresinin şemasının tamamı Şekil 3.27’de verilmiştir. Devrenin doğru gerilim benzetim sonuçları Şekil 3.28’de ve daha ayrıntılı olarak Şekil 3.29’da verilmiştir. Devrenin benzetim yapılırken, devre girişlerinden biri 2.646V’da kutuplanmış ve diğer girişin gerilimi 2.6V’dan 2.7V’a değiştirilmiştir.

Benzetimler sonuçlarından yararlanılarak devrenin kazancı hesaplanmıştır. Devrenin girişinden, giriş katının çıkışına, kazanç katının çıkışına ve çıkışa olan kazançlar sırasıyla (3.20), (3.21) ve (3.22) ifadelerinde verilmiştir. Kazanç değerleri incelendiğinde ilk katın fark işareti kazancının -175, ikinci katının yaklaşık 615 ve çıkış katının fark işareti kazancının ise yaklaşık -7.5 olduğu görülür. Giriş ve kazanç katının fark işareti kazançları teorik hesaplar ile uyum gösterirken çıkış katının kazancı beklenen değerinden daha düşük bulunmuştur. Bunun sebebi karşılaştırmalı devresinin normal çalışması sırasında çıkış katında yer alan iki evirici bloğunun evirici eşiklerinde kutuplanmıyor olmasıdır.

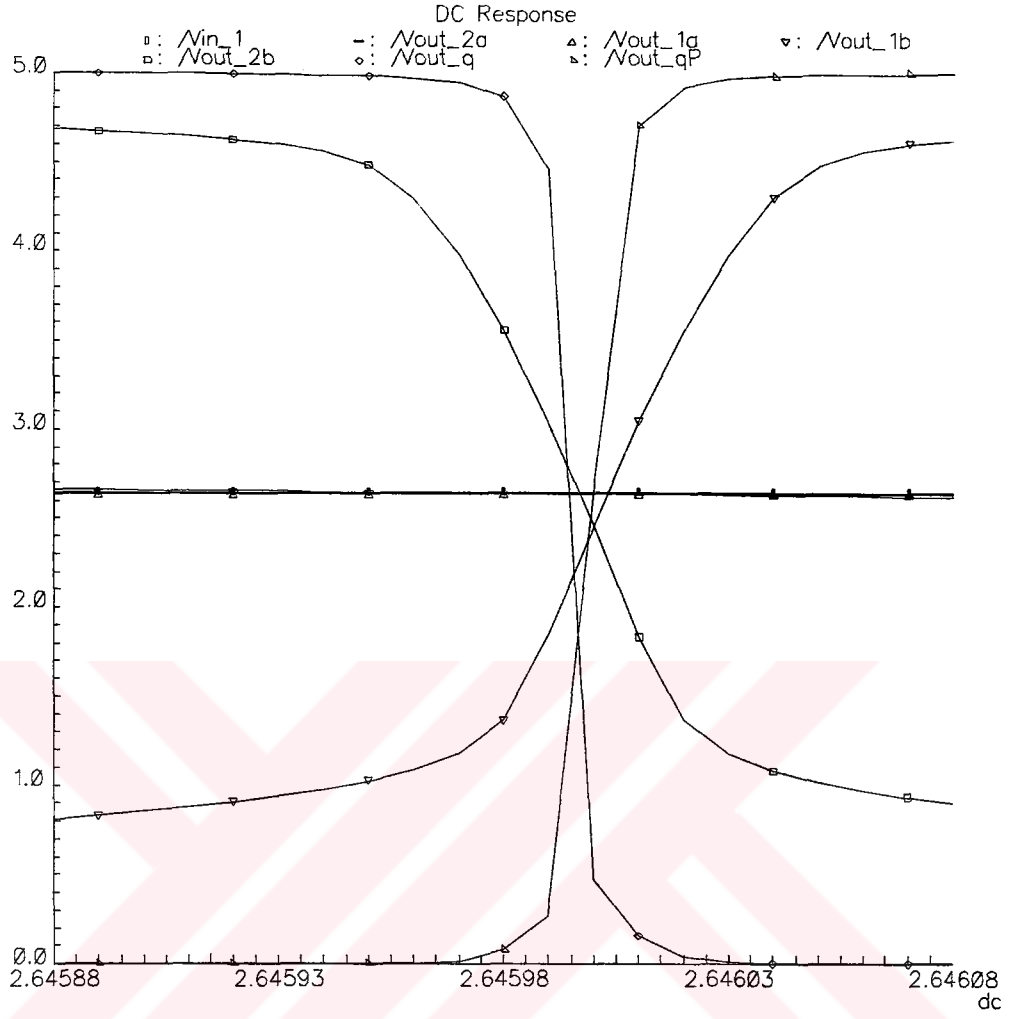
$$K_{V_{giriş}} = \frac{V_{out_2a} - V_{out_1a}}{V_{in_2} - V_{in_1}} = -175 \quad (3.20)$$

$$K_{V_{kazanç}} = \frac{V_{out_2b} - V_{out_1b}}{V_{in_2} - V_{in_1}} = -107500 \quad (3.21)$$

$$K_{V_{çıkış}} = \frac{V_{out_q} - V_{out_qP}}{V_{in_2} - V_{in_1}} = 794200 \quad (3.22)$$

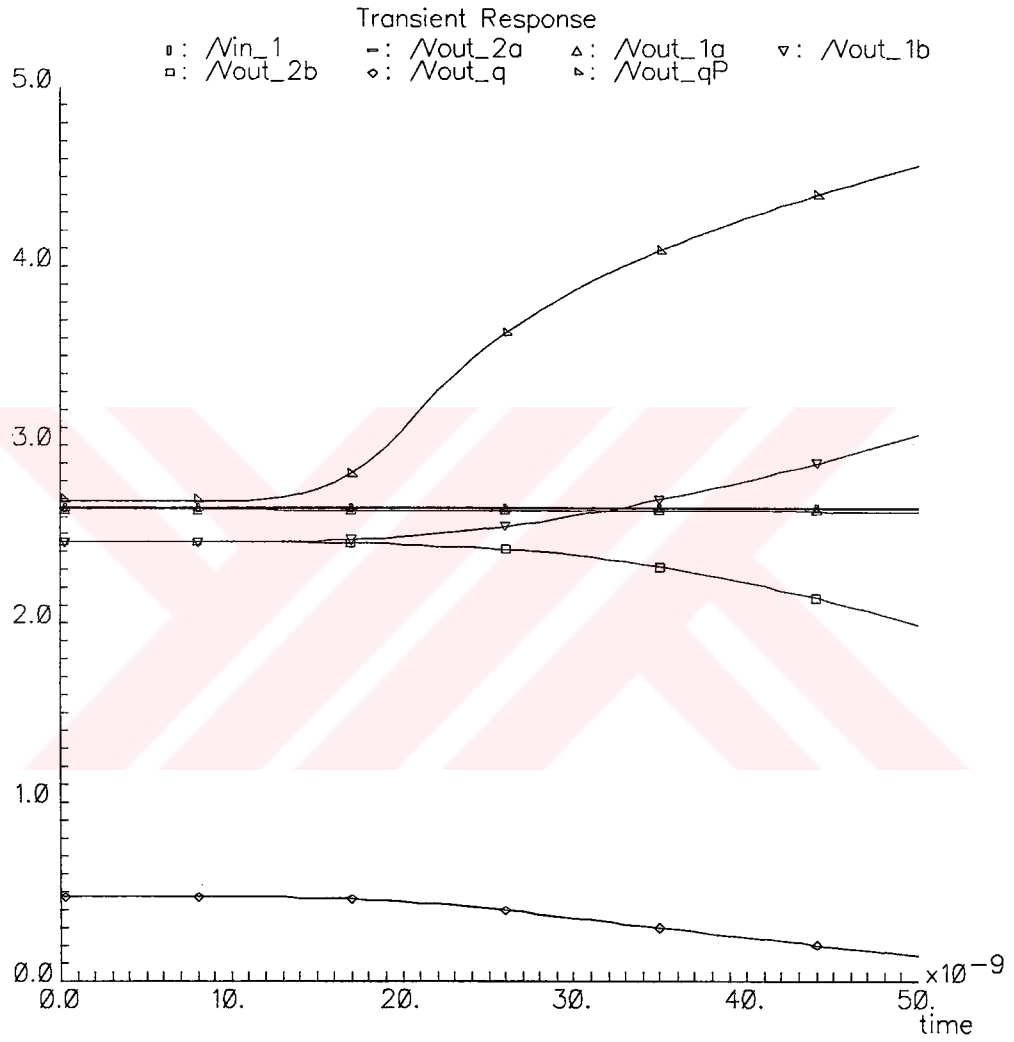


Şekil 3.28 Karşılaştırıcı devresi geçiş eğrisi (2.63V-2.66V)

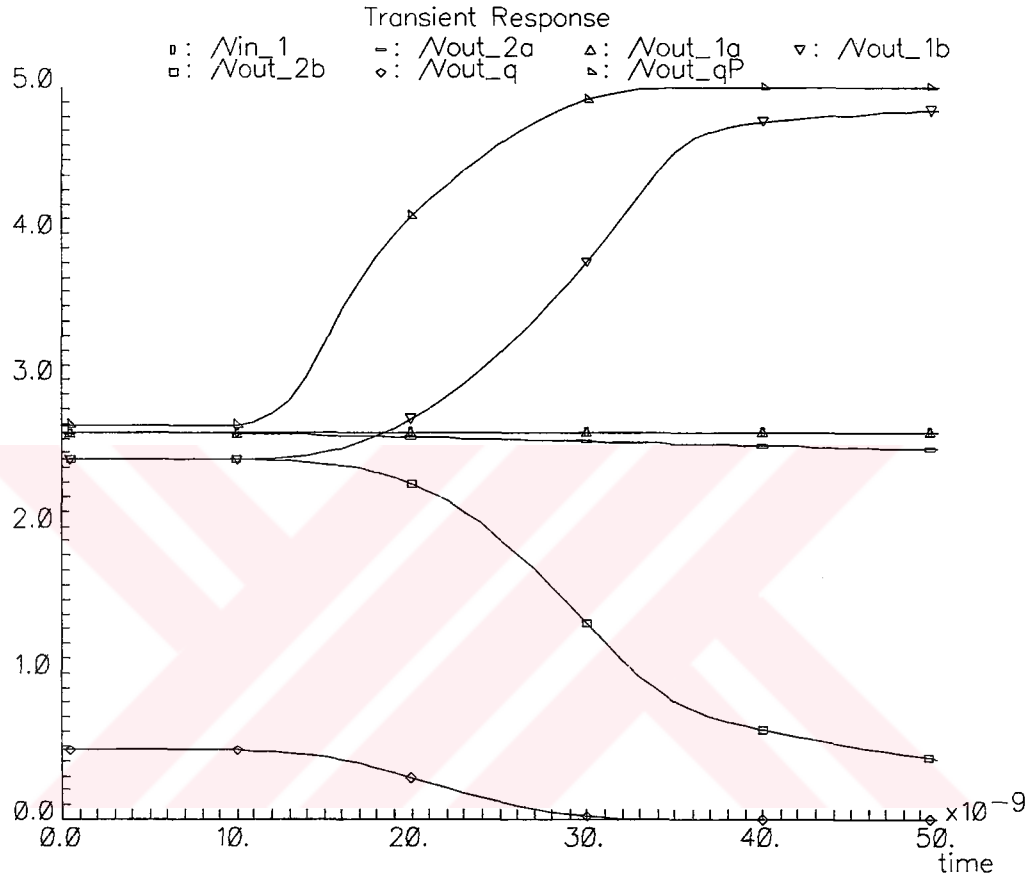


Şekil 3.29 Karşılaştırıcı devresi geçiş eğrisi (2.6458V-2.6460V)

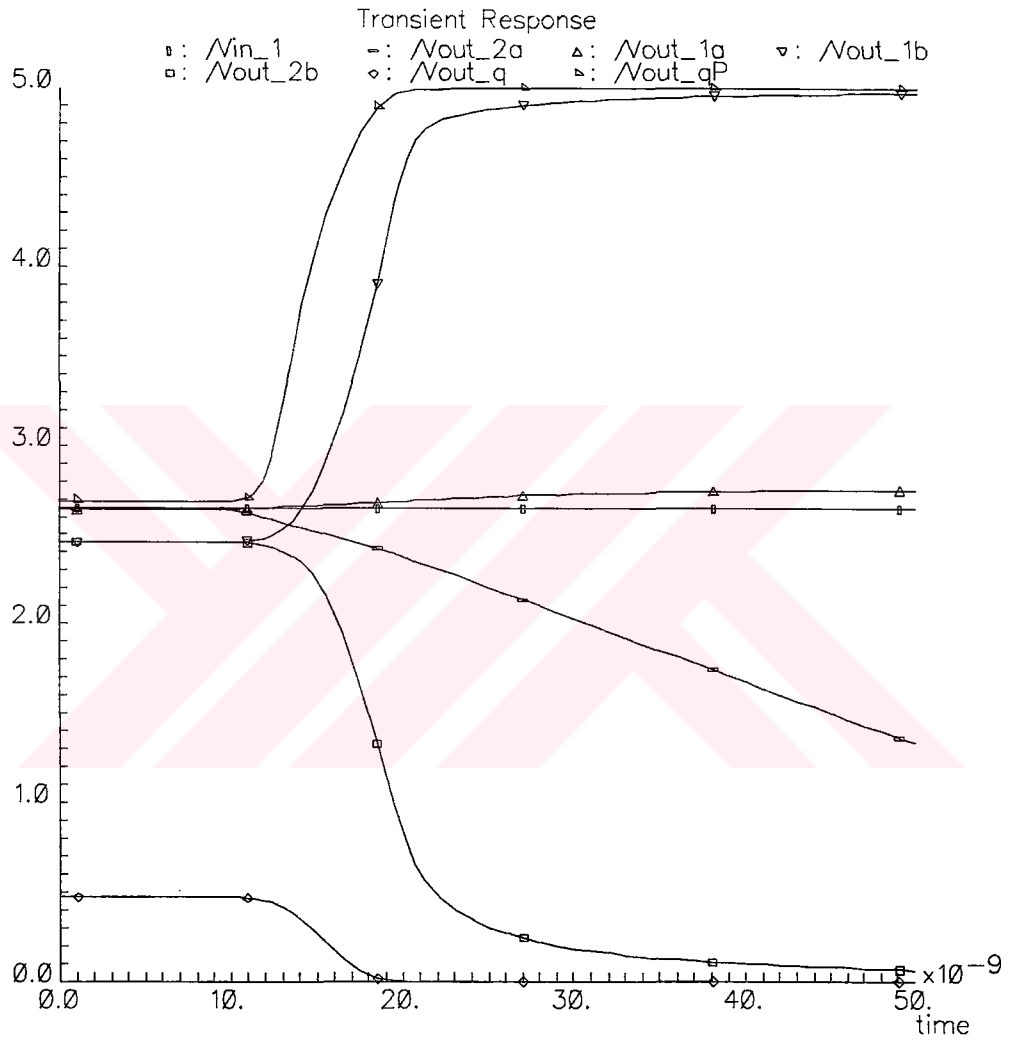
Karşılaştırıcının darbe cevabı Şekil 3.30'dan Şekil 3.35'e kadar olan grafiklerde sırasıyla 1mV, 10mV, 100mV, -1mV, -10mV ve -100mV genlikli fark işaretleri için verilmiştir. Girişler önce aynı gerilim değeri olan 2.646V ile kutuplanmış daha sonra fark işareti girişler arasına uygulanmıştır. Grafiklerde karşılaştırıcı giriş katının çıkışı, kazanç katının çıkışı ve evirici çıkışları görülmektedir. Sükunette karşılaştırıcı devrenin VqP çıkışı yaklaşık evirici eşliğinde durmakta, VqP çıkışı ise NMOS eşik gerilimi değerinden daha küçük bir gerilim değerine çekilmektedir.



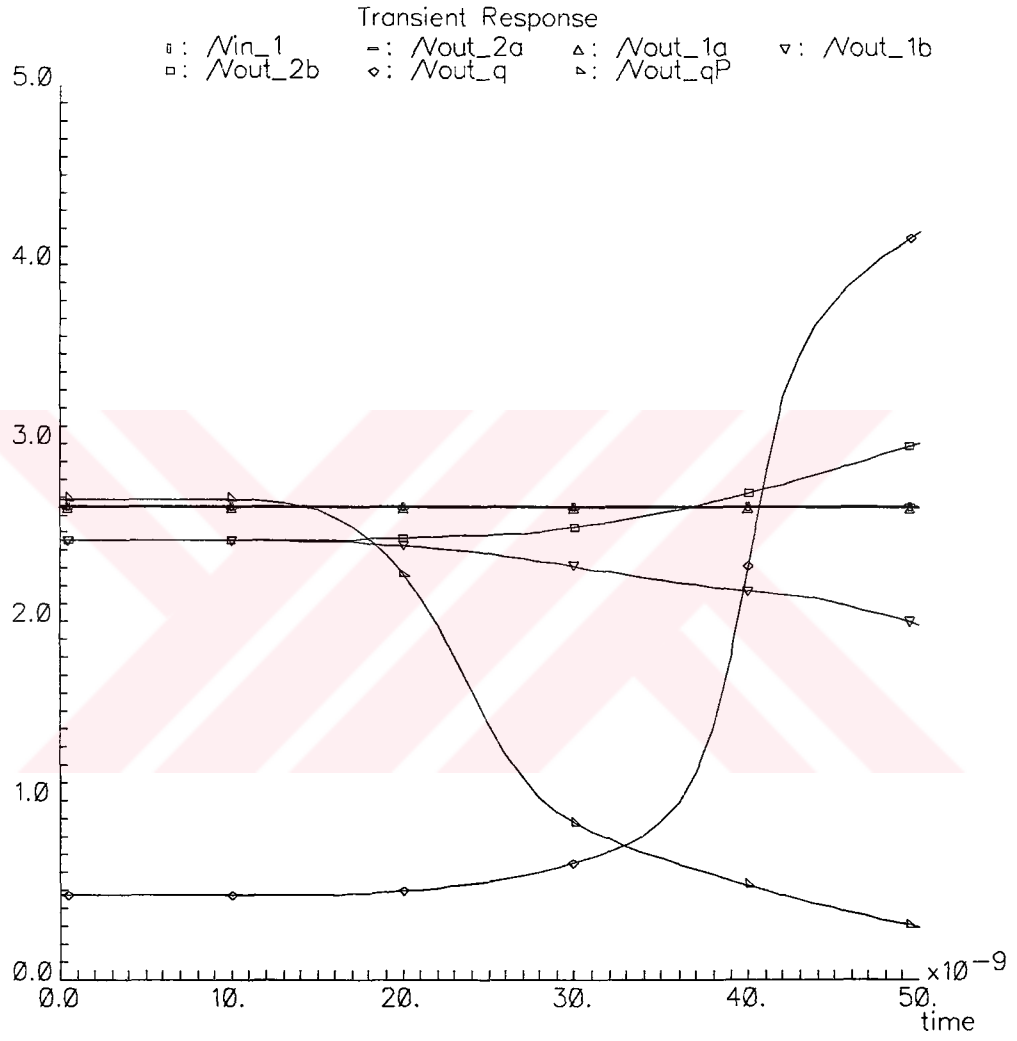
Şekil 3.30 1mV fark gerilimi için karşılaştırıcı devre cevabı



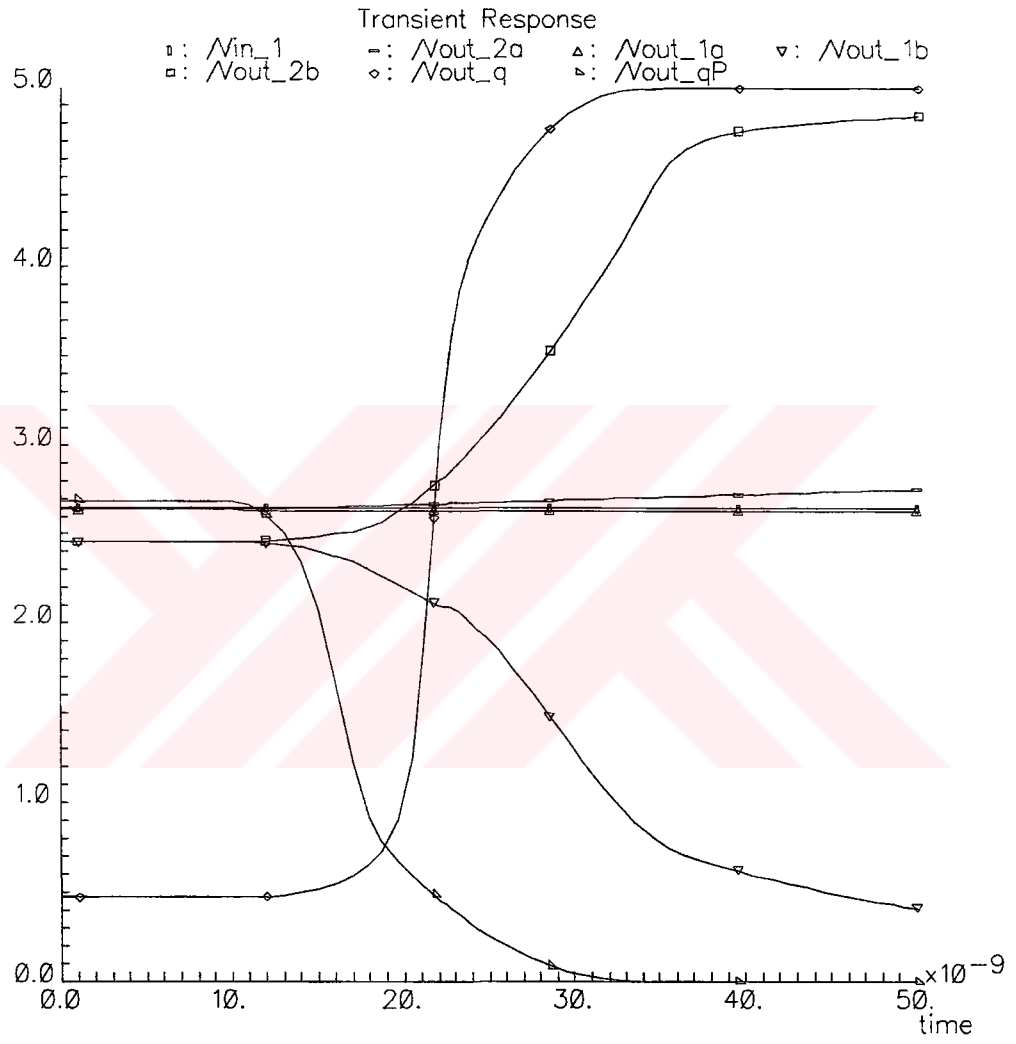
Şekil 3.31 10mV fark gerilimi için karşılaştırıcı devre cevabı



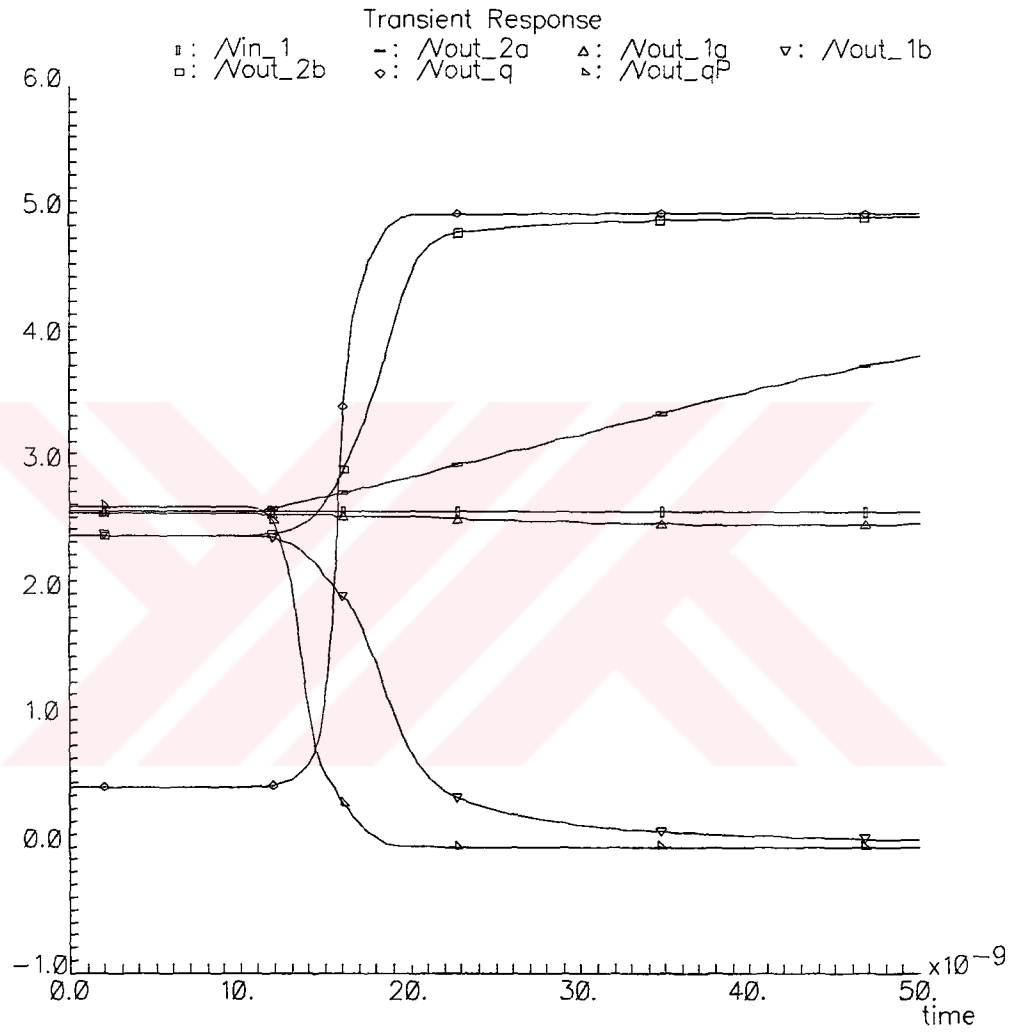
Şekil 3.32 100mV fark gerilimi için karşılaştırmalı devre cevabı



Şekil 3.33 (-1mV) fark gerilimi için karşılaştırmalı devre cevabı

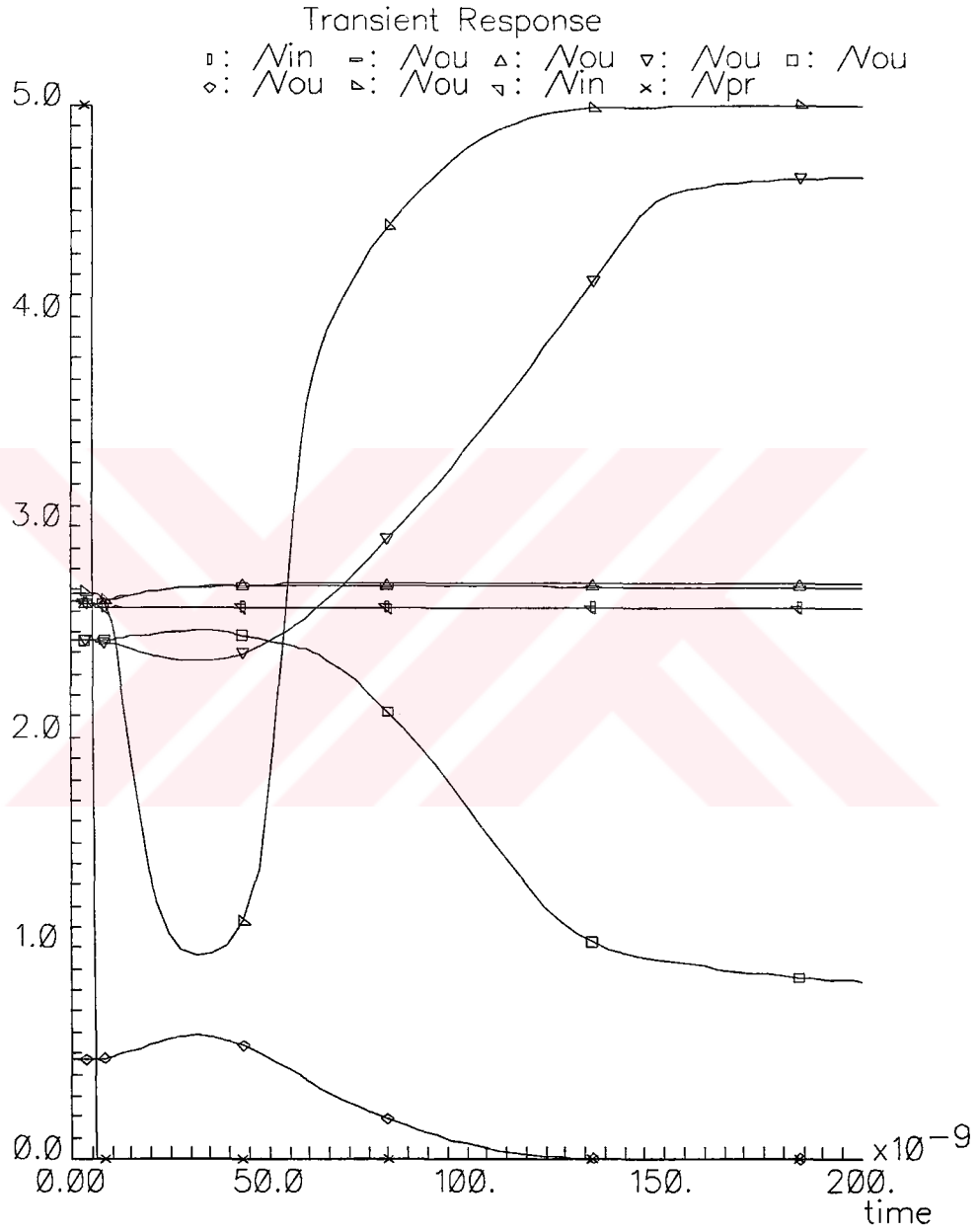


Şekil 3.34 (-10mV) fark gerilimi için karşılaştırıcı devre cevabı

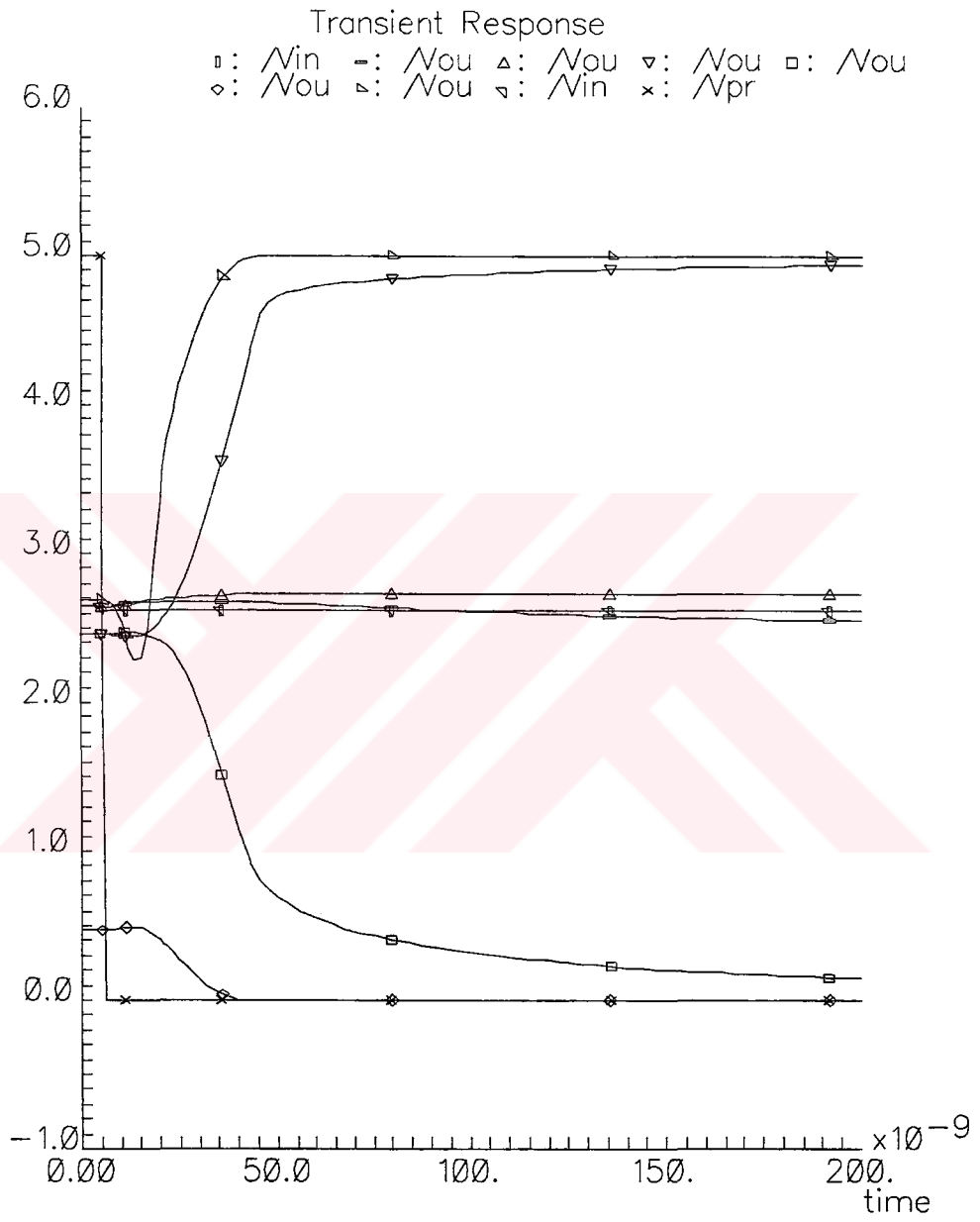


Şekil 3.35 (-100mV) fark gerilimi için karşılaştırıcı devre cevabı

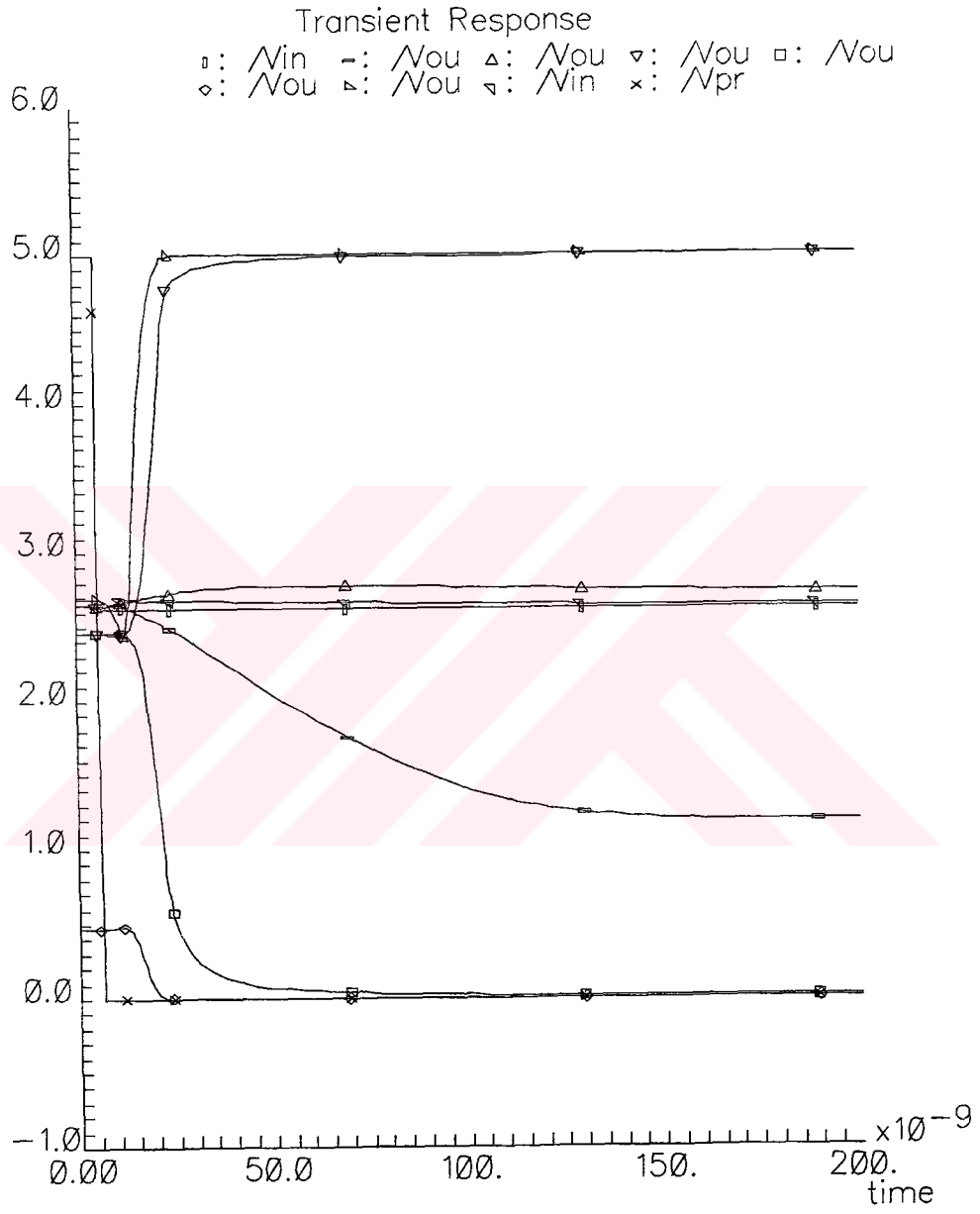
Karşılaştırmalı devrelerin kapasitif eşik lojigi temelli analog-sayısal çevirici devresinde kullanımlarında, girişler kapasitif kuplaj ile uygulanacaktır. Devrede geçit-savak örtüşme kapasitelerinin ve yük enjeksiyonu etkilerinin incelenmesi için, benzetimlerde devreye kapasitif kuplaj ile fark işareti uygulanmıştır. Devrenin her iki girişine 50fF'lık kapasiteler bağlanmıştır. 50fF değeri bu karşılaştırmalı devre girişine bağlanabilecek en küçük kapasite değerlerinden birisidir. Bu denli küçük kapasiteler için devrenin çalışmasını etkileyen ikincil etkiler benzetimler sırasında daha rahat incelenebilecektir. Devre önce "Sıfırlama" fazında çalıştırılarak giriş katı kutuplanır ve daha sonra kapasitelerin bir tanesi üzerinden fark giriş işareti uygulanır. Şekil 3.36' dan Şekil 3.41'e kadar olan grafiklerde sırasıyla 1mV, 10mV, 100mV, -1mV, -10mV ve -100mV için elde edilen benzetim sonuçları sunulmuştur. Sonuçlar, devrenin darbe cevabının incelendiği önceki simülasyonlar ile karşılaştırıldığında, devrenin hızının azaldığı ve giriş katıyla bunu takip eden kazanç katı fark çıkışlarının belirli bir gerilim değerini geçebilmesi için gereken sürenin arttığı belirlenmiştir. Bunun nedeni önceki bölümlerde incelenen ikincil etkiler sebebiyle girişteki etkin fark gerilimi değerinin azalmasıdır.



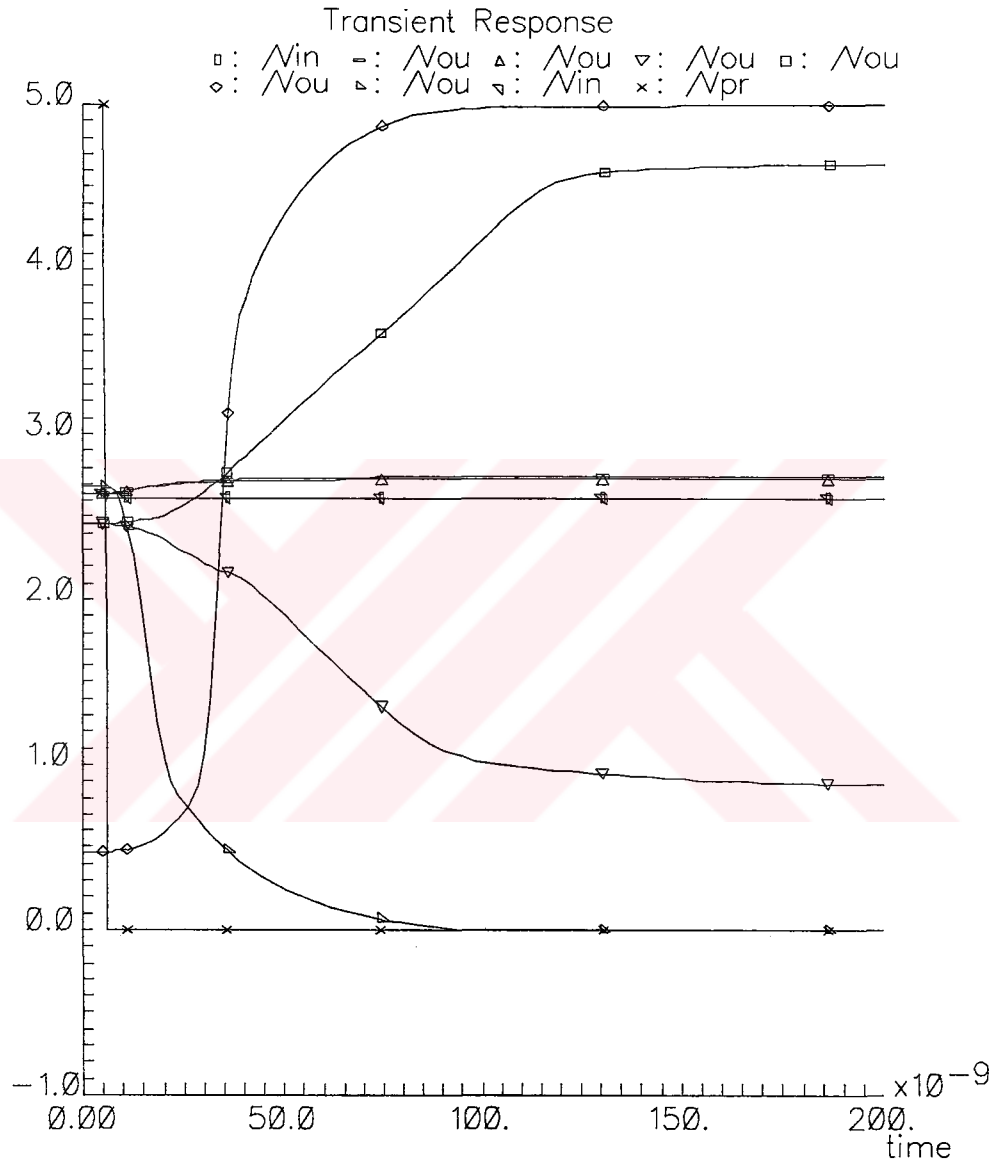
Şekil 3.36 1mV fark geriliminin kapasitif kuplaj ile devreye uygulanması



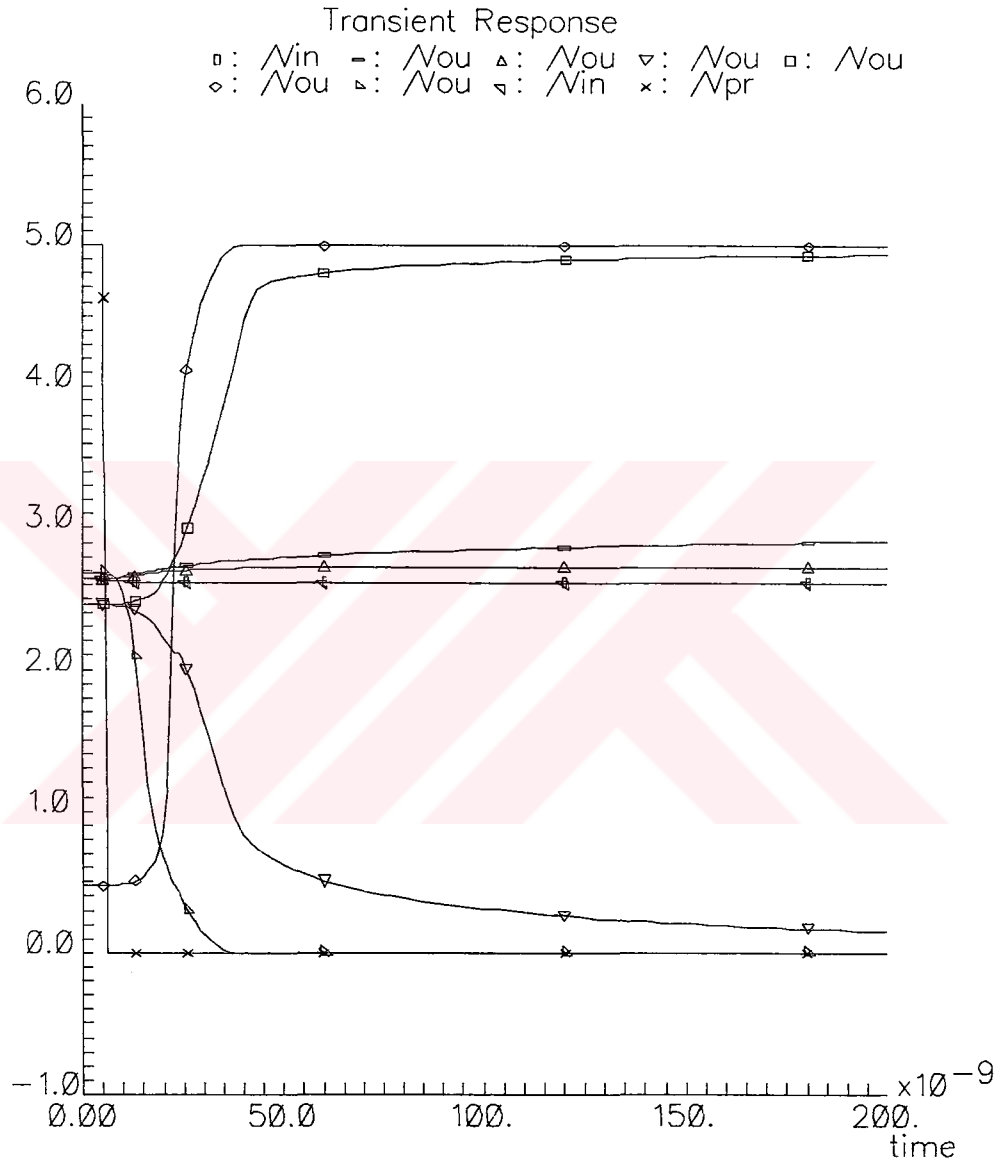
Şekil 3.37 10mV fark geriliminin kapasitif kuplaj ile devreye uygulanması



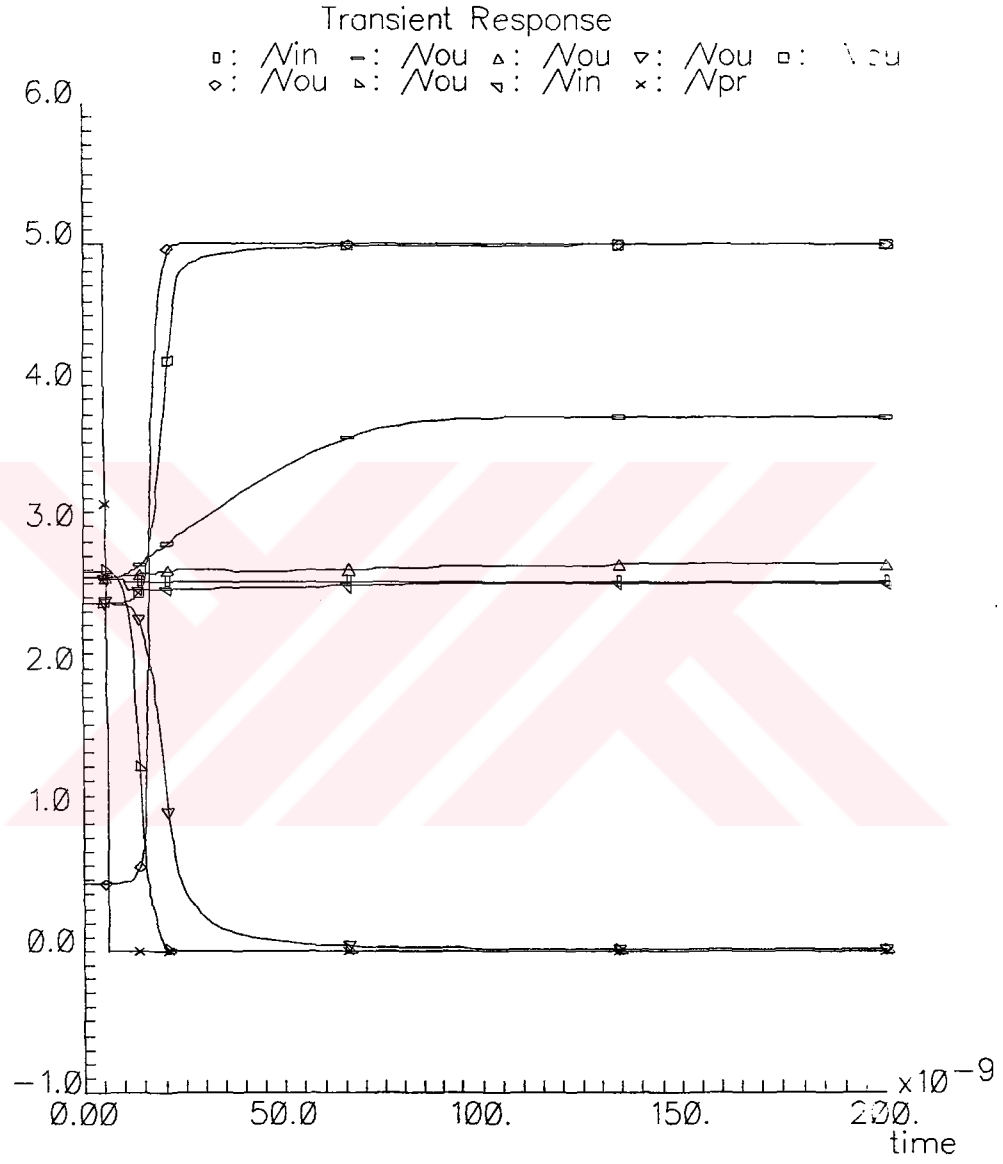
Şekil 3.38 100mV fark geriliminin kapasitif kuplaj ile devreye uygulanması



Şekil 3.39 (-1mV) fark geriliminin kapasitif kuplaj ile devreye uygulanması



Şekil 3.40 (-10mV) fark geriliminin kapasitif kuplaj ile devreye uygulanması



Şekil 3.41 (-100mV) fark geriliminin kapasitif kuplaj ile devreye uygulanması

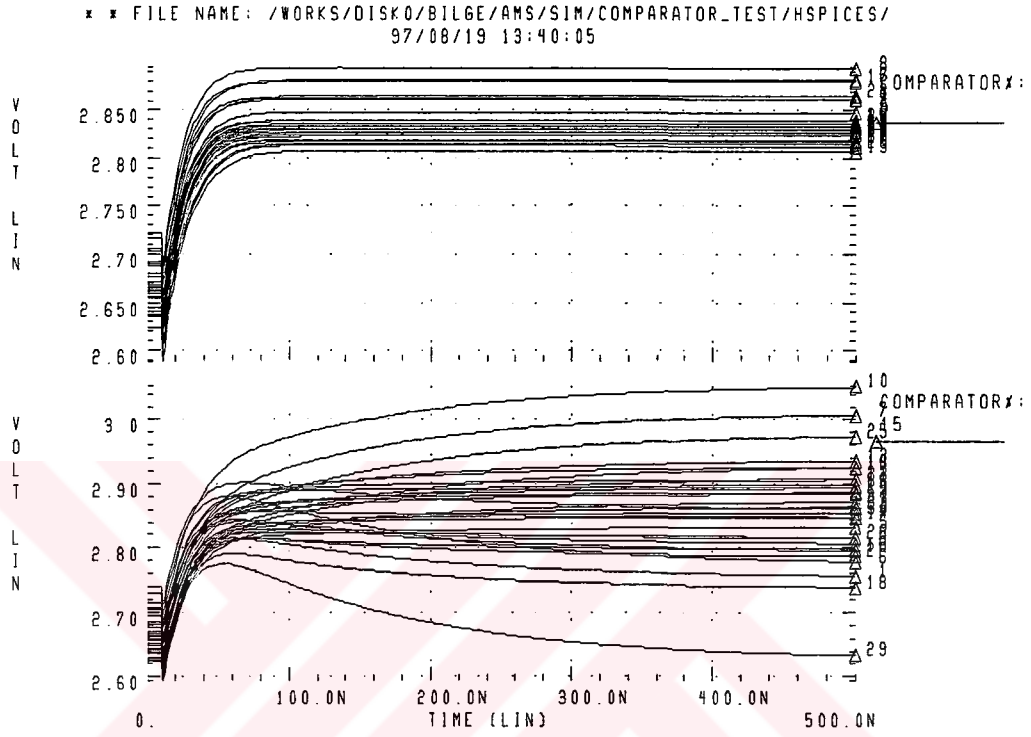
Karşılaştırmalı devrenin dengesizlik (Offset) analizi için HSPICE programı ile “Monte Carlo” benzetimleri yapılmıştır. Benzetimlerde, devrenin üretimi sırasında oluşacak kaçınılmazı mümkün olmayan, ancak çeşitli serim teknikleri kullanılarak belirli sınırların altına çekilebilmesi mümkün üretim hataları sebebiyle, devrede oluşabilecek rastgele dengesizliğin (Random Offset) üst sınır belirlenmiştir.

Elektronik devrelerde oluşacak dengesizliğin tek kaynağı eleman uyumsuzlukları değildir. Yapısı gereği kazanç yolları arasında asimetri olan devrelerde, devre parametrelerine bağlı sabit bir sistematik dengesizlik (Systematic Offset) tranzistor düzeyi tasarım sırasında oluşur. Tasarımı yapılan karşılaştırmalı devrenin, yapısının simetrikliği ve kazaç yolları üzerinde asimetrinin olmaması nedeniyle, pratik olarak devrenin sistematik dengesizliği sıfırdır. Yapılan benzetim sonuçları sistematik dengesizlik teriminide içermekte fakat baskın bileşen rastgele dengesizlik terimi olarak görülmektedir.

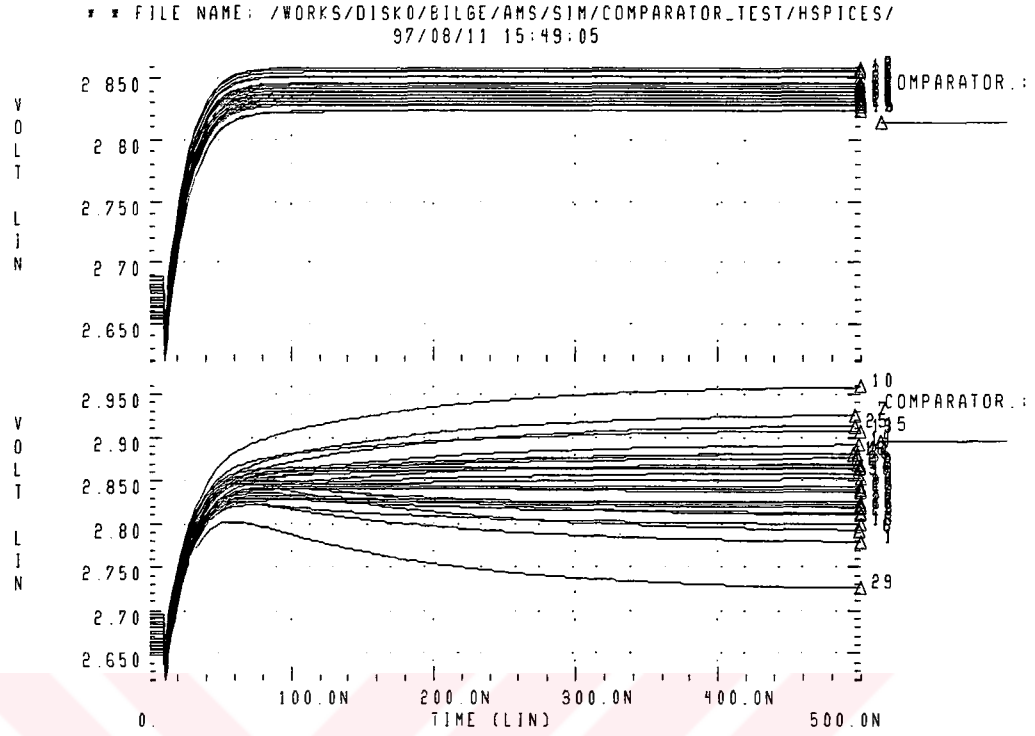
Devrenin kayıklık benzetimleri zaman domenı (Transient) analizlerle yapılmıştır. Devrenin her iki girişı 100fF’lık kapasiteler ile, devrenin normal çalışması sırasında da girişlerinin kapasitif kuplaj ile verileceği düşünülerek, toprak referansına bağlanmıştır. İlk olarak devre “Sıfırlama” fazında çalıştırılarak kutuplanmış ve daha sonra “Sıfırlama” işareti kaldırılarak devrenin bu kutuplama noktasından ne kadar ayrıldığı incelenmiştir. Devrede giriş katının çıkışlarında oluşacak fark işaretinin, giriş katının kazancına bölünmesi ile giriş eşdeğer dengesizliği hesaplanır. Yapılan analizde sadece giriş katı çıkışlarının incelenmesi yetinilmiştir. Giriş katının kazancının yeteri kadar yüksek olması durumunda, kazanç katından giriş katının çıkışına gelebilecek dengesizlik bileşeni giriş katının kendi dengesizliği yanında ihmal edilebilecek kadar küçük olacaktır.

Şekil 3.42’de verilen benzetim sonuçları, tranzistor kanal genişlik ve boylarının anma değerlerinin en fazla %5’i kadar üniform bir dağılıma göre değişebilecekleri varsayımı altında ard arda koşuturulmuş 30 adet benzetimden elde edilmiştir. Şekil 3.43 ise tranzistor kanal genişlik ve boylarının anma değerlerinden üniform dağılıma göre en fazla 0.1 μ değişeceği varsayılarak yapılan benzetim sonuçlarını içermektedir.

(3.23) ve (3.24) ifadelerinde ise sırasıyla Şekil 3.42 ve Şekil 3.43’de verilen benzetim sonuçları ve (3.20) ifadesi yardımıyla elde edilen eşdeğer giriş dengesizlikleri hesaplanmıştır.



Şekil 3.42 Eleman toleranslarının en fazla %5 olduğu durum için karşılaştırmalı devrenin “Monte Carlo” benzetim sonuçları. (İlk eğride, devre şemasında Vout_1 ile gösterilen düğüm gerilimi, ikinci eğride ise Vout_2 için elde edilen benzetim sonuçları görülmektedir.)



Şekil 3.43 Eleman toleranslarının en fazla $0.1\mu\text{m}$ olduğu durum için karşılaştırıcı devrenin “Monte Carlo” benzetim sonuçları. (İlk eğride, devre şemasında Vout_1 ile gösterilen düğüm gerilimi, ikinci eğride ise Vout_2 için elde edilen benzetim sonuçları görülmektedir.)

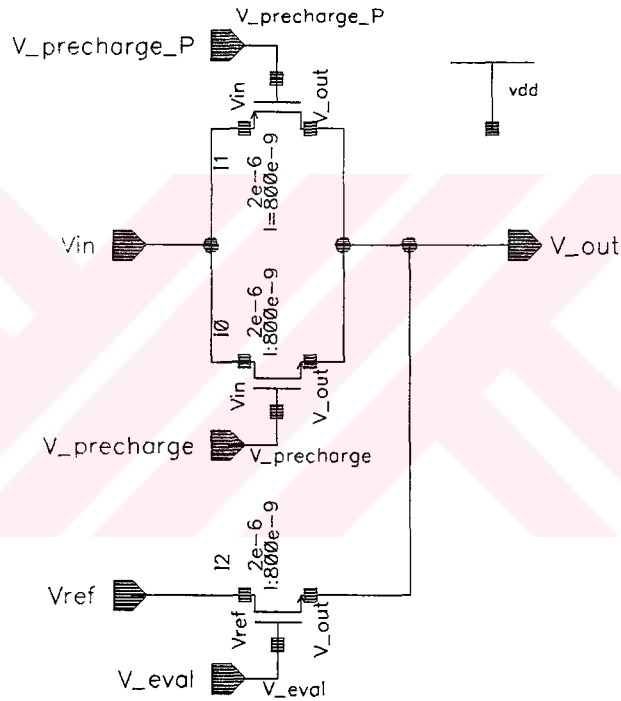
$$V_{\text{offset}(\%5)} = 1.28 \text{ mV} \quad (3.23)$$

$$V_{\text{offset}(0.1\mu)} = 0.571 \text{ mV} \quad (3.24)$$

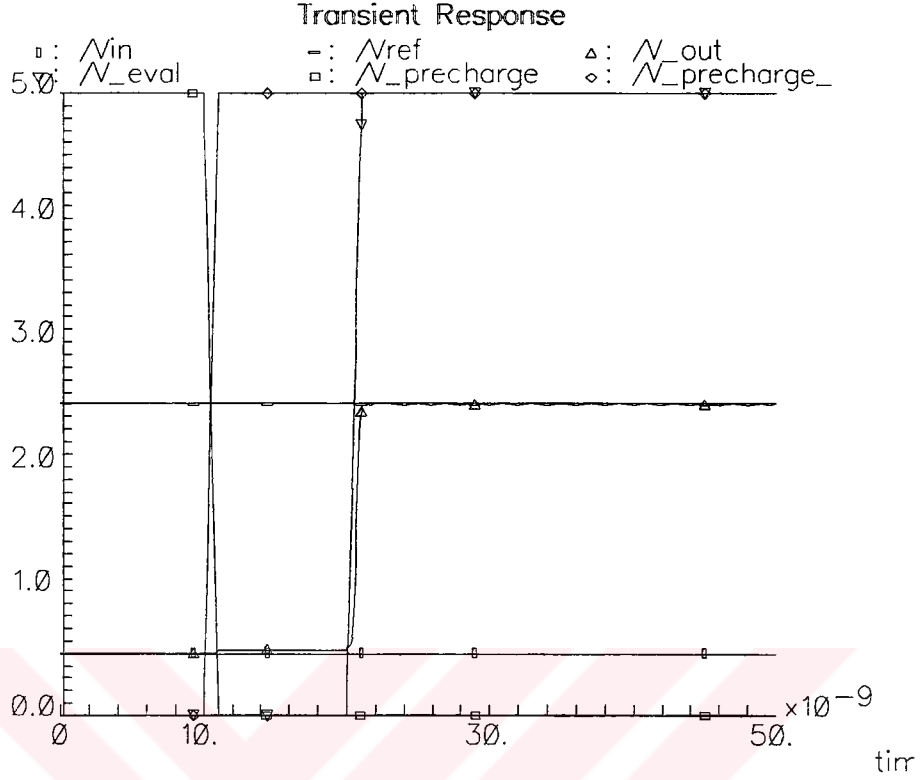
3.5 Satır Anahtar Devreleri Tasarımı

Satır anahtar devresi şeması ve devre parametreleri Şekil 3.44’de verilmiştir. Devre “Sıfırlama” fazında “V_precharge” ve “V_precharge_P” girişlerinin pozitif besleme

gerilimine getirilmesiyle beraber “V_in” girişini “V_out” çıkışına bağlar. Bu sırada “Değerlendirme” fazında ilettime geçecek olan, şemada “I2” isimli MOS tranzistoru kesimdedir. “Değerlendirme” fazının başlaması ve “V_eval” girişinin bu sefer besleme gerilimine çekilmesi ile devre çıkışı, “Vin” girişinden ayrılıp “Vref” girişine bağlanır. Kapasitif temelli analog-sayısal çeviricide satır anahtarlarına uygulanabilecek en yüksek gerilim değeri $V_{DD}/2$ olduğu için, “Vref” girişinde bir CMOS çifti kullanmak yerine tek bir NMOS tranzistor, girişin çıkışa iletilmesi için yeterli olacaktır. Devreye ilişkin zaman domeninde yapılmış benzetim sonuçları Şekil 3.45’de görülmektedir.



Şekil 3.44 Satır anahtarları devre şeması ve parametreleri

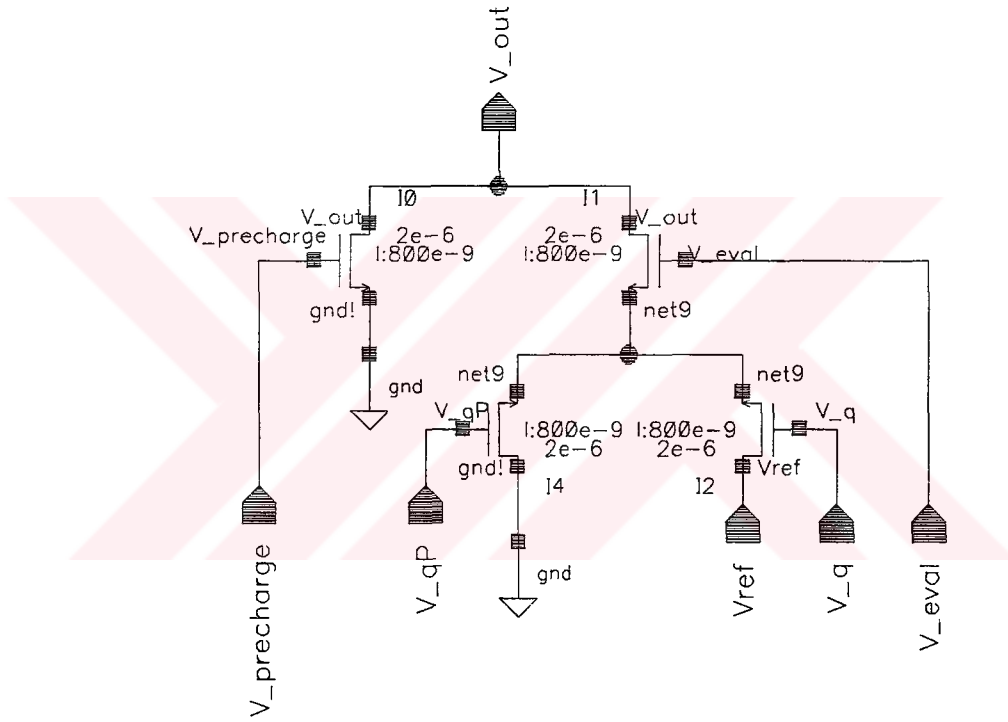


Şekil 3.45 Satır anahtarları zaman domeni benzetim sonuçları.

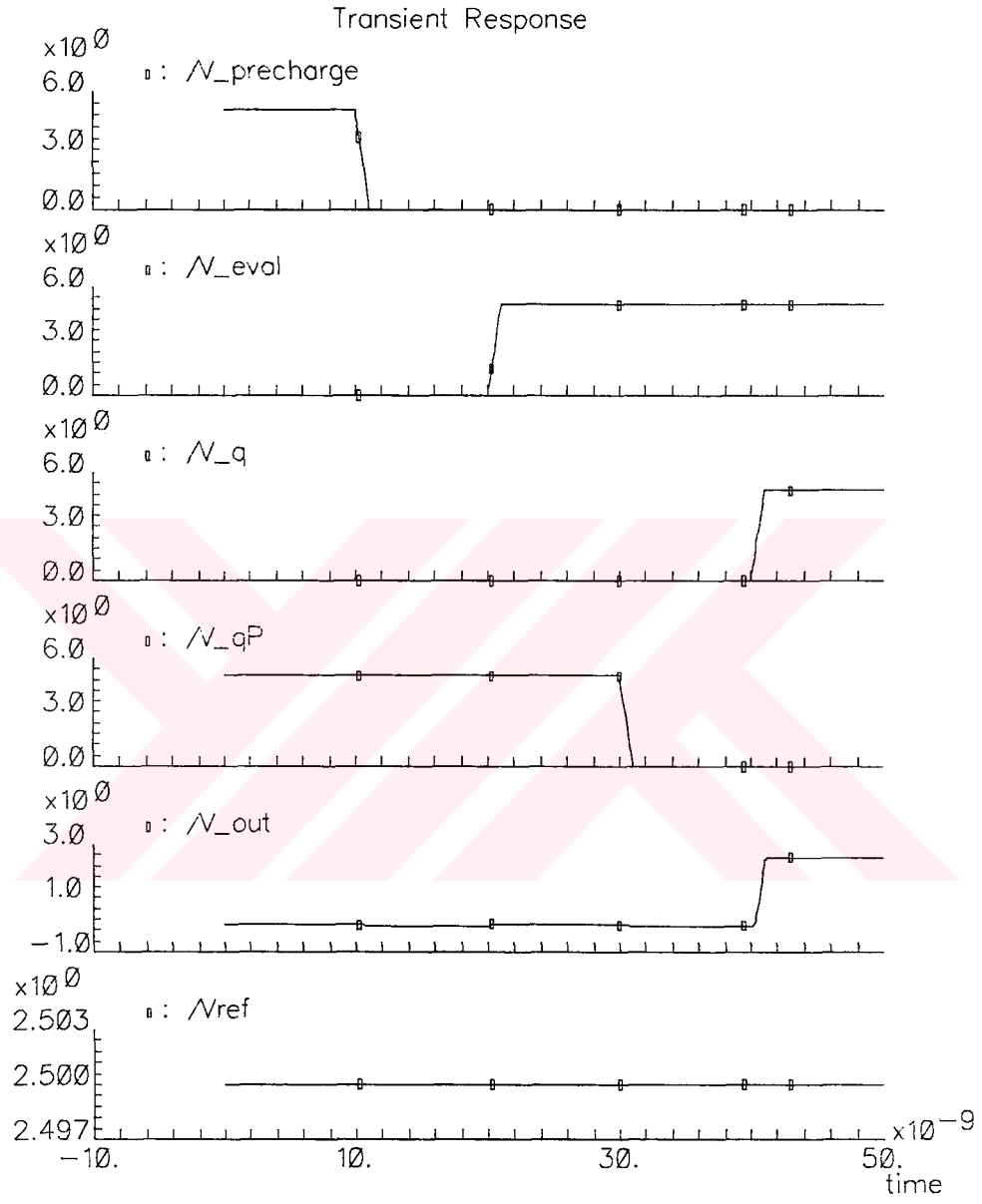
3.6 Sütun Anahtar Devreleri Tasarımı

Sütun anahtar devresi şeması ve devre parametreleri Şekil 3.46’da verilmiştir. Devre “Sıfırlama” fazında “V_precharge” girişinin pozitif besleme gerilimine getirilmesiyle beraber “V_out” çıkışı toprak referansına bağlar. “Değerlendirme” fazında ise, “V_precharge” işaretinin negatif besleme gerilimine çekilmesi ve ardından “V_eval” girişinin pozitif besleme gerilimine getirilmesiyle, devre çıkışı “V_out” un alacağı değer, devrenin “V_q” ve “V_qP” girişleri ile belirlenir. Bu girişler devreye ilgili karşılaştırmacı çıkışlarından alınarak verilir. “V_q” ve “V_qP” işaretlerinin değerine göre devre çıkışı belirli bir referans gerilimine veya toprak referansına bağlar. Bu anahtarlama sırasında dikkat edilmesi gereken bir nokta, devre şemasında “I2” ve “I4” ile gösterilen MOS tranzistorların aynı anda iletinde olmaması ve bu sayede gerilim referansının toprak referansına MOS tranzistorlar ile bağlanarak yüklenmesinin

engellenmesidir. Bunun için gerekli tedbir karşılaştırmalı devreleri tasarımında alınmış, “V_q” ve “V_{qP}” çıkışlarının aynı anda NMOS eşik gerilimi değerinden yüksek bir gerilim değerinde olmaları önlenmiştir. Devreye ilişkin zaman domeninde yapılmış benzetim sonuçları Şekil 3.47’de görülmektedir.



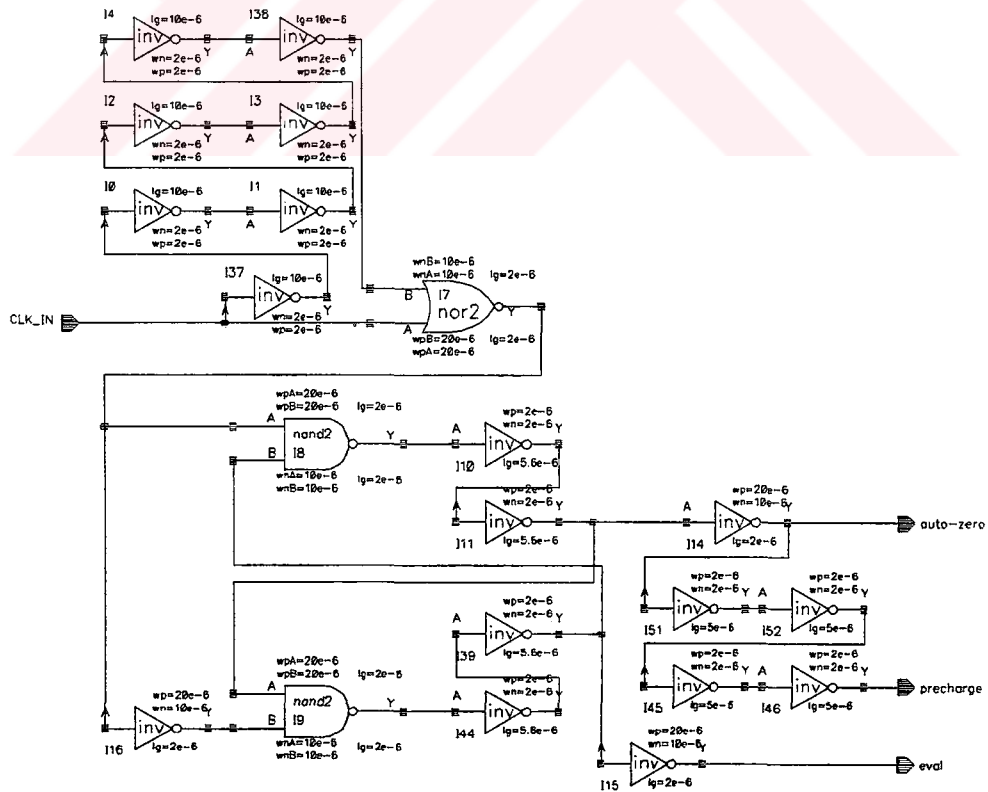
Şekil 3.46 Sütun anahtarları devre şeması ve parametreleri



Şekil 3.47 Sütun anahtarları zaman domeni benzetim sonuçları.

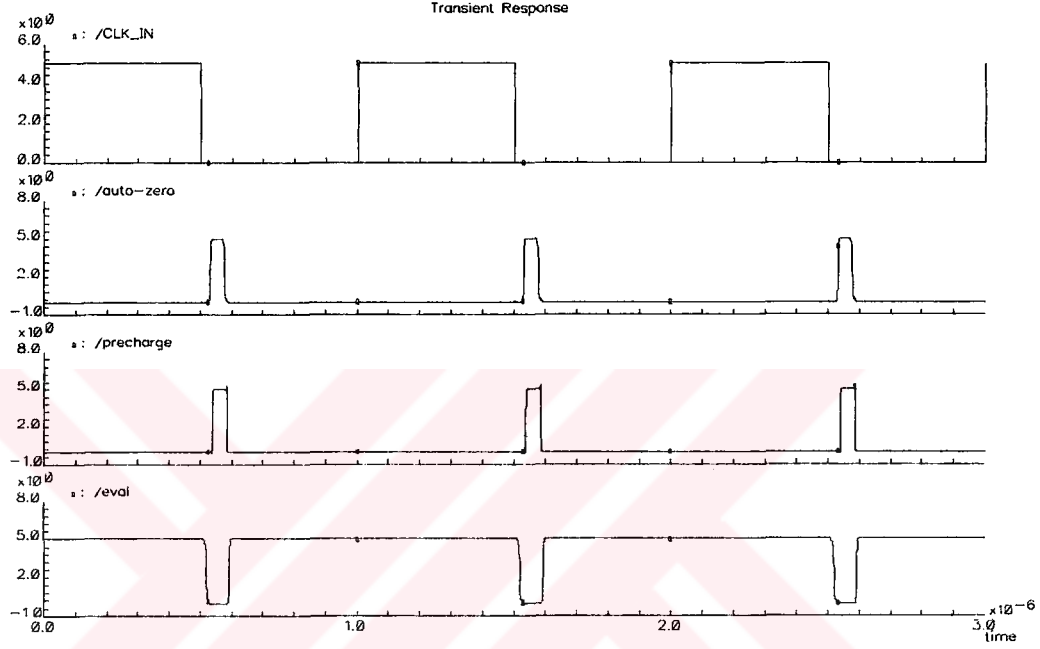
3.7 Saat İşaretleri Üretici Devresi Tasarımı

Kapasitif temelli analog sayısal dönüştürücü devrelerinin çalışması sırasında, aralarında zaman domeninde konum ilişkisi bulunan çeşitli saat işaretlerine gerek duyulmaktadır. Bu saat işaretlerinin tümdevre dışından sağlanması yönteminin yaratacağı sakıncalar göz önüne alındığında, böyle bir işaret üreticinin tümdevre üzerinde analog sayısal çevirici ile beraber gerçekleşmesinin, devrenin güvenilirliğinin artırılması bakımından, kaçınılmaz olduğu sonucu ortaya çıkmaktadır. Saat işaretlerinin tümdevre dışından verilmesi saat işaretleri arasında zaman domeninde istenilen konum ilişkisinin sağlanmasının güçleşmesi ve tümdevre bacak bağlantıları sayısının artırılması bakımından sakıncalar yaratmaktadır. Analog sayısal çevirici devresinin sayısal devreler içeren bir tümdevrede yer alacağı düşünülerek, bu devrelerde kullanılan saat işaretinden faydalanılarak analog-sayısal çevirici saat işaretleri, Şekil 3.48'deki devreyle üretilir.

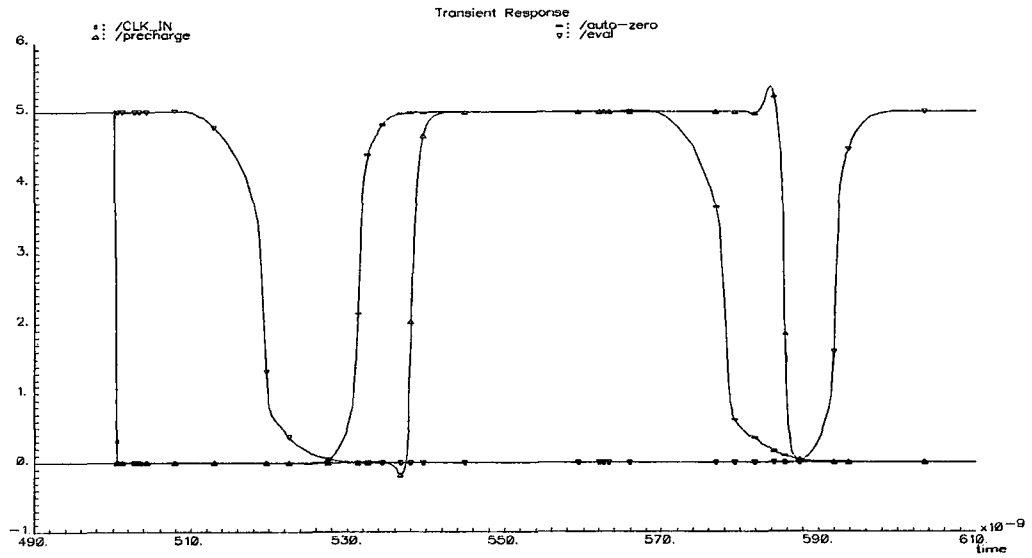


Şekil 3.48 Analog-sayısal çevirici saat işaretleri üretici

Devrenin çalışması Şekil 3.49 ve daha detaylı olarak Şekil 3.50’de verilen benzetim sonuçlarında görülmektedir. Devre tümdevrede kullanılan saat işaretinin hem yükselen he düşen kenarında “Sıfırlama” ve “Değerlendirme” fazları için gerekli olan saat işaretlerini üretmektedir.



Şekil 3.49 Saat işareti üretici devresinin zaman domen benzetim sonuçları



Şekil 3.50 Saat işareti üretici devresinde saat işaretleri arasındaki konum ilişkisi.

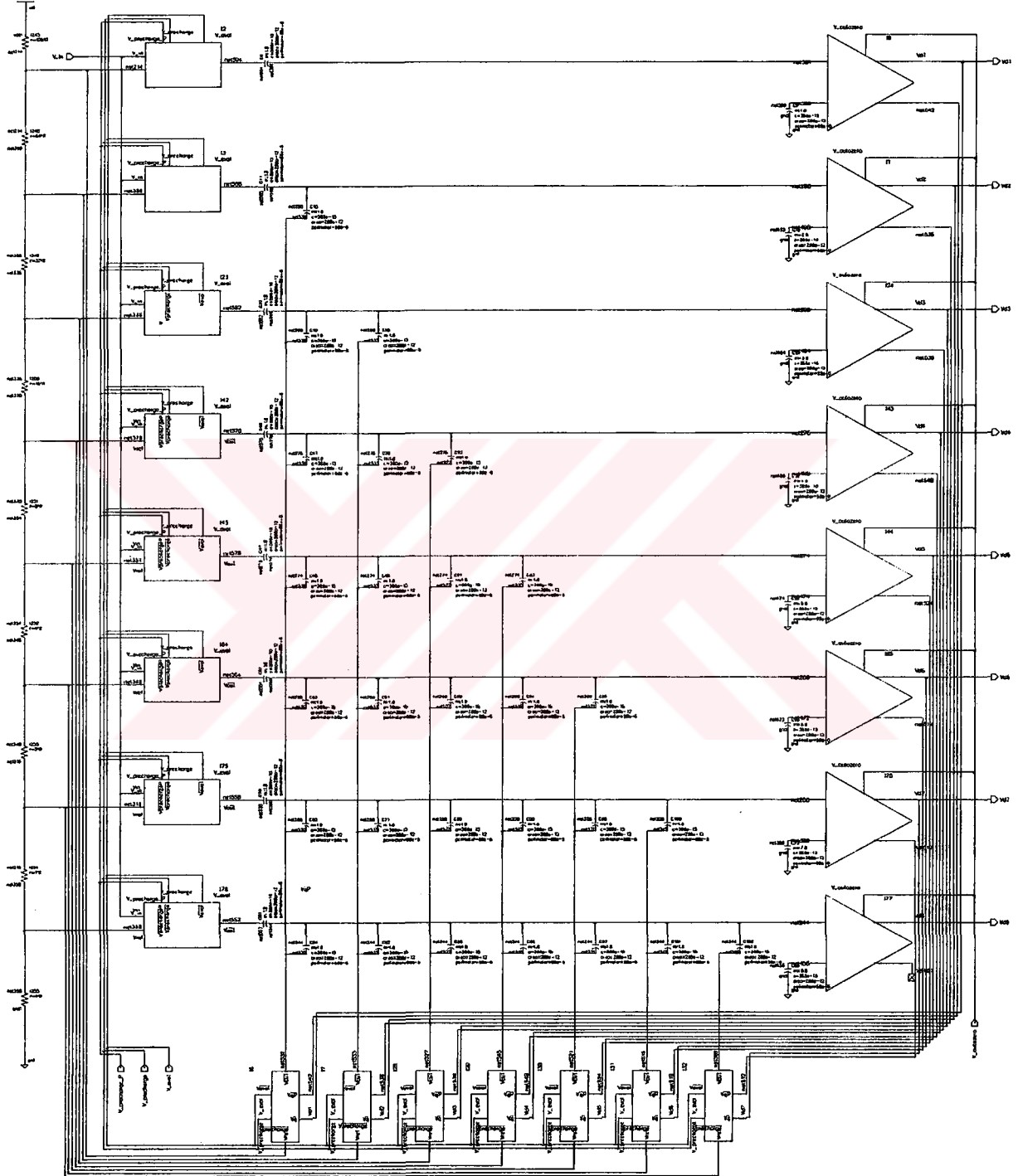
BÖLÜM 4

KAPASİTİF EŞİK LOJİĞİ TEMELLİ ANALOG-SAYISAL ÇEVİRİCİ ÜST DÜZEY TASARIMI

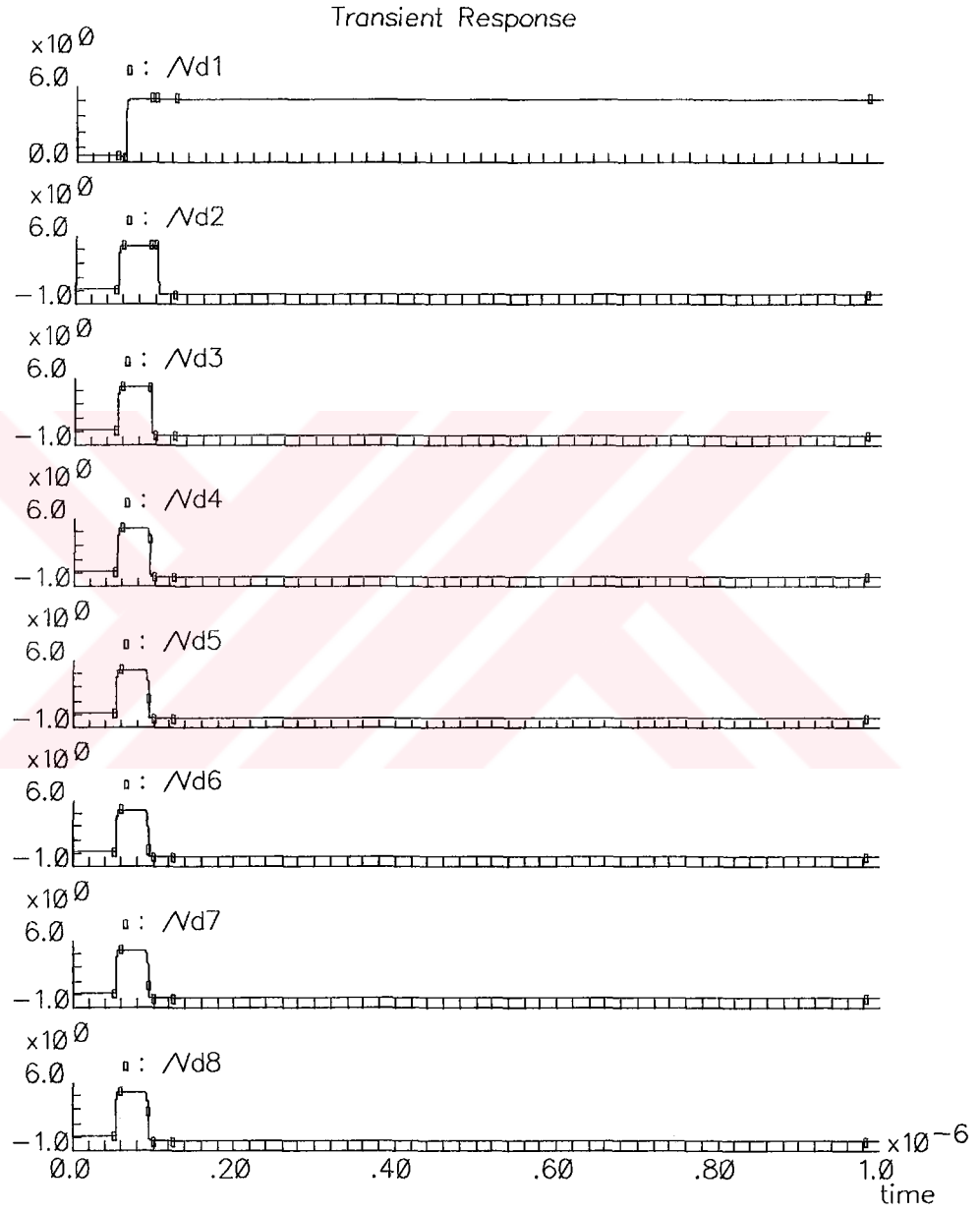
4.1 Üst Düzey Devre Şeması ve Serim Öncesi Benzetim Sonuçları.

Kapasitif temelli analog-sayısal çevirici devresinin en üst düzey devre şeması Şekil 4.1’ de verilmiştir. Devre şemasında daha önceki bölümlerde tasarımı anlatılmayan referans gerilimi üretici de görülmektedir. Referans gerilimleri, analog-sayısal ve sayısal-analog çevirici devrelerde yaygın olarak kullanılan bir “R-2R” devresiyle elde edilmektedir. “R-2R” devresi, toprak referansından başlayarak bölünecek gerilimin bağlı olduğu uca gidildikçe değerleri kendinden önce bağlı olan dirençler toplamına eşit olan bir dizi seri dirençten oluşmaktadır. Devrenin serimi sırasında gerekli tedbirler alınarak gerçekleştirilecek dirençlerin toleransının %0.1 mertebelerinde olması sağlanabilir tümdevre üzerinde iyi bir referans gerilimi üretici elde edilir.

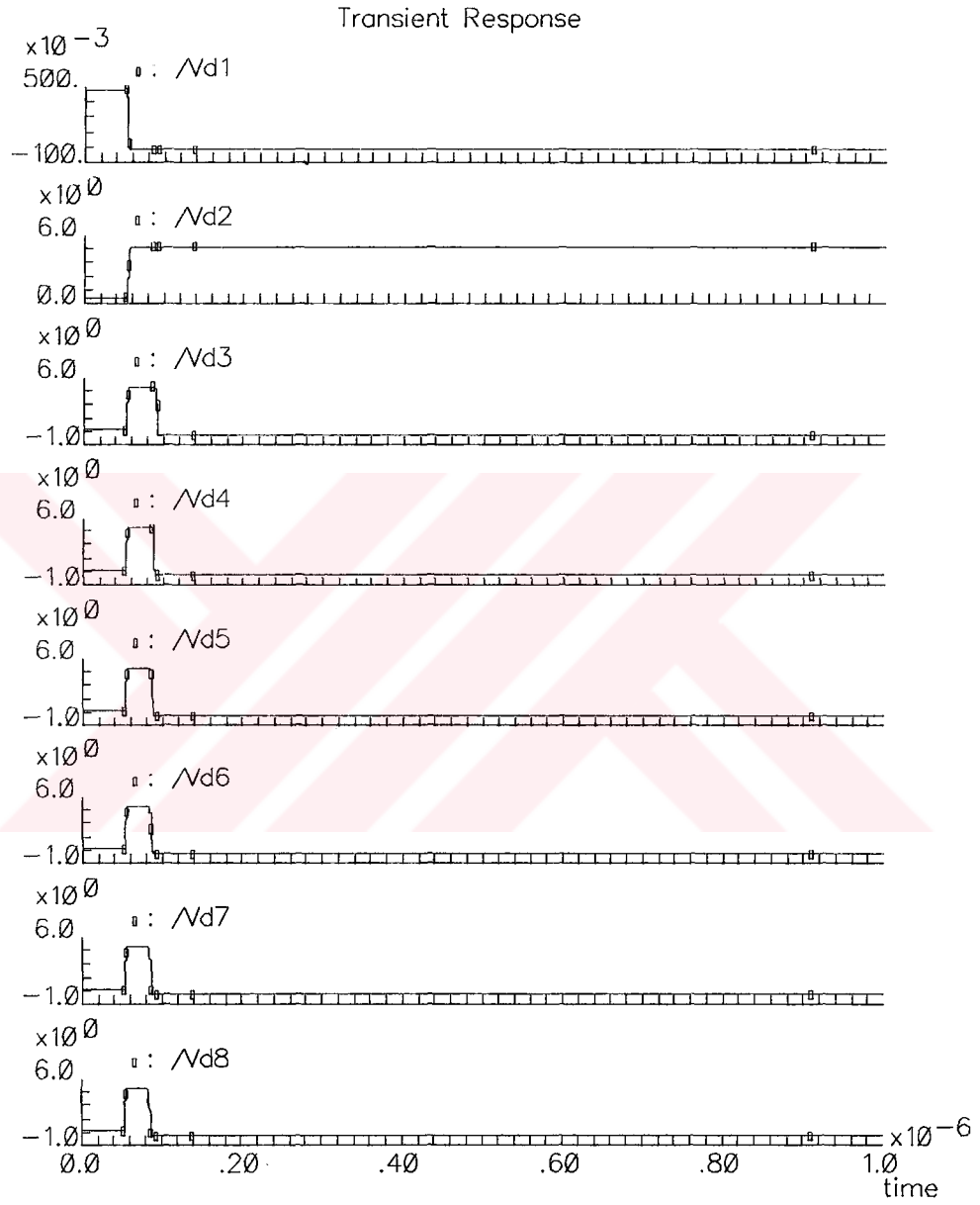
Devre şemasında 3.bölümde tasarımı ve devre şemaları verilmiş olan karşılaştırmalı devrelerinin, satır ve sütun anahtarlarının, tasarım ortamında hazırlanan sembolleri kullanılmıştır. Devre şeması yardımıyla, tasarlanan kapasitif temelli analog-sayısal çeviricinin bağlantı bilgisi tasarım ortamı araçlarıyla elde edilir ve devrenin en üst düzey serim öncesi benzetimleri yapılır. Elde edilen benzetim sonuçları Şekil 4.2’ den başlayarak Şekil-4.12’ye kadar çeşitli giriş gerilimi değerleri için verilmiştir. Devrede ilk olarak sadece tek bir bitin lojik-1 değerini aldığı gerilim değerleri için benzetimler oluşturulmuş ve daha sonra birden çok çıkışın aktif değerini aldığı giriş gerilimi değerleri için benzetimler tekrarlanmıştır.



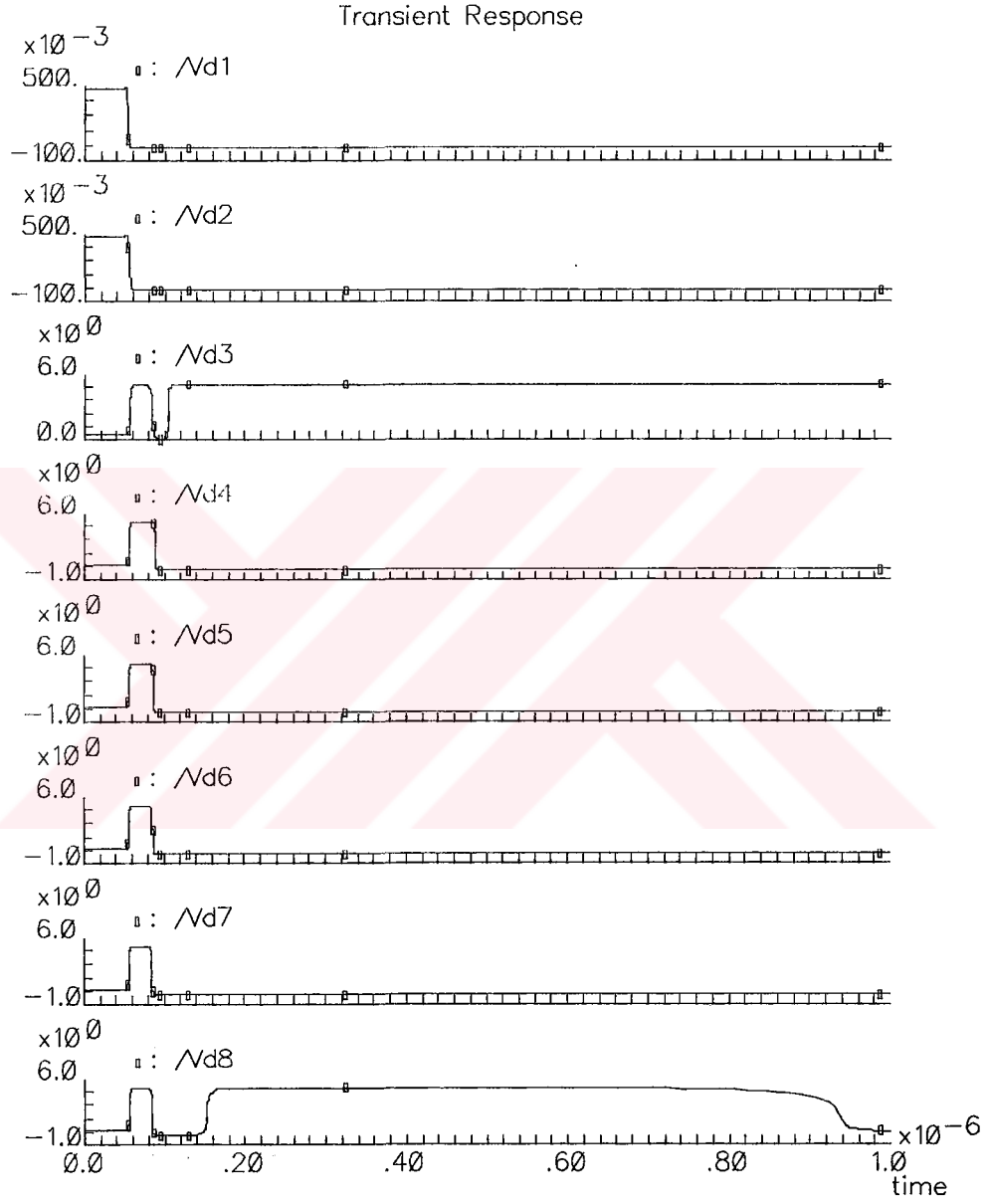
Şekil 4.1 Kapasitif temelli analog sayısal dönüştürücü en üst düzey devre şeması



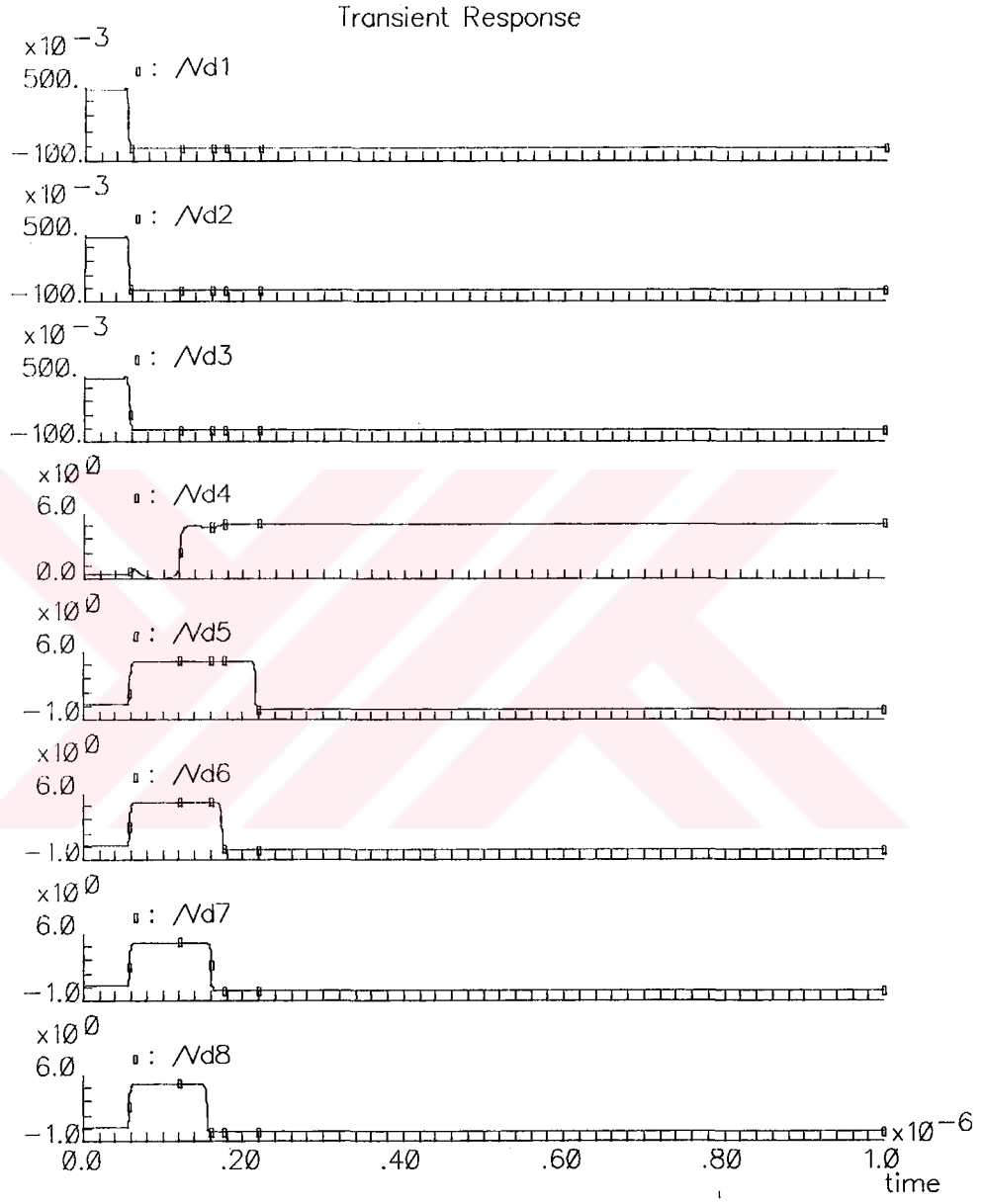
Şekil 4.2 $V_{DD} \times [0.1000 \ 0000 \ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.



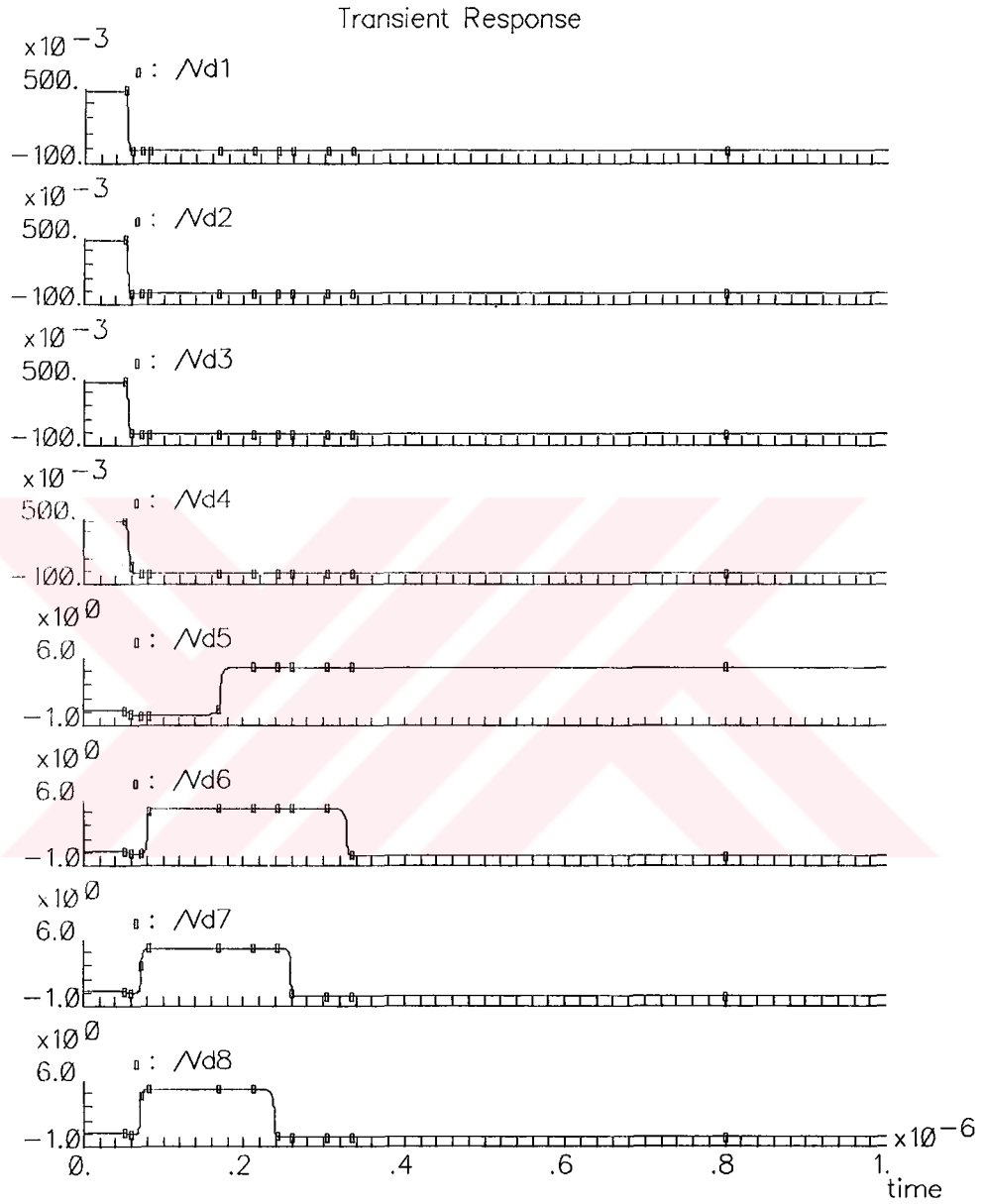
Şekil 4.3 $V_{DD} \times [0.0100\ 0000\ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.



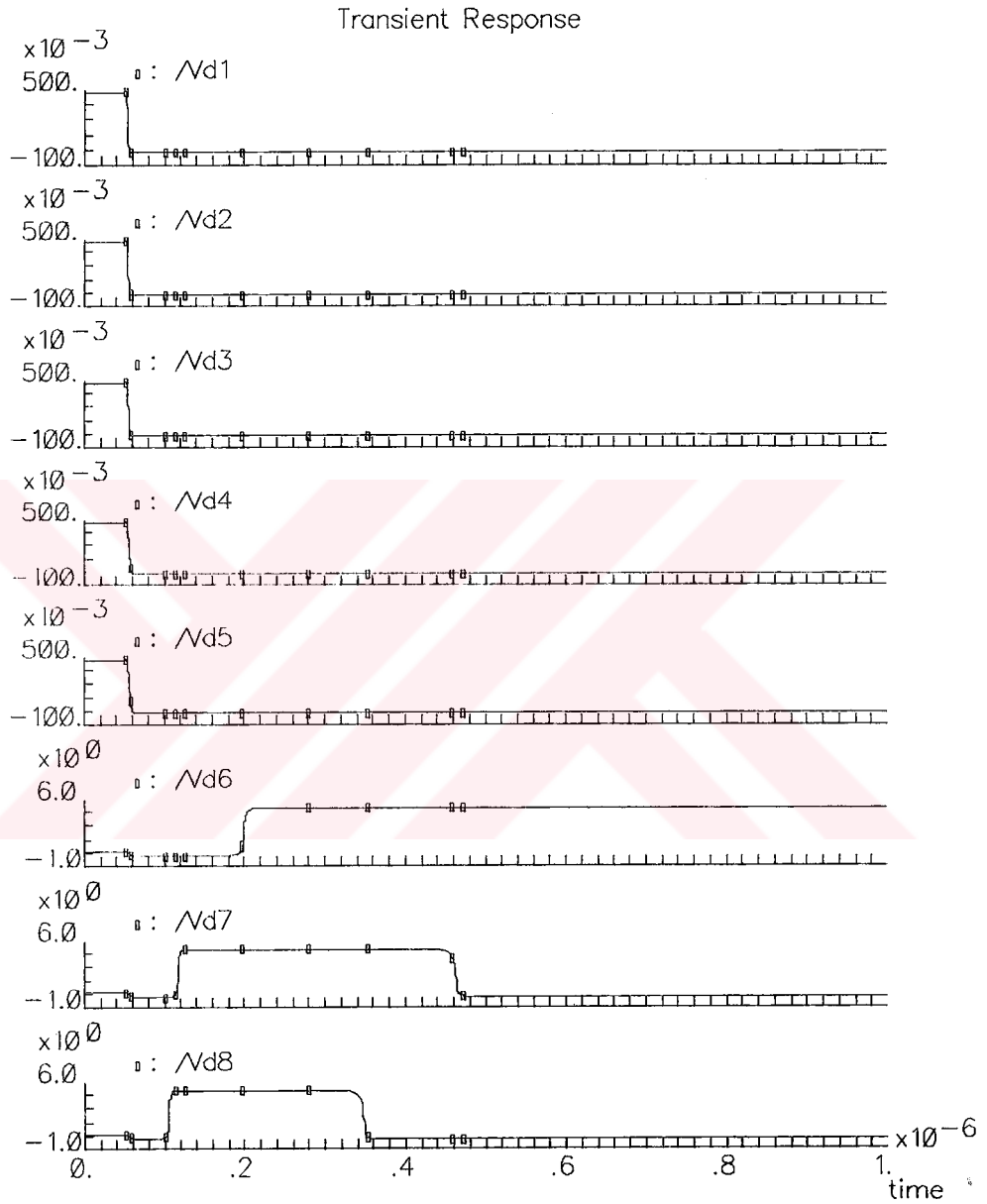
Şekil 4.4 $V_{DD} \times [0.0010 \ 0000 \ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.



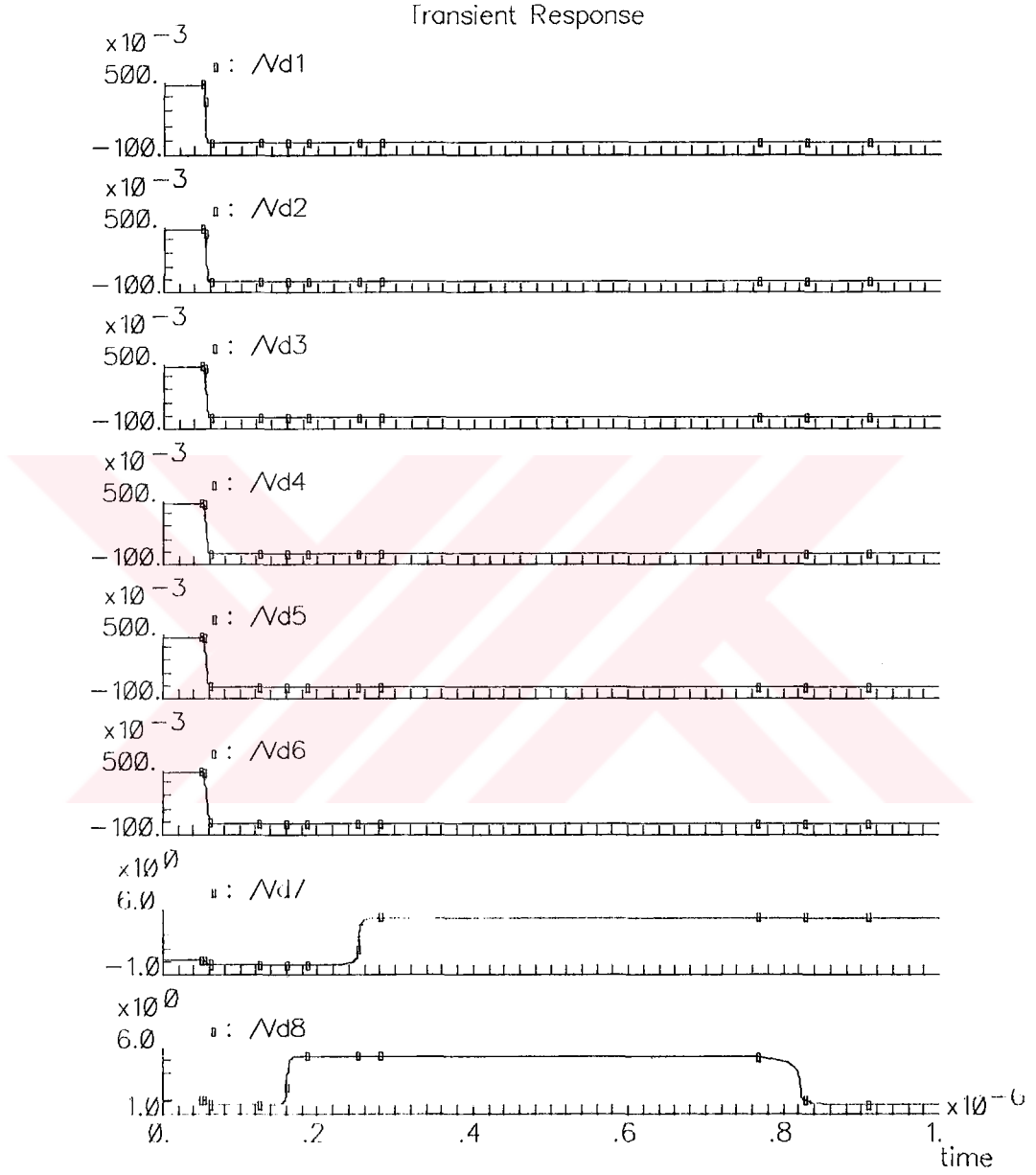
Şekil 4.5 $V_{DD} \times [0.0001 \ 0000 \ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.



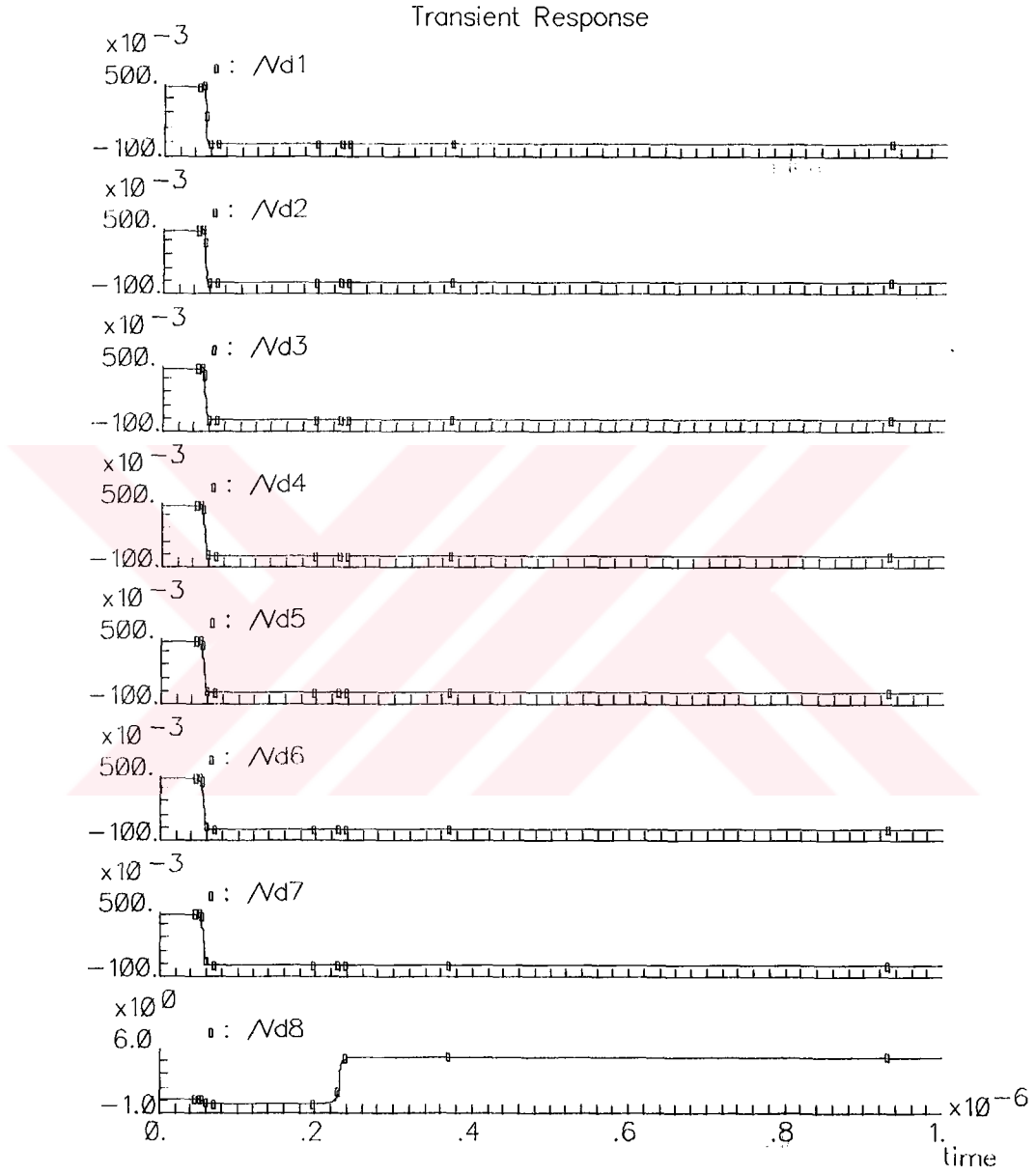
Şekil 4.6 $V_{DD} \times [0.0000 \ 1000 \ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.



Şekil 4.7 $V_{DD} \times [0.0000\ 0100\ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.



Şekil 4.8 $V_{DD} \times [0.0000\ 0010\ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.



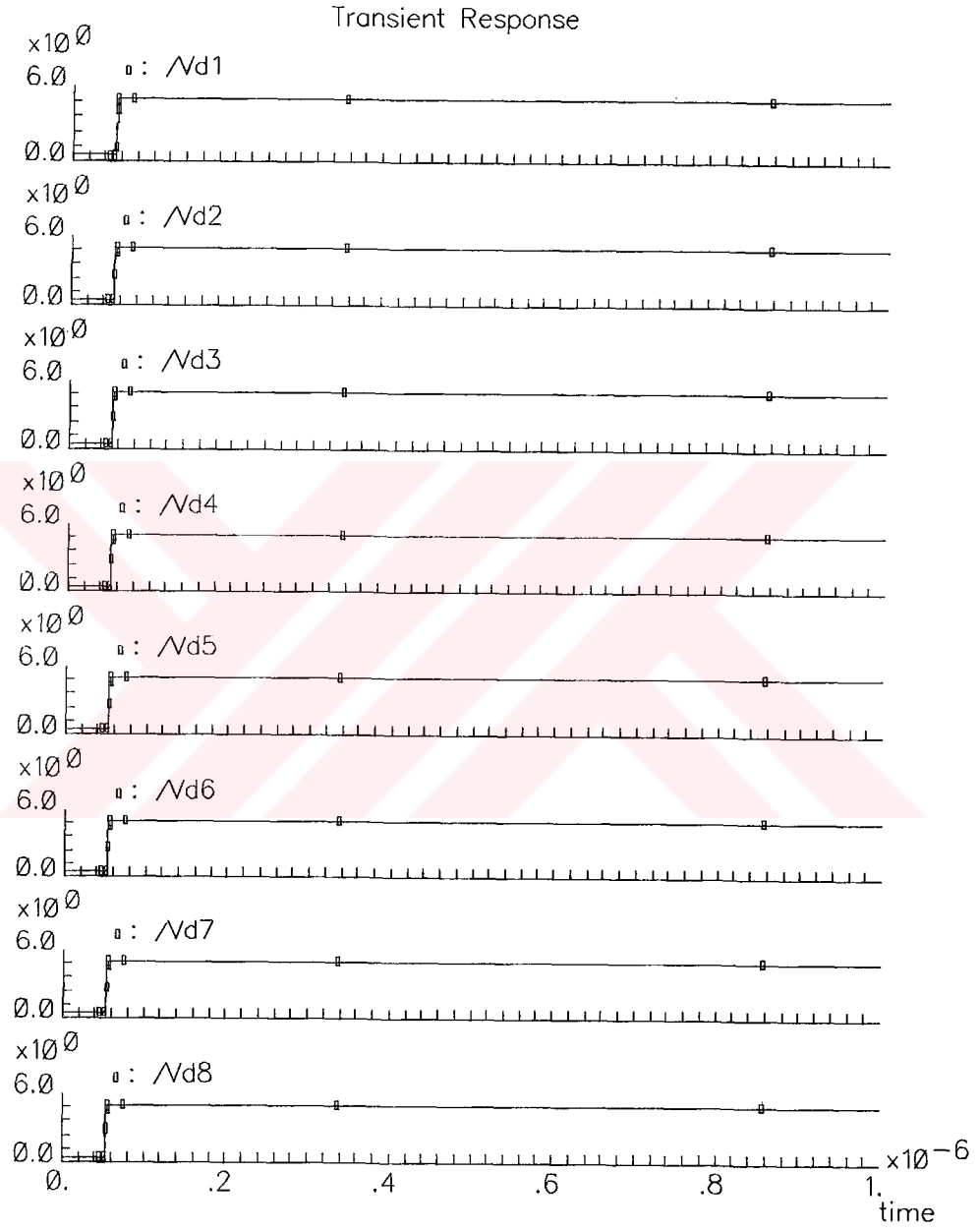
Şekil 4.9 $V_{DD} \times [0.0000 \ 0001 \ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.



Şekil 4.10 $V_{DD} \times [0.1010\ 1010\ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.



Şekil 4.11 $V_{DD} \times [0.1111\ 0000\ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.



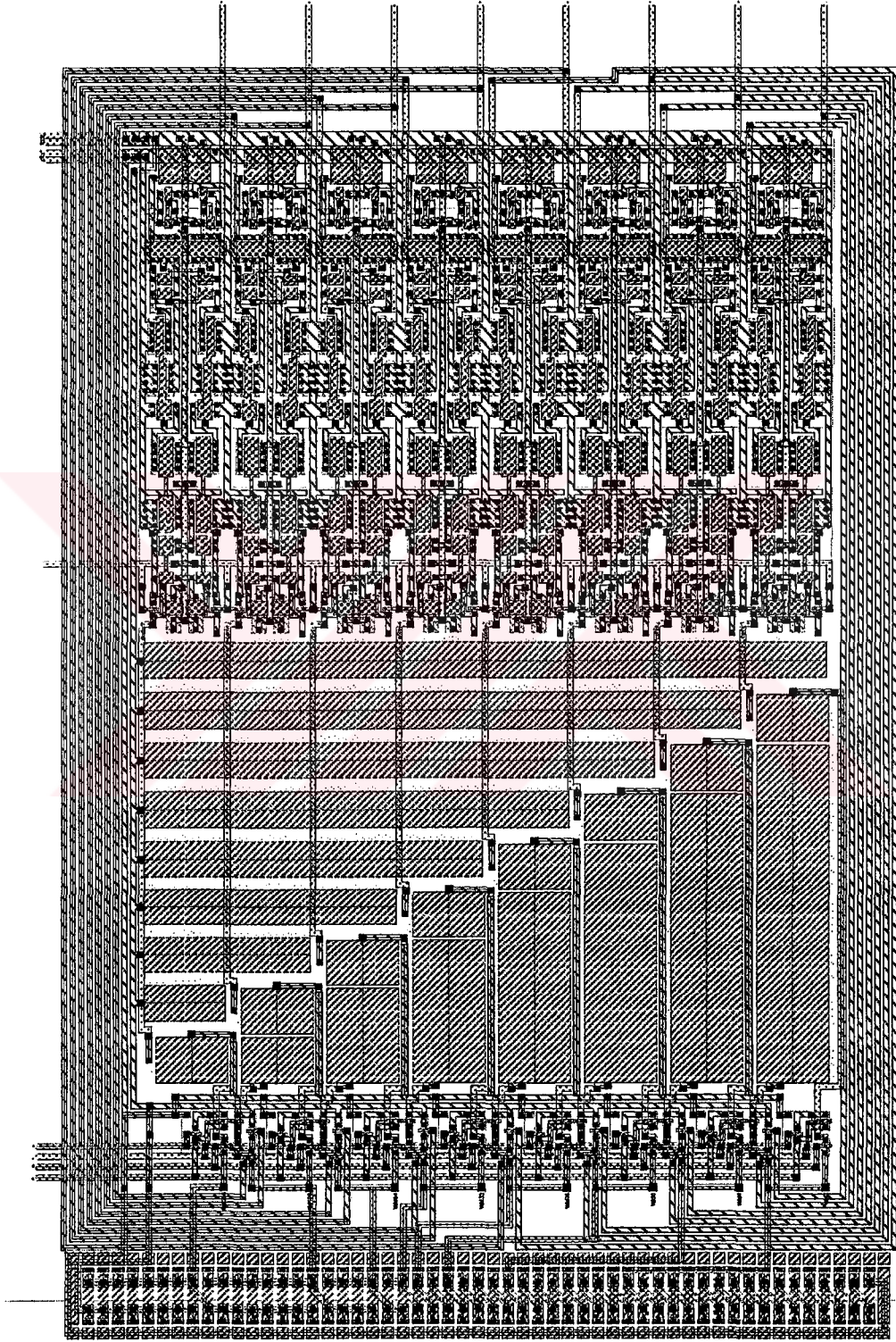
Şekil 4.12 $V_{DD} \times [0.1111\ 1111\ 1]_2$ giriş gerilimi için elde edilen benzetim sonuçları.

4.2 Devrenin Serimi ve Serim Sonrası Benzetim Sonuçları.

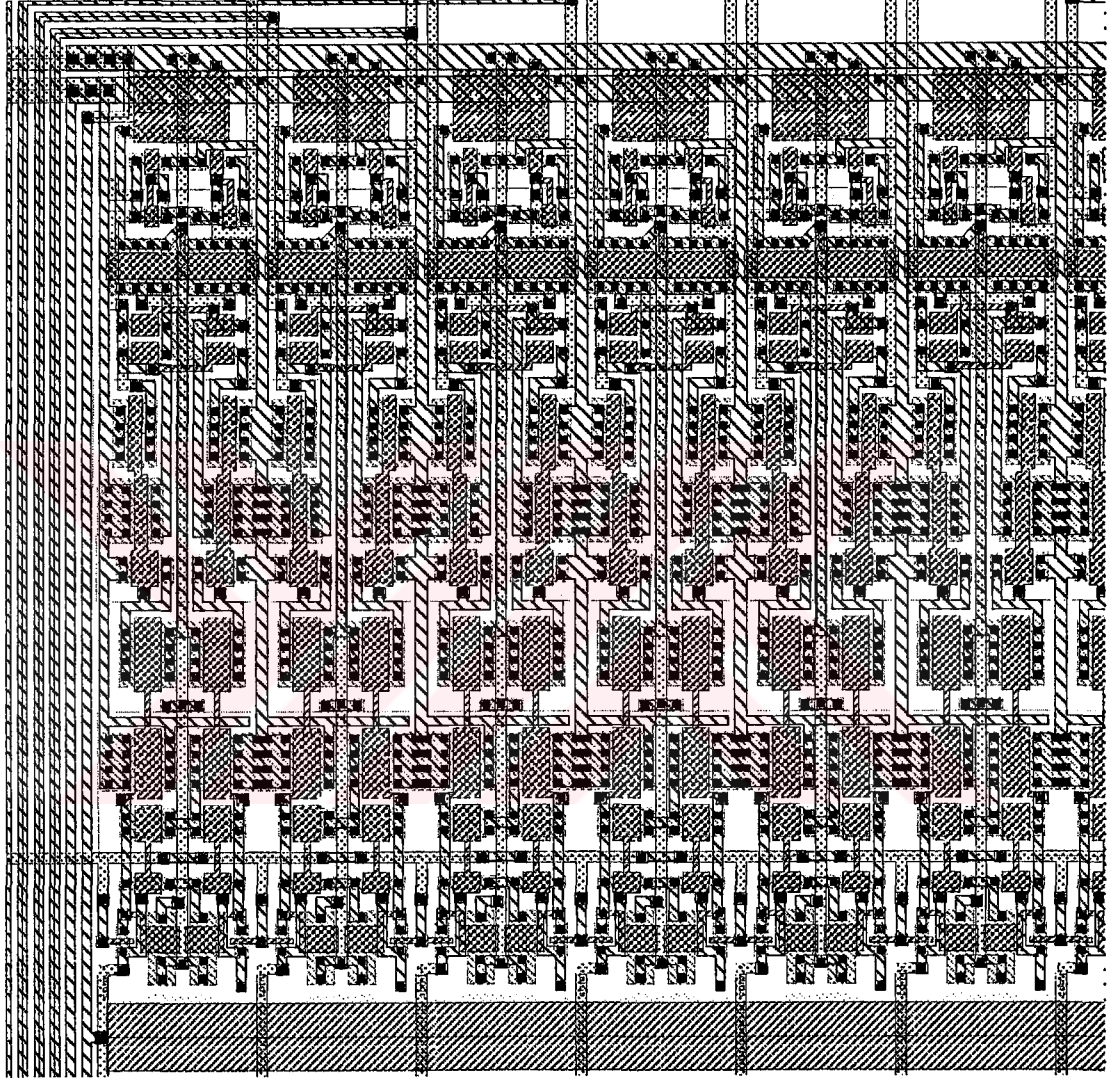
Kapasitif temelli analog-sayısal çevirici devresinin serimi CADENCE DF-II ortamında, daha önce devrenin tranzistör düzeyi tasarımlarının da yapıldığı, AMS 0.8 μ CMOS prosesi için yapılmıştır. AMS 0.8 μ CMOS prosesinin tercih edilmesindeki en önemli neden prosesin çift polisilyum tabakaları içermesi ve bu sayede lineer davranışa sahip kapasitelerin ve dirençlerin gerçekleştirilebiliyor olmasıdır. Serimde, kapasiteler poli1-poli2 tabakaları arasında, dirençler ise poli1 hatları ile gerçekleştirilmiştir.

Devrenin saat işaretleri üretici hariç serimi Şekil 4.13'de görülmektedir. Şekilde, serimin sağ tarafında karşılaştırmacı blokları, orta bölgede kapasite matrisi, kapasite matrisinin solunda satır ve sütun anahtar devreleri ve en sol tarafta ise referans gerilimi üretici yer almaktadır. Devrenin silisyum üzerinde kapladığı alan, 360 μ m x 233 μ m $\approx$ 0.08mm²'dir. Devrenin serimi sırasında ilk olarak karşılaştırmacı bloklarının serimi tamamlanmış ve daha sonra bu blokların genişlikleri göz önüne alınarak kapasite boyutları belirlenmiştir. Ara bağlantıların mümkün olduğunca kısa gerçeklemek ve bu sayede devrenin gerçeklenme alanını küçültmek amacıyla satır ve sütun anahtarları aynı yapı içinde bir arada gerçekleştirilmiştir.

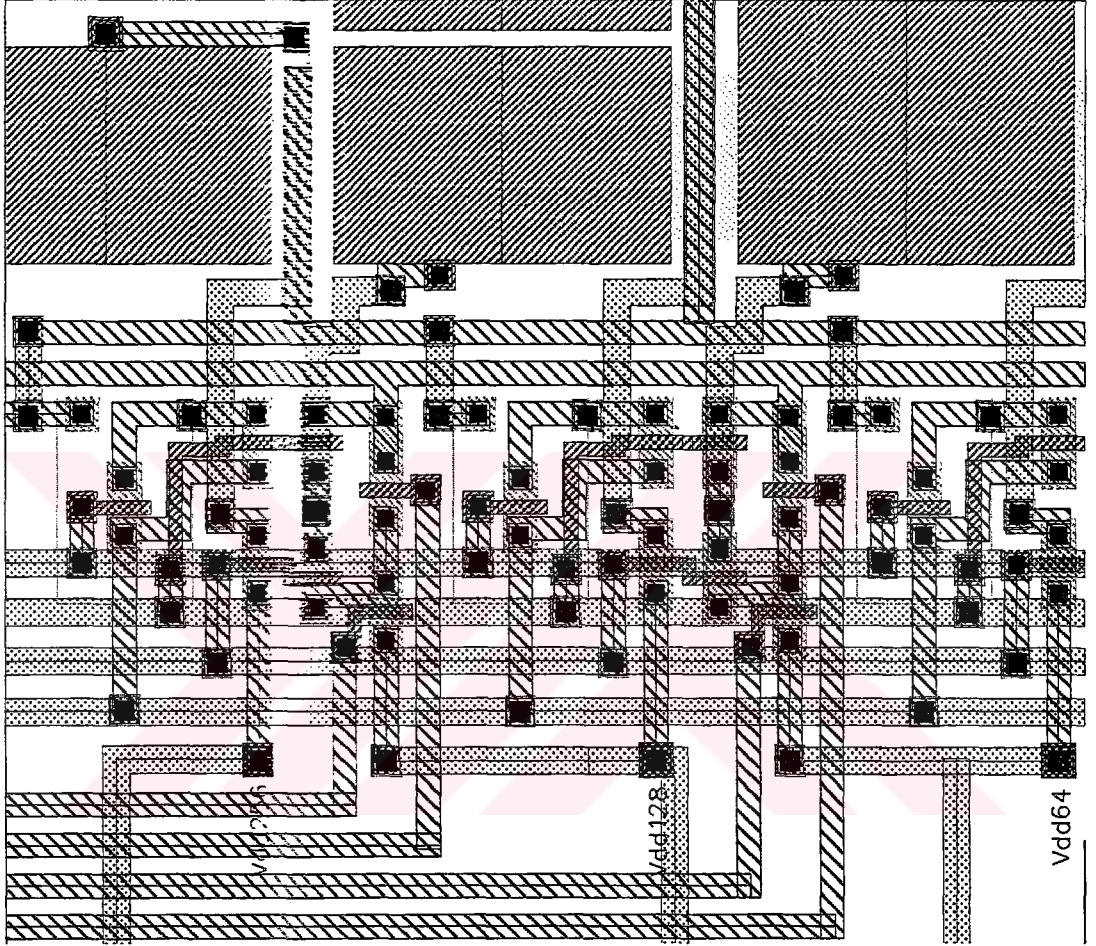
Devrenin alt bloklarının detaylı serimleri Şekil 3.14'den başlayarak Şekil 3.17'ye kadar verilmiştir. Şekil 3.14'de devrenin karşılaştırmacı bloklarının serimi görülmektedir. Karşılaştırmacı devrelerin tranzistör düzeyindeki simetrik yapısı serimde de korunarak üretimden gelebilecek idealsizliklerin kazanç yolları üzerinde aynı olması bu sayede devrenin rastgele kayıklığının azaltılması hedeflenmiştir. Şekil 3.15'de satır-sütun anahtarlarının serimi ve Şekil 3.16'da ise kapasite matrisinden bir bölümün serimi görülmektedir. Şekil 3.17'de referans gerilimlerinin elde edildiği R-2R devresinin bir kısmı ve polisilyum dirençler görülmektedir. R-2R devresinin seriminde farklı değerdeki dirençler aynı değerde gerçekleştirilecek dirençlerin paralel veya seri bağlanması ile elde edilmiş, bu sayede eleman toleransları azaltılması hedeflenmiştir.



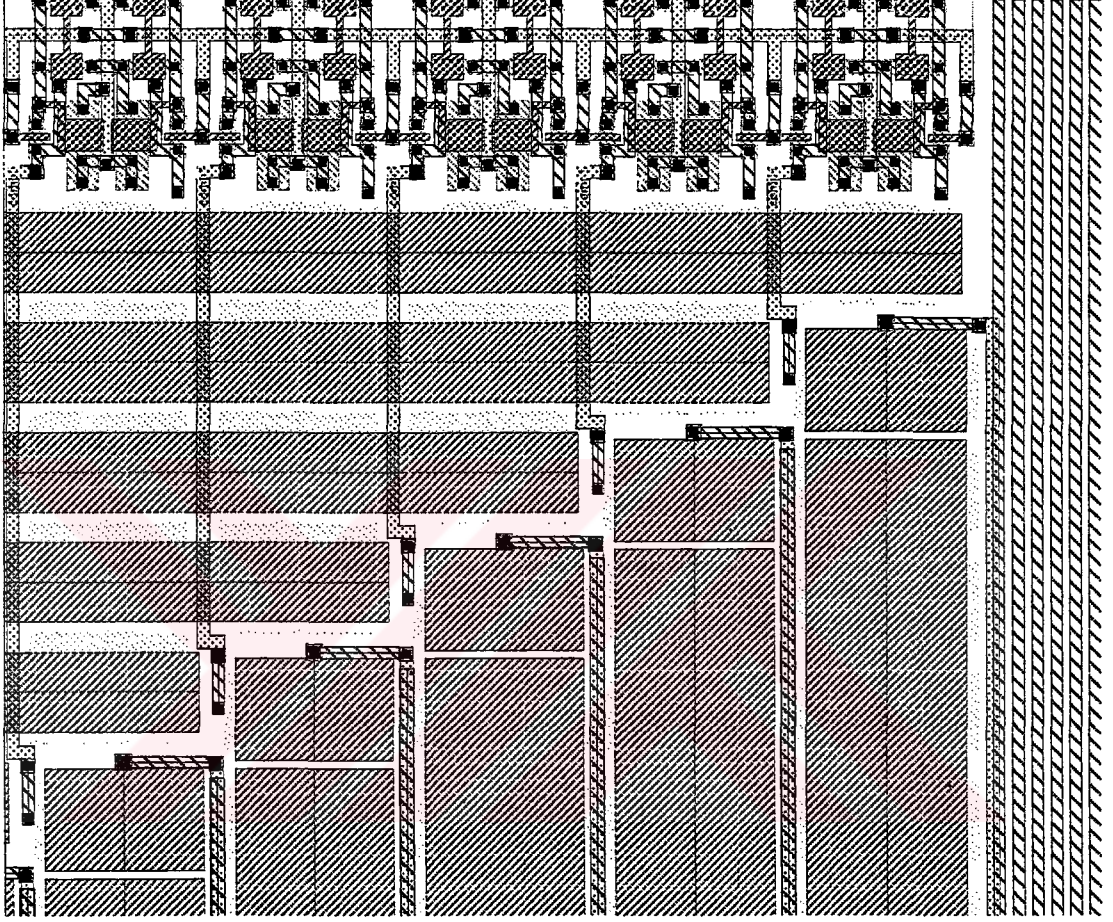
Şekil 4.13 Kapasitif temelli analog sayısal dönüştürücü devresi serimi.



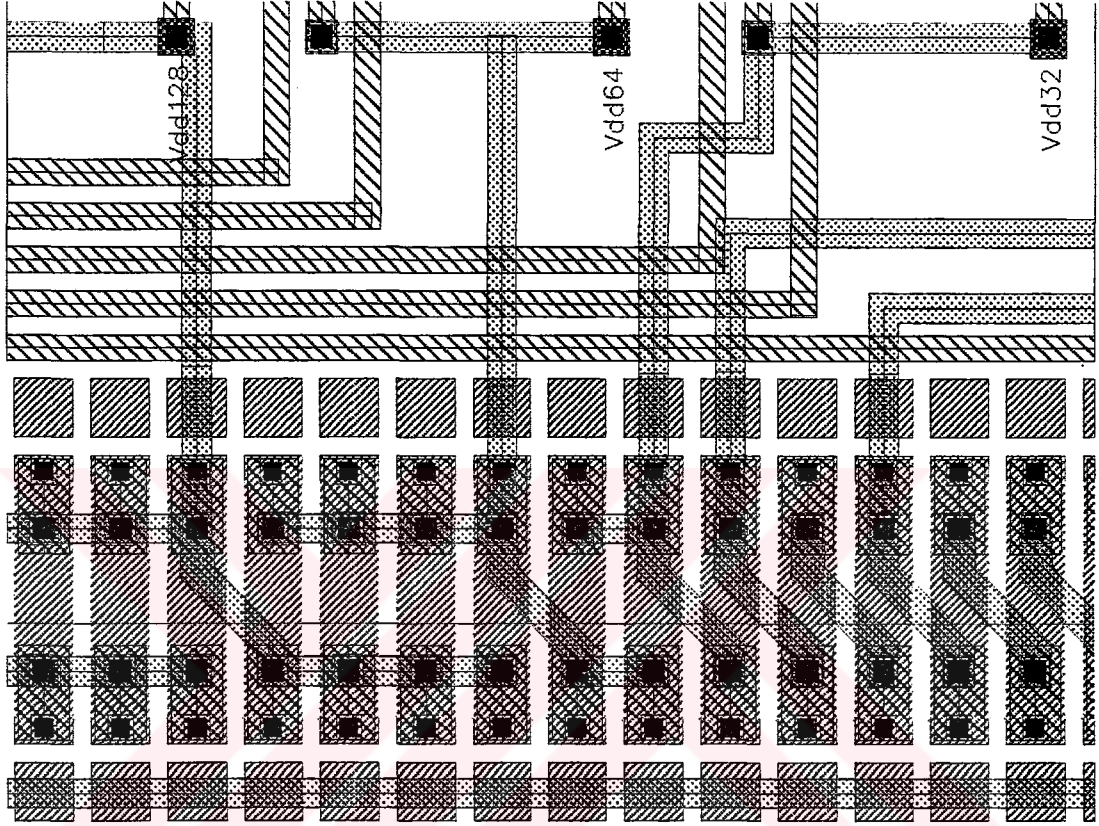
Şekil 4.14 Karşılaştırmalı blokları seriminin bir bölümü.



Şekil 4.15 Satır-sütun anahtarları seriminin bir bölümü.

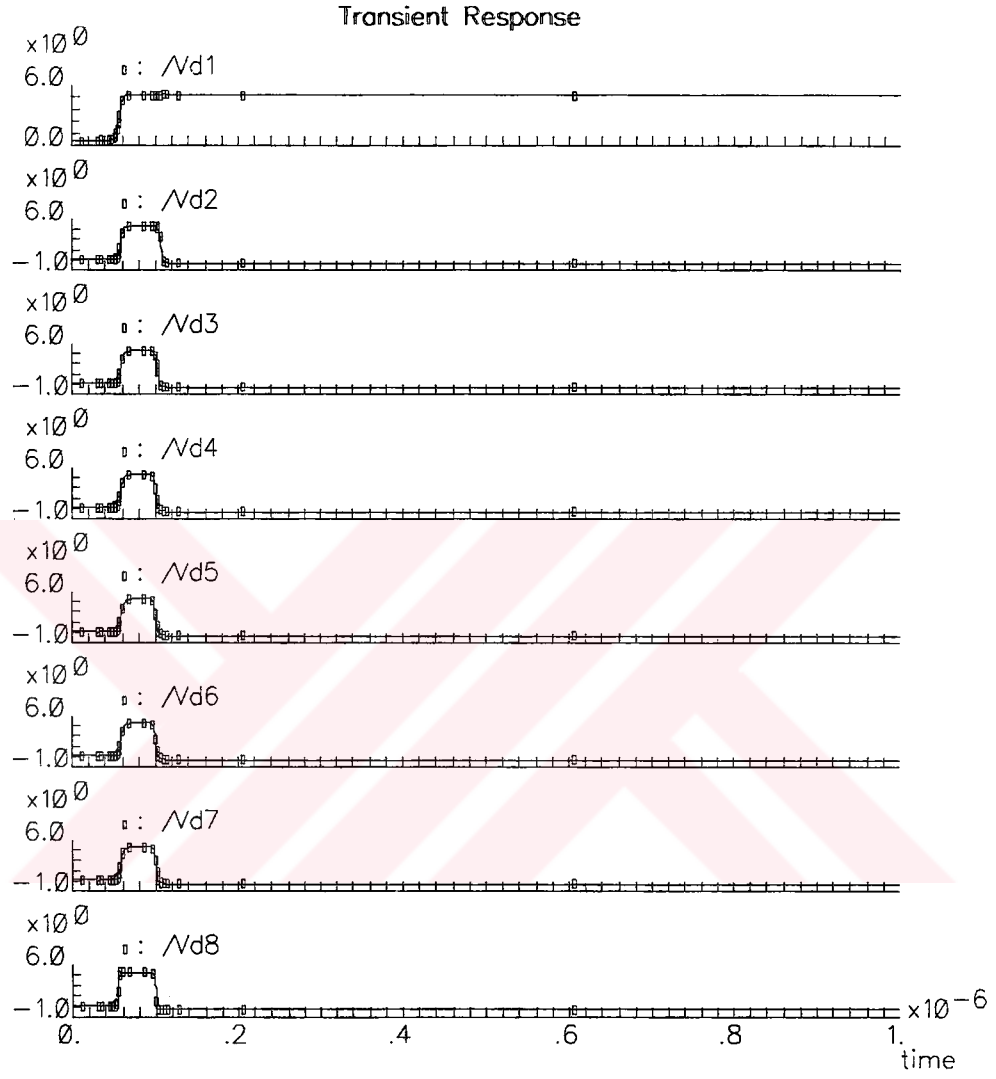


Şekil 4.16 Kapsite matrisi seriminin bir bölümü.

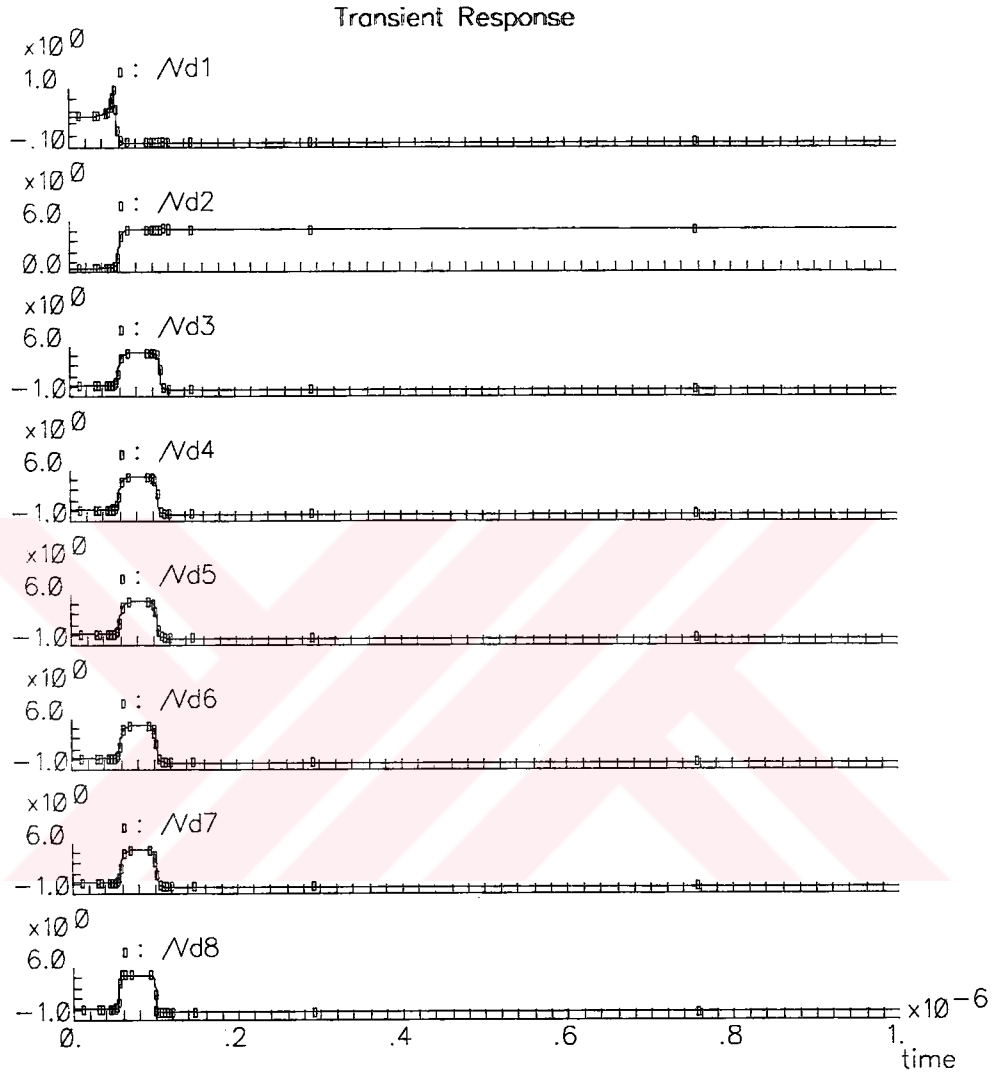


Şekil 4.17 Gerilim referansı üretici seriminin bir bölümü.

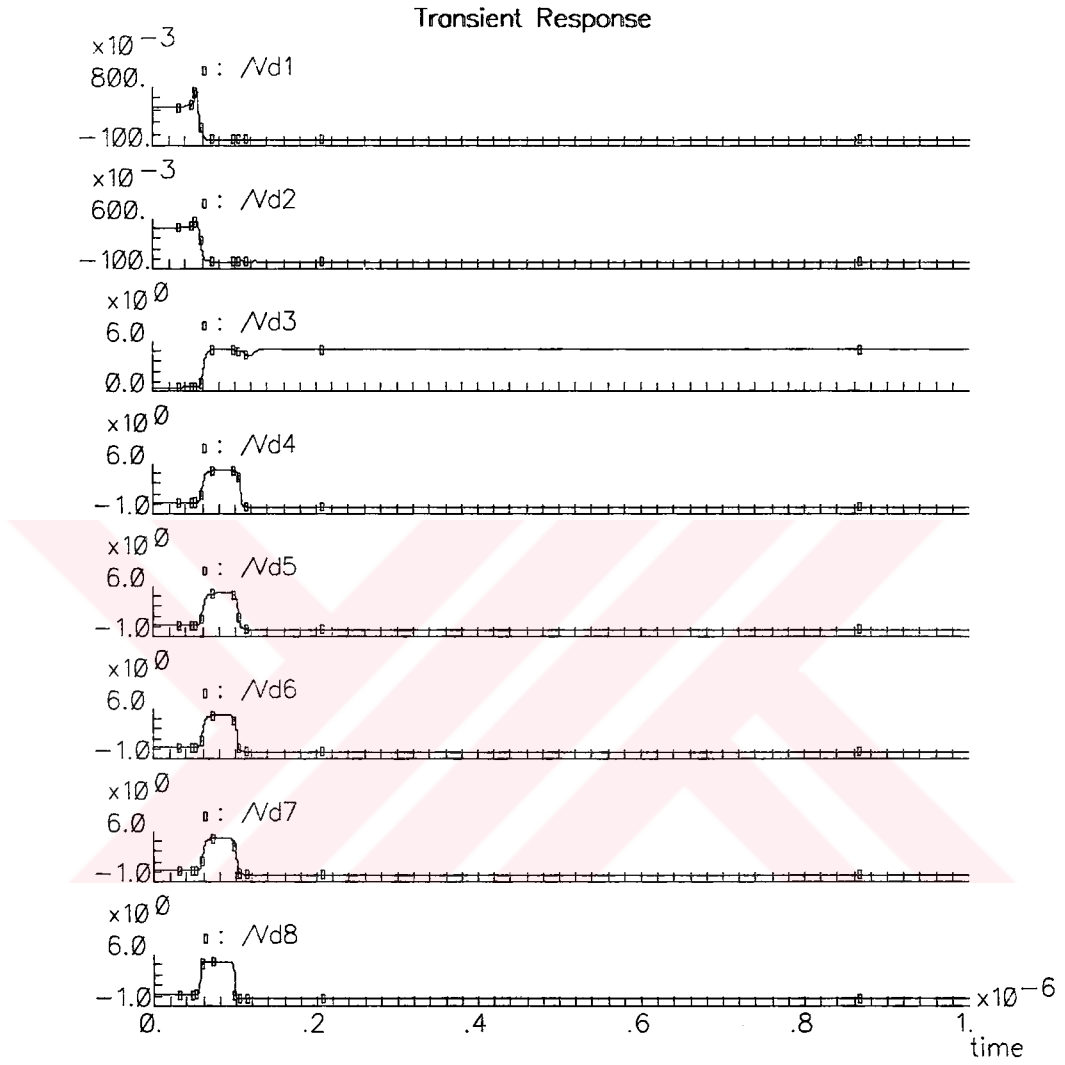
Tasarım ortamı benzetim araçları kullanılarak serimi çizilen devrenin serim sonrası benzetimleri yapılmıştır. Serim sonrası benzetim sonuçları Şekil 4.18'den Şekil 4.30'a kadarki benzetim programı çıktılarında verilmiştir.



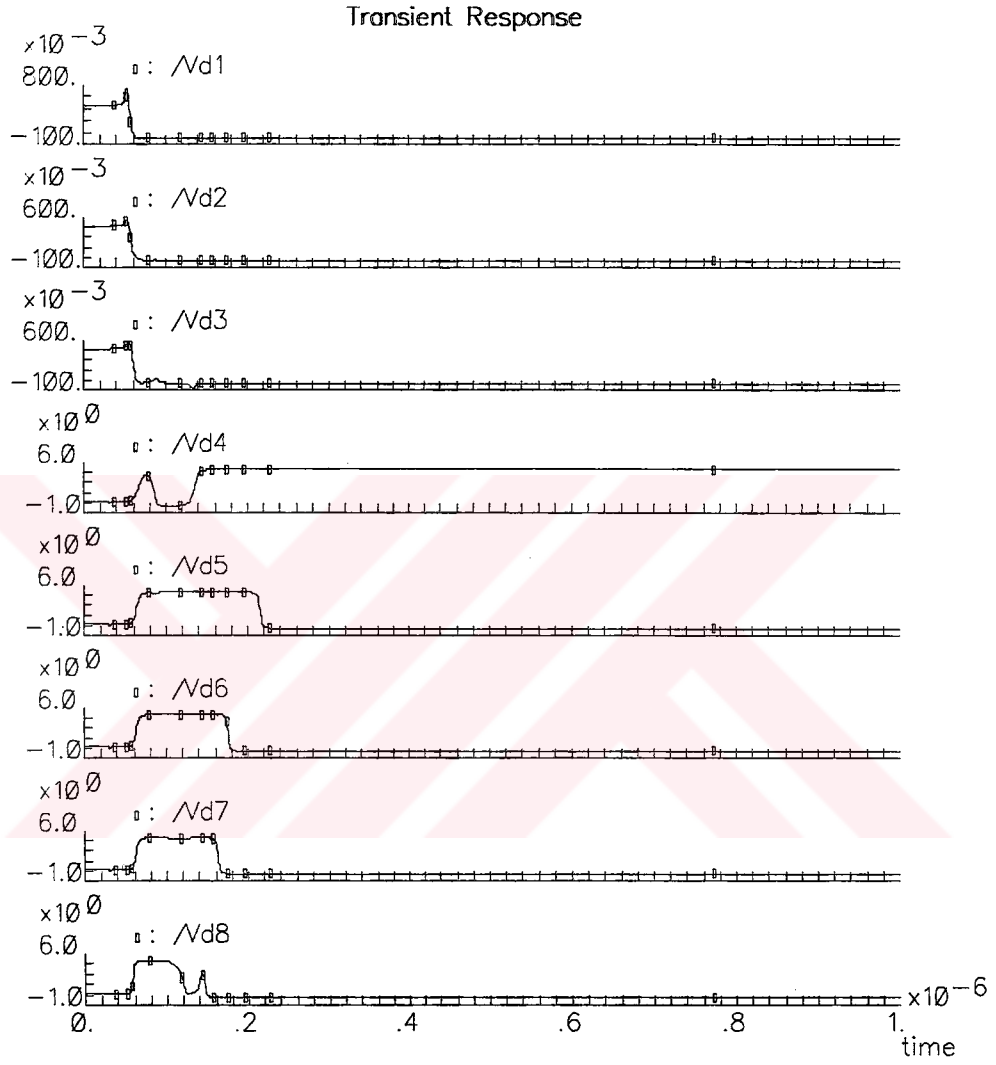
Şekil 4.18 $V_{DD} \times [0.1000 \ 0000 \ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



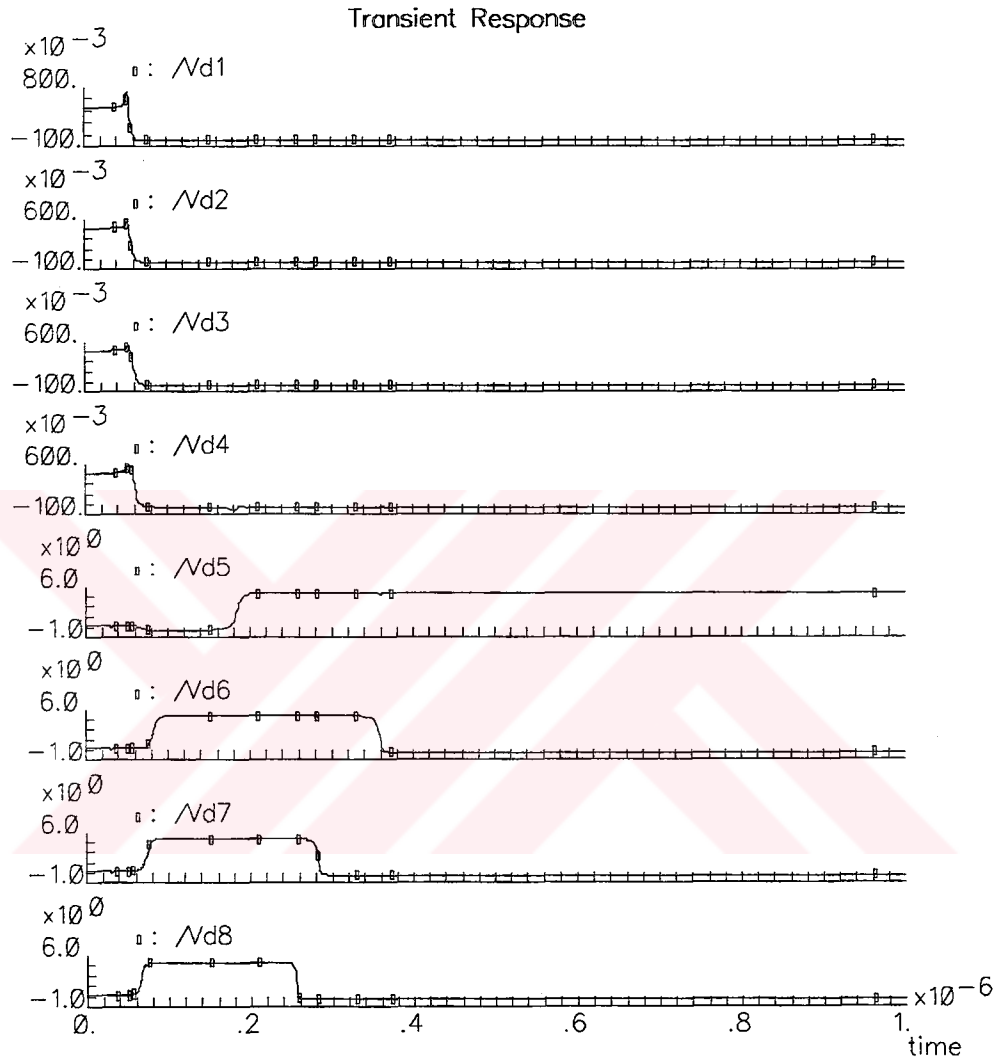
Şekil 4.19 $V_{DD} \times [0.0100\ 0000\ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



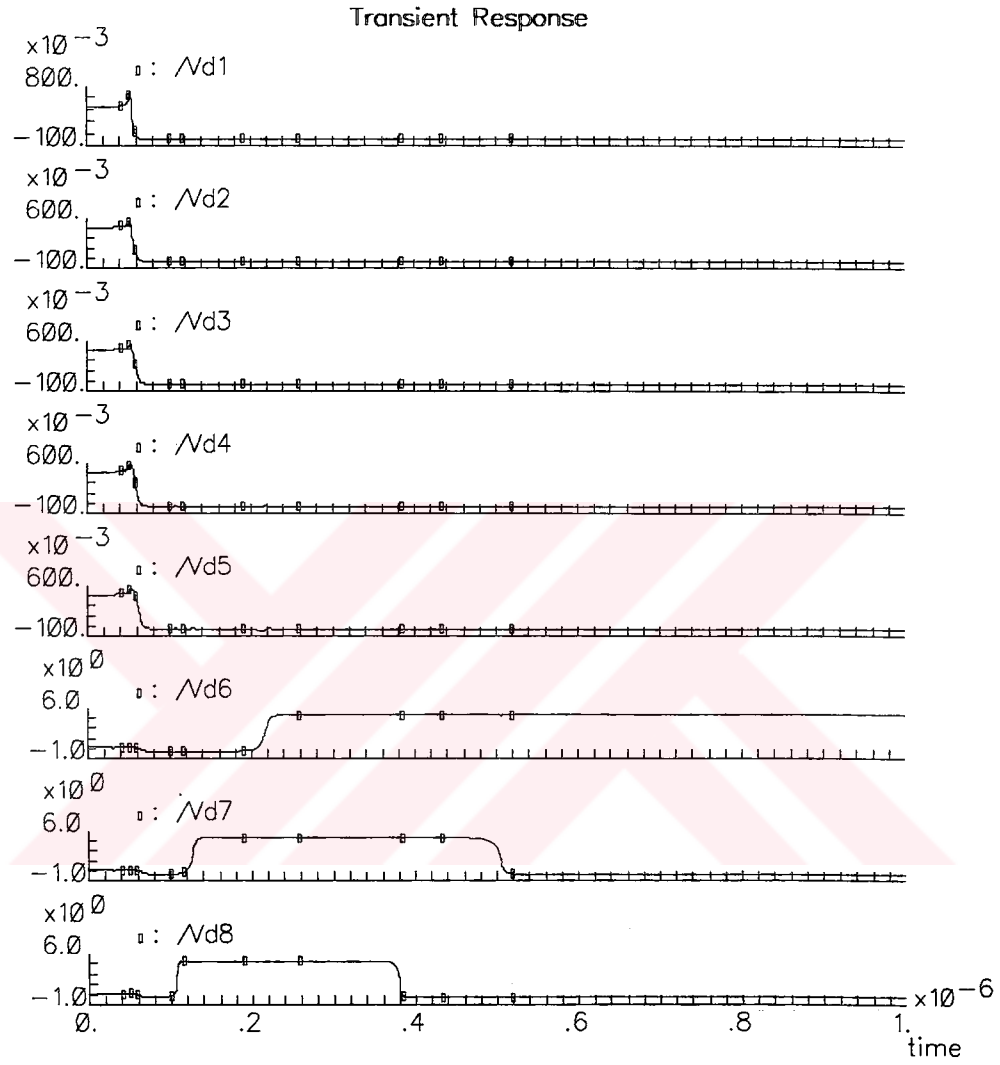
Şekil 4.20 $V_{DD} \times [0.0010 \ 0000 \ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



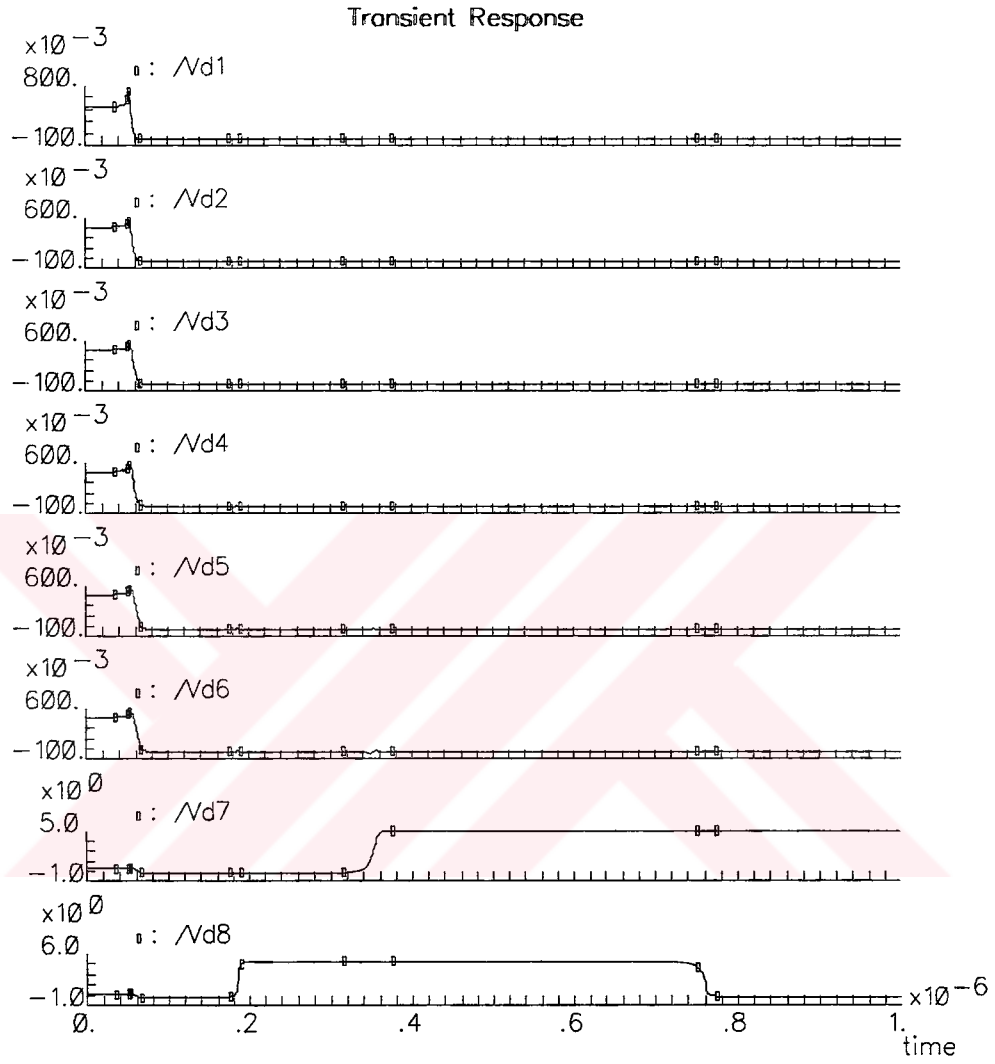
Şekil 4.21 $V_{DD} \times [0.0001 \ 0000 \ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



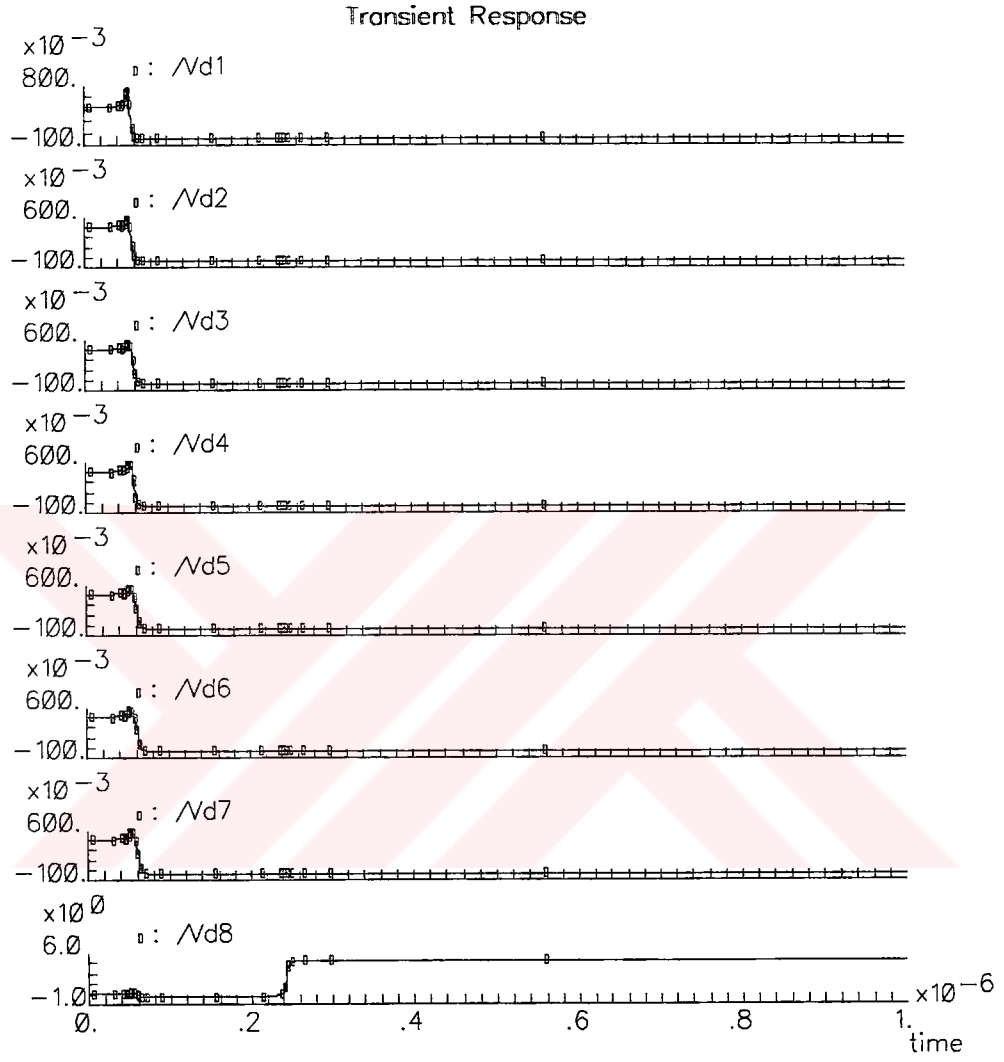
Şekil 4.22 $V_{DD} \times [0.0000 \ 1000 \ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



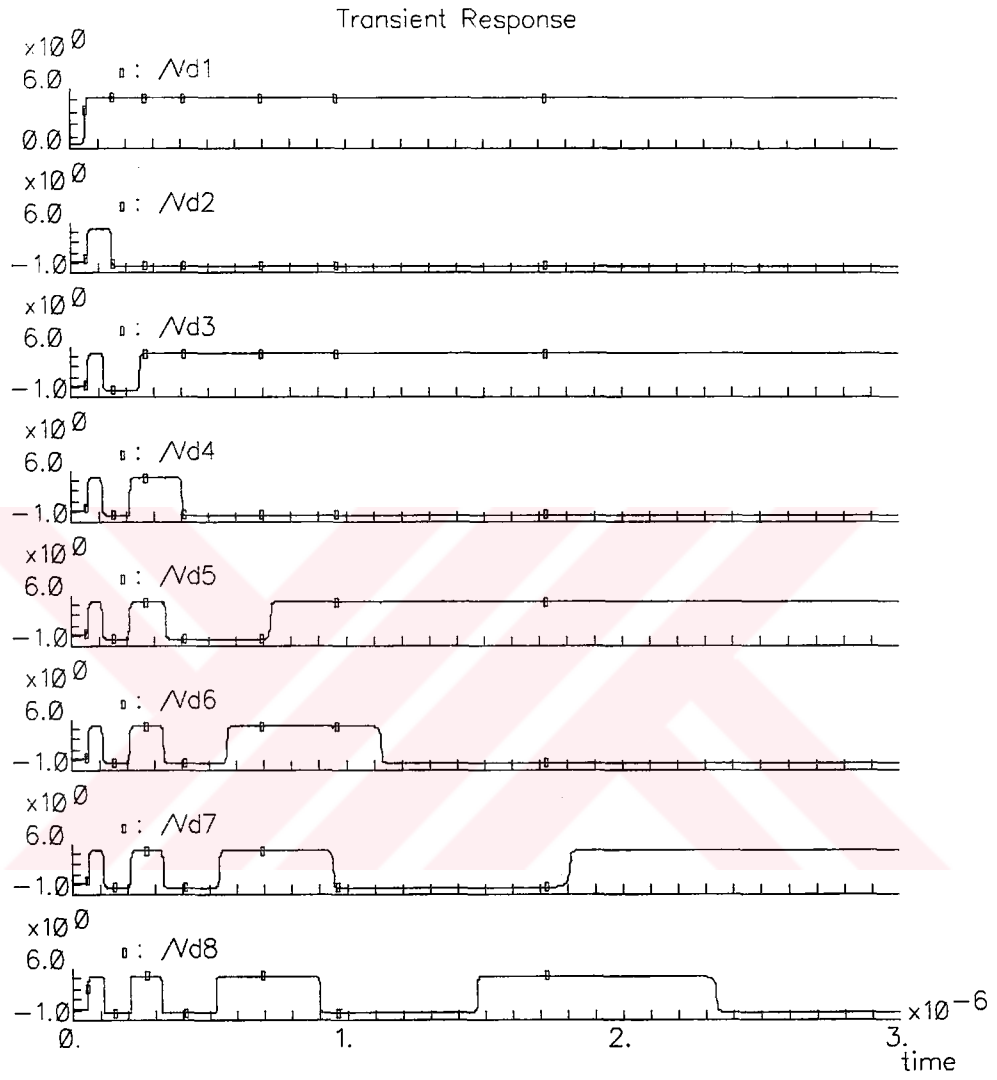
Şekil 4.23 $V_{DD} \times [0.0000 \ 0100 \ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



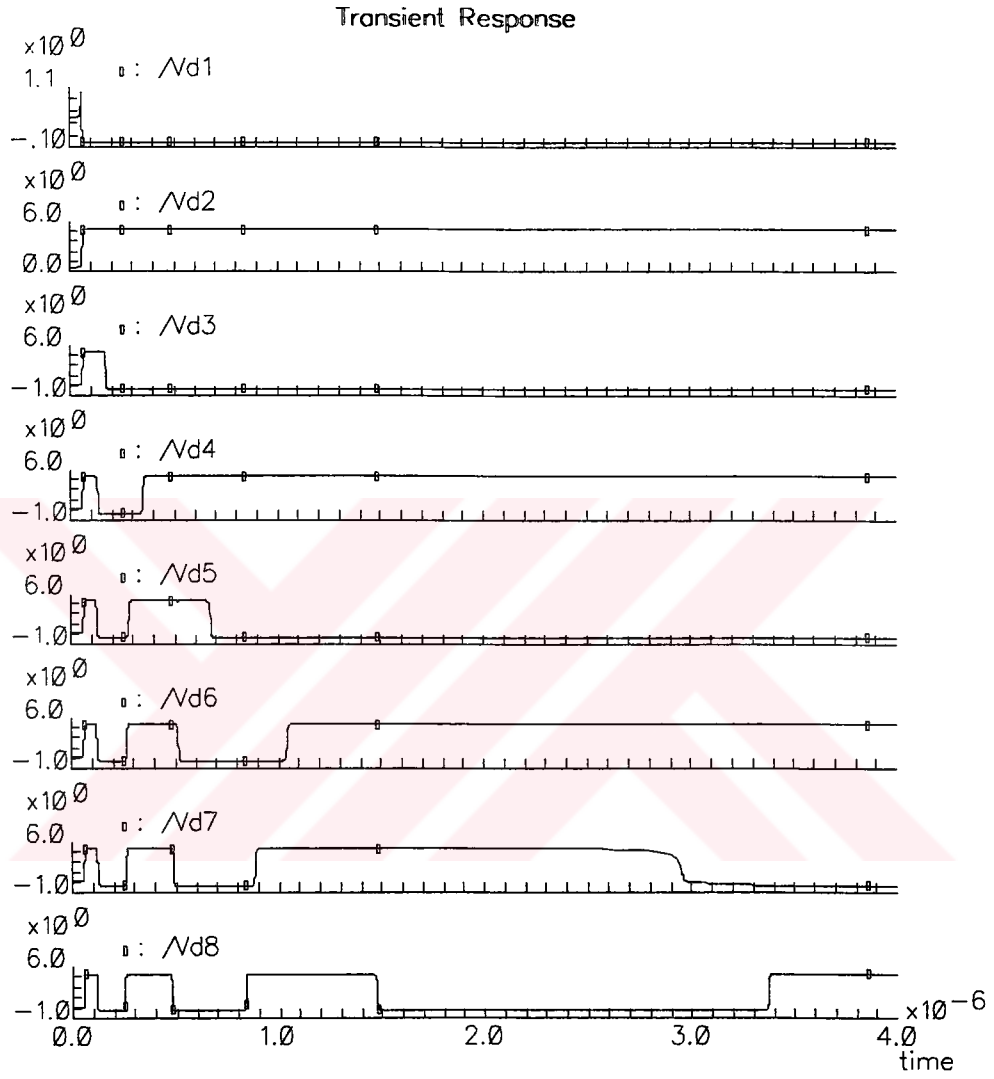
Şekil 4.24 $V_{DD} \times [0.0000\ 0010\ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



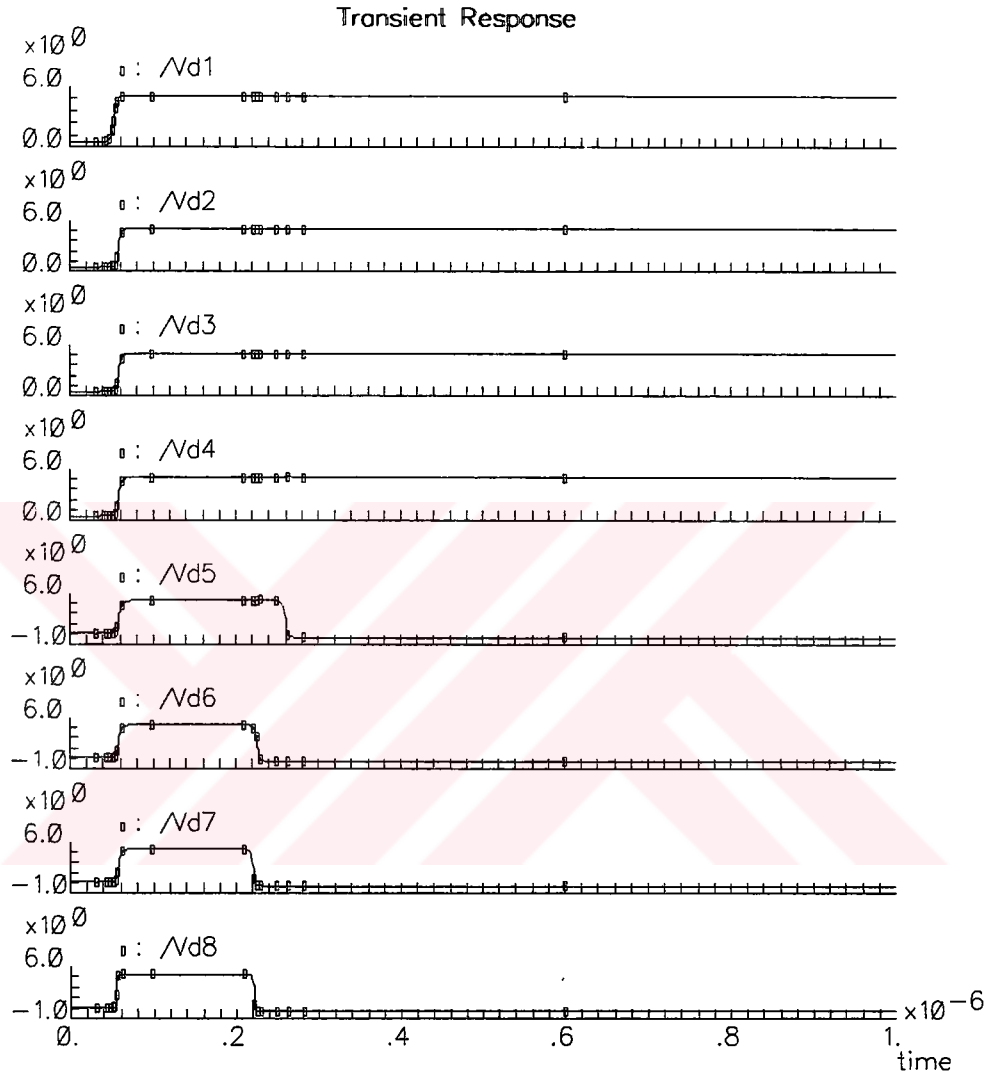
Şekil 4.25 $V_{DD} \times [0.0000\ 0001\ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



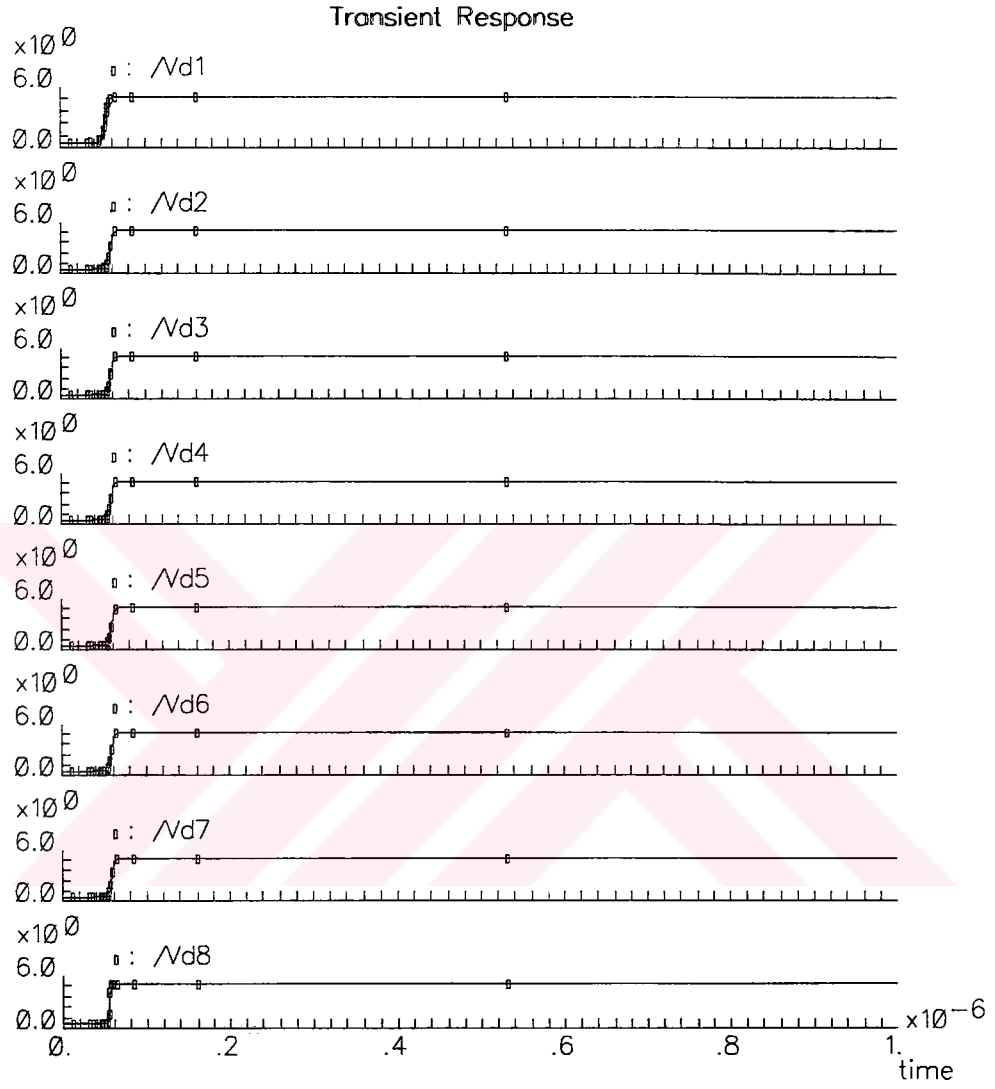
Şekil 4.26 $V_{DD} \times [0.1010\ 1010\ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



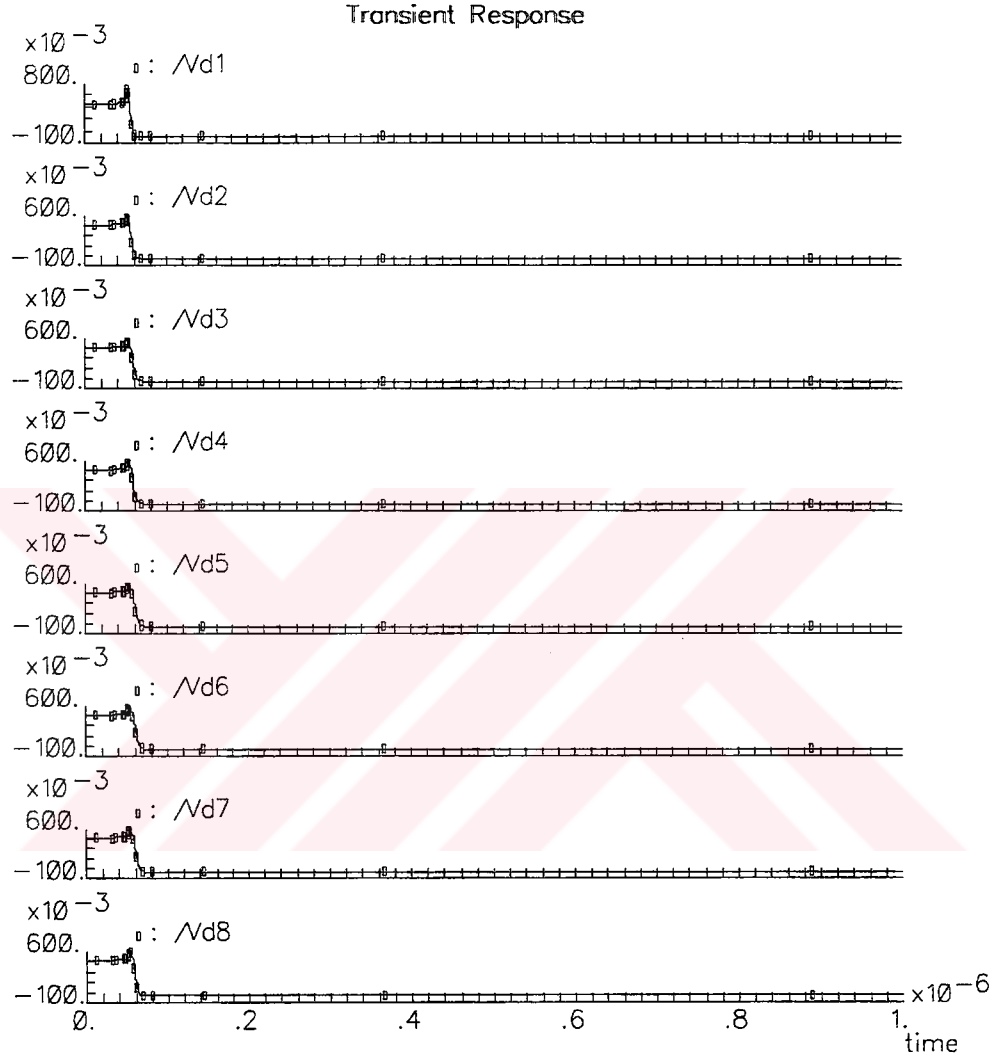
Şekil 4.27 $V_{DD} \times [0.0101\ 0101\ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



Şekil 4.28 $V_{DD} \times [0.1111\ 0000\ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



Şekil 4-29 $V_{DD} \times [0.1111 \ 1111 \ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.



Şekil 4-30 $V_{DD} \times [0.0000\ 0000\ 1]_2$ giriş gerilimi için serim sonrası benzetim sonuçları.

BÖLÜM 5

SONUÇLARIN DEĞERLENDİRİLMESİ

Bu bölümde, tasarımı yapılan kapasitif eşik lojigi temelli analog-sayısal çevirici devresinin kullanılabileceği uygulamalar devre performansı göz önüne alınarak vurgulanmış ve devrenin literatürdeki benzerleri ile karşılaştırılması sunulmuştur. Bu karşılaştırma yapılırken, devrelerin performansları başlıca dört temel kritere göre değerlendirilmiştir. Bu kriterler alan, hız, çözünürlük ve güç tüketimidir.

Devrenin alanı; $360\mu\text{m} \times 233\mu\text{m} \approx 0.08\text{mm}^2$ 'dir. Devre bu küçük gerçekleştirme alanı ile standart hücre temelli tasarımlarda kullanılmaya son derece elverişlidir. Analog-sayısal çevirici arayüzüne sahip tümdevre tasarımlarında bu devrenin kullanılması, tüm devrenin üzerinde gerçekleştirildiği silisyum alanı yaklaşık aynı kalarak, ayırık devre elemanı olarak bir analog-sayısal çevirici tümdevresinin devre kartı üzerinde kullanılması gerekliliğini ortadan kaldıracaktır. Devrenin tasarımında besleme kaynağını bastırma oranı yüksek diferansiyel devre yapıları kullanılması, bu nedenle devrenin ayrıca bir analog besleme kaynağına ihtiyaç duymaması ve devrenin gerek saat işaretleri gerekse işaret seviyeleri bakımından CMOS uyumlu olması devreyi standart sayısal CMOS tümdevre tasarımlarda kullanılmaya elverişli hale getirmiştir.

Serim sonrası benzetim sonuçları incelendiğinde devrenin çevirme hızının yaklaşık 300KSample/s olduğu görülmektedir. Yük korunumu esasına göre çalışan diğer kapasitif temelli analog-sayısal çeviricilerin hızları ile karşılaştırıldığında yüksek gibi görünen bu çevirme hızı pek çok uygulama için yetersiz kalmaktadır.[6] Devrenin çevirme hızının devrenin kullanımına imkan tanıdığı bazı alanlar; ses işareti devreleri, bazı işaret işleme sistemleri ve endüstriyel otomasyon uygulamalarıdır. Devrenin çıkışlarını ardışıl olarak oluşturması devrenin daha az sayıda çıkış biti ile kullanılmasını devre yapısında bir değişikliğe gidilmeden mümkün kılmaktadır. Devrenin daha az

sayıda çıkış biti için kullanılması durumunda çevirme hızının artacağı çok açıktır. Örneğin, serim sonrası benzetim sonuçları incelendiğinde 6 bit çıkış çözünürlüğü için devrenin çevirme hızının yaklaşık 1Msaple/s değerime yükseldiği görülmektedir. Devrenin çevirme hızını çıkış çözünürlüğünü azaltmadan arttırmanın bir yolu, kapasite matrisindeki her bir komparator girişinde bağlı olan kapasiteler arasındaki oranların 1'den farklı seçilmesi ve bu sayede her komparator girişinde oluşacak fark geriliminin arttırılmasıdır. Bu yapılırken kapasite alanının artacağı ve bunun da devrenin gerçekleştirileceği alanı büyüteceği unutulmamalıdır.

Tasarımı yapılmış olan devrenin çıkış çözünürlüğü 8 bittir ve bu çözünürlük için en düşük anlamlı bite karşı düşen analog giriş gerilimi yaklaşık olarak 20mV'tur. Çıkış biti sayısının ve çözünürlüğün arttırılması, her kapasitif eşik lojiği kapısına bağlı kapasiteler arasındaki oran tekrar belirlenmedikçe, aynı karşılaştırmacı devreleri kullanılarak mümkün değildir. Keza bit sayısının arttırılması için ilave edilecek eşik lojiği kapısı girişinde oluşacak fark gerilimi kapasitif eşik lojiği kapısı giriş eşdeğer dengesizliğinden daha küçük olacaktır. Karşılaştırmacı devrelerin dengesizlik benzetimlerinde giriş eşdeğer dengesizliğinin yaklaşık 1mV olduğu görülmüştür. Çözünürlüğün 9 bite çıkartılması durumunda, en düşük anlamlı biti belirleyecek karşılaştırmacı girişinde, bağlı kapasite oranları 1 seçilirse, oluşabilecek en yüksek fark gerilimi 1mV'dan daha küçük olacaktır. Giriş işaretine bağlı kapasitenin diğer kapasitelere göre arttırılması ve diğer girişlere bağlı giriş gerilimi değerlerinin de aynı oranda arttırılmasıyla kapasitif eşik lojiği kapısı aynı fonksiyonu gerçekleyecek şekilde kullanılabilir. Kapasitif temelli analog-sayısal çeviricide bit sayısının arttırılabilmesi için devrede bu yönde bir mimari değişiklik yapılmalıdır.

Kapasitif eşik lojiği temelli analog-sayısal çevirici devresinin güç tüketimi yaklaşık 15mW'tır. ($V_{DD}=5V$) Güç tüketimi hesabında sadece gerilim referansı devresinden ve karşılaştırmacı bloklardan sürekli olarak akan doğru akım bileşeni dikkate alınmış, kapasiteler üzerine anahtarlanan değişken akım bileşeni ihmal edilmiştir. Devre güç tüketimi bakımından da bir çok uygulamada ve standart hücre tabanlı tasarımlarda kullanılmaya uygundur.[6]

Tasarımı yapılan analog-sayısal çeviricinin, benzerleri ile karşılaştırmasının yapılabilmesi için son yıllarda konu ile ilgili yayınlanan makaleler incelenmiş ve elde edilen sonuçlar, devre yapısı, çözünürlük, hız, güç tüketimi, alan ve üretim teknolojisi başlıkları altında Tablo 5.1’de sunulmuştur. Buradan, tasarımı yapılan kapasitif eşik lojiji temelli analog-sayısal dönüştürücünün diğer analog-sayısal dönüştürücülere göre en önemli avantajının çok daha küçük alanda gerçekleştirilebilmesi olduğu görülmektedir..

Tablo 5.1 Literatürdeki analog-sayısal çeviricilerden bazılarının özellikleri.

Ref.	Devre Yapısı	Çözünürlük (bit)	Hız (MSample/s)	Alan (mm ²)	Güç S. (mW)	Tekno. (μm)
[6] 1990	Pipelined	12	1	-	6	3
[6] 1991	Subranging	8	20	-	50	0.8
[6] 1993	Subranging	10	20	-	30	0.8
[6] 1994	Subranging	10	0.55	-	20	2.4
[6] 1991	Subranging	9	25	-	100	1.3
[6] 1989	Subranging	12	0.02	-	25	-
[6] 1985	Subranging	8	8	-	20	3
[6] 1988	Pipelined	13	0.25	-	15	3
[6] 1994	Pipelined	12	0.6	-	45	1.6
[6] 1994	Sigma-delta	16	0.044	-	90	1.2
[6] 1994	Yük Paylaşımlı	8	0.05	-	0.002	2
[7] 1996	Pipelined	13	5	27.9	166	1.2
[8] 1996	Flash	6	200	1.6	110	0.5
[9] 1996	Pipelined	6	175	12	160	0.7
[10] 1996	Pipelined	16	1	34	200	1 BiC
[11] 1996	Pipelined	12	10	15	250	0.8
[12] 1996	Pipelined	12	5	17.5	33	1.2
[13] 1996	Folding	8	80	0.3	80	0.5
[14] 1997	Pipelined	8	52	15	250	0.9
[15] 1997	Pipelined	10	100	50	1100	1
[16] 1997	Sigma-delta	19	0.8	19	2.7	2
[17] 1991	Succ. Approx.	11	0.05	1.3	4	1
Tasar-lanan	CTL Temelli	8	0.3	0.08	15	0.8

KAYNAKLAR

- [1] H.ÖZDEMİR, A.KEPKEP, B.PAMİR, Y.LEBLEBİCİ, and U.ÇİLİNGİROĞLU, "A Capacitive Threshold Logic Gate", IEEE Journal of Solid State Circuits, Vol.31, pp.1141-1150, August 1996.
- [2] P.A.ALLEN, D.R.HOLBERG, "CMOS Analog Circuit Design", Holt, Rinehart and Winston Inc. : Fort Worth, 1987.
- [3] R.V.PLASSCHE, "Integrated Analog to Digital and Digital to Analog Converters", Kluwer Academic Publishers: Boston, 1994.
- [4] M.BAZES, "Two novel fully complementary self-biased CMOS differential amplifiers", IEEE Journal of Solid State Circuits, vol.26, pp.166-168, February 1991.
- [5] K.N.LAKER, W.M.C.SANSEN "Design of Analog Integrated Circuits and Systems", McGraw-Hill, 1994.
- [6] F.MALOBERTI, P.MALCOVATI, J.A.P.NYS "Design Considerations on Low-Voltage Low-Power Data Converters", IEEE Transaction on Circuits and Systems, vol.42, No:11 pp.853-863, November 1995.
- [7] D.W.CLINÉ, P.R.GRAY "A Power Optimized 13-b 5 Msamples/s Pipelined Analog-to-digital Converter in 1.2 μ m CMOS", IEEE Journal of Solid State Circuits, vol.31, pp.294-303, March 1996.
- [8] S.TSUKAMOTO, I.DEDIC, T.ENDO, K.KIKUTA, K.GOTO, O.KOBAYASHI "A CMOS 6-b, 200 Msample/s, 3V Supply A/D Converter for a PRML Read Channel LSI", IEEE Journal of Solid State Circuits, vol.31, pp.1831-1836, November 1996.
- [9] R.ROOVERS, S.J.STEYAERT, "A 175Ms/s, 6b, 160mW, 3.3V CMOS A/D Converter", IEEE Journal of Solid State Circuits, vol.31, pp.938-944, July 1996.

- [10] M.K.MAYES, S.W.CHIN, "A 200Msample/s, 16 b Pipelined A/D Converter with On-Chip 32-b Microcontroller", IEEE Journal of Solid State Circuits, vol.31, pp.1862-1872, December 1996.
- [11] G.C.AHN, H.CHOI, S.LIM, S.LEE, C.LEE "A 12-b, 10 Mhz, 250-mW CMOS A/D Converter", IEEE Journal of Solid State Circuits, vol.31, pp.2030-2035, December 1996.
- [12] P.C.YU, H.S.LEE "A 2.5-V, 12-b, 5-Msample/s Pipelined CMOS ADC", IEEE Journal of Solid State Circuits, vol.31, pp.1854-1861, December 1996.
- [13] A.G.W. VENES, R.J.van de PLASSCHE "An 80-Mhz, 80-mW, 8-b CMOS Folding A/D Converter with Distributed Trach-and-Hold Preprocessing", IEEE Journal of Solid State Circuits, vol.31, pp.1846-1853, December 1996.
- [14] K.NAGARAJ, H.S.FETTERMAN, J.ANIDJAR, S.H.LEWIS, R.G. RENINGER "A 250-mW, 8-b, 52 Msamples/s Parallel-Pipelined A/D Converter with Reduced Number of Amplifiers", IEEE Journal of Solid State Circuits, vol.32, pp.312-320, March 1997.
- [15] K.Y.KIM, N.KUSAYANAGI, A.ABIDI "A 10-b, 100-MS/s CMOS A/D Converter", IEEE Journal of Solid State Circuits, vol.32, pp.302-311, March 1997.
- [16] O.NYS, R.K.HENDERSON "A 19-b Low-power Multibit Sigma-Delta ADC Based on Data Weighted Averaging", IEEE Journal of Solid State Circuits, vol.32, pp.933-942, July 1997.
- [17] H.T.YUNG, K.S.CHAO "An Error-Compensation A/D Conversion Technique", IEEE transactions on Circuits and Systems, vol.38, pp.187-195, February 1991.

ÖZGEÇMİŞ

Bilge BAYRAKCI, 1972’de Eskişehir’de doğdu. 1990 yılında Bursa Anadolu Lisesi’nden mezun oldu ve aynı yıl İstanbul Teknik Üniversitesi Elektrik-Elektronik Fakültesi Elektronik ve Haberleşme Mühendisliği Bölümü’nde lisans eğitimine başladı. 1994 yılı güz döneminde Elektronik ve Haberleşme Mühendisi ünvanını aldı. Aynı yıl İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü Elektronik ve Haberleşme Anabilim Dalı’nda Yüksek Lisans’ına başladı.

1995 yılı Şubat ayından itibaren İ.T.Ü. Elektrik-Elektronik Fakültesi Elektronik Anabilim Dalı’nda araştırma görevlisi olarak çalışmaktadır.