

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

**ŞEBEKEYE BAĞLI ÜÇ FAZLI SiC TABANLI HİBRİT ANPC EVİRİCİ
YAPISININ KONTROLÜ VE TASARIMI**

YÜKSEK LİSANS TEZİ

İSLAM DELİBAŞ

Elektrik Mühendisliği Anabilim Dalı

Elektrik Mühendisliği Programı

Şubat 2022

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

**ŞEBEKEYE BAĞLI ÜÇ FAZLI SiC TABANLI HİBRİT ANPC EVİRİCİ
YAPISININ KONTROLÜ VE TASARIMI**

YÜKSEK LİSANS TEZİ

**İSLAM DELİBAŞ
504181023**

Elektrik Mühendisliği Anabilim Dalı

Elektrik Mühendisliği Programı

Tez Danışmanı: Doç. Dr. Murat Yılmaz

Şubat 2022

İTÜ, Lisansüstü Eğitim Enstitüsü'nün 504181023 numaralı Yüksek Lisans Öğrencisi İslam DELİBAŞ, ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı “ŞEBEKEYE BAĞLI ÜÇ FAZLI SiC TABANLI HİBRİT ANPC EVİRİCİ YAPISININ KONTROLÜ VE TASARIMI” başlıklı tezini aşağıda imzaları olan jüri önünde başarı ile sunmuştur.

Tez Danışmanı: **Doç. Dr. Murat Yılmaz**
İstanbul Teknik Üniversitesi

Jüri Üyeleri: **Dr. Öğr. Üyesi Deniz Yıldırım**
İstanbul Teknik Üniversitesi

Doç. Dr. Atiye Hülya Obdan
Yıldız Teknik Üniversitesi

Teslim Tarihi : 14 Ocak 2022
Savunma Tarihi : 02 Şubat 2022



ÖNSÖZ

Öncelikle, tez çalışması süresince bilgisini ve desteğini esirgemeyen danışman hocam Doç. Dr. Murat YILMAZ ve Elektra Elektronik San. ve Tic. A.Ş. güç elektroniği birimi çalışanlarına, departman müdürü ve aynı zamanda hocam Dr. Veysel Tutku BÜYÜKDERĞİRMENCİ'ye rehberlikleri, anlayışı ve sağladıkları imkanlar için teşekkürlerimi ve saygılarımı sunarım.

Tezin donanımsal ve yazılımsal çalışmaları Elektra Elektronik San. ve Tic. A.Ş.'de yer aldığım projeler kapsamında sağlanan destek ile gerçekleştirilmiştir . Proje süresince tez çalışmamda ve yüksek lisans eğitimim süresince sağladıkları imkanlar ve destekleri için Elektra Elektronik San. ve Tic. A.Ş. kurucuları Mehmet Okay BÜYÜKDEĞİRMENCİ, Emin Armağan ŞAKAR ve Fethi KASIM'a, çalışma arkadaşlarım Ömer Faruk KOZARVA, Özgür Can MİLLETSEVER, Abdurrahman SÖZÜER ve Taha ÖZ'e birlikte çalıştığımız süre boyunca tüm paylaşımları, destekleri ve tavsiyeleri için teşekkür ederim.

Lisans ve yüksek lisans eğitimim boyunca üzerimde emeği bulunan tüm öğretim elemanlarına ve bu süreci birlikte paylaştığım arkadaşlarıma, ilgi ve destekleri ile motivasyonumu yüksek tutan dostlarıma teşekkür ederim.

Son olarak, güvenleri ve sevgileri ile her zaman yanımda olan eşim, annem, babam ve kardeşlerime, emekleri ve anlayışları için teşekkürlerimi sunarım.

Şubat 2022

İslam DELİBAŞ
(Elektrik Elektronik Mühendisi)



İÇİNDEKİLER

Sayfa

ÖNSÖZ.....	v
İÇİNDEKİLER	vii
KISALTMALAR	ix
SEMBOLLER	xi
ÇİZELGE LİSTESİ	xiii
ŞEKİL LİSTESİ	xv
ÖZET.....	xix
SUMMARY	xxi
1. GİRİŞ	1
1.1 3L-NPC Sistemlerinin Güncel Durumu	2
1.2 Tezin Amacı	3
1.3 Tarihsel Gelişim	6
1.4 Literatür Araştırması	7
1.4.1 Evirici topolojileri	8
1.4.2 PLL Algoritmaları	16
1.4.3 Evirici kontrol teknikleri	18
1.5 3L-SiC NPC Tabanlı Eviriciler	22
2. ÜÇ SEVİYELİ EVİRİCİ PRENSİPLERİ VE MODELLENMESİ	27
2.1 Üç Seviyeli I-NPC Evirici Modeli	27
2.2 Üç Seviyeli ANPC Evirici Modeli	29
3. ÜÇ SEVİYELİ 3L-SiC A-NPC EVİRİCİ KONTROL TEORİSİ	33
3.1 Kontrol Sinyal Referans Eksen	33
3.2 $\alpha\beta$ -Referans Frame Kontrol	34
3.3 Senkron dq -Referans Eksen Kontrol	35
3.4 Üç Seviyeli SiC-ANPC İçin Tasarlanan PLL Algoritması	37
3.5 Üç Seviyeli SiC ANPC Evirici Kontrol Algoritmasının Tasarımı	43
3.6 Kontrol Algoritmasının Simülasyonu ve Tasarımı	44
3.7 Sinüzoidal Darbe Genişlikli Modülasyon (SPWM)	47
4. ÜÇ FAZLI SiC TABANLI ANPC EVİRİCİ İÇİN DONANIMSAL TASARIMLAR	49
4.1 SiC MOSFET İçin Kapı Sürücü Tasarımı	49
4.2 LCL Filtre Simülasyonu ve Tasarımı	52
4.3 LCL Filtre Isıl Tasarımı	58
5. ÖLÇÜM DEVRELERİ ve EVİRİCİ TASARIMI	65
5.1 Ölçüm Devresi	65
5.2 Evirici Tasarımı ve Kayıp Analizi	67
6. GERÇEK ZAMANLI KONTROL ve SİMÜLASYON SONUÇLARI	71
6.1 Gerçek Zamanlı Kontrol	71
6.2 Benzetişim ve Deneysel Sonuçlar	71
6.2.1 Gerçek zamanlı kontrol algoritmasının benzetişimi	71

6.2.2 Benzetişim Sonuçları.....	76
7. DENEYSEL SONUÇLAR ve ANALİZ.....	81
7.1 DeneySEL Sonuçlar ve Karşılaştırma.....	81
7.2 Tez Çıktısının Analizi.....	92
8. SONUÇ ve ÖNERİLER.....	95
8.1 Sonuç.....	95
8.2 Öneriler.....	96
KAYNAKLAR.....	97
EKLER.....	103
ÖZGEÇMİŞ.....	119



KISALTMALAR

AHF	: Aktif Harmonik Filtre
VSI	: Gerilim Kaynaklı Evirici (Voltage Source Inverter)
AA	: Alternatif Akım
DC	: Doğru Akım
EMC	: Elektromanyetik Uyumluluk (Electromagnetic Compatibility)
VSM	: Sanal Senkron Makine (Virtual Synchronouse Machine)
UPS	: Kesintisiz Güç Kaynağı (Uninterruptible Power Supply)
GMK	: Gerilim Merkezli Kontrol
DGK	: Doğrudan Güç Kontrolü
GaN	: Galyum Nitrür
SiC	: Silisyum Karbür
PLL	: Faz Kilitli Döngü (Phase Locked Loop)
DG	: Dağıtık Üretim (Distributed Generation)
DER	: Dağıtık Enerji Kaynakları (Distributed Energy Sources)
INPC	: I-tipi Nötr Noktası Kenetlenmiş (I-type Neutral Point Clamped)
TNPC:	: T-tipi Nötr Noktası Kenetlenmiş (T-type Neutral Point Clamped)
ANPC	: A-tipi Nötr Noktası Kenetlenmiş (A-type Neutral Point Clamped)
FLC	: Uçan Kapasitör (Flying Capacitor)
ASYM	: Asimetrik (Asymmetric)
SNPC	: Yığılmış Nötr Noktası Kenetlenmiş (Stacked Neutral Point Clamped)
ASNPC	: Aktif SNPC (Active SNPC)
SRF	: Senkron Referans Eksen (Synchronouse Reference Frame)
EPLL	: Geliştirilmiş PLL (Enchanced PLL)
GDSC PLL	: Genelleştirilmiş Gecikmeli Sinyal (Generalized Delayed Signal Cancellation)
VFD	: Ayarlanabilir Hızlı Sürücüler (Variable Frequency Drive)
PT	: Güç Transformatörleri (Power Transformers)
CT	: Akım Trafoları (Current Transformers)
THD	: Toplam Harmonik Bozulma (Total Harmonic Distortion)
PWM	: Darbe Genişlikli Modülasyon (Pulse Width Modulation)



SEMBOLLER

C	: Kapasitans
q	: Faz yükü
D	: Diyot
L	: Endüktans
S	: Anahtar
Q	: Reaktif Güç (VAr)
P	: Aktif Güç (W)
S	: Görünür Güç (VA)
T	: Faz gerilimi periyodu (sn)
f	: Frekans (Hz)
N	: Nötr
V_{DC}	: DC Gerilim
ϕ	: Faz açısı
$\cos(\phi)$	: Evirici güç faktörü
k ϕ	: Faz akımının sıfır geçiş öncesi faz gerilimindeki darbe sayısı
m_f	: Evirici taşıyıcı sinyal indeksi
V_{carr}	: Taşıyıcı gerilim sinyali
T_{sw}	: Anahtarlama periyodu
V_{pcc}	: Şebeke gerilimi
D_{ax}	: a kolundaki x diyodu
S_{ax}	: a kolundaki x anahtarı
P_{inv}	: Eviricinin toplam kaybı (W)
P_{conduct-half}	: Yarım modülasyon döngüsünde eviricinin iletim kaybı (W)
P_{sw-half}	: Yarım modülasyon döngüsünde eviricinin anahtarlama kaybı (W)
P_{conduct-S}	: Yarım modülasyon döngüsünde tüm anahtarların iletim kaybı (W)
P_{conduct-D}	: Yarım döngüde diyotların iletim kaybı (W)
P_{rec-Dax}	: a kolundaki x diyodunun geri kazanım kaybı (W)
P_{sw-Sax}	: a kolundaki x anahtarının anahtarlama kaybı (W)
P_{conduct-Sax}	: a kolundaki x anahtarının iletim kaybı (W)

$P_{\text{conduct-Dax}}$: a kolundaki x diyodunun iletim kaybı (W)
 $E_{\text{swSax-k}}$: k darbesindeki, S_{ax} anahtarının anahtarlama kaybı
 $E_{\text{recDax-k}}$: k darbesindeki, D_{ax} diyodunun ters kazanım kaybı



ÇİZELGE LİSTESİ

Sayfa

Çizelge 1.1 : 3L I-type NPC anahtarlama durumları.....	10
Çizelge 2.1 : 3 seviyeli NPC eviricinin A fazı anahtarlama durumu.....	28
Çizelge 2.2 : Bir çevrim için üç seviyeli NPC eviricinin A fazının anahtarlama durumu	28
Çizelge 2.3 : 3L-ANPC evirici anahtarlama durumu	30
Çizelge 4.1 : Filtre sönümleme karakteristikleri.....	58
Çizelge 4.2 : Evirici tarafı bobinin kayıp hesabı	62
Çizelge 4.3 : Şebeke tarafı bobinin kayıp hesabı.....	62
Çizelge 4.4 : 40kHz frekans bileşeni için trap bobinin kayıp hesabı.....	62
Çizelge 4.5 : LCL filtre kayıpları	63
Çizelge 5.1 : R-TOOLS MAXX programında gerçekleştirilen simülasyon sonuçlarına göre SiC modüllerin taban sıcaklıkları	70
Çizelge 7.1 : Evirici çeşitlerinin maliyet karşılaştırması	93
Çizelge 7.2 : Benzer çıktılar ile karşılaştırma.....	93
Çizelge C.1 : Teknik özellikler.....	116
Çizelge D.1 : Test sırasında kullanılan malzeme listesi	117



ŞEKİL LİSTESİ

Sayfa

Şekil 1.1 : (a) 2L Half-bridge, (b) 3L-TNPC, ve (c) 3L-INPC evirici topolojilerinin devre şemaları	9
Şekil 1.2 : Gövde diyotlar yerine yüksek verimli SiC-Schottky diyotların kullanıldığı 3L-T-type evirici topolojisi.....	11
Şekil 1.3 : İki 2L- half-bridge modülün birleştirilerek elde edilmesiyle oluşan 3L-ASYM topolojinin devre şeması.....	12
Şekil 1.4 : (a) 3L- SNPC ve (b) 3L - ASNPC evirici topolojilerinin devre şeması ..	13
Şekil 1.5 : (a) 3L-FLC ve (b) 4L-FLC evirici topolojilerinin devre şeması.....	13
Şekil 1.6 : (a) Üç seviyeli H6 topolojisi, (b) alternatif H6 topolojisi.	14
Şekil 1.7 : 3L-ANPC topolojisinin gerçekleşmesi ve modülasyon teknikleri	15
Şekil 1.8 : (a) Si-IGBT, (b) tamamı SiC-MOSFET, (c) HF/LF Hibrit SiC-MOSFET ve (d) LF/HF Hibrit SiC MOSFET tabanlı 3L-ANPC evirici yapısı....	16
Şekil 1.9 : SRF-PLL algoritmasının blok şeması	17
Şekil 1.10 : Temel frekans pozitif bileşenlerin faz ve frekansının hassas tespiti için GDSC-PLL yönteminin blok şeması	18
Şekil 1.11 : α - β koordinatları dönüşümü	20
Şekil 1.12 : Akı tabanlı (Flux based) evirici kontrolörü	21
Şekil 1.13 : Hibrit evirici yapısının kontrol şemasının blok diyagramı.....	21
Şekil 1.14 : Kayan mod (Sliding mode) kontrol devresi	22
Şekil 1.15 : Basit bir AC gerilim besleme devresi.	23
Şekil 1.16 : NPC evirici ile tasarlanan indüksiyon motor sürücü (üst taraftaki diyagram) ve (A ve B)'de farklı evirici diyagramları.....	25
Şekil 2.1 : 3 seviyeli 3 faz INPC evirici modeli.	27
Şekil 2.2 : 3L-ANPC evirici topolojisi.	30
Şekil 2.3 : 3L-ANPC evirici komutasyonu	30
Şekil 2.4 : A fazı Hibrit A-NPC yapısı tek fazın gösterimi.	31
Şekil 2.5 : A fazı Hibrit ANPC IGBT ve MOSFET kapı sinyalleri ve A fazı gerilim çıkışı.....	32
Şekil 3.1 : abc referans eksen, stationary $\alpha\beta$ -referans eksen, senkron dq referans eksen diyagramı.	33
Şekil 3.2 : Clarke dönüşüm.....	34
Şekil 3.3 : Ters Clarke dönüşüm.....	35
Şekil 3.4 : Park dönüşümü.....	35
Şekil 3.5 : Ters-Park dönüşümü.....	36
Şekil 3.6 : PLL Genel yapısı.....	37
Şekil 3.7 : Giriş ve çıkış sinyalleri arasındaki faz ilişkisi.....	39
Şekil 3.8 : Faz dedektörü ideal karakteristiği.	40
Şekil 3.9 : Çarpma fazı aşamasının matematiksel modeli.	40
Şekil 3.10 : Alçak geçiren filtre matematiksel modeli.	41
Şekil 3.11 : VCO karakteristiği.	41

Şekil 3.12 : VCO'nun matematiksel modeli.	42
Şekil 3.13 : PLECS ortamında oluşturulan PLL algoritması.....	42
Şekil 3.14 : Matlab/Simulink ortamında gerçekleştirilen PLL bloğu detaylı gösterim.	43
Şekil 3.15 : Evirici kontrol blokları ile genel şeması.....	43
Şekil 3.16 : Evirici kontrolörü.	44
Şekil 3.17 : PLL ve Clarke-Park dönüşümleri.....	45
Şekil 3.18 : Referans sinyallerinin üretildiği diyagram.	46
Şekil 3.19 : Referans gerilim sinyalleri ile PWM üretimi.	46
Şekil 3.20 : Sinüzoidal PWM'in faz gerilim referansları ve taşıyıcı sinyaller.	47
Şekil 4.1 : (a) SiC-MOSFET kapı sürücü için izole DC/DC çevirici simülasyon şeması, (b) kapı sürücü çıkış kademesi.....	50
Şekil 4.2 : İşlemci çıkışı 3.3V gerilim seviyesi ve SiC-MOSFET kapısına uygulanan kapı sinyali.	50
Şekil 4.3 : İşlemci çıkışı 3.3V gerilim seviyesi ve Si-IGBT kapısına uygulanan kapı sinyali.	51
Şekil 4.4 : İşlemci çıkışı gerilim seviyesi ve Si-IGBT kapı sinyalleri arasındaki gecikme.	51
Şekil 4.5 : Kapı sürücü devresinin simülasyon sonuçları (Yeşille gösterilen grafik, DC/DC çeviricinin +15V çıkış gerilimi, kırmızı ile gösterilen grafik, DC/DC çeviricinin -5V çıkış gerilimidir. Mavi grafik ise MOSFET'in kapı sinyalidir).	52
Şekil 4.6 : L filtre yapısı ve sönümleme karakteristiği.	53
Şekil 4.7 : Basit bir LCL filtre yapısı.....	53
Şekil 4.8 : LCL filtre yapısı ve sönümleme karakteristiği.	55
Şekil 4.9 : Sönümleme direnci eklenmiş LCL filtre yapısı.....	55
Şekil 4.10 : Sönümlemiş LCL Filtre yapısı ve sönümleme karakteristiği.	56
Şekil 4.11 : Trap filtre topolojisi.....	56
Şekil 4.12 : LCL-LC filtre topolojisi.	57
Şekil 4.13 : LCL-LC filtre yapısı ve sönümleme karakteristiği.	58
Şekil 4.14 : Kullanılan nüvenin farklı frekanslar için nüve kayıp eğrileri	59
Şekil 4.15 : Kullanılan nüvenin farklı frekanslar için nüve kayıp eğrileri	63
Şekil 5.1 : AC gerilim ölçümü için kullanılan izole kuvvetlendirici devre.	65
Şekil 5.2 : Tipik bir gerilim bölücü devresi.	65
Şekil 5.3 : DC bara gerilim ölçümü için kullanılan izole kuvvetlendirici devre.	66
Şekil 5.4 : Şebeke gerilim ölçümü için kullanılan kuvvetlendirici devre.	66
Şekil 5.5 : Kapalı-çevrim Hall-effect sensör ile akım ölçümü	67
Şekil 5.6 : PLECS ortamında ANPC evirici kayıp analizi diyagramı.	68
Şekil 5.7 : Si-IGBT, SiC-MOSFET anahtarlarının sıcaklıkları.	68
Şekil 5.8 : Üründe kullanılacak soğutucunun görünümü.....	69
Şekil 5.9 : R-TOOLS MAXX programında gerçekleştirilen simülasyon sonuçları. .	70
Şekil 6.1 : Gerçek zamanlı kontrol algoritması akış diyagramı.....	72
Şekil 6.2 : Clarke Modelsim simülasyon sonucu.	73
Şekil 6.3 : Referans sinyal ve PWM sinyalleri.	74
Şekil 6.4 : Vektör PLL Modelsim simülasyon sonuçları.	75
Şekil 6.5 : Evirici simülasyon şeması.	77
Şekil 6.6 : DC bara gerilimi - şebeke akımı - evirici akımı.	78
Şekil 6.7 : Farklı reaktif güçlerde değişim analizi.	79
Şekil 6.8 : Üretilen PWM sinyalleri.....	80
Şekil 7.1 : ADC kartı test düzeneği.	81

Şekil 7.2 : MOSFET PWM sinyali.....	82
Şekil 7.3 : MOSFET PWM ölü zaman aralıkları.....	83
Şekil 7.4 : MOSFET filtrelenmiş PWM sinyalleri.	83
Şekil 7.5 : MOSFET ve IGBT filtrelenmiş sinyalleri.....	84
Şekil 7.6 : Gerçekleştirilen FPGA tabanlı gömülü sistemin çalışması.....	84
Şekil 7.7 : C fazı evirici çıkışı gerilim ve akım dalga şekli - (Reaktif akım basmadan).	85
Şekil 7.8 : C fazı evirici çıkışı gerilim ve akım dalga şekli - (50A kapasitif akım)..	85
Şekil 7.9 : C fazı evirici çıkışı gerilim ve akım dalga şekli - (50A endüktif akım)...	86
Şekil 7.10 : Endüktif karakteristen kapasitif karakteristiğe geçiş sırasında şebeke gerilimindeki değişim.	86
Şekil 7.11 : Şebekeye reaktif akım basılırken DC baranın tepkisi.	87
Şekil 7.12 : SiC-MOSFET ve Si-IGBT PWM sinyallerinin karşılaştırılması.....	88
Şekil 7.13 : Şebekeye basılan 3 faz 50A reaktif akım dalga şekli karşılaştırması....	89
Şekil 7.14 : Şebekeye endüktif akım basarken sonuçların karşılaştırılması.	90
Şekil 7.15 : Şebekeye kapasitif akım basarken sonuçların karşılaştırılması.	91
Şekil 7.16 : Endüktifen kapasitife geçerken basılan akımların karşılaştırılması.	92
Şekil A.1 : Max 10 Datasheet.....	104
Şekil A.2 : F3L11MR12W2M1_B74 SiC tabanlı hibrit evirici modül datasheet. ..	104
Şekil A.3 : DC bara kondansatör.	105
Şekil A.4 : ADS7056 ADC.....	106
Şekil A.5 : Şebeke ve evirici tarafı Xflux nüvenin datasheeti.....	107
Şekil A.6 : Trap filtre için kullanılan KoolMu nüvenin datasheeti.	108
Şekil A.7 : Kapı sürücü IGBT için DC/DC dönüştürücü QA151 datasheeti.	109
Şekil A.8 : Kapı sürücü MOSFET için DC/DC dönüştürücü QA151M datasheeti.	110
Şekil A.9 : MC33152 seviye yükselticinin datasheeti.	111
Şekil B.1 : Kapı sürücü kartı 3D görünümü.	112
Şekil B.2 : Kapı sürücü kartına ait layout tasarımı.	112
Şekil B.3 : LCL filtre PCB tasarımı.	112
Şekil B.4 : LCL filtre layout tasarımı.	113
Şekil B.5 : Ölçüm kartı 3D tasarımı.	113
Şekil B.6 : Ölçüm kartı layout tasarımı.	113
Şekil B.7 : (a) Şematik, (b) Footprint, (c) 3D ekran görüntüleri.	114
Şekil B.8 : Evirici donanımının PCB sinin 2D ve 3D ekran görüntüleri.....	114
Şekil B.9 : Gömülü sistem PCB kartı 3D tasarımı.	115



ŞEBEKEYE BAĞLI ÜÇ FAZLI SiC TABANLI HİBRİT ANPC EVİRİCİ YAPISININ KONTROLÜ VE TASARIMI

ÖZET

Enerji sistemlerinde kalitenin önemi son yıllarda gittikçe artan bir kavram haline gelmiştir. Güç sistemlerinde oluşan kirlilik sorunlarının çoğu, güç elektroniği ekipmanlarının doğrusal olmayan karakteristiklerinden ve yüksek anahtarlama frekanslarından kaynaklanmaktadır. Güç kalitesi sorunları, hassas yarı iletken elemanların daha da hassaslaşması, var olan filtreleme ve kompanzasyon yöntemlerinin neden olduğu maliyet artışı nedeniyle zamanla daha da artmaya devam edecektir. Güç kalitesinin iyileştirilmesi, yarı iletken ve diğer doğrusal olmayan cihazların son zamanlarda artması nedeniyle başlıca araştırma konularından biri haline dönüşmüştür. Herhangi bir enerji kaynağının güç kalitesi, harmonik seviyesi vs. gibi etkenler uluslararası kuruluşlar tarafından tanımlanan belirli limitler çerçevesinde sınırlandırılmaktadır. Bu limitlerin sağlanabilmesi için farklı harmonik kompanzasyon yöntemlerine başvurulmaktadır. Bu limitlere uyulması, performans ve işletme ekonomisi için büyük önem taşımaktadır. Harmonik kompanzasyon ürünleri modern enerji dağıtım sistemlerinde yaygın olarak kullanılmaktadır. Bu ürünlerin geliştirilmesi için evirici tabanlı sistemlere ihtiyaç duyulmaktadır. Üç seviyeli evirici tabanlı geliştirilen aktif harmonik filtreler (AHF), diğer harmonik kompanzasyon filtrelerinden daha iyi performansa sahip güç filtrelerinden biridir.

Üç seviyeli şebeke bağlantılı tasarlanan eviriciler kaynak ve yük dengesizlikleri altında güçlü performans sağlayan doğru tasarlanmış bir kontrol algoritmasına ihtiyaç duymaktadırlar. Kontrol yöntemleri, Gerilim Kaynaklı Eviricileri (VSI) tetiklemek için gerekli referans akımlarının üretilmesinde kullanılmaktadırlar. Bu nedenle, sistemin kararlılığı büyük ölçüde kullanılan kontrol algoritmasına bağlıdır.

Bu tezde, kullanılan üç seviyeli SiC-ANPC tabanlı evirici sistemleri için geniş bir literatür araştırması yapılmıştır. Bu literatür araştırması içinde; güncel uygulamalarda kullanılan farklı evirici topolojileri ve kontrol teknikleri detaylandırılmıştır. AHF sistemlerinde kullanılmak üzere tasarlanan 3L SiC-ANPC sistemi için farklı kontrol yöntemleri analiz edilmiş ve tartışılmıştır. Ayrıca, farklı evirici topolojileriyle PLECS ve Matlab/Simulink ortamında simülasyonlar gerçekleştirilmiştir. Bu evirici topolojilerinin verimlilik ve maliyet karşılaştırmaları yapılmış ve bu tezde sunulmuştur. Prototip haline getirme sürecinde yapılan PCB tasarımları Altium Designer ile gerçekleştirilmiştir. Prototip çalışması gerçekleştirilen evirici sisteminin test sonuçları tezde sunulmuştur. Bu tezde tasarlanan üç seviyeli şebeke bağlantılı evirici yapısında kullanılan SiC tabanlı evirici yapısı ile piyasada üretilen evirici yapılarının 2 katı bant genişliğine sahip bir evirici yapısı tasarlanmıştır. Aynı zamanda %98 üzerinde verimlilik sağlanmıştır. Piyasada üretilen evirici yapılarının birçoğu Si-IGBT veya Si-MOSFET tabanlı tasarlanmıştır. SiC tabanlı tasarlanan ürünlerin bant genişliği ve verimlilikleri düşük kalmaktadır. Bu tezde tasarlanan evirici yapısı ve FPGA tabanlı kontrol ile literatürde benzeri çalışması olmayan bir evirici tasarımı

kazandırılmıştır. 5kHz kontrol bant genişliğine, 40kHz anahtarlama frekansına ve bu anahtarlama frekansında çalışabilmesi için 80kHz örnekleme frekansına sahip bir evirici yapısı tasarlanmıştır.



CONTROL AND DESIGN OF THE GRID CONNECTED THREE-PHASE SiC BASED HYBRID NPC INVERTER

SUMMARY

Nowadays, the worldwide electrical infrastructure is undergoing extensive change due to increasing electrical energy demand, environmental problems, energy policies and rapid technological development, especially in the field of power electronics. This change is a process towards the realization of the smart grid, a vision of the future power system where the flow of electrical power and communication between producer and consumer are to becoming bidirectional.

The development and integration of distributed generation (DG) is an another important aspect of this change, where the centralized power generation plants are to be complemented by a higher penetration of low-scale generation plants at the distribution level. In recent years, the worldwide installed power, based on distributed energy resources (DER), such as grid-connected photovoltaic power plants and wind turbines, has grown exponentially. As a result, the total generation capacity as well as the penetration of renewable environmental friendly energy resources are increasing. Incorporating these resources into microgrids that can be operated in grid-connected mode or islanded mode seems to be a promising way to achieve intelligent application of these resources in the energy system. However, this development is causing the grid structure to become ever more complex.

Also, given the intermittent nature of many renewable energy sources and their performance depending on meteorological and geographical conditions, total energy production tends to be more variable. In addition, grid stability, power quality and reliability can be compromised due to the penetration, technology and control of these distributed energy sources. Traditionally, these challenges have been met by using large rotating mass synchronous generators in large, conventional power plants. Now it also needs to be solved at the distribution level to realize the great potential associated with the smart grid paradigm and renewable distributed energy sources.

The key to overcoming these challenges relates to the control and coordination of the individual power generation units, that is, the control of the respective power electronics converters. This topic has received great attention in research, and the field of power electronics converters and their control has experienced great development in recent years. Numerous proven solutions have been proposed in the literature, all about converter technologies, topologies and control algorithms for grid synchronization, current and voltage control, anti-island strategies, and more, all to improve the performance and operation of distributed energy sources. . The most basic task of these controllers is to inject appropriate AC current and voltage signals into the external utility grid. In recent years, resonance type controllers have received much attention in research due to their ability to manage this task when also used in a stationary reference frame.

The importance of quality in energy systems has become an increasing concept in recent years. Most of the pollution problems in power systems are due to the non-linear characteristics of power electronic equipment and high switching frequencies. Power quality issues will continue to increase over time due to the sensitive equipment will be more sensitive and the cost increase caused by existing filtering and compensation methods. Improving power quality has become one of the main research topics due to the recent increase in semiconductor and other non-linear devices. The power quality of any source and harmonic factor are limited by the some indexes defined by international organizations. In order to achieve these limits, different harmonic compensation methods are used. Compliance with these limits has great importance for performance and operating economy. Harmonic compensation products are widely used in modern energy distribution systems. Active harmonic filters (AHF), developed based on active 3L-NPC inverters, are one of the power filters with better performance than other harmonic compensation filters.

3L-SiC-NPC based systems need a well-designed control algorithm that provides strong performance under source and load imbalances. Control methods are used to generate the required reference currents to trigger Voltage Source Inverters (VSI). Therefore, the compensation of harmonics largely depends on the control algorithm used. For any shunt AHF system, there are many ways to control the VSI.

Silicon carbide (SiC) devices have excellent performance, such as higher switching frequency and lower switching loss compared with traditional silicon (Si) devices. The application of SiC devices in inverters can achieve higher efficiency and power density. In recent years, the production process of SiC devices has become more mature, but the cost is still several times that of traditional Si devices. In order to balance cost and efficiency, replacing only some of the Si devices with SiC devices in a topology is a better choice.

Neutral point clamped (NPC) topology is a common three-level topology, and it is widely used in medium and high-power photovoltaic inverters. In this three-level NPC inverter, the voltage stress on each power device is only half of the bus voltage. Its output voltage harmonic content is lower compared with the two-level inverters. However, the NPC inverter has the problem of uneven power loss distribution over the power devices. Uneven loss distribution will increase the design requirements for the heat sink, resulting in larger volume of the heat sink, which is not conducive to improving the power density of the inverter. To solve this problem, the active neutral point clamped (ANPC) three-level topology is the best option. The ANPC topology replaces the clamp diodes in the NPC topology with active switches. Thus, the PWM (Pulse Width Modulation) control of the ANPC topology is more flexible. When the ANPC inverter outputs zero state, there are multiple redundant loops to choose from.

The Digital Signal Processors that are the sequential processing device in which characteristics and programming are known. The Field Programming gate arrays is the architecture and reconfigurable digital logic devices, which contain a variety of programmable logic blocks called logic elements which can be configurable using a VHDL (Very High Speed Integrated Circuit Hardware Description Language). The advantages of FPGA over sequential hardware of DSPs are flexible memory architecture, wide parallelism, and deep pipelining. FPGA show great potential for control applications, power electronics and real time hardware emulation, applications such as motor control, active power filters, multilevel inverters.

FPGAs are an efficient hardware for rapid prototyping. Its functions are complex enough to implement more than glue logic. As the logic capacity of the FPGAs increases, synthesis for PGA is becoming more important. One solution to designing large designs efficiently is to use VHDL synthesis.

In recently, electrical power device technology have allowed for the generation of current in power electronics applications and systems, in order to increase devices switching frequency. However, as frequency increased problems are arises such as time to perform function and calculate the control algorithm. FPGA digital controllers are increasing attention to the control of power inverters.

In this thesis, an extensive literature search was carried out for AHF systems using 3L SiC-NPC inverter. In this literature research; inverter topologies and control techniques used in current applications are detailed. Different control methods are analyzed and discussed for the 3L-SiC-NPC inverter. In addition, different inverter topologies simulated in the PLECS environment. The efficiency and cost comparisons of these inverter topologies are made and presented in this thesis. PCB design was made with Altium Desginer software and the test results were presented in the thesis.

The three-level grid-connected SiC-ANPC inverter structure designed in this thesis has twice the bandwidth of the inverter structures produced in the market. The efficiency of this inverter is over 98%. Most of the inverter structures produced in the market are designed based on Si-IGBT or Si-MOSFET. Bandwidth and efficiency of products designed based on SiC remain low. An inverter structure has been designed with a control bandwidth of 5kHz, a switching frequency of 40kHz and a sampling frequency of 80kHz to operate at this switching frequency. In this way, for the first time, an inverter structure that works with these features has been introduced to the literature.



1. GİRİŞ

Güç elektroniği tabanlı lineer olmayan devre elemanlarının endüstride artan kullanımı, güç dağıtım şebekelerinde ciddi enerji kalitesi problemlerini beraberinde getirmiştir. Bu problemler, yüksek reaktif güç tüketimine ek olarak harmonik emisyonlarında ve akım dengesizliklerinin oluşumundaki artıştan da fark edilebilmektedir. Şebekelerden akan harmonikli akım ayrıca gerilim harmoniklerinin oluşmasına veya gerilim dalgalarında bozulmalara neden olabilir. Harmonikli akımlar, güç sistemleri, kontrol sistemleri, koruma devreleri ve diğer harmonikli yükler ile olumsuz etkileşimde bulunabilirler. Bu olumsuzluklardan dolayı zamanla tüketiciler kadar enerji dağıtıcıları da olumsuz etkilenmiştir ve harmonik problemlerinin genişlemesine karşı bazı düzenlemeler getirmişlerdir. Yapılan düzenlemeler ile ilgili uluslararası elektrik komiteleri tarafından IEC 61-000 ve IEEE 519-92 harmonik emisyonlarla ilgili birçok standart önerilmiştir [1].

Şebeke bağlantılı (on-grid) evirici sistemleri kontrol edilebilir sistemlerdir. Üç seviyeli evirici yapıları, akım dalga şeklinde oluşan tepe noktalarını azaltmak ve saf sinüs formuna yakın dalga şeklini oluşturmak için darbe genişlik modülasyon (PWM) teknikleri kullanılarak tasarlanır. Üç seviyeli evirici ile tasarlanan sistemlerde güç faktörü 1'e kadar düzeltilebilir. Ayrıca bu şekilde tasarlanan evirici yapıları ile yüksek dereceli harmonikler sönmülenebilmekte ve bu sayede standartlarca belirlenen harmonik seviyeleri yakalanabilmektedir. 3 seviyeli eviriciler şebekedeki dalgalanmalardan çok etkilenmeyen ve şebekeye paralel bağlanarak güç kalitesi sunan yapılardır.

Birçok tüketici tesislerinde ayarlanabilir gerilim, akım ve çift yönlü güç akışı gerektiren sistemler kullanılmaktadır. Bu tarz sistemlere elektrikli sürücülerde ve otomasyon sistemlerinde ihtiyaç duyulmaktadır. Örneğin frekans dönüştürücüler, endüstriyel tesislerde otomasyon kontrol sistemlerinin bir parçasıdır. Frekans dönüştürücüler sürücü parametrelerinin ve güç sistemlerinin çalışmasını düzenlemek için tasarlanmışlardır. Birçok modern frekans dönüştürücü topolojisi, PWM tekniğine dayalı olarak çalışmaktadır. Günümüzde, endüstriyel tesisler için frekans

dönüştürücüleri, alternatif akım (AA) gerilimini doğru akım (DC) gerilimine dönüştüren eviriciler kullanarak yapmaktadır. Üç seviyeli evirici yapısıyla tasarlanan şebeke bağlantılı sistemlerin endüstride yaygın olarak kullanılmasının avantajları: çift yönlü güç akışı sağlayabilmeleri, kabul edilebilir seviyede elektromanyetik uyumluluk (EMC), güç faktörü düzeltilmesi ve yüksek dinamik doğruluğa sahip akım ve DC gerilim sağlayabilmeleridir [2].

1.1 3L-NPC Sistemlerinin Güncel Durumu

Şebeke bağlantılı eviriciler, indüktör ve kapasitör ile oluşturulan bir LCL filtre aracılığıyla şebekeye bağlanan üç fazlı bir güç elektroniği dönüştürücüleridir. Son yıllarda, şebekeye bağlı bu tarz dönüştürücülerin sayısı, yüksek güçlü yarı iletken komponentlerin, gelişmiş kontrol yöntemlerinin ve sürekli gelişen teknolojik gelişimler ile birlikte giderek artmaktadır. Şebekeye bağlı üç seviyeli evirici yapısının günümüzde geldiği noktada bazı faydalı özellikleri aşağıdaki gibi sıralanabilir:

Üç seviyeli evirici yapıları ile şebekedeki harmonik bozulmalar minimize edilebilmektedir. Üç seviyeli eviriciler şebekeden sinüzoidal akımlar çektiğinden, şebeke akımı ve şebeke gerilimindeki harmonik bozulma seviyesi, sistemin çalışma durumundan bağımsız olarak diyot ve tristör tabanlı kurulan dönüştürücülerden daha düşük kalmaktadır. Bu harmonik bozulma seviyeleri genelde %1-5 arasında kalmaktadır.

- Üç seviyeli evirici yapısı ile DC gerilim seviyesi kontrol edilebilmektedir. Bu sayede DC gerilim seviyesi farklı çalışma gerilimlerinde sabit tutulabilmektedir.
- Üç seviyeli evirici tabanlı sistemlerin en önemli özelliklerinden birisi güç akışını her iki yönde de sağlayabilmesidir. Bu özelliği sayesinde motor sürücülerinde ve enerji depolama sistemlerinde uygulanabilirler. Üç seviyeli eviriciler aynı zamanda tek yönlü güç akışı sağlanan uygulamalarda da kullanılabilirler.
- Üç seviyeli eviriciler şebekeye akım basabilme ve basılan akımı kontrol etme kabiliyetine sahiptir. Bu sayede temel frekans bileşeni dışındaki şebekede var olan harmonikli akımların tersi yönünde şebekeye harmonikli akıp basıp var olan harmonikleri sönmüleyebilmektedirler.

Üç seviyeli eviriciler ile sistemin reaktif güç akışı yani güç faktörü kontrol edilebilir ve bu sayede güç faktörü değeri 1'e yaklaştırılabilir.

Üç seviyeli evirici tabanlı tasarlanan sistemler ile aktif filtreleme ve reaktif güç kontrolü ile birlikte şebeke kararlılığına doğrudan etki edilebilmektedir. Şebeke kararlılığının artırılmasıyla birlikte, üç seviyeli evirici yapısı bir enerji depolama sistemine veya sanal dönümlere ve atalet (virtual damping and inertia) gibi sanal senkron makine (virtual synchronous machine, VSM) işlevlerine entegre edilerek daha da genişletilebilir.

Üç seviyeli eviricilerin performansı genellikle verimliliği, çıkış gücü kalitesi, şebekeye bastığı akımın harmonik seviyesi, devre topolojisi ve kontrol sisteminin karmaşıklığı ve uygulama maliyeti açısından değerlendirilmektedir. Geleneksel olarak, iki seviyeli eviriciler çözüm olarak kullanılmıştır fakat son yıllarda modüler çok seviyeli evirici topolojileri büyük ilgi görmektedir. Bunun sebebi, aynı anahtarlama frekansında iki seviyeli dönüştürücülere kıyasla, daha yüksek gerilim kapasitesi, düşük anahtarlama frekansı ve daha düşük harmonik bozulma seviyesinin sağlanmasıdır. Bununla birlikte, çok seviyeli dönüştürücülerin dezavantajı ise, boyutları, devre topolojisi ve kontrol yapılarının karmaşıklığının artması, kullanılan transistör, devre elemanı ve durum değişkenlerinin artmasıdır [2].

1.2 Tezin Amacı

Son yıllarda şebekeye bağlı DC tabanlı dağıtık üretim birimleri sayısı giderek artmaktadır. Bu birimlerin sorunsuz entegrasyonu için, üç seviyeli eviriciler, güçlü kontrol sistemleri ve uygun güç dönüşümü sağlama yetenekleriyle tercih edilmeye başlanmıştır. Artan enerji talebi, çevresel sorunlar ve sınırlı miktardaki fosil enerji kaynakları nedeniyle, elektrik altyapısının geliştirilmesinde, daha küçük ölçekli ve merkezi olmayan entegre enerji üretim sistemlerine doğru bir eğilim görülmektedir. Bu eğilim, güç elektroniği dönüştürücüleri çerçevesinde yoğunlaşmış durumdadır. Dağıtık üretim üniteleri, klasik enerji santrallerinin aksine, bu eviricilerin bazı olumlu özellikleri yoksundur. Bu eviriciler, kontrol yapısına bağlı olarak şebeke kararlılığını ve güç kalitesini artırmaktadır.

Üç fazlı şebekeye bağlı eviriciler, alternatif akımdan, doğru akıma dönüşüm gerektiren uygulamalarda kullanılmaktadır. IEC-61000 ve IEEE-519 gibi uluslararası kuruluşlar

tarafından belirlenen güç kalitesi standartlarına uymak için üç seviyeli eviricilerin kullanılması en uygun yöntemdir. Bu evirici sisteminin kullanımıyla, çift yönlü güç akışı, minimum harmonik bozulma ile birlikte birim (1) güç faktöründe sinüzoidal giriş akımlarını sağlamak mümkündür [1]. Bu sistemlerde, DC bara gerilimi, giriş gerilimi veya giriş gücüne bağlı kontrol edilir, bu da kapasitör boyutunun azaltılmasına olanak tanımaktadır [2]. Bu dönüştürücüler, doğrusal olmayan bir yüke paralel bağlandığında, aktif filtre olarak da kullanılabilirler. Bu eviricilerin uygulandığı farklı uygulamalar arasında, şebeke bağlantılı enerji depolama sistemleri, rüzgar türbinleri için uygun doğrultucu sistemleri, yüksek verimli batarya şarj sistemleri, çok seviyeli aktif doğrultucular, aktif filtreler, kesintisiz güç kaynakları (UPS) ve güç çeviriciler gibi uygulamalarda bulunmaktadır. Şebekeye bağlı eviricilerin kullanıldığı bu uygulamalarda şebeke tarafındaki alternatif akım, kontrollü bir şekilde doğrultularak uygun bir DA gerilim seviyesinde güç kontrolü gerçekleştirmektedir. Bu sayede şebeke akımı ve gerilimi arasındaki farkı da kontrol edilebilmektedir. Bu uygulamalarda, yüksek anahtarlama frekansından kaynaklı şebeke tarafında oluşan elektromanyetik girişim, duyarlı yükleri bozabilecek anahtarlama frekansı etrafında oluşan harmoniklere neden olmaktadır. Bu sorun şebeke tarafına, doğru tasarlanmış ve optimize edilmiş bir bobin yapısı konularak çözülebilmektedir.

Üç fazlı evirici sistemleri için son yıllarda çeşitli kontrol yöntemleri, evirici topolojileri ve LCL filtre yapıları önerilmiştir. Önerilen bazı kontrol teknikleri arasında, PI kontrol [3], bulanık mantık [4] teknikleriyle kontrol yöntemi, dahili akım kontrol döngüsü aracılığıyla dinamik performans sağlayan gerilim merkezli kontrol (GMK) tekniği kullanılmaktadır [5]. Ayrıca kullanılan doğrudan güç kontrolü (DGK) tekniğinde en uygun anahtarlama tablosu oluşturulur ve bu çerçevede doğrudan güç kontrolü yöntemi geliştirilmektedir. Bu yöntemde dezavantaj olarak kontrol edilemeyen periyodik anahtarlama sinyalleri sistem kontrolünde büyük bir dezavantaj oluşturmaktadır. Bu dezavantajların giderilmesi için literatürde farklı DGK yapıları önerilmiştir.

Yüksek anahtarlama frekansından kaynaklı, şebeke tarafında anahtarlama frekansı ve katları etrafında oluşabilecek harmonik sorunlarının çözümü için alternatif bir LCL filtre tasarımı kullanılmıştır. Bu çözümle, daha küçük indüktör yapıları kullanılarak yüksek güç seviyelerinde optimum sonuçlar elde edilebilir [6].

Günümüz güç elektroniği uygulamalarının çoğunda kullanılan Si-MOSFET, Si-IGBT'ler gibi silikon güç yarı iletken elemanları hem malzeme hem de performans olarak doyuma ulaşmıştır. Son yıllarda Galyum Nitrür (GaN) ve Silisyum Karbür (SiC) gibi yeni, yüksek bant genişlikli yarı iletken elemanlar, yüksek bant genişliği avantajları nedeniyle Si güç yarı iletkenlere kıyasla daha yüksek performans sunmaktadırlar [7]. Si-IGBT veya Si-MOSFET tabanlı geliştirilen güç elektroniği ürünlerinde anahtarlama frekansları maksimum 20kHz bandı civarında kalmaktadır. Daha yüksek anahtarlama frekanslarına çıkılamadığından yapılan tasarımlar sınırlı kalmaktadır. Si tabanlı yarı iletken elemanları ile çıkılabilen akım ve gerilim seviyeleri de zamanla düşük kalmıştır.

Üç fazlı evirici devrelerinde şebekenin frekans ve faz açısı bilgisinin alınabilmesi, şebeke ile senkronizasyonun sağlanabilmesi için phase locked loop (PLL) kullanılması gerekmektedir [8,9]. PLL algoritması ile şebeke frekansının kontrolü sağlanmaktadır [10]. Özellikle dengesiz şebekelerde DGM doğrultucularının kontrolü zordur. Bu sorunun çözülebilmesi için PLL algoritmasının kullanılması gerekmektedir. Geleneksel olarak kullanılan PLL yapıları ideal ve simetrik üç fazlı şebekelerde sorunsuz bir şekilde uygulanabilmektedir [11]. Dolayısıyla frekans dalgalanmalarında, asimetrik gerilim değerlerinde ve harmoniklerin yoğun olduğu şebekelerde kararlı çalışan gelişmiş bir PLL algoritmasına ihtiyaç olmaktadır [12].

Bu tez çerçevesinde yapılan çalışmada şebeke bağlantılı bir evirici, bu eviriciyi kontrol eden ve enerji kalitesine yönelik işlevleri gerçekleştiren gömülü sistem, şebeke bağlantısı için bir LCL filtre yapısı ve bir DC bara yapısından oluşan bir ürün tasarlanmıştır. Bu tez kapsamında tasarlanan eviricinin güç seviyesini sağlayabilecek uygun güç donanımı tasarlanmıştır. Güç donanımı içerisinde şebeke bağlantısı için LCL filtre, SiC MOSFET tabanlı evirici ve DC bara yapısı bulunmaktadır. Sistemin ısı kayıplarını azaltıp boyutlarını küçültmek için üç seviyeli evirici topolojileri (I-NPC, T-NPC, A-NPC gibi) incelenmiştir. Bu topolojilerden uygun görülenlerin bilgisayar destekli benzetimi yapılmıştır. Benzetimi yapılan her bir topolojinin kayıpları hesaplanmıştır. Fiyat-performans oranı en yüksek olan evirici topolojisi seçilmiş ve deneysel olarak gerçekleştirilmiştir.

Tasarlanan sistemin kontrolör kararlılığı için DC bara geriliminin normal çalışma koşulları içerisinde fazla salınmaması gerekmektedir. Ayrıca, DC barada kullanılan kondansatörlerin yüksek ripple akımı altında uzun ömürlü çalışabilmesi

gerekmektedir. Bunun için en uygun kondansatörün seçilmesi gerekmektedir. Kullanılan kondansatör serilerinin eşdeğer seri direnç (equivalent series resistance, ESR) ve eşdeğer seri endüktans (equivalent series inductance, ESL) ve kullanım ömrü (useful life) verileri kullanılarak benzetimi yapılmıştır.

Tasarlanan sistemin içinde bir diğer önemli konu ise LCL filtre yapısıdır. Sistemin yapısının şebekeye bağlanabilmesi için zorunluluk olan LCL filtrelerde eviricinin yarattığı anahtarlama gürültüsü süzölmektedir. Bu nedenle anahtarlama frekansında akan akımlar kullanılan endüktansların ısınmasına yol açmaktadır. Bu tezde, endüktansların kayıplarını en aza indirecek şekilde LCL filtre topolojileri incelenmiştir. Özellikle şebekeye sızan yüksek frekans bileşenlerini yok edebilmek için LC trap filtre yapıları araştırılmıştır. Eviricinin şebekeye bağlantı noktasında tasarlanan LCL filtrenin simülasyonları LT-Spice yazılımı ile gerçekleştirilmiştir. LCL filtre için tasarlanması gereken bobinlerin tasarlanması için Excel ortamında bir Excel sayfası hazırlanmıştır. Hazırlanan Excel sayfası yardımıyla optimum değerlerde bobin tasarımları hızlı bir şekilde yapılmıştır.

Şebekeye bağlı eviricinin özellikleri çalışma prensibi ile birlikte incelenmiştir. Kontrolör yapıları ve simülasyonları yapılan farklı evirici topolojileri ile ele alınmıştır. Üç fazlı evirici devresinin analizi PLECS yazılımı ile yapılarak benzetim ve deneysel sonuçlar elde edilmiştir. Üç seviyeli evirici yapısı için tasarlanan PLL algoritması, DC bara kontrol ve PI akım kontrol yöntemleri detaylandırılmıştır. Daha sonra sistemin benzetimi yapılmıştır ve sonuç kısmında ise yapılan deneysel çalışmalar anlatılıp sonuçlar yorumlanmıştır.

1.3 Tarihsel Gelişim

Dünya genelinde enerji altyapısı, artan elektrik enerjisi talebi, çevre sorunları, enerji politikaları ve özellikle güç elektroniği alanındaki hızlı teknolojik gelişmeler nedeniyle bugünlerde kapsamlı bir değişim geçirmektedir. Bu değişiklik, elektrik enerjisi akışının ve üretici ile tüketici arasındaki iletişimin çift yönlü hale geleceği bir gelecek güç sistemi vizyonu olan akıllı şebekelerin gerçekleştirilmesine yönelik kademeli bir süreçtir.

Dağıtık üretimin (DG, distributed generation) geliştirilmesi ve entegrasyonu bu değişimin bir diğer önemli yönüdür. Son yıllarda, şebekeye bağlı fotovoltaik enerji

santralleri ve rüzgar türbinleri gibi dağıtık enerji kaynaklarına (DER, distributed energy sources) dayalı kurulu güç, dünya çapında katlanarak büyümüşür. Buradan yola çıkarak, toplam üretim kapasitesi ve yenilenebilir çevre dostu enerji kaynaklarının etkisinin arttığı gözlemlenmektedir. Ancak bu gelişmeler şebeke yapısının giderek daha karmaşık hale gelmesine neden olmaktadır. Ayrıca, yenilenebilir enerji kaynaklarının birçoğunun doğası meteorolojik ve coğrafi koşullara bağlı performansları göz önüne alındığında, toplam enerji üretimi daha değişken olmaya eğimlidir. Diğer yandan, dağıtık enerji kaynaklarının teknolojisi ve kontrolüne bağlı olarak, şebeke kararlılığı, şebekenin güç kalitesi ve güvenilirliği tehlikeye girebilir. Bu tarz zorluklar büyük konvansiyonel enerji santrallerinde büyük senkron generatörler kullanılarak çözülmüşür. Günümüzde, akıllı şebeke paradigması ve yenilenebilir dağıtık enerji kaynaklarıyla ilgili var olan potansiyelin hayata geçirilebilmesi için dağıtım düzeyinde bu sorunların çözülmesi gerekmektedir.

Bu zorlukların üstesinden gelmenin yolu, dağıtık güç üretim birimlerinin kontrolü ve koordinasyonu, yani ilgili güç elektroniği dönüştürücülerinin kontrolü ile ilgilidir. Bu konu, yapılan araştırmaların ana konusu haline gelmiş ve güç elektroniği tabanlı dönüştürücüler ve bunların kontrolü ile ilgili son yıllarda büyük gelişmeler yaşanmışır. Literatürde, dağıtık enerji sistemlerinin performansını ve çalışmasını iyileştirmek amacıyla, şebeke senkronizasyonu, akım ve gerilim kontrolü, evirici teknolojileri, topolojileri ve kontrol algoritmaları ile ilgili çok sayıda çözüm öne sürülmüşür. Bu kontrolörlerin en temel görevi, uygun AC akım ve gerilim sinyallerini şebekeye enjekte etmektir. Son yıllarda, rezonans kontrolörler (resonant controllers) ve sabit referans eksen kontrolör (stationary reference frame) yöntemleri araştırmalarda çok dikkat çekmişir [3].

1.4 Literatür Araştırması

Şebekeye bağlı üç fazlı evirici sistemleri ile ilgili günümüze kadar yapılan çalışmalar ile ilgili detaylı bir literatür araştırması yapılmışır. Bu literatür araştırmasında üç seviyeli eviriciler için geliştirilen evirici topolojileri, PLL algoritmaları ve kontrol teknikleri ile ilgili detaylı literatür taraması yapılmışır. Literatür taraması bulguları bu bölümde ayrı başlıklar altında sunulmuşır.

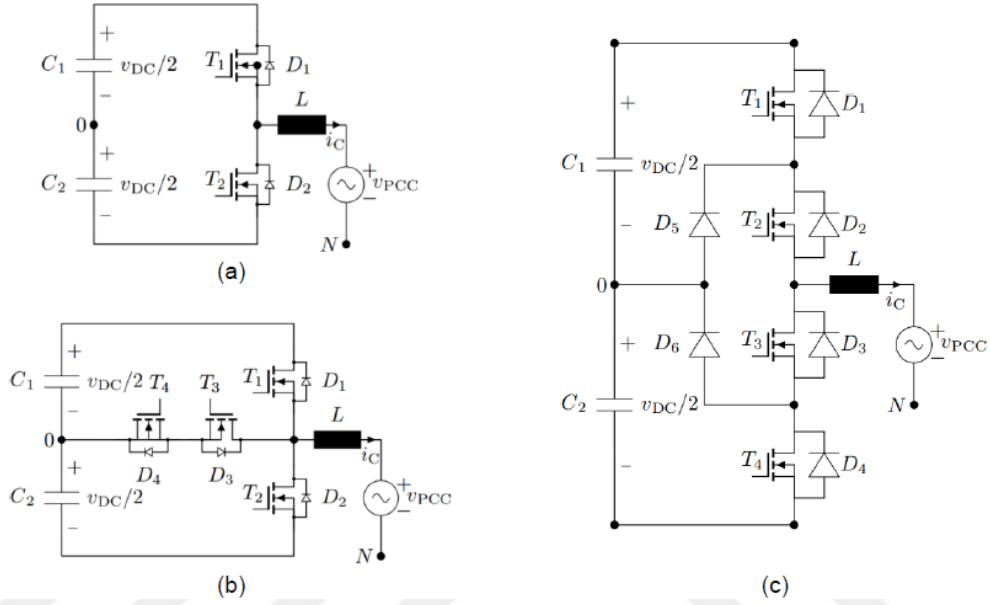
1.4.1 Evirici topolojileri

Şebeke bağlantılı sistemlerde birçok evirici topolojisi farklı uygulamalar için önerilmiştir. Üç seviyeli şebeke bağlantılı evirici teknolojisi ile üretilen piyasadaki ürünlerde de pek çok farklı topoloji yapısı kullanılmaktadır. Üretilen ürünlerde, üreticilerin tercih ettikleri topoloji, maliyetleri, ürünlerin bulunabilirliği, performans, güvenilirlik ve ömürleri bir optimizasyon sürecinin sonucunda ortaya çıkmaktadır. Günümüzde satılan evirici tabanlı birçok güç elektroniği ürünü halen eski teknoloji iki seviyeli (2L) half-bridge evirici topolojisini kullanmaktadır. Ancak teknolojinin ilerlemesi ile birlikte çok daha verimli ve yüksek performanslı ürünler piyasaya çıkmakta ve pazar payı paylaşılmaktadır. Son 10 senede sektördeki ürünlerin büyük bir kısmı üç seviyeli (3L) evirici topolojisine geçmiştir. Önümüzdeki 5 yıl içerisinde de evirici topolojilerinde kullanılan yarı iletken teknolojisinin SiC-MOSFET tabanlı yapılara geçeceği ve Si-IGBT yapıların eski teknoloji kalacağı öngörülmektedir.

Şebeke bağlantılı evirici uygulamalarında düşük anahtarlama stresleri, düşük dv/dt , düşük filtreleme gereksinimi ve optimum maliyet sunduğu için 3L topolojiler tercih edilmektedir. Tez kapsamında geliştirilecek olan yeni nesil 3L SiC tabanlı ANPC bir evirici yapısı kullanılmıştır. Literatürde pek çok 3L topoloji bulunmaktadır. Bu topolojilerden en yaygın olanları 3L I-type Neutral Point Clamped (INPC), 3L T-type Neutral Point Clamped (TNPC), 3L-Active Neutral Point Clamped (ANPC), 3L Uçan (flying) Kapasitör (FLC) olarak sıralanabilir. Bu topolojilerin dışında da 2L standart modüller kullanılarak oluşturulan alternatif 3L yapılar da bulunmaktadır. Evirici topolojisiyle ilgili literatür araştırmasının bu kısmında, 3L topolojilere ve SiC-MOSFET'lerin bu uygulamalarda kullanımına değinilmiştir.

Üç seviyeli SiC-NPC kullanılan uygulamalarda eviricinin bant genişliğinin çok yüksek olması istenir. Bu nedenle de yüksek anahtarlama frekansında çalışacak şekilde tasarlanması gerekmektedir. Yüksek anahtarlama frekanslarında evirici topolojisi tasarlanan ürünün verimliliği açısından kritik önem taşımaktadır. Şekil 1.1'de 2L- yarım-köprü (half-bridge), 3L- I-type NPC, ve 3L- T-type NPC topolojilerinin devre şemaları gösterilmiştir [13]. Si-IGBT teknolojisi kullanılarak gerçekleştirilmiş 2L-half-bridge 3L- I-type NPC, ve 3L- T-type NPC evirici topolojilerinin anahtarlama frekansına bağlı olarak farklı güç faktörlerinde verimlilikleri Şekil 1.2'de gösterilmiştir [14]. Bu grafiklerden 3L- I-type NPC evirici topolojisinin 20kHz ve üstü

anahtarlama frekanslarında diğerlerinden daha verimli olduğu görülmektedir. 20kHz'in altındaki anahtarlama frekanslarında ise 3L- T-type NPC evirici topolojisi daha yüksek verim sağlamaktadır. 10kHz anahtarlama frekansının altı geliştirilen sistemler 2L- half-bridge topoloji ile rahatlıkla gerçekleştirilebileceği için üç seviyeli evirici topolojileri bu frekansların altında geliştirilen sistemler daha pahalı çözümler olarak karşımıza çıkmaktadır.



Şekil 1.1 : (a) 2L Half-bridge, (b) 3L-TNPC, ve (c) 3L-INPC evirici topolojilerinin devre şemaları [13].

3L-I-type NPC eviricilerde uygun anahtarlama durumları,

- Tüm IGBT'ler iletimde değilken - konvertör kapalıdır.
- Yalnızca T2 veya T3 iletimde olabilir.
- İki IGBT'nin aynı anda iletimde olduğu durumlar (T1/T2, T2/T3, T3/T4)

şeklinde listelenebilir. Bu topolojide olası hatalı anahtarlama durumları,

- T1 veya T4'ün aynı anda ya da ayrı ayrı iletimde olma durumu
- İletimde olmaması gereken iki bitişik olmayan IGBT (T1/T3 veya T2/T4)

şeklinde. Bu koşulların gerçekleşmesi durumunda diğer fazlara uygulanan anahtarlama durumuna bağlı olarak ürün üzerinde geri dönüşü olmayan hasarlar oluşabilir. Hatalı anahtarlama durumları ise,

- Üç bitişik IGBT'nin iletimde olduğu durumlar (T1/T2/T3, T2/T3/T4)

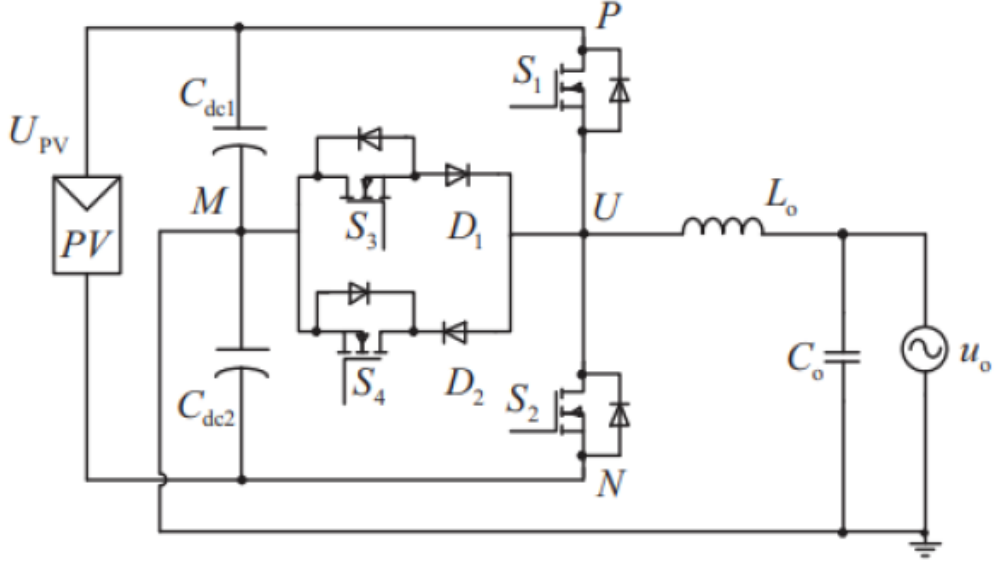
- Üç bitişik olmayan IGBT'lerin iletimde olduğu durumlar (T1/T2/T4 iletimde olduğunda tüm gerilim T3 üzerine uygulanır; T1/T3/T4 iletimde olduğunda tüm gerilim T2 üzerine uygulanır.)
- Bütün IGBT'ler devrede olduğunda DC+, DC- ve N kısa devre olur [15].

şeklinde gerçekleşir. I-type 3L eviricinin yukarda bahsedilen hatasız ve hatalı anahtarlama durumları Çizelge 1.1'de sunulmuştur [16]. 3L – T-type NPC evirici topolojisinde olası hatalı anahtarlama koşulları bulunmamaktadır. Bu sebeple sanayinin pek çok alanında sürme kolaylığından da 3L – T-type NPC evirici topolojisi tercih edilmektedir.

Çizelge 1.1 : 3L I-tipi NPC anahtarlama durumları.

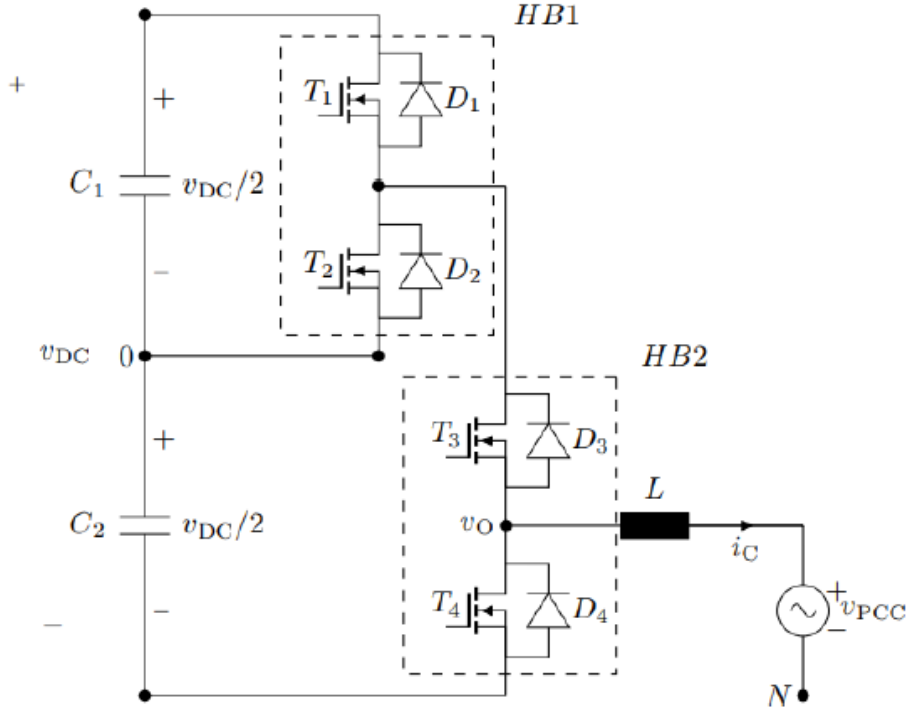
T1	0	0	0	1	0	0	1	0	1	1	0	1	1	1	0	1
T2	0	1	0	1	1	0	0	0	0	1	1	1	1	0	1	1
T3	0	0	1	0	1	1	0	0	0	1	0	1	0	1	1	1
T4	0	0	0	0	0	1	0	1	1	0	1	0	1	1	1	1
durum	izin verilen						potansiyel hatalı						hatalı			

SiC-MOSFET transistörler yarı iletken yapılarından ters yönde mevcut bir gövde diyoda sahiptir. Bu nedenle yüksek akımlı ters paralel diyotun gerekmediği solar evirici gibi pek çok uygulamada modül içerisinde ekstra bir ters paralel diyot kullanılmaz. Bu diyot sadece anahtarlama geçişlerindeki ölü zamanlarda aktif olacağı için MOSFET'lerin gövde diyotları yeterli olmaktadır. Ancak güç faktörünün düşük olduğu uygulamalarda bu diyotlar üzerinden büyük akımlar akmaktadır. SiC-MOSFET'lerin gövde diyotlarının iletim gerilimleri ve dolayısıyla kayıpları çok yüksek olmaktadır. Bu problemin önüne geçebilmek için literatürde Şekil 1.3'teki gibi alternatif bir 3L-T-tipi NPC evirici topolojisi önerilmiştir [17]. Şekil 1.1(b)'ye kıyasla neutral clamp hattında SiC-MOSFET'lerin seri bağlanması ve gövde diyotlarının kullanılması yerine, bu MOSFET'lerle ters yönde akım akıtmak için optimize edilmiş iki ayrı paralel hat oluşturularak düşük güç faktörlerinde yüksek verim sağlanmıştır.



Şekil 1.2 : Gövde diyotlar yerine yüksek verimli SiC-Schottky diyotların kullanıldığı 3L-T-type evirici topolojisi [17].

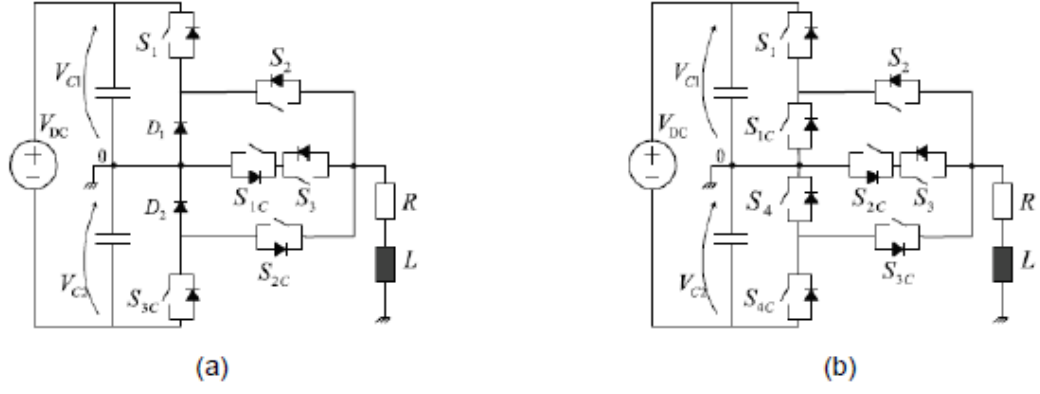
Şebeke bağlantılı evirici tabanlı tasarlanan uygulamalar için önerilen bir diğer SiC-MOSFET tabanlı 3L evirici yapısı ise Şekil 1.4’te verilmiştir. Şu ana kadar üretilen piyasadaki SiC-MOSFET modülleri yüksek akımlı çalışmalar için uygun değildir. Piyasada bulunan modüller ise güç faktörünün yüksek (+0.8/+1) olduğu belli uygulamalar için optimize olduklarından, değişik gereksinimleri olan uygulamalarda kullanılamamaktadır. Ancak 2L-half-bridge yapısında piyasada pek çok SiC-MOSFET modül bulunmaktadır. Bu nedenle, bir başka uygulamada standart 2L-half-bridge SiC-MOSFET modülleri birleştirilerek 3L asimetrik (ASYM) evirici topolojisi önerilmiştir. Burada, AC çıkış terminaline (ϑ_0), $\vartheta_{DC}/2$ uygulamak için T_1/T_3 anahtarları iletime alınmaktadır. AC çıkış terminalinde “0” elde etmek için T_2/T_3 anahtarları sürülür. Çıkışta $-\vartheta_{DC}/2$ elde etmek için diğer anahtarlamaların aksine sadece T_4 iletime alınmaktadır. Bu topolojinin asimetrik olarak isimlendirilmesinin nedeni farklı gerilim seviyelerinde farklı sayılarda anahtar kullanılarak elde edilmesidir. Bu topoloji 70kHz üzerinde T-tipi evirici topolojisi yapısından daha verimli çalışmaktadır. Bu uygulama için düşük güç faktörü gerektiren uygulamalarda önerilen topolojinin performansı ile ilgili karşılaştırma yapılmamıştır.



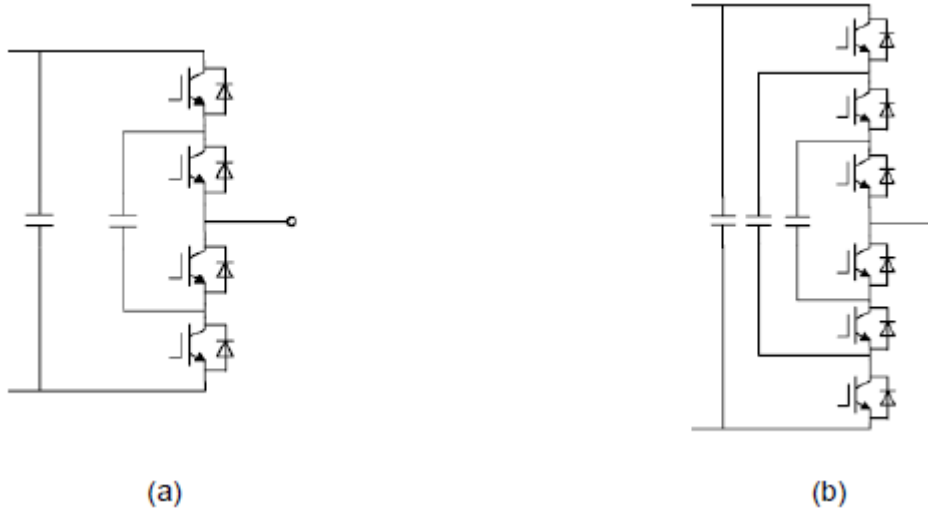
Şekil 1.3 : İki 2L- half-bridge modülün birleştirilerek elde edilmesiyle oluşan 3L-ASYM topolojinin devre şeması [18].

Sistem performansını iyileştirebilmek için 3L-Stacked NPC (SNPC) ve 3L-Active SNPC (ASNPC) topolojileri literatürde önerilmiştir [18-20]. Bu topolojilerin devre şeması Şekil 1.5'te gösterilmiştir. Bu topolojilerde efektif anahtarlama frekansının PWM frekansının iki katı olduğu ve bu sayede daha düşük kayıplar ve daha düşük filtreleme gereksinimi ile sistemin gerçekleştirilebileceği gösterilmiştir.

Bu topolojilerin dışında yaygın olarak kullanılan diğer bir topoloji de 3L-FLC topolojisidir. Sıfır konumunda DC baranın orta noktasının çıkışa uygulandığı NPC topoloji yapısının aksine, FLC topolojisinde DC baranın yarısına şarj edilmiş uçan kapasitör denilen bir orta kondansatör kademesi bulunmaktadır. Bu topolojide çıkış gerilimi +DC, +DC/2 ve 0 olacak şekilde üç farklı durum alabilmektedir. Bu topoloji kullanılarak Şekil 1.6'da gösterildiği gibi daha yüksek seviyeli evirici topolojileri oluşturmak mümkündür. Flying kapasitörlerin istenilen gerilimde şarjlı kalmalarını sağlamak için ayrıca farklı kontrol ve modülasyon teknikleri ile desteklenmesi gerekmektedir [21].

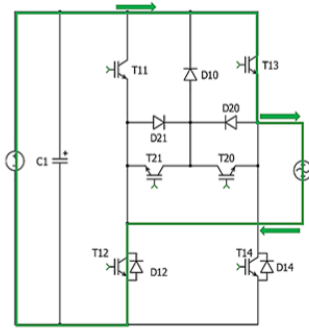


Şekil 1.4 : (a) 3L- SNPC ve (b) 3L - ASNPC evirici topolojilerinin devre şeması [21]

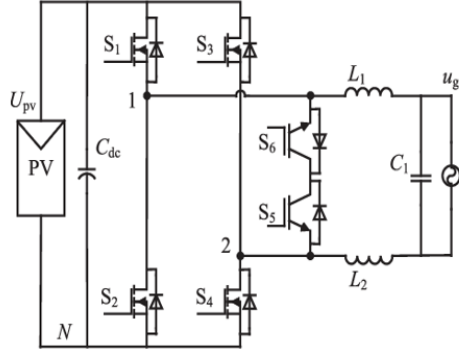


Şekil 1.5 : (a) 3L-FLC ve (b) 4L-FLC evirici topolojilerinin devre şeması [21].

Anahtarlama frekansının yüksek tutulması istenilen durumlarda daha yüksek verim sağlayabilmek için 3L-H6 topolojisi de kullanılabilir. Bu topolojinin devre şeması Şekil 1.7(a)'da gösterilmiştir. Özellikle tek fazlı uygulamalarda yaygın olarak tercih edilen bu topoloji, üç fazlı uygulamalarda her fazın, tek fazlı 3L-H6 blokları ile elde edilmesi şeklinde kullanılmaktadır. Bu topolojide faz başına altı adet aktif anahtarlama elemanı bulunmaktadır ve maliyeti çok yüksektir. Bu nedenle Şekil 1.8(b)'de gösterilen bir alternatif topoloji D. Floricau ve G. Gateau tarafından önerilmiştir. Önerilen topoloji farklı modülasyon teknikleri ile sürülerek aktif anahtarların sayısı beşe düşürülmüştür. Bu sayede 100kHz üzeri anahtarlama frekansında toplam kayıplar %50 azaltılabilmiş ve sistem verimi %3 artırılmıştır [22].



(a)

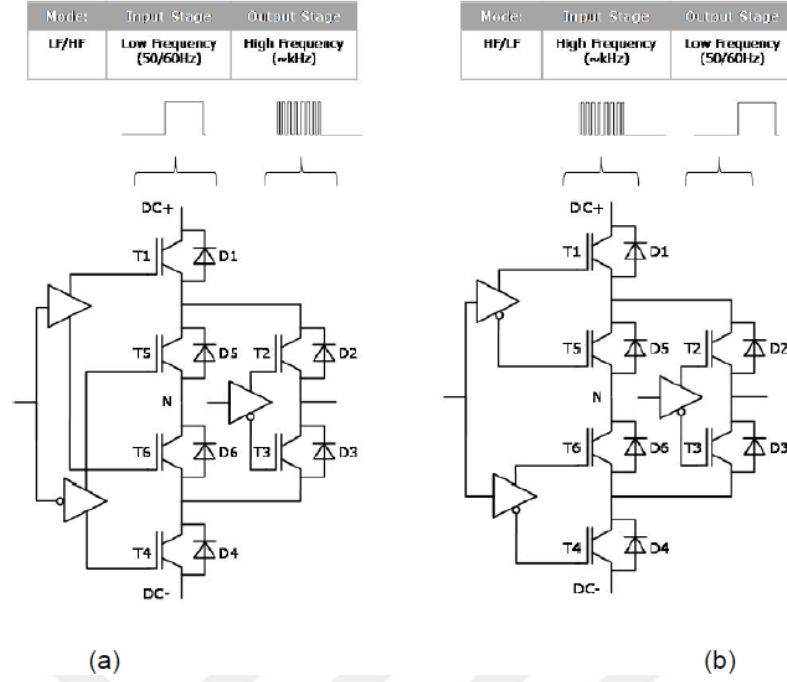


(b)

Şekil 1.6 : (a) Üç seviyeli H6 topolojisi, (b) alternatif H6 topolojisi [22].

Yukarda sunulan topolojilerin hepsi yüksek anahtarlama frekansında üstün performans göstermektedir fakat bu topolojiler maliyet ve optimizasyon açısından geri planda kalmaktadır. Tez kapsamında geliştirilen olan üç seviyeli evirici sistemi diğer topolojilerin maliyetleri göz önüne alındığında minimum sayıda anahtarlama elemanı ile avantaj sağlayacaktır.

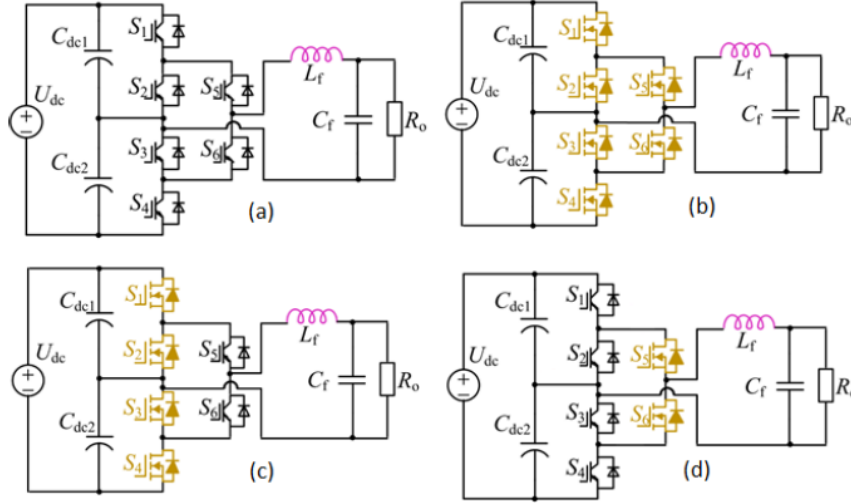
Diğer bir önemli nokta ise sunulan topolojilerin performanslarının optimize edildiği çalışma koşullarıdır. Herhangi bir topoloji maliyet gözetmeksizin hedeflenen çalışma koşulu için optimize edildiğinde yüksek performans sağlaması beklenmelidir, fakat optimize edilecek çalışma koşulları göz önünde bulundurulduğunda en iyi performansı verecek topoloji bütün çalışma koşullarında kabul edilebilir performan sağlayan yapı olacaktır. Örneğin, güç faktörünün sıfır olması göz önünde bulundurularak tasarlanan bir evirici topolojisi güç faktörünün +1 veya -1 olması durumunda tam gücünde çalışamayabilir. Bu nedenle tasarlanacak ürüne göre +1/0/-1 güç faktörü değerlerinde yüksek anahtarlama frekansında çalışabilecek şekilde optimize edilmiş bir topolojinin kullanılması gerekmektedir. Bu kapsamda, evirici performansının güç faktöründen bağımsız olduğu yapı 3L-ANPC topolojisidir. Bu topolojide çeşitli modülasyon teknikleri kullanılarak anahtarlama kayıpları ve iletim kayıpları farklı anahtarlar üzerine taşınarak optimizasyon yapılabilmektedir [23]. Şekil 1.8’de 3L-ANPC topolojisinin iki farklı şekilde nasıl gerçekleştirildiği ve sürüldüğü gösterilmiştir [24]. Şekil 1.9(a)’da T_1, T_4, T_5 ve T_6 şebeke frekansında sürülmektedir. Çıkışa bağlı olan T_2 ve T_3 anahtarları ise yüksek frekansta PWM modülasyonu ile sürülmektedir. Bu sayede T_1, T_4, T_5 ve T_6 anahtarları yüksek anahtarlama frekansında sürülürken, T_2 ve T_3 şebeke frekansında sürülerek sistem farklı şekilde optimize edilebilmektedir.



Şekil 1.7 : 3L-ANPC topolojisinin gerçekleştirilmesi ve modülasyon teknikleri [24].

Bu topolojinin en büyük avantajı, yavaş ve iletim kayıpları optimize edilmiş yarı iletkenler ile düşük anahtarlama frekansında çalışan anahtarları, yüksek anahtarlama frekansında çalışan anahtarları ise düşük anahtarlama kaybı olan yarı iletkenler ile gerçekleştirebilmeye olanak sağlamasıdır. Bu sayede Si-IGBT ve SiC-MOSFET teknolojileri birleştirilerek alternatif üç seviyeli evirici topolojileri elde edilmiş olmaktadır. Tamamı SiC-MOSFET'lerden oluşan evirici topolojileri yerine bazı anahtarların Si-IGBT bazı anahtarların SiC-MOSFET olduğu farklı 3L-ANPC yapıları D. Barater ve C. Concarı tarafından önerilmiştir [24-25]. Buna örnek olabilecek bazı 3L-ANPC hibrit evirici yapıları Şekil 1.9'da gösterilmiştir.

Yapılan çalışmalarda Şekil 1.9(a)'daki modülasyon tekniğinin Şekil 1.9(d)'de önerilen Si-IGBT + SiC-MOSFET 3L-ANPC hibrit yapıya uygulanması durumunda bütün güç faktörleri için en yüksek verimlilik ve optimum performansın elde edildiği görülmüştür. Bu tez kapsamında gerçekleştirilecek olan evirici yapısı Si IGBT + SiC-MOSFET tabanlı 3L-Hibrit ANPC topolojisi kullanılarak tasarlanacaktır.



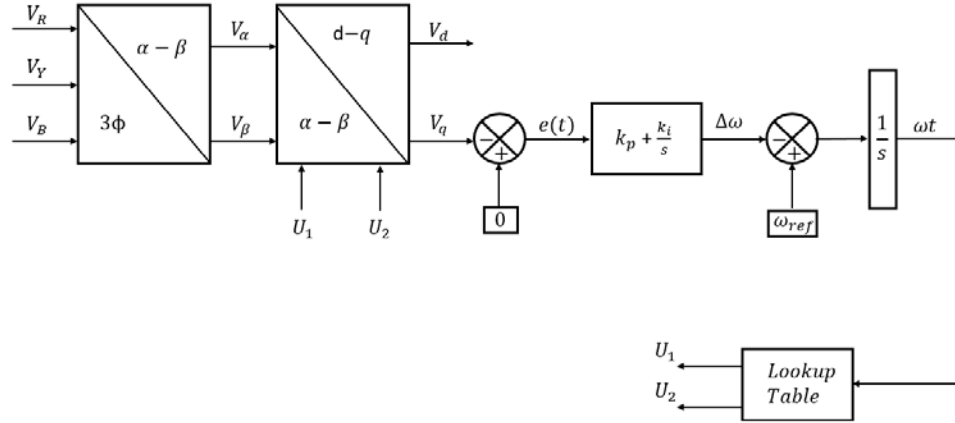
Şekil 1.8 : (a) Si-IGBT, (b) tamamı SiC-MOSFET, (c) HF/LF Hibrit SiC-MOSFET ve (d) LF/HF Hibrit SiC MOSFET tabanlı 3L-ANPC evirici yapısı [24].

1.4.2 PLL Algoritmaları

Günümüzde şebeke bağlantılı çalışan evirici sistemleri sıklıkla kullanılmaktadır. Şebeke bağlantılı çalışabilmek için bu sistemler şebekeye senkron olmak zorundadırlar. Bu senkronizasyon işlemi için PLL algoritmaları kullanılmaktadır. PLL, şebekeye faz kilitlemeli olarak çalışır ve şebeke frekansındaki değişimleri takip eder [26]. Evirici sistemlerinin, şebeke frekansındaki değişimlerden, gerilim dalgalanmalarından ve harmonik bozulmalardan etkilenmeden çalışabilmeleri gerekmektedir. Şebeke bağlantılı güç elektroniği uygulamalarında, PLL, enerji dönüşüm sisteminin performansına, enerji kalitesine ve güvenilirliğine doğrudan etki etmektedir [27]. Bu yüzden kullanılan PLL algoritmalarının şebekenin enerji kalitesinden etkilenmemesi şarttır.

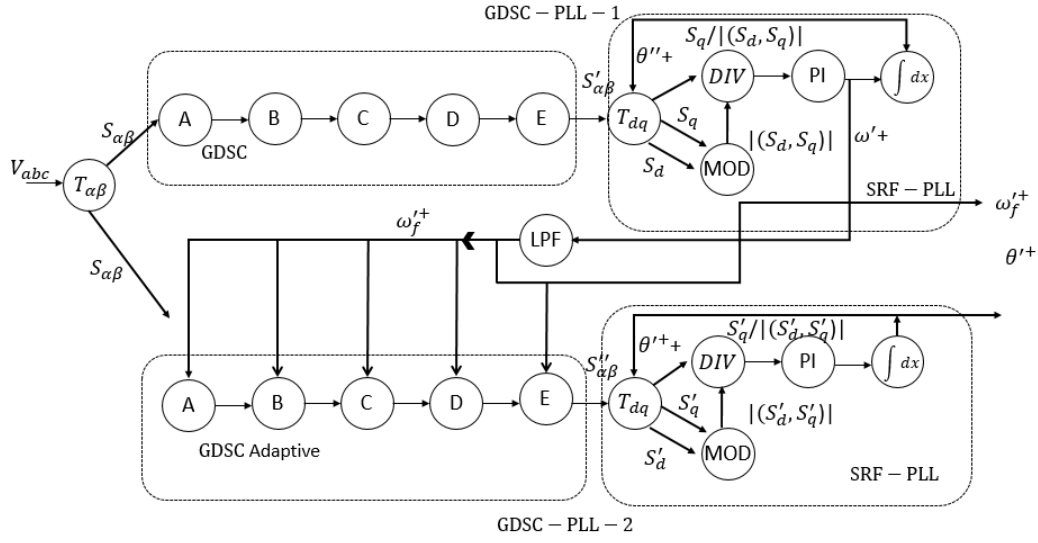
Üç seviyeli evirici sistemlerinin kullanıldığı şebekeye bağlı güç kalitesi çözümü sunan uygulamalarda temel frekans ve harmonik bileşenlerin tespiti büyük öneme sahiptir. Temel frekans bileşenleri içerisinde pozitif sıra (sequence) ve negatif sıra (sequence) bileşenlerinin de elde edilmesi büyük önem taşımaktadır [28-29]. Günümüzde en yaygın kullanılan PLL algoritması senkron referans eksen (synchronous reference frame) (SRF) PLL'dir [30]. SRF-PLL algoritması, şebekeden alınan gerilim ölçümlerini Clarke ve Park dönüşümleri ile senkron uzaya taşımaktadır. Daha sonra, senkron uzaydaki d ve q vektör bileşenlerinden bir tanesini kapalı çevrim olarak sıfıra eşitlemeye çalışır. Bunu yaparken şebeke frekansını ve faz açısını hesaplar ve şebeke

frekansına kilitlenir. Bu yöntemin blok şeması Şekil 1.10’da verilmiştir [31]. Burada trigonometrik işlemler bir look-up table veya CORDIC gibi algoritmalarla yürütülebilmektedir.



Şekil 1.9 : SRF-PLL algoritmasının blok şeması [31].

Bilinirliği en fazla olan SRF-PLL dışında, geliştirilmiş (enhanced) PLL (EPLL) [32], genelleştirilmiş gecikmeli sinyal iptali (generalized delayed signal cancellation) PLL (GDSC-PLL) [32], ve Fourier Dönüşüm Temelli PLL [33-35] yöntemleri de yaygınlıkla kullanılmaktadır. J. Svensson ve M. Bongiorno tarafından yapılan çalışmalarda GDSC-PLL yönteminin diğer yöntemlere kıyasla daha yüksek performans gösterdiği görülmüştür [36]. Bu yöntem, şebekeden alınan üç fazlı ölçümlerin içerisinde bulunan temel frekanstaki negatif bileşenlerin ve tüm harmonik bileşenlerin ölçüm sinyalinden süzülerek işlenmesini temel almaktadır. Bunu gerçekleştirmek için şebekeden alınan ölçümlere uzay vektör dönüşümü uygulanarak her bir frekansın pozitif ve negatif bileşen uzayında filtrelemesi sağlanır. Bu yöntemle temel frekans pozitif bileşenin elde edilmesi için önerilen kontrol blok şeması Şekil 1.11’de gösterilmiştir. Şekil 1.11’de A-E ile gösterilen blokların her birisi farklı harmonik bileşenleri süzmek için kullanılan uzay dönüşüm ve ters dönüşümleri içermektedir. Buna göre örneğin A dönüşümü içerisinde $2n + 1$ harmonikleri, B içerisinde bunların negatif bileşenleri, C içerisinde çift harmoniklerin süzülmesi, vb. şekilde istenmeyen bütün bileşenler ölçümlerden süzülmemektedir. Bu yöntem SRF-PLL yöntemine kıyasla daha fazla hesaplama içermektedir.



Şekil 1.10 : Temel frekans pozitif bileşenlerin faz ve frekansının hassas tespiti için GDSC-PLL yönteminin blok şeması [33].

Literatür taramasına baktığımızda, şebeke bağlantılı uygulamalar için pek çok PLL yöntemi bulunmaktadır. Bazı uygulamalarda bu yöntemler üstün performans gösterirken, bazı uygulamalarda da karmaşıklık ve maliyet nedeniyle tercih edilememektedir. Bu nedenle, kullanılacak PLL algoritması, ürünün yapısına bağlı olarak seçilmelidir. Tez çalışmanın kapsamında SRF-PLL yönteminin kullanılması performans ve karmaşıklık açısından en optimum çözümdür.

1.4.3 Evirici kontrol teknikleri

Son yıllarda, ayarlanabilir hızlı sürücüler (VFD), fırınlar, bilgisayar güç kaynakları vb. yükleri, tristör ve diğer yarı iletken anahtarları kullanarak kontrollü AC enerjisi ile beslemek yaygınlaşmıştır. Doğrusal olmayan yük yapısına sahip güç elektroniği tabanlı çeviriciler kullanıldıklarında, AC şebekeden akım harmoniği ve reaktif güç çekilmesine neden olmaktadır. Bu durum üç fazlı sistemlerde, aşırı miktarda nötr akımının çekilmesine ve dengesizliğe sebep olmaktadır. Harmonik bileşenler, reaktif güç, yük dengesizliği ve aşırı nötr akımları, düşük güç faktörüne ve düşük sistem verimliliğine neden olmaktadır. Tüm bunlar diğer tüketicilerin de olumsuz etkilenmesine ve yakındaki iletişim ağlarında parazitik etkiler oluşmasına neden olur [32-34]. Sistemdeki harmoniklerin azaltılması için pasif LC filtreleri ve AC yüklerin güç faktörünün iyileştirilmesi için de kapasitörler kullanılır. Pasif filtreler boyutlarının büyük olması ve rezonans riski gibi dezavantajlara sahiptirler. Güç şebekelerinde artan

harmonik kirlilik, güç kalitesi sorunlarına karşı dinamik ve ayarlanabilir çözümler geliştirilmesi için harekete geçilmesini sağlamıştır. Genel olarak üç seviyeli evirici tabanlı aktif harmonik filtreler olarak bilinen cihazlar geliştirilmiştir [33-34].

Üç seviyeli evirici teknolojisi ile geliştirilen AHF'ler, AC şebekelerde, harmonik sorunları, reaktif güç ve nötr hattı akımı gibi sorunları kompanze etmede olgunlaşmış ileri düzey bir teknoloji seviyesine sahiptir. Üç faz dört telli (3P4W) sistemlerde nötr hattında oluşan aşırı akım sorunu, güç kaynakları, floresan aydınlatma gibi doğrusal olmayan dengesiz yükler nedeniyle oluşmaktadır. Nötr hattındaki aşırı akım ve dengesiz yük akımlarının neden olduğu sorunların ortadan kaldırılması veya azaltılması için, harmonik filtreleme, yük dengeleme, reaktif güç kompanzasyonu gibi çözümler getirilmiştir. Bu geniş hedef yelpazesi, doğru seçilmesi gereken kontrol stratejisine, gereksinimlere ve konfigürasyonlara bağlı olarak elde edilebilir [35].

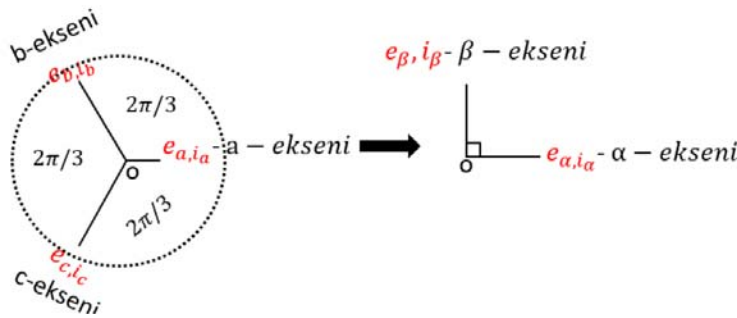
Kontrol stratejisi, evirici sistemleri için en hayati konudur ve birkaç aşama şeklinde uygulanır. İlk aşmada, sistem bilgisinin doğru bir şekilde elde edilmesi için güç transformatörleri (PT), akım trafoları (CT), hall effect sensörler ve izolasyon kuvvetlendiriciler kullanılarak temel gerilim ve akım bilgileri elde edilir. İkinci aşmada, kontrol yöntemlerine ve üç seviyeli evirici temelli gerçekleştirilen sistemin konfigürasyonlarına göre akım ve gerilim seviyeleri türünden kompanzasyon komutları elde edilir [36-40]. Kontrolün üçüncü aşamasında, oluşturulan sistemin kapı sinyalleri, PWM, histerezis, sliding-mode veya bulanık mantık tabanlı kontrol teknikleri kullanılarak üretilir [41-44].

Kontrol algoritmasının uygulanması için anlık gerilim ve akım sinyalleri gereklidir. Bu sinyaller harmonik bozulma (THD), güç faktörü, aktif ve reaktif güç, tepe faktörü gibi çeşitli indeksleri izlemek, ölçmek ve kaydetmek için kullanılır [45-49]. Gerilim sinyalleri; AC terminal gerilimi ve DC bara gerilimidir. Akım sinyalleri; yük akımları, besleme akımları ve DC bağlantı akımlarıdır. Gerilim sinyalleri, güç transformatörleri veya hall-effect gerilim sensörleri veya izolasyon kuvvetlendirici kullanılarak ölçülür. Akım sinyalleri ise akım trafoları veya hall-effect akım sensörleri kullanılarak ölçülür [50].

Gerilim veya akım cinsinden kompanzasyon sinyallerin geliştirilmesi evirici tabanlı sistemlerin kontrolünde önemli bir husustur. Bu sinyaller, evirici tabanlı geliştirilen sistemlerin geçici ve kararlı hal performansını etkiler. Kompanzasyon komutları

oluşturmaya yönelik kontrol stratejileri, frekans tabanlı (frequency domain) veya zaman tabanlı (time domain) düzeltme tekniklerine dayanır. Frequency domain kontrol stratejisi, Fourier analizi ile bozuk gerilim ve akım sinyallerinden kompanzasyon komutlarını elde eder [51-53]. Fourier dönüşümü kullanılarak, kompanze edilmiş harmonik bileşenler harmonikli sinyallerden ayrıştırılır. Sistemin anahtarlama frekansı, kompanzasyonun verimli şekilde olması için, kompanze edilmiş en yüksek harmonik frekansının iki katından fazla olmalıdır.

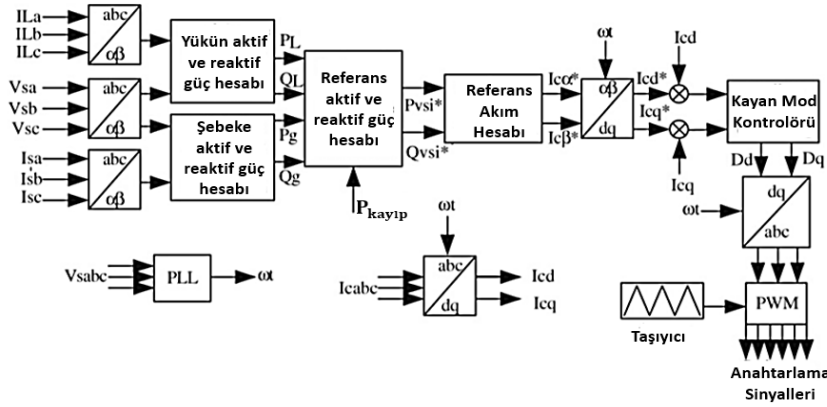
Instantaneous "p-q" teorisi evirici sistemlerinin kontrol algoritmalarında yaygın olarak kullanılmaktadır [54-56] ve Şekil 1.12'de gösterildiği gibi " α - β " dönüşümü ile kompanzasyon sinyallerini üretmek için gerilim ve akım sinyallerini kullanmaktadır. Bu yöntem ile anlık aktif güç ve reaktif güç, dönüştürülmüş gerilim ve akım sinyalleri cinsinden hesaplanabilmektedir. Ayrıca, bu kontrol teorisinde alçak geçiren ve yüksek geçiren filtreler kullanılarak anlık aktif ve reaktif güçten harmonikli aktif ve reaktif güç çıkarılır. Tersine " α - β " dönüşümü kullanılarak harmonikli aktif ve reaktif güçlerden, akımlar ve gerilimler cinsinden kompanzasyon komutları türetilir [63].



Şekil 1.11 : α - β koordinatları dönüşümü [63].

Synchronous d-q referans eksen (reference frame) ve akı tabanlı (flux-based) kontrolörlerinde, gerilim ve akım sinyalleri, temel büyüklüklerden DC büyüklüklerin elde edildiği senkron dönen eksen (synchronously rotating frame)'ye dönüştürülür ve daha sonra harmonik kompanzasyon komutları elde edilir [57]. Şekil 1.13'te gösterilen senkron eksen akı tabanlı (synchronous frame flux-based) kontrolör blok diyagramı, yük akımı harmoniklerinin çıkarılması ve histeresis tabanlı carrierless PWM şeması aracılığıyla evirici anahtarlama frekansının doğrudan uygulanabilmesi için kullanılır [64 - 66].

farklı kontrol algoritmaları incelenmiştir. İncelemeler sonucunda kontrol tekniklerinin izledikleri metoda ve uygulama yöntemine göre bazı avantajları olduğu gibi dezavantajlarının da olduğu görülmüştür. Bu yüzden uygulanacak kontrol tekniğinin sistemin yapısına bağlı olarak seçilmesi önemlidir.



Şekil 1.14 : Kayan mod (Sliding mode) kontrol devresi [68].

1.5 3L-SiC NPC Tabanlı Eviriciler

Üç-seviyeli eviriciler ile donanım tasarımları geliştirilmeden önce yapılan tüm çalışmalar doğrultucu sistemleri ile ilgiliydi. Daha önce yapılan doğrultucu tasarımlarında bir doğrultucunun tasarımı tipik olarak 6-darbeli olarak yapılmaktaydı. Doğrultucuların yapısındaki 6 adet diyot nedeniyle bu şekilde isimlendirilir ve üç fazlı bir sistemde bu diyotlardan birisi pozitif diğeri ise negatif taraf için devrede olacak şekilde tasarlanırdı. Ancak diyot ile oluşturulan doğrultucu sistemleri basit kalmakta ve güç sistemlerinde kayıplara ve hatta harmoniklerin oluşmasına sebep olmaktadır.

6-darbeli doğrultucu tiplerindeki özellikle harmonik oluşturma sorununa karşı geliştirilen, diyotlar ile oluşturulan 12-darbeli, 18-darbeli ve 24-darbeli doğrultucu tipleri harmonik seviyesini azaltmada bir çözüm olmakta fakat doğrultucu bölümleri eklendikçe kapladığı alan ve maliyet artmaktadır. Harmonik sorununu çözmek için geliştirilen bir diğer yöntem ise düşük empedans oluşturulmasını sağlayan pasif filtrelerin eklenmesidir, fakat pasif filtreler sadece belli koşullarda etkilidir ve diğer alternatif çözümlerden daha fazla enerji tüketilmesine sebep olmaktadır. Dolayısıyla verimli değildir. Üç seviyeli evirici sistemleri ise yalnızca harmonik sorununu azaltmak ile kalmaz aynı zamanda daha düşük maliyetli çözümler sunmaktadır.

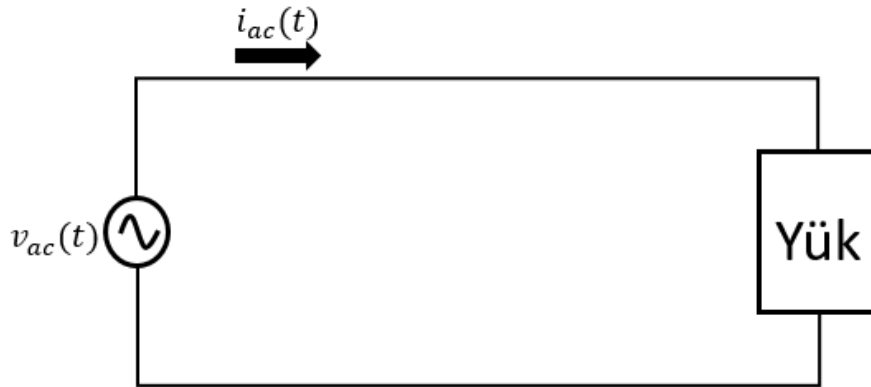
Üç-seviyeli eviricilerde, AC gücü DC'ye dönüştürmek için yapılarında diyot kullanmak yerine IGBT yapıları kullanılmaktadır. IGBT yapılarının kullanılması ile anahtarlama durumu kontrol edilebilir hale gelmektedir. Üç seviyeli evirici kontrol yapısıyla, giriş akımı dalga biçimi izlenir ve THD düşürülerek sinüzoidal dalga şekli elde edilir. IGBT yapısıyla oluşturulan evirici yapısında anahtarlama frekansından dolayı oluşan yüksek dereceli harmonikleri azaltmak için bir LCL filtre tasarımı gerekmektedir.

Alternatif akımın aktığı devrelerde, genellikle harmoniğin güç faktörü üzerindeki etkisi göz ardı edilir ve bir devredeki gerilim ve akım arasındaki faz ilişkisi tarafından belirlenen güç faktörüne odaklanılır. Denklem 1.1'de hem gerilimin hem de akımın tamamen sinüzoidal olduğu durumdaki güç faktörü verilmiştir. Aslında buradaki tanım güç faktörü değil, deplasman güç faktörüdür(displacement power factor). Denklem 1.1'de verilen θ_v , gerilimin faz değeri ve θ_i ise akımın faz değeridir.

$$\text{Deplasman Güç Faktörü}(PF) = \cos(\theta_v - \theta_i) \quad (1.1)$$

Şekil 1.16'da verilen basit bir AC gerilim kaynağı ile beslenen devreden yola çıkılarak deplasman güç faktörünün tam tanımı denklem 1.2'de yapılacaktır.

$$\text{Deplasman Güç Faktörü} = \frac{P_{avg}}{(V_{rms}) \cdot (I_{rms})} \quad (1.2)$$



Şekil 1.15 : Basit bir AC gerilim besleme devresi.

Denklem 1.2'de verilen gerilimin rms değeri (V_{rms}) ve akımın rms (I_{rms}) değerinin hesabını gerilimin tepe (V_{pk}) ve akımın tepe (I_{pk}) noktası üzerinden denklem 1.3'teki gibi hesaplayabiliriz.

$$V_{rms} = \frac{V_{pk}}{\sqrt{2}} \quad ve \quad I_{rms} = \frac{I_{pk}}{\sqrt{2}} \quad (1.3)$$

Lineer olmayan sistemlerde akım halen periyodik olduğundan (sinüzoidal değil), akımın niteliğindeki bu değişiklik, akımın harmonik distorsiyonu olarak tanımlanabilir. Akımdaki harmoniklerin her birinin bir RMS değeri vardır, bu nedenle tüm sinyalin RMS akımının hesaplanması (güç faktörü hesaplarken yapmamız gerektiği gibi) her harmoniğin RMS değerinin toplanmasını içerir. Denklem 1.4'te harmonikli bir akımın RMS değerinin hesabı verilmiştir.

$$I_{rms} = \sqrt{I_{dc}^2 + \sum_{k=1}^{\infty} I_{k_{rms}}^2} \quad (1.4)$$

Denklem 1.4'te verilen $I_{k_{rms}}^2$, “k.” akım harmoniği değerinin karesini göstermektedir. I_{dc}^2 ise sistemden akan DC akım değerinin karesidir. Akımın ve gerilimin harmonikli değerleri ile deplasman güç faktörü hesaplanmak istendiğinde ise denklem 1.5'te verilen denklem kullanılmalıdır.

$$Deplasman \text{ Güç Faktörü} = \frac{V_{1_{rms}} \cdot I_{1_{rms}} \cdot \cos(\theta_v - \theta_i)}{V_{1_{rms}} \cdot \sqrt{I_{dc}^2 + \sum_{k=1}^{\infty} I_{k_{rms}}^2}} \quad (1.5)$$

Denklem 1.5'in sadeleştirilmiş hali denklem 1.6'da verilmiştir.

$$Deplasman \text{ Güç Faktörü} = \frac{I_{1_{rms}} \cdot \cos(\theta_v - \theta_i)}{\sqrt{I_{dc}^2 + \sum_{k=1}^{\infty} I_{k_{rms}}^2}} \quad (1.6)$$

Denklem 1.1'de deplasman güç faktörünün gerilim ve akımın faz farkında bağlı olduğu görülmektedir. Deplasman faktörünün yanı sıra bir diğer önemli terim ise distorsiyon faktörüdür. Distorsiyon faktörü ise akımın yapısında var olan harmonik bozulmadan dolayı meydana gelmektedir. Denklem 1.7'de distorsiyon faktörünün nasıl hesaplandığı görülmektedir.

$$Bozulma \text{ Güç Faktörü} = \frac{I_{1_{rms}}}{\sqrt{I_{dc}^2 + \sum_{k=1}^{\infty} I_{k_{rms}}^2}} = \frac{I_{1_{rms}}}{I_{rms}} \quad (1.7)$$

Denklem 1.7 üzerinden sadeleştirme işlemleri yapılarak bozulma güç faktörünü denklem 1.8'deki gibi elde ederiz.

$$\text{Bozulma Güç Faktörü} = \sqrt{\frac{1}{1 + THD^2}} \quad (1.8)$$

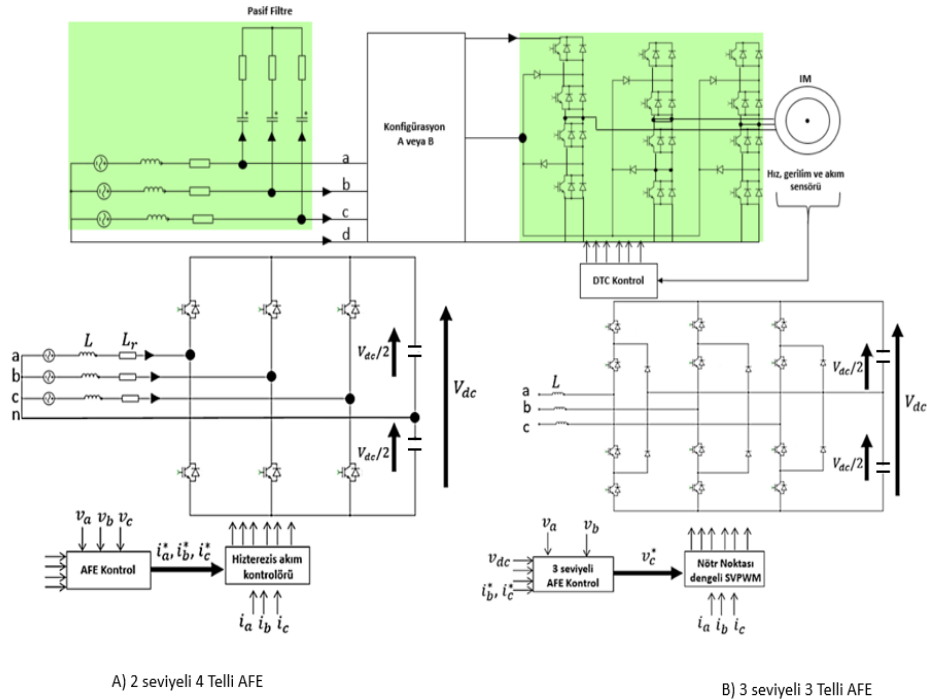
Güç faktörü, distorsiyon faktörü ve THD değeri göz önüne alınarak hesaplanmaktadır. Bozulma güç faktörünü PF_{THD} olarak gösterecek olursak ve deplasman güç faktörünü de PF_D ile gösterecek olursak, PF_D en basit haliyle denklem 1.9’da gösterildiği gibidir.

$$PF_D = \frac{\text{Aktif Güç}(P)}{\text{Görünür Güç}(S)} = \cos(\theta_v - \theta_i) = \cos\theta \quad (1.9)$$

Denklem 1.8 ve 1.9’dan yola çıkılarak PF_T , gerçek güç faktörü denklem 1.10’daki gibi hesaplanır.

$$PF_T = PF_D \cdot PF_{THD} = \cos\theta \cdot \sqrt{\frac{1}{1 + THD^2}} \quad (1.10)$$

Şebekeye bağlı üç seviyeli evirici yapısının birçok sistemde tercih edilmesinin en büyük nedenlerinden biri ise rejeneratif güç sağlayabilmesidir. IGBT tabanlı evirici tasarımı sayesinde motor ileri veya geri dönüşü sırasında pozitif veya negatif moment üretebilmektedir. Moment ve motor dönüşü farklı yönlerde iken, motor bir generatör gibi davranır ve motor tarafından üretilen güç, besleme kaynağına geri basılır. Bu sayede üretilen enerjinin tüketilmesi için gerekli büyük rezistif grupların kullanılmasının önüne geçilir ve üretilen enerji yeniden kullanılarak maliyet düşürülür.



Şekil 1.16 : NPC evirici ile tasarlanan indüksiyon motor sürücüsü (üst taraftaki diyagram) ve (A ve B)’de farklı evirici diyagramları [70].

Üç seviyeli evirici sistemleri çift yönlü güç akışı ve şebeke senkronizasyonu kabiliyetleri nedeniyle çeşitli endüstri uygulamalarında ve ev aletlerinde giderek daha fazla kullanılmaya başlanmıştır. Bu alanlardan birisi ise yüksek güçlü asenkron motorların sürücü sistemleridir. Bu sürücülerde çok seviyeli farklı topoloji yapıları kullanılmaktadır. Bu yapılardan biri 2-seviyeli 4-telli evirici ve diğeri ise 3-seviyeli 3-telli evirici yapısıdır. Bu yapılar ve bu yapıların kullanılması için geliştirilen kontrol şeması Şekil 1.17’de verilmiştir.

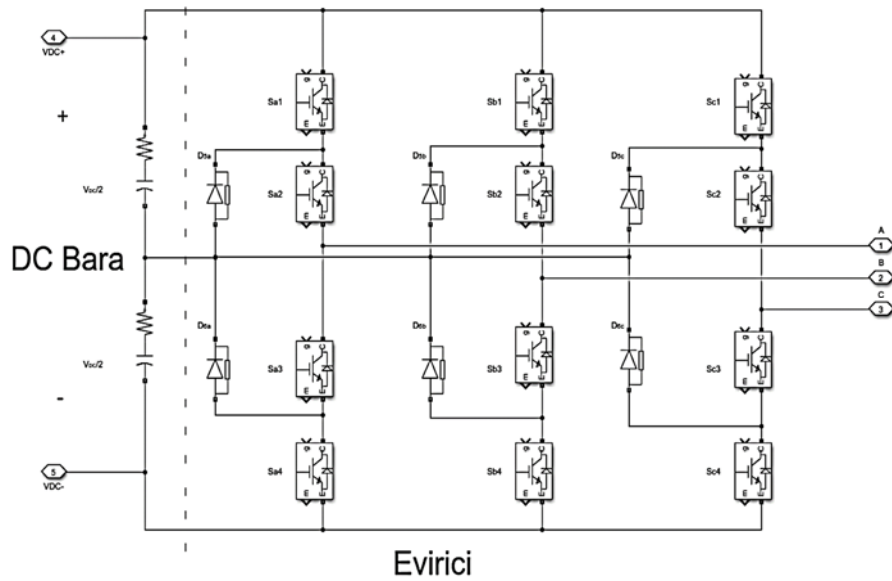
Şebekeye bağlı tasarlanan evirici topolojilerinde eviricinin bant genişliğinin çok yüksek olması istenir. Bu sebeple de yüksek anahtarlama frekansında çalışacak şekilde tasarlanması gerekmektedir. Yüksek anahtarlama frekanslarına çıkıldığında eviricinin topolojisi ürünün verimliliği açısından kritik önem taşır. Şekil 1.17’da görüldüğü üzere 2-seviyeli 4-telli tasarlanan sistemin evirici teknolojisi daha eski kalmıştır. İki seviyeli tasarlanan evirici yapılarında istenen yüksek anahtarlama hızlarına çıkılamamaktadır ve bu sistemlerin verimlilikleri daha düşük kalmaktadır. Şekil 1.16’da verilen bir diğer topolojide ise 3-seviyeli 3-fazlı bir çalışma yapılmıştır. Bu yapıda tasarlanan bir sistemin verimliliği daha iyi olmaktadır. Üç seviyeli evirici ile tasarlanan bu sistemde daha yüksek güçlerde çalışmak çok daha kolaydır. Bu sistemin kontrol algoritması biraz daha karışık olmak ile birlikte daha stabil ve daha güvenlidir.

2. ÜÇ SEVİYELİ EVİRİCİ PRENSİPLERİ VE MODELLENMESİ

Bu bölümde, üç-fazlı üç-seviyeli bir güç elektroniği evirici sistemi ile tasarlanan sistemin çalışması ve modellenmesine giriş yapılması amaçlanmıştır. Bu sayede tezde tasarımı hedeflenen çıktının temel anlayışı ve simülasyonunun nasıl modelleneceği gösterilmiştir. Hedeflenen çıktı için 3L-INPC ve 3L-ANPC evirici topolojileri ile çeşitli simülasyonlar yapılmıştır. Farklı evirici topolojileri ile yapılan bu simülasyonlar ve çıktıları ilerleyen bölümlerde detaylı olarak verilecektir. 3L-NPC ve 3L-ANPC evirici yapılarının kullanım amacındaki ortak özellikleri, normal güç yarı iletkenlerine kıyasla daha yüksek güç seviyelerinde çalışmaları, düşük anahtarlama kaybı ve üç seviyeli çıkış gerilimi sağlayabilmeleridir. 3L-ANPC topolojisinde clamp tarafında diyot yerine anahtarlama elemanı olan FET'ler kullanılır. Dolayısıyla 3L-ANPC topolojisinin maliyeti biraz daha yüksek kalmaktadır.

2.1 Üç Seviyeli I-NPC Evirici Modeli

Üç faz üç seviyeli INPC evirici yapısının Matlab/Simulink ortamında modellenmesi Şekil 2.1'de verilmiştir. Bu bölümde INPC modelinin anahtarlama alternansları ve kayıp hesapları verilmiştir.



Şekil 2.1 : 3 seviyeli 3 faz INPC evirici modeli.

3L-NPC evirici yapısı, 1980’li yıllardan bu yana yüksek güçlü orta gerilim uygulamalarda yaygın olarak kullanılmaktadır. 3L-NPC’nin en önemli dezavantajı, güç modülleri arasında dengesiz kayıplar yaratmasıdır. 3L-ANPC topolojisi, 3L-NPC yapısında bulunan clamp diyotlarının anahtarlama elemanları ile değiştirilmesiyle elde edilir ve bu sayede bu kayıplar yok edilir.

Çizelge 2.1’de 3 seviyeli NPC eviricinin A fazına ait anahtarlama durumları verilmiştir. Çıkış geriliminin pozitif ve negatif alternanslarına göre anahtarlama sırası kontrol bloğu tasarımında kritik noktalardan biridir. Eviricinin çıkışa vereceği gerilim kontrol edilirken, yanlış anahtarlama eviricilerin patlamasına yol açmaktadır.

Çizelge 2.1 : 3 seviyeli NPC eviricinin A fazı anahtarlama durumu

Çıkış Gerilimi v_{aN}	Anahtarlama Durumu	S _{a1}	S _{a2}	S _{a3}	S _{a4}
$V_{dc}/2$	P	1	1	0	0
0	O	0	1	1	0
$-V_{dc}/2$	N	0	0	1	1

NPC eviricinin çıkışının güç faktörü açısının ϕ olduğunu varsayarak, Çizelge 2.2’de 3L-NPC eviricinin anahtarlama durumu değişiklikleri ve kayıp dağılım özellikleri verilmektedir.

Çizelge 2.2 : Bir çevrim için üç seviyeli NPC eviricinin A fazının anahtarlama durumu

İletim Açısı	Anahtarlama Durumu	Faz Gerilimi	Yük Akımı	Anahtarlanan Yarıiletkenler
$0 - \phi$	P/O	$V_{dc}/2, -V_{dc}/2$	Negatif	$D_{a1}, D_{a2} / S_{a3}, D_{6a}$
$\phi - \pi$	P/O	$V_{dc}/2, -V_{dc}/2$	Pozitif	$S_{a1}, S_{a2} / D_{5a}, S_{a2}$
$(\pi + \phi) - 2\pi$	O/N	$0, -V_{dc}/2$	Negatif	$D_{5a}, S_{a2} / D_{6a}, S_{a3}$
$\pi(2\pi - \phi)$	O/N	$0, -V_{dc}/2$	Pozitif	$D_{6a}, S_{a3} / S_{a3}, S_{a4}$

Not: Çizelge 2.2’de D_{ax} olarak belirtilen diyotlar, IGBT’nin parazititik diyotlarıdır.

NPC dönüştürücünün toplam güç kaybı ise şu şekilde ifade edilir:

$$P_{inv} = 6 \cdot (P_{conduct-half} + P_{sw-half}) \quad (2.1)$$

$0 \sim \pi$ aralığında referans gerilim açısı Çizelge 2.2’den de görüldüğü üzere, S_{a1}, S_{a2}, S_{a3} anahtarları ve karşılığındaki anti-paralel diyot ve nötr kenetleme diyotları D_{5a}, D_{6a} , iletim kayıplarına sahiptir ve toplam iletim kaybı ise;

$$P_{conduct-half} = P_{conduct-T} + P_{conduct-D} \quad (2.2)$$

$P_{conduct-T}$ ve $P_{conduct-D}$ devrenin ana anahtarlama kayıplarını ve iletim kayıplarını ifade etmektedir. Bu kayıplar aşağıdaki gibi ifade edilebilir:

$$\left. \begin{aligned} P_{conduct-S} &= P_{conduct-Sa1} + P_{conduct-Sa2} + P_{conduct-Sa3} \\ P_{conduct-D} &= P_{conduct-Da1} + P_{conduct-Da2} + P_{conduct-Da5} + P_{conduct-Da6} \end{aligned} \right\} \quad (2.3)$$

Denklem 2.3'ü açacak olursak:

$$P_{conduct-S} = \frac{T_s}{T} \cdot \sum_{k=k_\phi}^{m_f/2-k_\phi} v_{onSa1} \cdot i_k d_k + \frac{1}{T} \left[\int_{t_{k\phi}}^T v_{T0} + r_T \cdot i(t) \right] \cdot i(t) dt + \frac{T_s}{T} \cdot \sum_{k=1}^{k_\phi} v_{onSa3} \cdot i_k \cdot (1 - d_k) \quad (2.4)$$

$$P_{conduct-D} = \frac{T_s}{T} \cdot \sum_{k=1}^{\frac{m_f}{2}} v_{onDa5} \cdot i_k \cdot (1 - d_k) + \frac{2T_s}{T} \cdot \sum_{k=1}^{k_\phi} v_{onDa1} \cdot i_k \cdot d_k \quad (2.5)$$

Referans gerilim komutunun yarım periyodunda anahtarların anahtarlama kaybı aşağıdaki gibidir:

$$P_{sw-half} = P_{sw-Sa1} + P_{sw-Sa3} + P_{rec-Da1} + P_{rec-Da2} + P_{rec-Da5} + P_{rec-Da6} \quad (2.6)$$

Denklem 2.6'yı açtığımızda aşağıdaki denklemi elde ederiz.

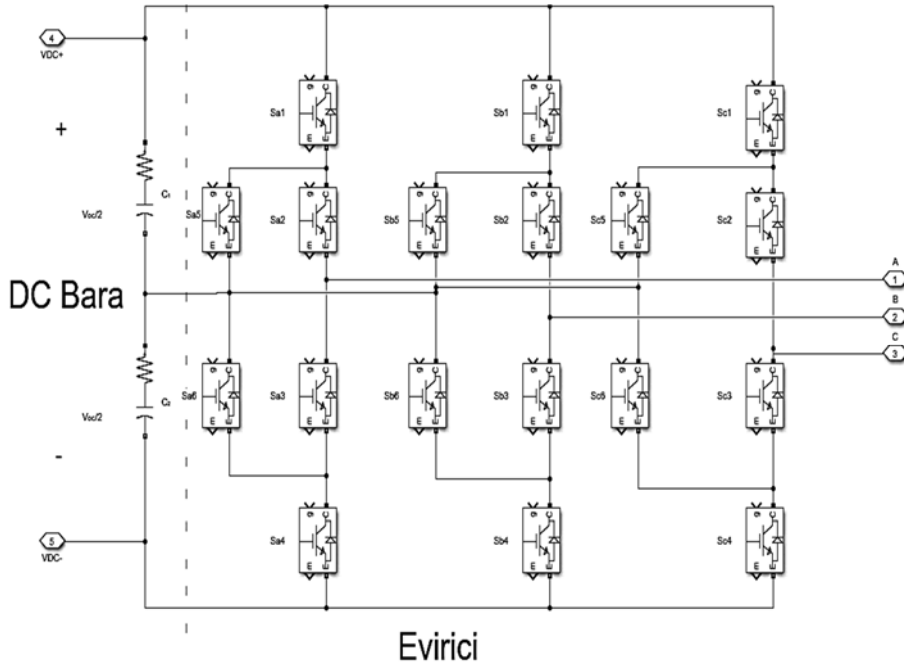
$$P_{sw-half} = \frac{1}{T} \cdot \sum_{k=k_\phi}^{m_f/2-k_\phi} (E_{swSa1} + E_{recDa5}) + \frac{1}{T} \cdot \sum_{k=1}^{k_\phi} (E_{swSa3} + E_{recDa6} + E_{recDa1} + E_{recDa2}) \quad (2.7)$$

2.2 Üç Seviyeli ANPC Evirici Modeli

Üç faz üç seviyeli INPC evirici yapısının Matlab/Simulink ortamında modellenmesi Şekil 2.2'de verilmiştir. Bu bölümde ANPC modelinin anahtarlama alternansları ve kayıp hesapları verilmiştir.

3L-ANPC topolojisi çalışma prensibi analiz edildiğinde ise, kenetleme diyotlar (clamp-diyotlar) yerine anahtarlama elemanlarının kullanıldığını görmekteyiz. 3L-ANPC yapısı Şekil 2.2'de verilmiştir.

Çizelge 2.3'te 3L-ANPC evirici topolojisinin anahtarlama durumları özetlenmiştir. 3L-INPC topolojisinde yer alan pozitif ve negatif durumlar ile birlikte ayrıca dört adet sıfır durumu yer almaktadır.

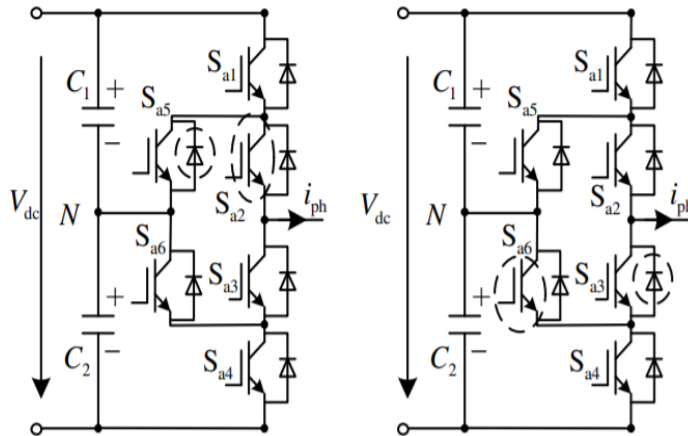


Şekil 2.2 : 3L-ANPC evirici topolojisi.

Çizelge 2.3 : 3L-ANPC evirici anahtarlama durumu

Çıkış Gerilimi v_{aN}	Anahtarlama Durumu	Sa1	Sa2	Sa3	Sa4	Sa5	Sa6
$V_{dc}/2$	P	1	1	0	0	0	1
0	0U2	0	1	0	0	1	0
0	0U1	0	1	0	1	1	0
0	0L1	1	0	1	0	0	1
0	0L2	0	0	1	0	0	1
$-V_{dc}/2$	N	0	0	1	1	1	0

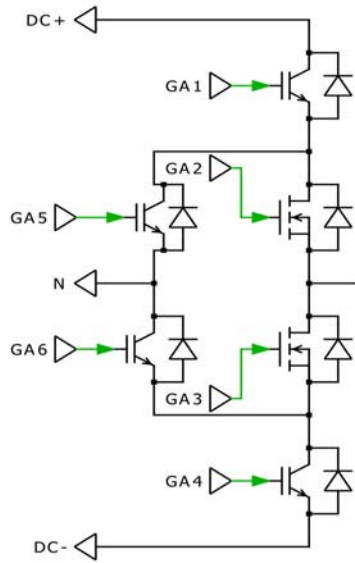
3L-ANPC topolojisinin komutasyon yolları Şekil 2.3'te verilmiştir. Şekilden açıkça görülmektedir ki yük akımının polaritesi ne olursa olsun eviricinin nötr noktası üzerinden dönmesi için her zaman iki yol bulunmaktadır.



Şekil 2.3 : 3L-ANPC evirici komutasyonu [71].

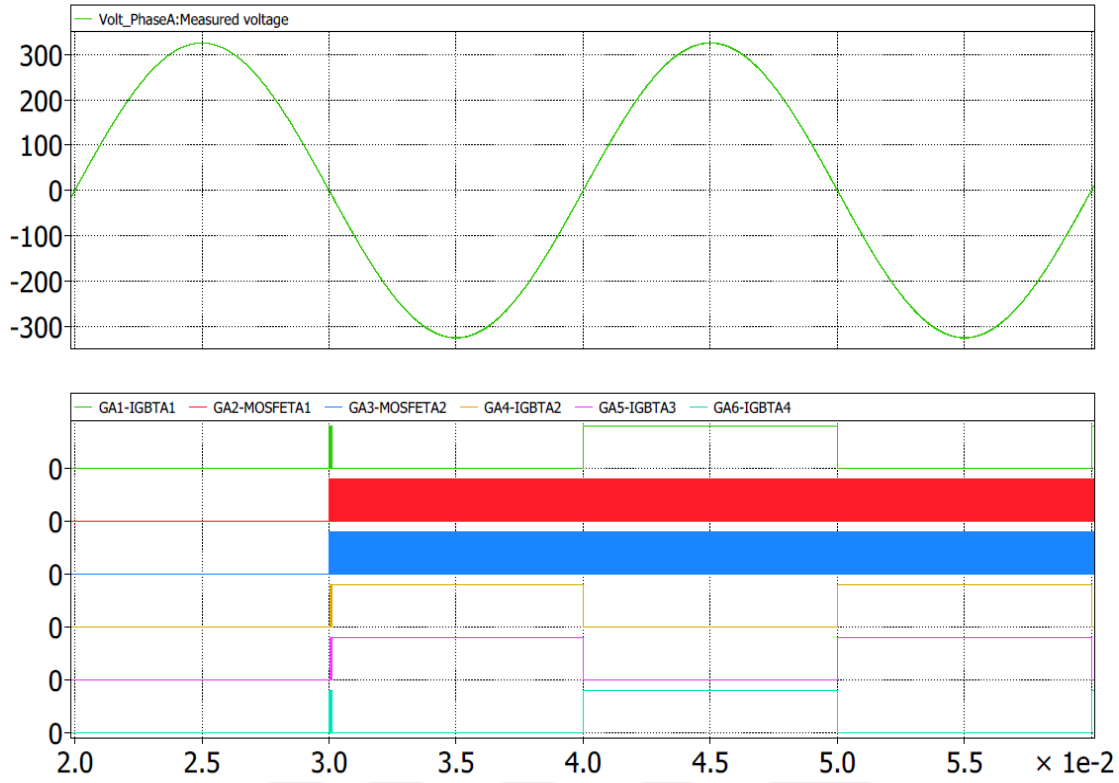
3L-ANPC topolojisinin “P” durumundan “0” durumuna geçiş değerlendirilecek olursa, eviricinin çıkış gerilimi ve akımının pozitif olduğu kabul edilir. Eviricinin çıkışı “P-0U2” arası duruma göre değişiyor ise güç kaybı S_{a1} ve D_{a5} arasındaki anahtarları arasında gerçekleşir, eviricinin çıkışı “P-0U1” arası duruma göre değişiyor ise, güç kaybı transferi S_{a2} ve D_{a3} arası gerçekleşiyordur. “P-0U2” ve “P-0U1” arası komutasyon sırası uygun bir şekilde kontrol edilebilirse, 3L-ANPC topolojisinin köprü kolundaki dengesiz güç kaybı dağılımı çözülebilir.

Şekil 2.3’te Si-IGBT anahtarlama elemanlarıyla oluşturulan ANPC yapısının Çizelge 2.3’te anahtarlama durumları verilmiştir. Tez kapsamında kullanılmasına karar verilen Hibrit A-NPC yapısında yüksek anahtarlama frekanslarında çalışacak anahtarlama elemanları SiC-MOSFET ve diğer anahtarlama elemanları ise Si-IGBT’dir. Tez kapsamında kullanılacak olan Hibrit ANPC yapısının tek fazına ait görsel Şekil 2.4’te verilmiştir.



Şekil 2.4 : A fazı Hibrit A-NPC yapısı tek fazın gösterimi.

Şekil 2.4’te verilen A fazı için Hibrit ANPC yapısında GA2 ve GA3 kapı sinyallerinin uygulandığı MOSFET’ler SiC MOSFET yapılarıdır. Kenetleme kapıları ve dış tarafında bulunan anahtarlama elemanları ise “Si” yapıda IGBT’lerdir. Kullanılan Hibrit A-NPC yapısının tek fazına uygulanan anahtarlama sinyalleri ve çıkış geriliminin dalga şekli Şekil 2.5’te verilmiştir.



Şekil 2.5 : A fazı Hibrit ANPC IGBT ve MOSFET kapı sinyalleri ve A fazı gerilim çıkışı.

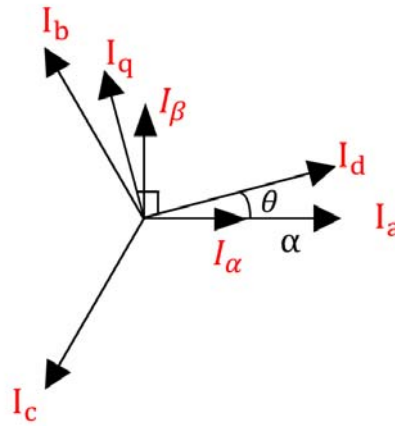
Şekil 2.5'te görüldüğü üzere IGBT kapılarına uygulanan sinyaller 50Hz anahtarlama frekansında ve SiC-MOSFET'lere uygulanan sinyaller ise 40kHz anahtarlama frekansına sahiptir. Şekil 2.4'te verilen A fazı evirici modellemesinde GA1 ve GA6 kapı sinyalinin uygulandığı IGBT'ler anahtarlama yaparken, GA2 kapı sinyali üzerinden $+V_{dc}/2$, GA5 ve GA4 kapı sinyalinin uygulandığı IGBT'ler anahtarlama yaparken ise GA3 kapı sinyali üzerinden $-V_{dc}/2$ çıkış gerilimi alınmaktadır. Şekil 2.5'te görüldüğü üzere GA5 ve GA4 anahtarları devrede iken çıkışta $-V_{dc}/2$ çıkışı alınmaktadır.

3. ÜÇ SEVİYELİ 3L-SiC A-NPC EVİRİCİ KONTROL TEORİSİ

Bu bölümde, eviriciler için uygulanabilecek kontrol sistemi uygulamalarına genel olarak değinilmiştir. Literatürde açıklanan bazı farklı modülasyon stratejileri, örnekleme teknikleri ve akım-gerilim kontrolörleri ele alınmıştır.

3.1 Kontrol Sinyal Referans Eksen

Gerçek zamanlı kontrol algoritmasının donanım yapısında çeşitli zamanlama ve görev sıralama devreleri, Clarke ve Park dönüşümleri, PLL algoritmaları, matematiksel işlemler, PWM teknikleri gibi pek çok sistem bulunmaktadır. Sistemin şebekeye senkronizasyonu için PLL algoritması kullanılmıştır. Kullanılan PLL algoritması ile ilgili bilgiler literatürde detaylıca ele alınmıştır. Bu sistemin kontrol paradigmasının temelini oluşturan üç ana olası referans eksen tanımlanmıştır. Bu kontrol yapıların; abc - referans eksen, durağan referans eksen ve senkron dq-referans eksen olarak inceleyebiliriz. Şekil 3.1’de PLL yapısı içerisinde bulunan döngülerin genel diyagramını görebiliriz.



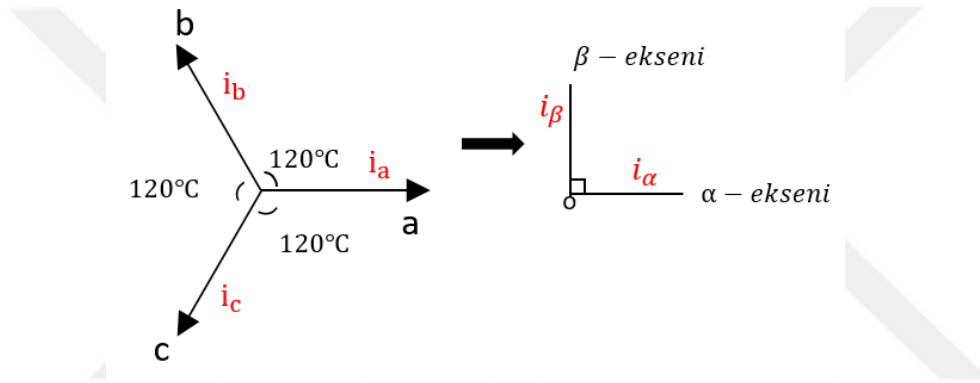
Şekil 3.1 : abc referans eksen, stationary $\alpha\beta$ -referans eksen, senkron dq referans eksen diyagramı.

Bu yapıların konsepti, üç fazlı sistemlerin temel bileşenlerinin sistem kontrol döğüleri boyunca farklı referans frame’lerde uyarlanmasıdır. Yapılan matematiksel dönüşümler ile üç boyutlu sistemden Clarke dönüşümleri ile iki boyutlu eksene ve daha sonra Park

dönüşümleri ile $\alpha\beta$ ekseninden dq eksenine geçilir. Bu sayede oluşturulan kontrol sistemleri ile şebeke frekansı ve güç faktörü bilgisi elde edilmiş olur. Bu kapsamda oluşturulan PLL yapısıyla ilgili matematiksel modelleme ve PLECS yazılımı ortamında benzetişimler gerçekleştirilmiştir.

3.2 $\alpha\beta$ -Referans Frame Kontrol

abc-referans frame'den $\alpha\beta$ -reference frame'e geçilmesi Clarke dönüşümü olarak adlandırılır. Üç seviyeli evirici sistemleri için kullanılan PLL algoritmasında üç-fazlı sistemden iki-fazlı ortogonal sisteme geçmek için bu dönüşüm kullanılmıştır. Clarke dönüşüm diyagramı Şekil 3.2'de verilmiştir.



Şekil 3.2 : Clarke dönüşüm

Dönüşüm ile ilgili simülasyonlarda kullanılan matematiksel denklem aşağıda verilmiştir;

$$\begin{pmatrix} \alpha \\ \beta \end{pmatrix} = \frac{2}{3} \begin{pmatrix} 1 & -0.5 & -0.5 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \\ 0.5 & 0.5 & 0.5 \end{pmatrix} \cdot \begin{pmatrix} a \\ b \\ c \end{pmatrix} \quad (3.1)$$

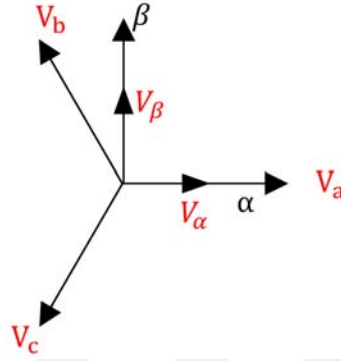
Dengeli üç fazlı bir sistemde abc fazı akımlarının toplamı sıfır (0)'a eşittir. Dengeli bir sistem düşünüldüğünde, γ fazı 0'a eşittir. Dönüşümü biraz daha basite indirgediğimizde ise;

$$\begin{pmatrix} \alpha \\ \beta \end{pmatrix} = \frac{2}{3} \begin{pmatrix} 1 & -0.5 & -0.5 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{pmatrix} \cdot \begin{pmatrix} I_a \\ I_b \\ I_c \end{pmatrix} \quad (3.2)$$

PLL algoritması oluşturulurken Clarke ve Park dönüşümlerinden faydalanılmıştır, sistemin PWM referans gerilimlerinin oluşturulmasında Ters Clarke ve Ters Park yöntemleri de kullanılmıştır. Referans gerilimlerinin oluşturulması ile ilgili detaylı

bilgiler tezin ilerleyen aşamalarında verilecektir. Burada Clarke-Park dönüşümleri içerisinde Ters Clarke ve Ters Park dönüşümleri de anlatılacak ve PWM sinyallerinin oluşturulması başlığında kontrol tarafı detaylandırılacaktır.

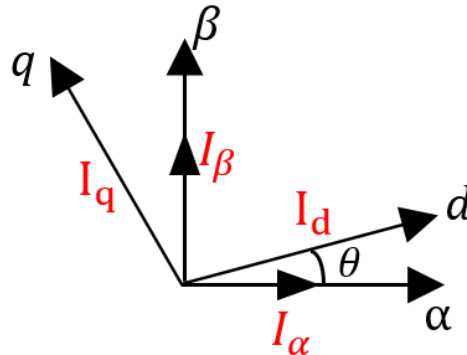
abc-ekseninden $\alpha\beta$ -eksenine geçildiği gibi tersi de söz konusudur. Ters Clarke olarak adlandırdığımız bu yöntem için aşağıdaki denklemden yararlanabiliriz ayrıca Ters Clarke diyagramı Şekil 3.3'te verilmiştir.



Şekil 3.3 : Ters Clarke dönüşüm.

3.3 Senkron dq -Referans Eksen Kontrol

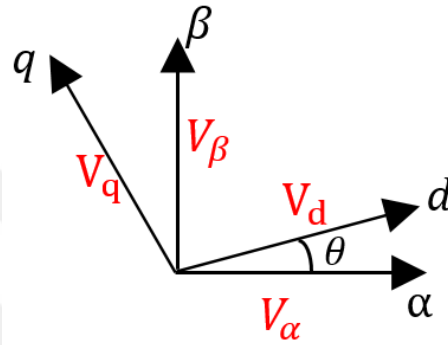
Kullanılan PLL yapısıyla ilgili ikinci kısım dq-referans eksen kontrolüdür. Bu kontrol, aynı zamanda Park dönüşümü olarak da bilinmektedir. Bu kontrol yapısında $\alpha\beta$ ekseninden dq eksenine geçilmektedir. Bu sayede sistem şebeke frekansına senkronize edilir ve bu yüzden bu sistem SRF (synchronous reference frame) olarak da adlandırılmaktadır. dq-dönüşümü için kullanılan denklemler aşağıda verilmiştir. dq-dönüşümü diyagramı Şekil 3.4'te ayrıca verilmiştir.



Şekil 3.4 : Park dönüşümü.

$$\begin{pmatrix} d \\ q \\ 0 \end{pmatrix} = \begin{pmatrix} \cos(\omega t) & \sin(\omega t) & 0 \\ -\sin(\omega t) & \cos(\omega t) & 0 \\ 0 & 0 & 1 \end{pmatrix} \cdot \begin{pmatrix} \alpha \\ \beta \\ \gamma \end{pmatrix} \quad (3.3)$$

PWM sinyallerinin üretilebilmesi için gerekli referans gerilim sinyallerinin üretilmesinde Ters-Park yöntemi kullanılacaktır. Detaylı bilgilendirme referans gerilim sinyallerinin üretilmesi başlığına gelince detaylı olarak ele alınacaktır. Burada bu sinyallerinin üretilmesi için gerekli olan Inverse-Park yönteminin nasıl kullanıldığı kısaca anlatılmıştır. Ters-Park yöntemi için gerekli denklem aşağıda verilmiştir ve görsel Şekil 3.5'te görülmektedir.



Şekil 3.5 : Ters-Park dönüşümü.

Ters park dönüşü yapıldığında ise;

$$\begin{pmatrix} \alpha \\ \beta \\ \gamma \end{pmatrix} = \begin{pmatrix} \cos(\omega t) & -\sin(\omega t) & 0 \\ \sin(\omega t) & \cos(\omega t) & 0 \\ 1 & 1 & 1 \end{pmatrix} \cdot \begin{pmatrix} d \\ q \\ 0 \end{pmatrix} \quad (3.4)$$

eşitliği elde edilir.

Park dönüşümü yapılırken aynı zamanda direkt olarak abc-eksninden dq-eksenine geçiş ile de yapılabilir.

$$\begin{pmatrix} d \\ q \\ 0 \end{pmatrix} = \frac{2}{3} \begin{pmatrix} \cos(\omega t) & \cos(\omega t - 120^\circ) & \cos(\omega t + 120^\circ) \\ -\sin(\omega t) & -\sin(\omega t - 120^\circ) & -\sin(\omega t + 120^\circ) \\ 0.5 & 0.5 & 0.5 \end{pmatrix} \cdot \begin{pmatrix} a \\ b \\ c \end{pmatrix} \quad (3.5)$$

Aynı şekilde dq-ekseninden abc-eksenine direkt geçiş de mümkündür.

$$\begin{pmatrix} a \\ b \\ c \end{pmatrix} = \begin{pmatrix} \cos(\omega t) & -\sin(\omega t) & 1 \\ \cos(\omega t - 120^\circ) & -\sin(\omega t - 120^\circ) & 1 \\ \cos(\omega t + 120^\circ) & -\sin(\omega t + 120^\circ) & 1 \end{pmatrix} \cdot \begin{pmatrix} d \\ q \\ 0 \end{pmatrix} \quad (3.6)$$

dq-dönüşüm sonucu nitelendirildiğinde $\alpha\beta$ ekseni sonucunda elde edilen sinüzoidal referanslardan elde edilen DC niteliğinde değerler elde edilecektir. Bu SRF kontrolün en önemli özelliklerinden birisidir çünkü birçok kontrol teorisinde AC referanslar

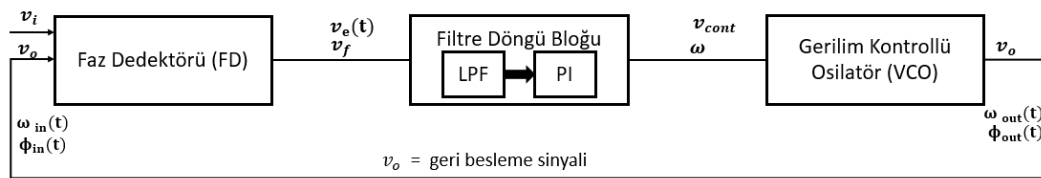
kullanılarak AC nitelikli değerler elde edilerek kontrol sistemi tasarlanır. Bu şekilde tasarlanan kontrol bloklarında frekans ve faz bilgileri genellikle hatalı alınmaktadır.

3.4 Üç Seviyeli SiC-ANPC İçin Tasarlanan PLL Algoritması

Bölüm 3.2 ve 3.3'te belirtilen Clarke-Park yöntemleri kullanılarak evirici yapısının şebeke frekansına senkron olması ve şebeke güç faktörü bilgisini alınması sağlanmıştır. PLECS ortamında gerçekleştirilen simülasyonlarda şebeke gerilim bilgileri kullanılarak Clarke-Park dönüşümleri uygulanmıştır. Bu sayede tasarlanan sistemde q-ekseni üzerinden oluşturulan kontrol yapısıyla şebeke frekansına senkronize olunmuş ve güç faktörü bilgisi elde edilmiştir.

Literatür taramasında üç fazlı şebekeye bağlı evirici yapılarında kullanılması gereken PLL algoritmalarına detaylı şekilde değinilmiştir. Tez çalışmasında kullanılacak olan SRF-PLL (senkron referans eksen-PLL) algoritmasının matematiksel arka planı PLL algoritması oluşturma modeliyle birlikte simülasyonlardan önce açıklanmıştır.

PLL, şebekeye bağlı enerji dönüşüm sistemlerinin performansına, enerji kalitesine, denge ve güvenilirliğine, kilit eleman olarak etki eder. Şebeke frekansındaki değişimleri kolaylıkla takip eder, gerilim dalgalanmaları ve harmonik bozulmalar altında bile yüksek performans sağlar. Tipik bir PLL, Şekil 3.6'da gösterildiği gibi bir faz dedektöründen (PD), bir döngü filtresinden (LF) ve voltaj kontrollü bir osilatörden (VCO) oluşur. PD, referans sinyali V_i ve geri besleme sinyali V_o 'ı karşılaştırır. V_f sinyalini üretmek V_i ve V_o arasındaki faz hatasına bağlıdır. LF, V_f hata sinyalinin salınım koşullarını zayıflatır. VCO, frekansı ω olan V_o çıkış sinyalini üretir. Tamamlanmış sistem, referans sinyaliyle V_i faz ve frekans olarak senkronize edilmiş bir çıkış sinyali V_o üretir.



Şekil 3.6 : PLL Genel yapısı

PLL algoritmasının matematiksel modelini çıkarmak için Şekil 3.6'da yer alan giriş ve çıkış sinyalleri üzerinden hesaplamalar yapılmıştır.

Şekil 3.6’da yer alan $\phi_{in}(t)$ giriş sinyalinin fazını, $\phi_{out}(t)$ ise geri besleme sinyalinin fazını göstermektedir. Giriş ve çıkış sinyalinin faz açıları arasında ilişki denklem 3.7’de verilmiştir.

$$\phi_{out}(t) = \phi_{in}(t) + \phi_e(t) \quad (3.7)$$

Denklem 3.7’de görüldüğü üzere giriş ve çıkış faz açısı arasında bir öteleme olabilir fakat PLL algoritması oluşturulurken asıl istenen giriş sinyalinin faz açısı ile senkron olunmasıdır.

Şekil 3.6’da yer alan $\omega_{in}(t)$ giriş frekansı ile $\omega_{out}(t)$ çıkış frekansı arasındaki ilişki ise denklem 3.8’de verilmiştir.

$$\omega_{out}(t) = \omega_{in}(t) \quad (3.8)$$

Denklem 3.8’de görüldüğü üzere giriş ve çıkış sinyalinin frekansı eşittir. PLL algoritması oluşturulurken istendiği üzere giriş sinyali frekansına senkron olunmaktadır.

Şekil 3.6’da verilen giriş sinyali $v_i(t)$ ’nin;

$$v_i(t) = v_i \cdot \sin [\omega_{in}(t) + \phi_{in}(t)] \quad (3.9)$$

olduğu ve çıkış sinyali $v_o(t)$ ’nin;

$$v_o(t) = v_o \cdot \sin [\omega_{out}(t) + \phi_{out}(t)] \quad (3.10)$$

olduğu varsayılırsa (burada $v_i(t)$ ve $v_o(t)$ sabit ve tepe değerler olarak varsayılmaktadır); giriş ve çıkış arasındaki anlık faz farkı ($\phi_e(t)$) denklem 3.11’deki gibi olmaktadır.

$$\begin{aligned} \phi_e(t) &= [\omega_{in}(t) + \phi_{in}(t)] - [\omega_{out}(t) + \phi_{out}(t)] \\ &= (\omega_{in} - \omega_{out}) \cdot t + \phi_{in}(t) - \phi_{out}(t) \end{aligned} \quad (3.11)$$

Burada görülmektedir ki, ilk anda giriş ve çıkış sinyali arasındaki frekans farklı olduğundan fazları doğrudan karşılaştırmak zordur. $\omega_{out}(t)$ ’nin referans faz olduğunu varsayarsak, giriş sinyalinin anlık fazı denklem 3.12’deki gibi yazılabilir.

$$\omega_{in}(t) + \phi_{in}(t) = \omega_{out}(t) + (\omega_{in} - \omega_{out})t + \phi_{in}(t) \quad (3.12)$$

Denklem 3.13’te;

$$\left. \begin{aligned} \Delta\omega_{out} &= \omega_{in} - \omega_{out} \\ \phi_1(t) &= \Delta\omega_{out} \cdot t + \phi_{in}(t) \end{aligned} \right\} \quad (3.13)$$

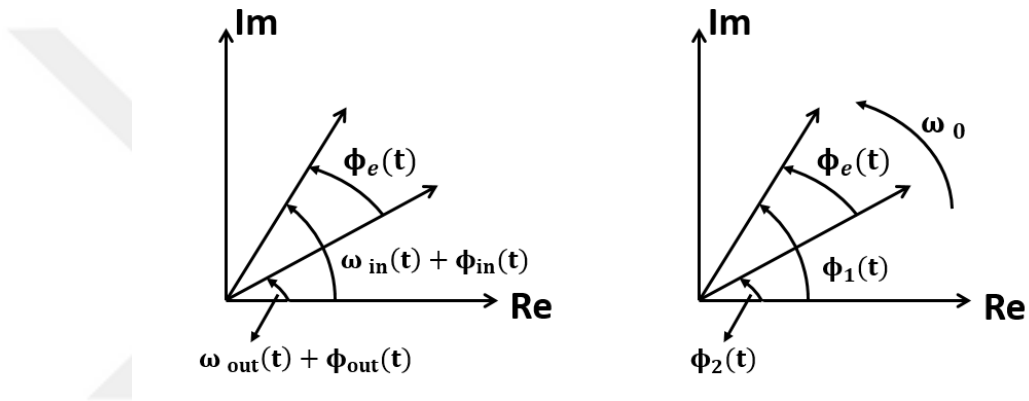
olduğu varsayılırsa, denklem 3.14'teki eşitlik elde edilir.

$$\omega_{in}(t) + \phi_{in}(t) = \omega_{out} \cdot t + \phi_1(t) \quad (3.14)$$

Aynı şekilde, çıkış sinyalinin anlık fazı denklem 3.15'deki gibi yazılabilir.

$$\left. \begin{aligned} \omega_{out}(t) + \phi_{out}(t) &= \omega_{out} \cdot t + \phi_2(t) \\ \phi_2(t) &= \phi_{out}(t) \end{aligned} \right\} \quad (3.15)$$

olduğu varsayılırsa, giriş ve çıkış sinyali ortak bir referans fazına sahip olduğundan, giriş sinyali ile çıkış sinyali arasındaki faz farkını elde etmek çok kolaydır. Şekil 3.7'de giriş ve çıkış dnyalleri arasındaki faz ilişkisi gösterilmiştir.



Şekil 3.7 : Giriş ve çıkış sinyalleri arasındaki faz ilişkisi.

$\omega_{out}(t)$ 'yi referans faz olarak belirlersek, Şekil 3.7'de yer alan sağ taraftaki grafiği elde ederiz.

$$\phi_e(t) = \phi_1(t) - \phi_2(t) \quad (3.16)$$

Anlık frekans farkını ise denklem 3.17'deki gibi elde ederiz.

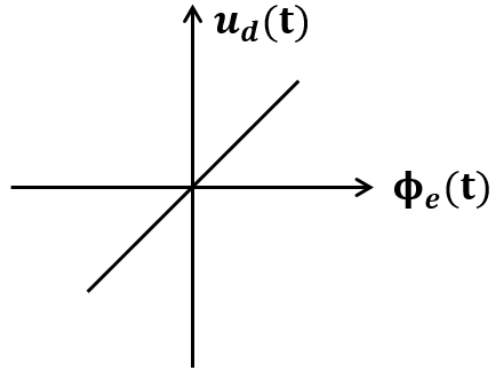
$$\frac{d\phi_e(t)}{dt} = \dot{\phi}_e(t) = \dot{\phi}_1(t) - \dot{\phi}_2(t) = \Delta\omega_{out} + \frac{d\phi_1(t)}{dt} - \frac{d\phi_2(t)}{dt} \quad (3.17)$$

$\dot{\phi}_1(t)$, $\dot{\phi}_2(t)$ 'den farklı bir değere sahip ise giriş ve çıkış sinyal vektörleri arasındaki faz farkı zamanla büyümeye devam eder. $\dot{\phi}_1(t)$, $\dot{\phi}_2(t)$ 'e eşit olduğunda ise bu iki vektör aynı hızda dönmeye devam ederler ve bu iki vektör arasındaki açı farkı sabit kalır. Bu durum ise kitlenme durumu (locking state) olarak ifade edilmektedir.

Faz dedektörü bloğu incelendiğinde, burada $v_e(t)$ hata sinyali. K_d ise faz dedektörü bloğunun kazancıdır. Faz dedektörü bloğu $\phi_{in}(t)$ giriş sinyali ile $\phi_2(t)$ çıkış sinyali arasındaki $\phi_e(t)$ (faz farkı)'nı tespit eder.

$$v_d(t) = K_d \cdot [\phi_{out}(t) - \phi_{in}(t)] \quad (3.18)$$

Denklem 3.18'deki ilişki faz dedektörünün davranış karakteristiği olarak özetlenebilir. Faz dedektörünün ideal karakteristiği Şekil 3.8'de gösterildiği gibi lineerdir.

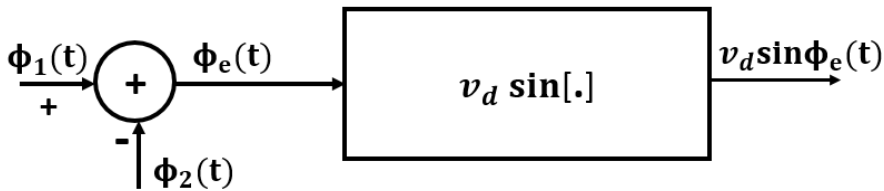


Şekil 3.8 : Faz dedektörü ideal karakteristiği.

Faz dedektörü bloğunun K_m katsayısı ile gerçekleştirildiğini varsayarsak;

$$\begin{aligned} v_d(t) &= K_m \cdot v_i(t) \cdot v_o(t) = K_m \cdot v_i \cdot \sin[\omega_{out} \cdot t + \phi_1(t)] \cdot v_o \cdot \cos[\omega_{out} \cdot t + \phi_2(t)] \\ &= 0.5 \cdot K_m \cdot v_i \cdot v_o \cdot \sin[2\omega_{out} \cdot t + \phi_1(t) + \phi_2(t)] + 0.5 \cdot K_m \cdot v_i \cdot v_o \cdot \sin[\phi_1(t) - \phi_2(t)] \end{aligned} \quad (3.19)$$

Bir diğer blok olan alçak geçiren filtre ise, $v_d(t)$ alçak geçiren filtreden geçerken $2\omega_{out}$ kısmı Şekil 3.9'da gösterildiği gibi bu filtrede süzülür.

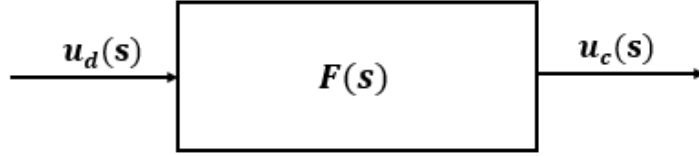


Şekil 3.9 : Çarpma fazı aşamasının matematiksel modeli.

Filtre döngü bloğu, faz dedektörü çıkışındaki sinyal içerisinde bulunan yüksek frekanslı bileşenleri filtreler VCO bloğu için DC sinyal bileşenlerini oluşturur. Filtre döngü bloğunun denklemi şu şekilde ifade edilebilir:

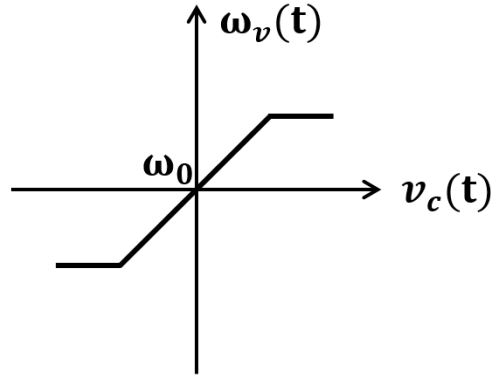
$$\left. \begin{aligned} v_c(s) &= F(s)v_d(s) \\ F(s) &= \frac{a_ms^m + a_{m-1}s^{m-1} + \dots a_0}{b_ns^n + b_{n-1}s^{n-1} + \dots b_0} \end{aligned} \right\} \quad (3.20)$$

$v_d(s)$ ve $v_c(s)$ alçak geçiren filtrenin giriş ve çıkış sinyalinin Şekil 3.9’da gösterildiği gibi la-place dönüşümüdür.



Şekil 3.10 : Alçak geçiren filtre matematiksel modeli.

VCO bloğu ise, aslında gerilim-frekans dönüştürücü bloğudur ve Şekil 3.11’de karakteristiği verilmiştir.



Şekil 3.11 : VCO karakteristiği.

$\omega_v(t)$ anlık açısal frekans ve $v_c(t)$ ise kontrol gerilimidir. Belli bir aralıkta, $\omega_v(t)$ ve $v_c(t)$ arasındaki ilişki denklem 3.21’de verilmiştir.

$$\omega_v(t) = \omega_0 + K_0 \cdot v_c(t) \quad (3.21)$$

Burada ω_0 , serbest salınım açısal frekansı ve K_0 ise VCO’nun kazancıdır. $\phi_v(t)$, faz dedektörünün bir fonksiyonu olmalıdır ve $\phi_v(t)$, $\omega_v(t)$ ’nin integralinin sonucu olarak hesaplanmaktadır.

$$\phi_v(t) = \omega_0 \cdot t + K_0 \int_0^t v_c(t) dt \quad (3.22)$$

Denklem 3.22’ü açarsak;

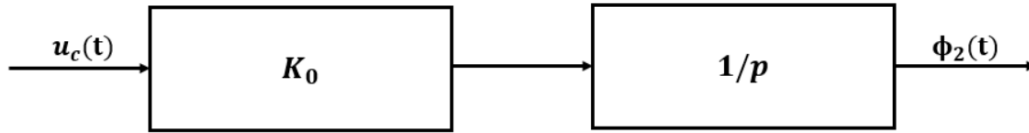
$$\phi_v(t) = \omega_0 \cdot t + K_0 \cdot v_c(t)/p \quad (3.23)$$

ve üstteki denklemleri çözümlediğimizde;

$$\phi_2(t) = K_0 \cdot v_c(t)/p \quad (3.24)$$

denklemini elde ederiz.

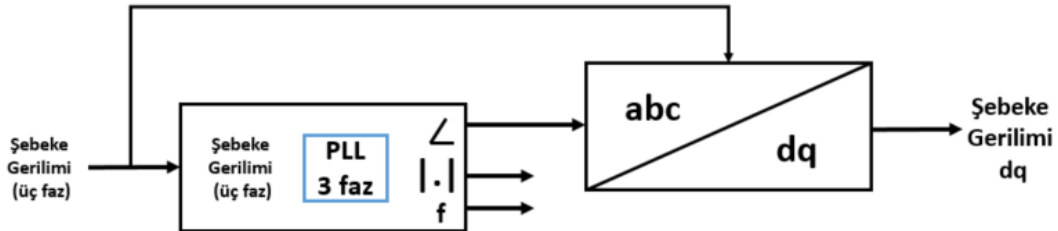
Şekil 3.12’de, denklem 3.24’te verilen eşitliğin matematiksel modele dönüşmüş hali verilmiştir.



Şekil 3.12 : VCO'nun matematiksel modeli.

Denklem 3.24’te ve Şekil 3.12’de verilen $1/p$ oranı integral faktördür. İntegral faktörü, faz ve açısal frekansın arasındaki integralin sonucu olarak belirlenen faktördür.

PLL algoritmasının oluşturulması ile ilgili verilen detaylı formülasyonlardan yola çıkılarak Şekil 3.13’te gösterilen PLECS ortamında simülasyonu oluşturulan algoritma verilmiştir.



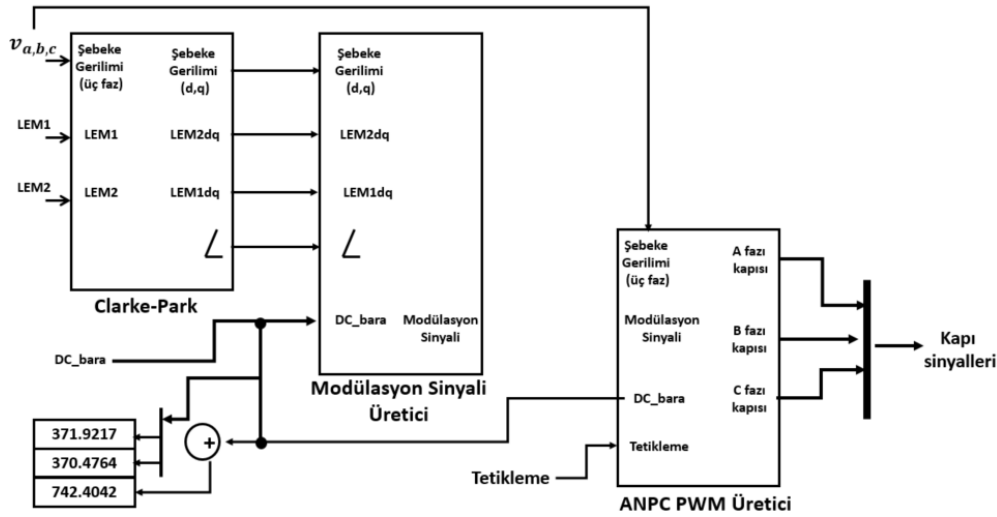
Şekil 3.13 : PLECS ortamında oluşturulan PLL algoritması.

Şekil 3.13’te verilen algoritmada görüldüğü gibi şebeke gerilim bilgisi okunmaktadır. Okunan şebeke gerilimleri Clarke ve Park dönüşümlerinden geçirilir. Park dönüşümü sonucunda elde edilen d-ekseni sabit tutulur ve q-ekseni tasarlanan PI kontrol bloğundan geçirilir. q-ekseni dışarıdan verilen bir referans ile sıfıra çekilmeye çalışılırken PI kontrol bloğunun çıkışında şebeke frekans bilgisi elde edilmiş olur. Şebeke güç faktörünün elde edilmesi için elde edilen frekans bilgisi integral bloğundan geçirilir. Bu sayede hem şebeke frekans bilgisi hem de şebeke güç faktörü bilgisi elde edilmiş olur. MATLAB/Simulink ortamında simülasyonu gerçekleştirilen PLL bloğunun gösterimi Şekil 3.14’te verilmiştir.

kontrol algoritmasının kontrolü hedeflenmiştir. Bunun için çeşitli kontrol teknikleri simülasyonlar çerçevesinde gerçekleştirilmiştir. Yapılan simülasyonlar sonucunda PI kontrolü ile DC bara geriliminde ve referans gerilim sinyallerinin üretilmesi için akım kontrol yöntemlerinde kullanılmıştır.

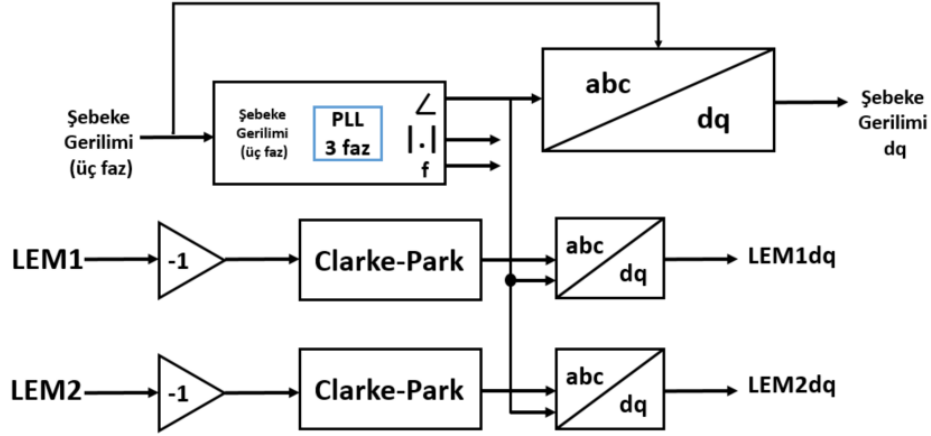
3.6 Kontrol Algoritmasının Simülasyonu ve Tasarımı

Kontrol algoritmasının simülasyonu güç elektroniği için özelleşmiş PLECS yazılımında yapılmıştır. İlk olarak eviricinin kontrolör yapısı tasarlanmıştır. Şekil 3.16'da görüldüğü üzere PLECS yazılımında gerçekleştirilen kontrolörün genel yapısı görülmektedir. İlk blok PLL ve Clarke-Park dönüşümlerini içermekte, ikinci blok şebeke gerilimi ve akımlara göre referans sinüsleri üretmekte ve son blokta ise referans sinüsler, anahtarlar için uygun PWM'lere dönüşmektedir.



Şekil 3.16 : Evirici kontrolörü.

Şekil 3.17'de görülen PLL bloğu ile evirici, şebekeye senkron olmaktadır. Bu şekilde şebekenin faz açısı ve frekans tespit edilerek blok çıkışına verilir. Üç faz gerilimi ve akımları, PLL bloğundan alınan faz açısı ile birlikte Clarke-Park dönüşümüne girerek dq bileşenlerine dönüştürülür. PLL bloğunda elde edilen faz açısı, Clarke-Park dönüşümü sonrası elde edilen dq bileşenleri ve DC bara gerilimi, referans sinüslerin üretimi için bir sonraki bloğa aktarılır.



Şekil 3.17 : PLL ve Clarke-Park dönüşümleri.

DC bara gerilimi, referans DC bara gerilimi ile karşılaştırılıp PI kontrolörden geçerek akımın d bileşeni için referans üretilir. Akımın q bileşeninin referansı “0” kabul edilerek, bu iki referans akım Clarke-Park dönüşümleri ile elde edilen dq bileşenleri ile kıyaslanıp PI kontrolörden geçerler. PI kontrolör katsayıları Vikram Kaura ve Vladimir Blasko’nun [72] yaptığı çalışmalardan yola çıkılarak hesaplanmıştır. İzlenen bu yöntemle göre K_p katsayısı düzeltme faktörü α , faz-faz arası şebeke gerilimi ve örnekleme zamanı T_s ’ye bağlı olarak elde edilir. K_i katsayısı ise düzeltme faktörü α ’nın karesi ve örnekleme zamanı T_s ’ye bağlı olarak elde edilir. K_p ve K_i katsayıları aşağıdaki denklemlere göre elde edilebilir:

$$K_i = \frac{1}{\alpha^2 \cdot T_s} \quad (3.25)$$

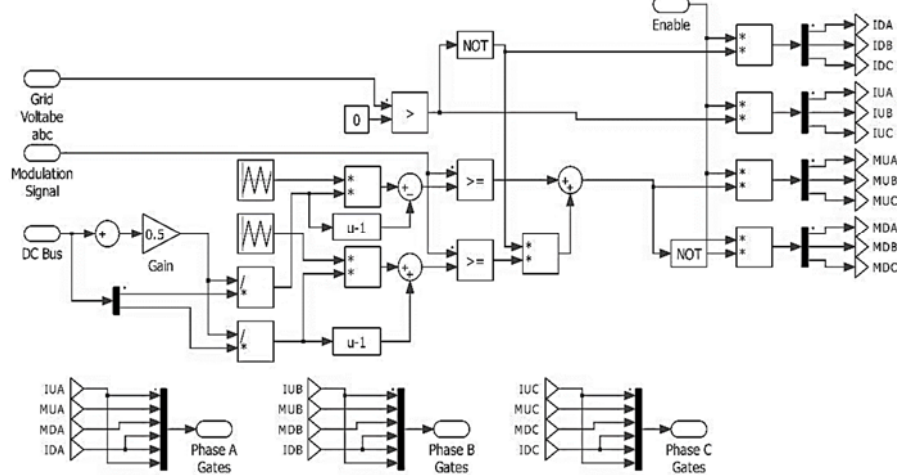
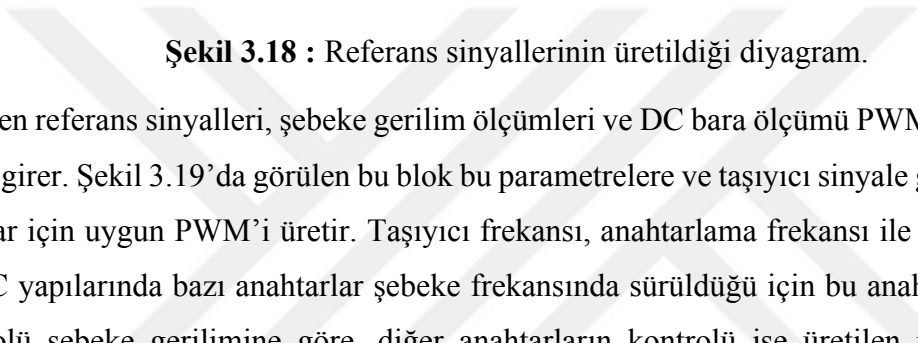
$$K_p = \frac{1}{\alpha} \cdot \frac{1}{U \cdot T_s} \quad (3.26)$$

Yukarıda verilen denklemlerde α , düzeltme faktörü, U , faz-faz arası gerilimi ve T_s ise örnekleme zamanıdır. Düzeltme faktörü α ’yı belirlemek için [72]’de yer alan bant genişliği ve sönümlenme grafiği incelenebilir. Burada hesaplanan $K_p = 0.83$ ve $K_i = 2.77$ yaklaşık değerleri her ne kadar PLECS yazılımı ortamında kontrolü sağlayabilse de, pratikte bu katsayılar ile düzeltmeler yapmak gerekmektedir.

PI kontrolör çıkışında gerilim için referans dq bileşenleri elde edilir. Elde edilen dq bileşenleri ters Clarke-Park dönüşümü ile üç faz referanslarına dönüştürülür ve DC barayı dengelemek için gerekli olan sıfır bileşeni de üç faz referansına eklenir. Bu işlemlerin yapıldığı kontrolör bloğu Şekil 3.18’de verilmiştir. Blok çıkışında üç faz

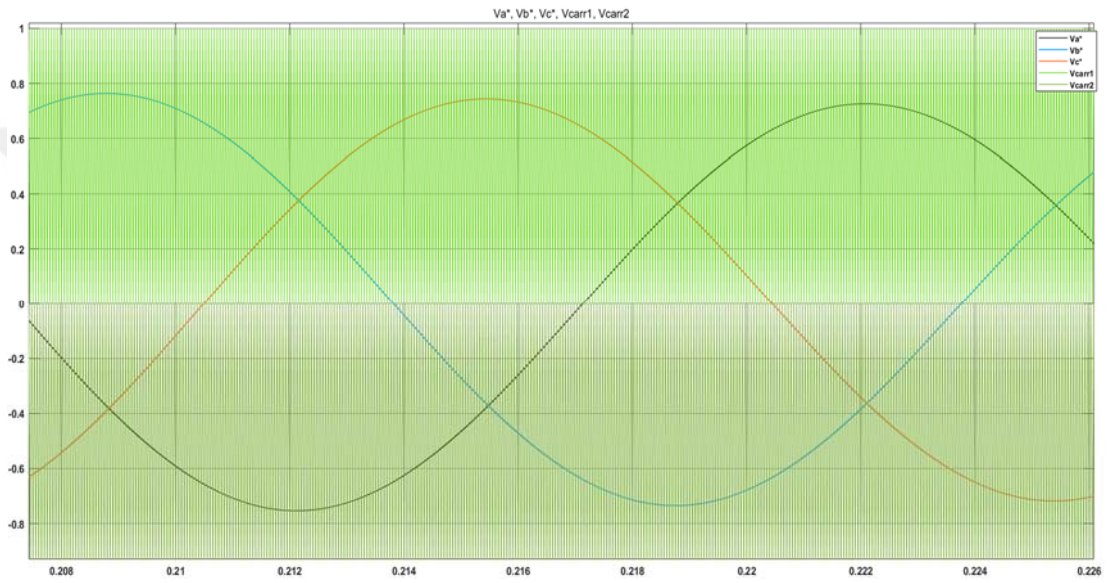
```

graph LR
    Input[LEM1 dq] --> Sum((+))
    Sum --> Gain[K]
    Gain --> Output[ ]
    Output --> Sum
  
```



3.7 Sinüzoidal Darbe Genişlikli Modülasyon (SPWM)

Taşıyıcı sinyal tabanlı sinüzoidal darbe genişlik modülasyonu yöntemi, bir eviricinin üç fazlı çıkış gerilimini elde etmek için kullanılan en temel yöntemlerden biridir. Bu yöntemde transistör anahtarlama modeli Şekil 3.20’de verilmiştir. Şekilde görüldüğü üzere 120° faz farkına sahip üç referans gerilim sinyali iki üçgen taşıyıcı dalga formuyla karşılaştırılarak temel PWM sinyali elde edilmiştir. Matlab/Simulink ortamından alınan dalga şeklinde, abc fazı referans gerilimleri ile taşıyıcı sinyal dalga şekli verilmiştir.



Şekil 3.20 : Sinüzoidal PWM’in faz gerilim referansları ve taşıyıcı sinyaller.

Şekil 3.20’deki PWM üretme yöntemi ile üretilen PWM dalga şekli üç fazlı evirici sistemlerinin girişine uygulanır. Burada en kritik nokta üretilen gerilim referans sinyalleridir. Gerilim referans sinyallerinin doğru üretilmesi doğru anahtarlama için kritik öneme sahiptir. Üretilen referans gerilim sinyallerinin istenilen aralıkta olması olası bir yanlış anahtarlama durumu önler. Bu sayede çıkışta istenilen dalga şekli elde edilmiş olur.



4. ÜÇ FAZLI SiC TABANLI ANPC EVİRİCİ İÇİN DONANIMSAL TASARIMLAR

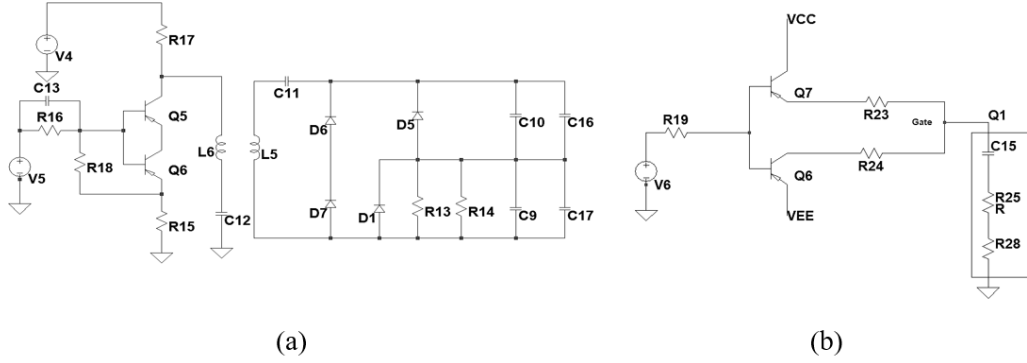
4.1 SiC MOSFET İçin Kapı Sürücü Tasarımı

Güç elektroniği çeviricilerinde yüksek öneme sahip, sistemin doğru çalışmasına doğrudan etki eden önemli bir faktör de kapı sürücü devrelerinin tasarımıdır. Anahtarlama elemanlarının kapılarını hızlı ve güvenli bir şekilde sürmek sistemin performansı ve güvenliği için önemlidir. Kapı sürücü devreleri anahtarlama elemanlarının “kaynak(source)” ucu ile eş potansiyelde kapı sürme için gerekli gücü sağlayacak galvanik izolasyon sağlayan besleme devreleri içermektedir. Bunun yanında bir de kapı sinyallerini anahtarlama elemanının kapısına galvanik izolasyonlu şekilde iletmek için bir optokuplör yapısı barındırmaktadır. Harici ve izole besleme devresi için kullanılan yaygın topolojiler; flyback, forward, push-pull ve half bridge’dir. DC/DC çevirici ile elde edilen gerilimler izole bir kapı sürücü entegresine uygulanır. Bu kapı sürücü entegresinin çıkışı bir direnç üzerinden anahtarlama elemanının kapısına uygulanır.

3 seviyeli ANPC evirici topolojisi üzerinde faz başına 4 adet IGBT, 2 adet SiC MOSFET bulunmaktadır. Kullanılan evirici modülünün yapısında bulunan IGBT’lerin kapı sürme gerilim seviyesi aralığı $-20/+20V$ aralığında ve SiC MOSFET’lerin kapı sürme gerilim seviyesi ise $-10/+20V$ aralığındadır.

Datasheet’te verilen kapı sürme gerilim seviyeleri üzerinden kapı sürme devreleri tasarlanmıştır. Tasarlanan kapı sürme devrelerinden IGBT’lerin kapı sürme gerilim seviyesi $+15/-9V$ arasında iken, SiC MOSFET’lerde bu gerilim seviyesi $+15/-5V$ ’tur. Farklı gerilim seviyelerinde kapı sürülmesinin nedeni ise IGBT ve MOSFET’lerin sınır kapı sürme gerilim seviyelerinin farklı olmasıdır. Diğer taraftan IGBT’ler şebeke frekansında sürüldükleri için onları süren kapı sürücülerin güçleri $1W$ ’ın altındadır. Ancak SiC MOSFET’leri süren kapı sürücülerin hesaplanan gerekli güç değerleri $2W$ olarak bulunmuştur.

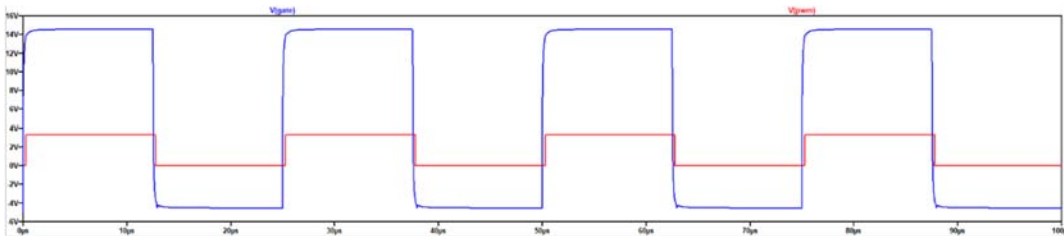
Şekil 4.1(a)'da kapı sürücülerde kullanılacak olan DC/DC çevirici yapısına ait devre şeması yer almaktadır. Oluşturulan çevirici yapısının sekonderinde elde edilecek olan gerilim seviyelerini çıkış katında kullanılan zener diyotlar belirlemektedir.



Şekil 4.1 : (a) SiC-MOSFET kapı sürücü için izole DC/DC çevirici simülasyon şeması, (b) kapı sürücü çıkış kademesi.

Şekil 4.1(a)' verilen SiC-MOSFET için QA151 ve QA151M ile tasarlanan izole DC/DC çeviricinin VCC ve VEE çıkışları Şekil 4.1(b)'de verilen kapı sürücü çıkış kademesine verilir. Kapı sürücü çıkış kademesinin “gate” çıkışından alınan kapı sürme sinyalleri MOSFET'in kapı girişine verilir. Şekil 4.1(b)'de gate çıkışına bağlanan “RC” modeli, MOSFET anahtarının iç RC modellenmesidir.

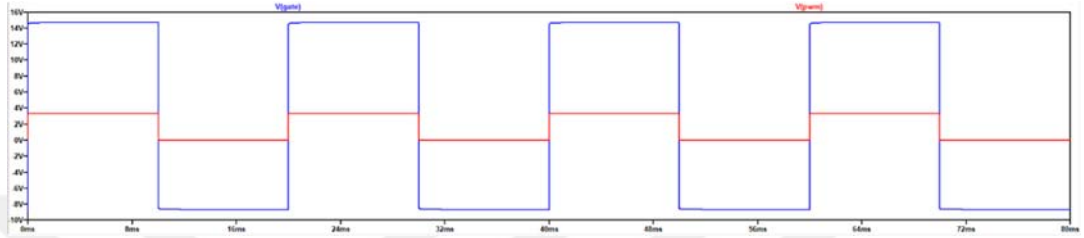
MOSFET ve IGBT kapılarına PWM sinyallerinin uygulanabilmesi için, kapı sürücü çıkış kademesinin girişine verilen 15V besleme gerilimi, işlemcinin çıkışından gelen “3.3V” geriliminin MC33152 seviye değiştirici(level shifter) devresi ile yükseltilmesi sonucu elde edilmiştir. 3.3V işlemci çıkışı 15V seviyesine yükseltilerek Şekil 4.1(b)'de verilen anahtarların kapı girişine uygulanır. Kullanılan PNP ve NPN yapıda iki anahtarlama elemanı çıkışından alınan PWM sinyali MOSFET ve IGBT'lerin kapı sinyallerine uygulanır.



Şekil 4.2 : İşlemci çıkışı 3.3V gerilim seviyesi ve SiC-MOSFET kapısına uygulanan kapı sinyali.

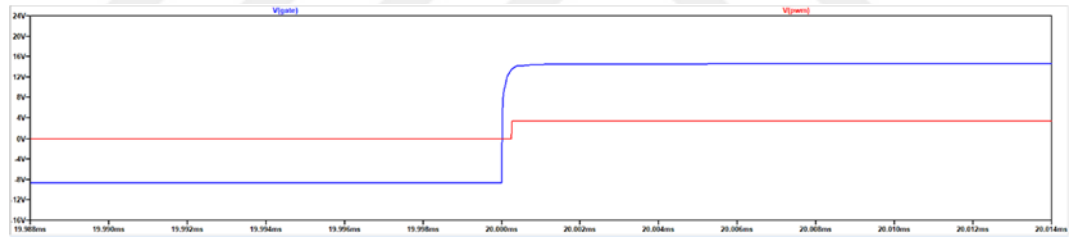
Şekil 4.2’de verilen işlemci çıkışı 3.3V sinyali ile SiC-MOSFET’in kapısına uygulanan (-5V/+15V) sinyal arasında yaklaşık 250ns’lik bir gecikme görülmektedir. Bunun nedeni kullanılan seviye değiştiricinin giriş ve çıkışı arasındaki gecikmedir. -5V/+15V kapı sinyali için QA151M DC/DC dönüştürücüsü ile tasarım yapılmıştır.

Şekil 4.3’te ise Si-IGBT’lerin girişine uygulanan -9V/+15V kapı sinyali ile işlemcinin çıkışındaki 3.3V gerilim seviyesi görülmektedir. -9V/+15V kapı sinyali için QA151 DC/DC dönüştürücüsü ile tasarım yapılmıştır.



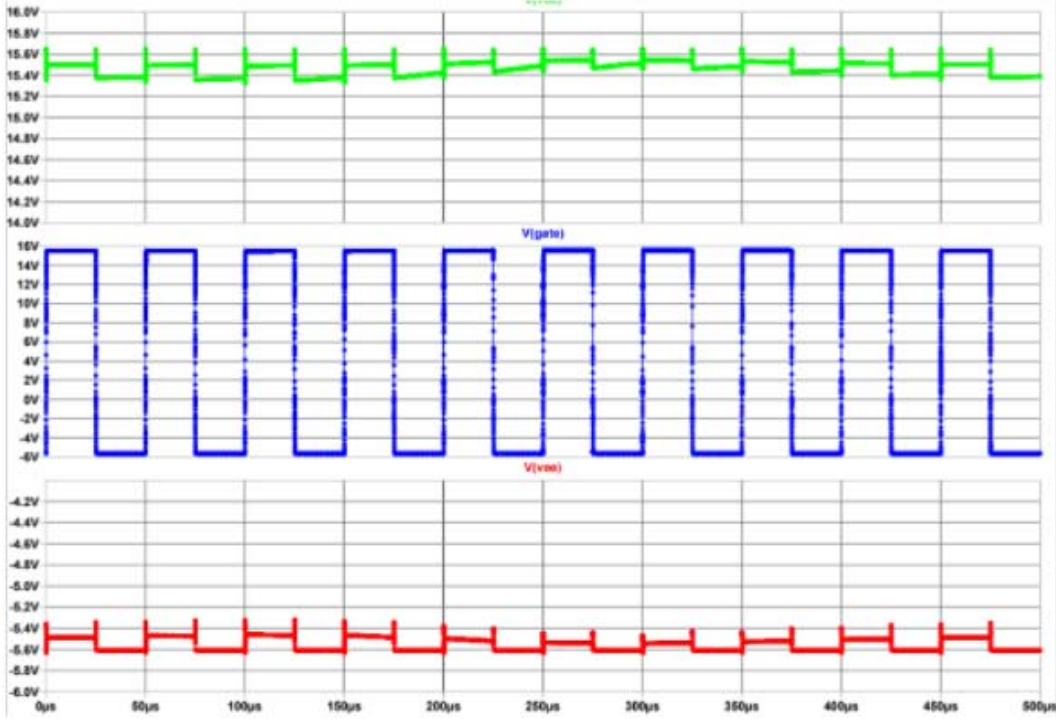
Şekil 4.3 : İşlemci çıkışı 3.3V gerilim seviyesi ve Si-IGBT kapısına uygulanan kapı sinyali.

Şekil 4.4’te ise işlemcinin 3.3V çıkışı ile Si-IGBT’nin kapısına uygulanan -9V/+15V sinyalleri arasındaki gecikmenin olduğu görsel verilmiştir.



Şekil 4.4 : İşlemci çıkışı gerilim seviyesi ve Si-IGBT kapı sinyalleri arasındaki gecikme.

IGBT’leri sürececek olan devrelerin çeviricileri için çıkış tarafında kullanılacak olan zener diyotların 15V ve 9V’luk olmaları gerekmektedir. Ancak SiC MOSFET’leri sürececek olan devrede 9V’luk zener diyot yerine 5V’luk kullanılması gerekmektedir. Şekil 4.1(b)’de kapı sürücü devresi ve SiC MOSFET’in RC olarak modellenmesine ait devre şeması bulunmaktadır. Bu devrede çeviricide elde edilen gerilimler MOSFET’in kapısına NPN ve PNP transistörler üzerinden uygulanmaktadır. Optokuplörün çıkışı bir direnç üzerinden transistörlerin bazına uygulanır. MOSFET ve IGBT’leri ilettime sokarken ve kesime götürürken anlık yüksek akımlar akacağı için transistör ve kapı direnci seçimi çok önemlidir. Şekil 4.5’te ise oluşturulan devrelere ait dalga şekillerinin hepsinin bir arada verilmiş hali gösterilmektedir.



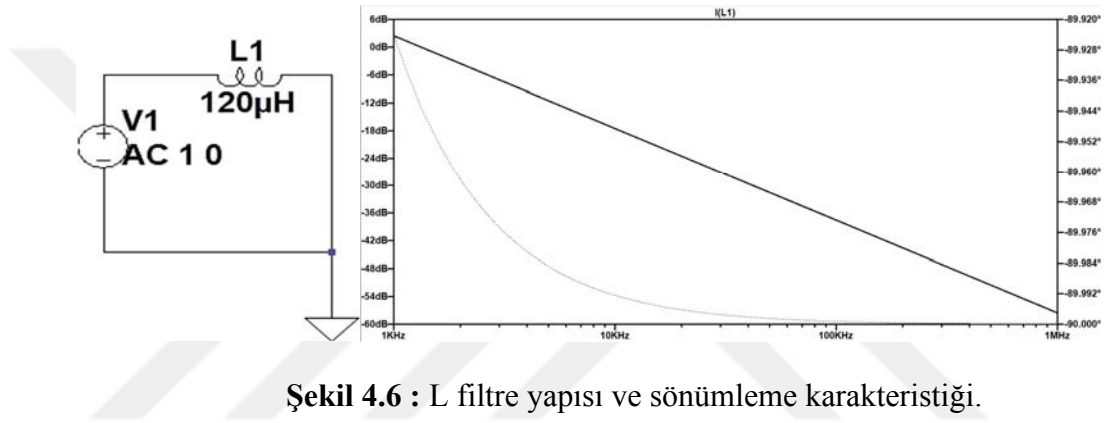
Şekil 4.5 : Kapı sürücü devresinin simülasyon sonuçları (Yeşille gösterilen grafik, DC/DC çeviricinin +15V çıkış gerilimi, kırmızı ile gösterilen grafik, DC/DC çeviricinin -5V çıkış gerilimidir. Mavi grafik ise MOSFET'in kapı sinylidir).

Simülasyonlarla elde edilen verilerden yola çıkarak Altium Designer'da kullanılacak olan komponentlerin, şematik ve footprint çizimleri yürütülmüştür. Tasarlanan kapı sürücü kartının 3D tasarımı ve Layout Tasarımı EK B'de verilmiştir. Kapı sürücü kartı tasarımında kullanılan QA151 ve QA151M DC/DC dönüştürücü ile MC33152 seviye değiştiricinin datasheetleri Ek A'da verilmiştir.

4.2 LCL Filtre Simülasyonu ve Tasarımı

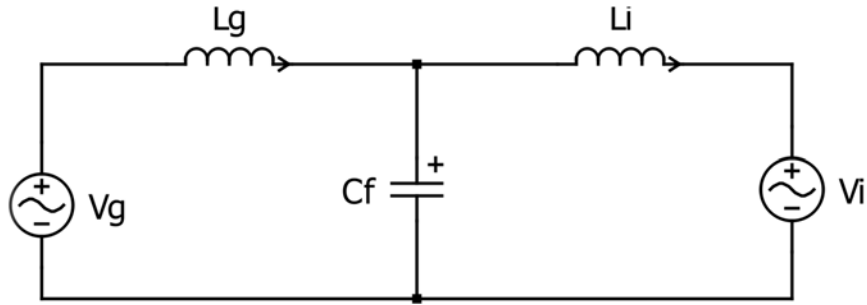
Evirici sistemlerinde şebeke bağlantısı, evirici çıkışında bulunan pasif filtre üzerinden gerçekleştirilir. Kullanılacak pasif filtre sadece bir endüktanstan oluşabileceği gibi, LC, LCL ve LCL-LC gibi farklı filtre yapılarında da gerçekleştirilebilmektedir. Bu filtrenin asıl amacı şebekeye, gerilim kaynağı olarak çalışan eviricinin bağlanabilmesini ve akım kontrolü yapılabilmesini sağlamak, diğer taraftan şebekeye verilen anahtarlama gürültüsünü minimize etmektir. En basit filtre yapısı olan tek bir endüktansa sahip filtreden başlanarak adım adım filtreleme yetenekleri incelenmiş ve uygun boyutlandırma yapılmıştır.

Evirici şebekeye sadece bir endüktans üzerinden bağlanabilir. Bu yapı Şekil 4.6’da görüldüğü gibi en basit filtre yapısıdır. Sadece bir endüktans kullanılması durumunda yapının frekansa bağlı olarak sönümleme miktarı -20 dB/dec oranında olmaktadır. Bu tür bir filtre yapısı ile anahtarlama frekansında elde edilebilecek sönümleme miktarı sınırlıdır. IEEE 519 standardına uygunluk için 35. harmonik (1750Hz) üzerinde frekanslarda anahtarlanan sistemlerde şebekeye verilen anahtarlama gürültüsünün anma akımının %0.3’ünden daha küçük olması gerekmektedir. Sadece tek bir endüktansın kullanıldığı durumda bunu sağlayabilmek için büyük bir endüktans değerine ihtiyaç vardır. Yapı basit olmasına rağmen şebeke standartlarına uyumluluk açısından endüktans değerinin yüksek tutulması gerektiği için en pahalı çözümdür.



Şekil 4.6 : L filtre yapısı ve sönümleme karakteristiği.

Evirici yapılarında genellikle sadece bir endüktanstan oluşan filtre yerine LCL filtre yapısı kullanılmaktadır. Şekil 4.7’de basit bir LCL filtre yapısı verilmiştir.



Şekil 4.7 : Basit bir LCL filtre yapısı.

Şekil 4.7’de verilen LCL filtre yapısının transfer fonksiyonu ve parametre seçimleri aşağıda verilmiştir.

$$\frac{i_g(s)}{v_i(s)} = \frac{1}{s^3 L_i L_g C + s(L_i + L_g)} \quad (4.1)$$

Denklem 4.1’de verilen LCL filtrenin transfer fonksiyonunda; i_g , şebeke tarafı akımı, v_i , evirici tarafı gerilimi, L_i ve L_g ise şebeke tarafı ve evirici tarafı endüktanslarıdır.

Şekil 4.7’de verilen LCL filtre yapısının rezonans frekansı (f_{res}) denklem 4.2’deki gibi hesaplanmaktadır. Denklem 4.2’de verilen “C”, filtre kapasitörüdür.

$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{L_i + L_g}{L_i L_g C}} \quad (4.2)$$

LCL filtre tasarımında evirici tarafı bobinin L_i endüktans değeri denklem 4.3’teki gibi hesaplanmaktadır. Şebeke tarafı endüktans değeri ise, evirici tarafı endüktansın, bir korelasyon katsayısı (r) ile çarpılmasıyla elde edilir.

$$L_i = \frac{U_{dc}}{8\Delta i_{Li_max} f_{sw}} \quad (4.3)$$

$$L_g = r \cdot L_i \quad (4.4)$$

Denklem 4.3’te verilen U_{dc} (V), DC taraf gerilim değeridir. f_{sw} (Hz) ise sistemin anahtarlama frekansıdır. U_{dc} , değeri ise denklem 4.5’teki gibi hesaplanmaktadır. Denklem 4.5’te verilen E_n , faz-faz arası gerilimin RMS değeri, M ise modülasyon indeksidir.

$$U_{dc} = \frac{2E_n\sqrt{2}}{M\sqrt{3}} \quad (4.5)$$

Filtre kapasitörü “ C_f ” aşağıdaki gibi hesaplanmaktadır. Denklem 4.6’da verilen Z_b , baz empedansdır. U_n , faz-faz arası RMS gerilimi (evirici çıkışı) ve P_n ise anma gücüdür. Denklem 4.7’de verilen C_b ise baz kapasitans değeridir. ω_g , şebeke tarafı açısal frekansıdır.

$$Z_b = \frac{U_n^2}{P_n} \quad (4.6)$$

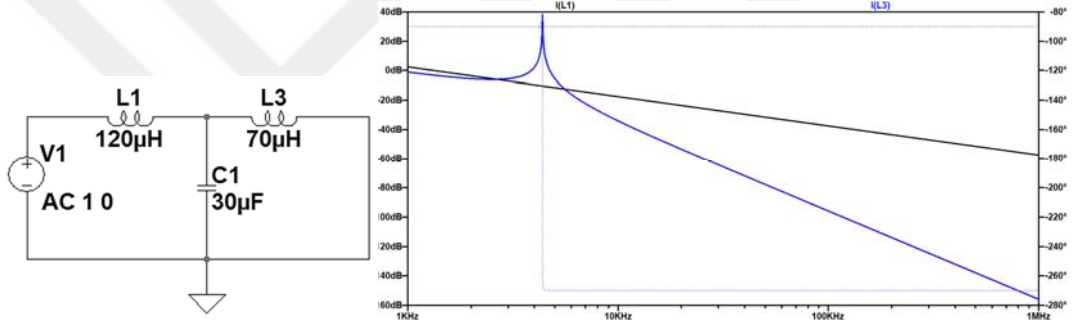
$$C_b = \frac{1}{\omega_g \cdot Z_b} \quad (4.7)$$

Denklem 4.3’te verilen Δi_{Li_max} değeri ripple akımının %10’u kadardır. Filtre kapasitörü C_f ise baz kapasitörün %5’i kadar olarak hesaplanmaktadır.

$$\Delta i_{Li_max} = 0.01 \frac{P_n \sqrt{2}}{U_n} \quad (4.8)$$

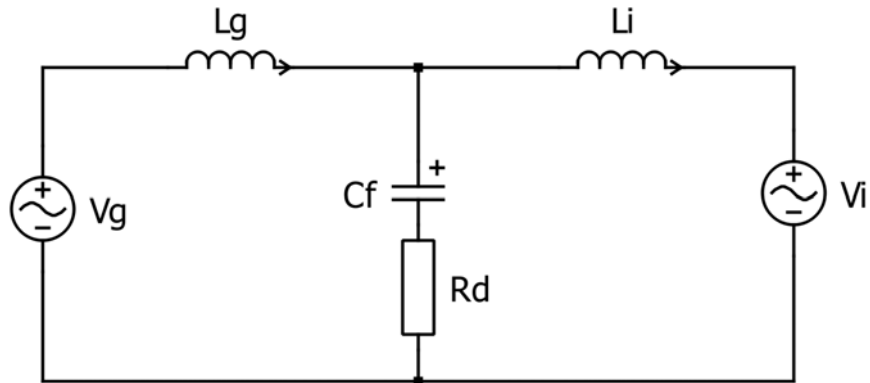
$$C_f = 0.005C_b \quad (4.9)$$

Şekil 4.8’de gösterilen LCL yapısı içerisinde bulunan 3 pasif eleman ile 3. dereceden bir filtre oluşturulur. Bu sayede sönümlleme oranı -60 dB/dec oranına çıkarak yüksek frekanslarda daha iyi sönümlleme elde edilebilir. Rezonans frekansı olarak 12.5 kHz seçilen sistem ve bu frekanstaki rezonansın etkisi Şekil 4.8’de görülebilir. Rezonans frekansı öncesindeki davranış, tek endüktansın davranışı ile aynı olmasına rağmen, rezonans frekansının üstünde sönümlleme oranı -60 dB/dec oranına çıkarak yüksek frekansları çok iyi süzer. Bu yapıda oluşan rezonans noktası evirici tarafından uyarılarak kararsızlıklara neden olabileceğinden filtrenin bir direnç yardımıyla sönümlendirilmesi gerekmektedir. Şekil 4.8’de verilen LTSpice çıktısında I(L1) ile gösterilen siyah renkli sinyal sadece L filtre kullanılarak tasarlanan yapıya aittir. Mavi renkli gözükten I(L3) sinyal ise LCL yapısına aittir.



Şekil 4.8 : LCL filtre yapısı ve sönümlleme karakteristiği.

Kullanılan kondansatöre seri bağlanacak bir direnç ile rezonans frekansındaki kuvvetlendirme etkisi azaltılmış ve bu noktadaki oluşabilecek kararsızlık sorunları çözümlenmiş olur. Çok büyük seçilen direnç, sönümlleme etkisini azaltırken, çok küçük seçilmesi de rezonans noktasındaki kuvvetlendirmeyi yeteri kadar azaltamaz. Şekil 4.9’da sönümlleme direnci eklenmiş LCL filtre yapısı verilmiştir.



Şekil 4.9 : Sönümlleme direnci eklenmiş LCL filtre yapısı.

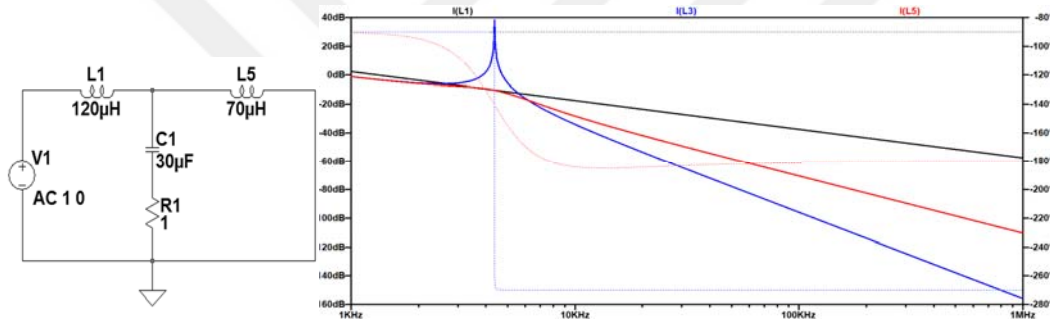
Şekil 4.9’da verilen sönümleme direnci eklenmiş LCL filtre yapısında, R_d , sönümleme direnci denklem 4.10’daki gibi hesaplanır.

$$R_d = \frac{1}{3} \cdot \frac{1}{2\pi f_{res} C_f} \quad (4.10)$$

Sönümleme direnci eklenmiş LCL filtre yapısının transfer fonksiyonu ise denklem 4.11’de verilmiştir.

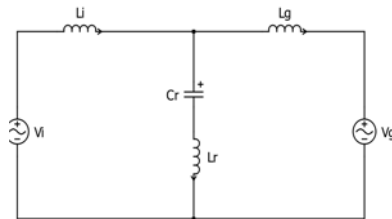
$$\frac{i_g(s)}{v_i(s)} = \frac{sR_d C + 1}{s^3 L_i L_g C + s^2 (L_i + L_g) R_d C + s(L_i + L_g)} \quad (4.11)$$

Şekil 4.10’da sönümleme direnci ile birlikte oluşturulmuş LCL filtre yapısı ve karakteristiği görülebilir. Şekil 4.10’da LTSpice ortamında simülasyonu yapılmış, sönümleme direnci eklenmiş LCL filtrenin karakteristiği kırmızı renkli I(L5) ile görülmektedir.



Şekil 4.10 : Sönümlenmiş LCL Filtre yapısı ve sönümleme karakteristiği.

Bağlanan direnç ile rezonans frekansındaki yükselme sönümlenebilmiştir fakat rezonans frekansı sonrası sönümleme oranı artık -60dB/dec değildir. Bu sebeple filtrenin anahtarlama frekansı olan 40 kHz’deki sönümleme performansı şebeke standartlarına uygun olmayacaktır. Bu sebeple sisteme anahtarlama frekansına akort edilmiş bir LC trap filtre eklenmiştir. Yeni oluşturulan yapı LCL-LC olarak isimlendirilir.

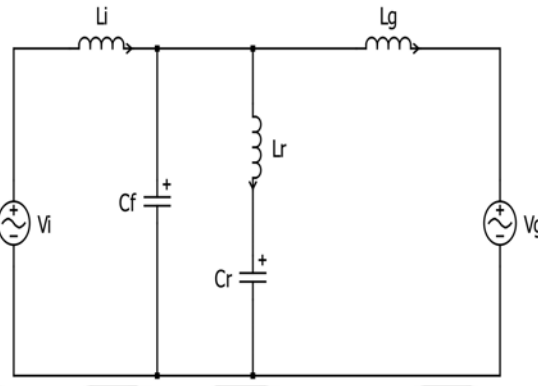


Şekil 4.11 : Trap filtre topolojisi.

Şekil 4.11’de verilen trap filtre topolojisi içinde kullanılan LC seri rezonans devresi anahtarlama frekansında çalışmaktadır. Devrede filtre kapasitörüne seri yer alan L_r , rezonans bobini olarak kullanılmaktadır. C_r ve L_r , anahtarlama frekansından kaynaklı harmonikleri azaltmak için anahtarlama frekansına ayarlanmış rezonans devresi oluşturmak için bir LC devresi olarak eklenir. Şekil 4.11’de verilen trap filtrenin transfer fonksiyonu denklem 4.12’de verilmiştir.

$$G_{trap}(s) = \frac{L_r C_r s^2 + 1}{s^3 (L_i L_g C + (L_i + L_g) L_r C) + s(L_i + L_g)} \quad (4.12)$$

Şekil 4.12’de LC trap filtre eklenmiş LCL-LC filtre yapısı verilmiştir.



Şekil 4.12 : LCL-LC filtre topolojisi.

Şekil 4.12’de verilen LCL-LC filtre yapısının transfer fonksiyonu denklem 4.13’te verilmiştir.

$$G_{LCL-LC}(s) = \frac{L_r C_r s^2 + 1}{s^5 (L_i L_g L_r C_r C_f) + s^3 (L_i L_g (C_f + C_r) + L_r C_r (L_i + L_g)) + s(L_i + L_g)} \quad (4.13)$$

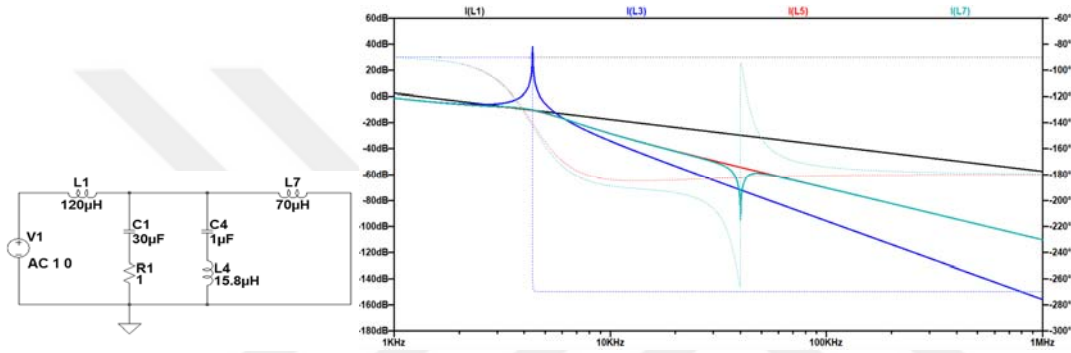
LCL-LC filtre yapısında iki adet rezonans frekans noktası bulunmaktadır. ω_1 ve ω_2 rezonans frekans değerleri şu şekil de hesaplanmaktadır;

$$\omega_1 = \sqrt{\frac{A + B - \sqrt{C + D + E}}{F}}, \quad \omega_2 = \sqrt{\frac{A + B + \sqrt{C + D + E}}{F}} \quad (4.14)$$

Denklem 4.14’te verilen A,B,C,D,E ve F değerleri ise;

$$\left. \begin{aligned}
 A &= L_i L_g (C_f + C_r) \\
 B &= L_r C_r (L_i + L_g) \\
 C &= L_i^2 L_g^2 (C_f + C_r)^2 \\
 D &= L_r^2 C_r^2 (L_i + L_g)^2 \\
 E &= 2 L_i L_g L_r C_r (L_i + L_g) (C_r - C_f) \\
 F &= 2 L_i L_g L_r C_r C_f
 \end{aligned} \right\} \quad (4.15)$$

Kullanılan LC trap filtre ile birlikte filtrenin frekans karakteristiği Şekil 4.13'te verilmiştir. Şekil 4.13'te verilen karakteristik analizinde turkuaz renkli I(L7), trap filtre eklenmiş LCL-LC filtre yapısının karakteristiğidir. Ölçümler L7 endüktansı üzerinden alınmıştır.



Şekil 4.13 : LCL-LC filtre yapısı ve sönümlleme karakteristiği.

Tasarlanan filtredeki asıl amaç anahtarlama frekansı ve bunun katlarındaki bantlarda oluşan gürültünün şebekeye aktarılmasındadır. Çizelge 4.1'de filtre yapılarının, anahtarlama frekansı ve bunun iki katındaki sönümlleme etkileri gösterilmiştir. Buna göre sadece tek bir endüktans kullanılması ile kıyaslandığında LCL-LC filtre yapısı anahtarlama gürültüsünü 59.4 dB yani yaklaşık 933 kat daha iyi sönümlemektedir.

Çizelge 4.1 : Filtre sönümlleme karakteristikleri

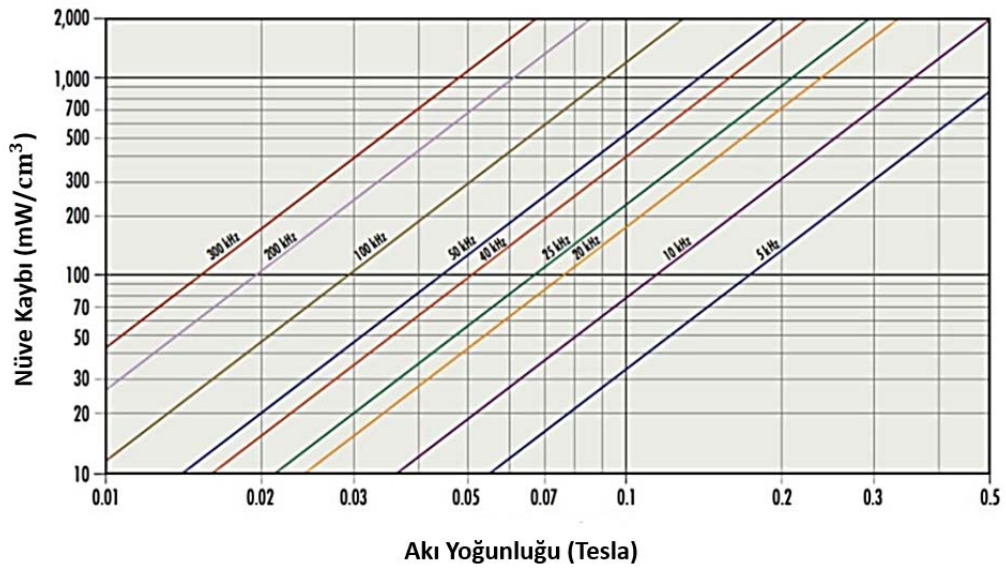
Filtre	40kHz	80kHz
L	-14.5 dB	-20.5 dB
LCL – Sönümlenmemiş	-36 dB	-54.7 dB
LCL – Sönümlenmiş	-20.7 dB	-31.8 dB
LCL – LC	-73.9 dB	-32.3 dB

4.3 LCL Filtre Isıl Tasarımı

LCL filtrede üç farklı tip pasif eleman bulunmaktadır. Bu pasif elemanların her biri farklı kayıp modellerine sahiptir. Kondansatörlerin kayıpları, iç dirençleri olan ESR'ler ile ifade edilirken, endüktanslarda sargıların oluşturduğu bakır kayıpları

dışında nüvelerin de kendi kayıpları vardır. Dirençler ise doğrudan üzerinden geçen akıma bağlı olan bir kayıp karakteristiği çizerek.

LCL filtrenin her fazında evirici tarafında 3 adet ve şebeke tarafında 1 adet olmak üzere faz başına 4 adet bobin bulunmaktadır. Kullanılan XFlux tipi nüvenin, nüve kayıpları eğrileri Şekil 4.14'te görüldüğü gibidir. Nüve kayıpları, doğrudan frekans ve manyetik akı yoğunluğuna bağlıdır. Bakır kayıpları ise paralel iletken sayısı, iletken kesiti ve tur sayısına bağlı olmasına rağmen yüksek frekans bileşenlerinde deri etkisi de hesaba katılmıştır.



Şekil 4.14 : Kullanılan nüvenin farklı frekanslar için nüve kayıp eğrileri [73].

Şebeke tarafı ve evirici tarafı için tasarlanan bobinlerin manyetik özelliklerinin hesabı ve kayıp hesapları seçilen nüvenin datasheetleri incelenerek yapılmıştır. Evirici ve şebeke tarafı bobin tasarımı yapılırken Magnetics'in XFlux malzeme tipli toroidleri kullanılmıştır. Kullanılan toroidlerin farklı frekanslardaki nüve kayıp eğrileri Şekil 4.14'te verilmiştir. Datasheet'teki veriler ve eğrilerden yola çıkılarak aşağıda verilen denklemler kullanılarak Excel'de oluşturulan tablolar ile tasarım için gerekli hesaplamalar yapılmıştır.

Tasarımı gerçekleştirilen toroidlerin manyetik özelliklerinin hesabı yapılırken;

$$H_{maks} = \frac{(4\pi \cdot N \cdot I_{tepe})}{L_e} \quad (4.16)$$

Denklem 4.16’da verilen akım yoğunluğu A/mm^2 cinsinden hesaplanmıştır ve H_{maks} birimi olarak Oe(Oersted) alınmıştır. N, sarım sayısı ve I_{tepe} , akımın tepe değeridir. L_e , nüvenin yol uzunluğudur.

$$Anlık\ Permeability = \frac{\mu_{in}}{100} \cdot \frac{1}{(a + b \cdot (H_{maks})^c)} \quad (4.17)$$

Denklem 4.17’de verilen a,b ve c değerleri kullanılan nüvenin datasheetinden seçilir. μ_{in} , nüvenin permeability değeridir. Denklem 4.18’de verilen μ_{eff} , anlık permeability değeridir.

$$B_{maks} = (\mu_{eff}) \cdot H_{maks} \cdot 10^{-4} \quad (4.18)$$

Tasarımı gerçekleştirilen toroidlerin AC direnç hesabı yapılırken μ_{cw} , iletken telin permeability değeridir;

$$Yüzey\ Katman\ Etkisi(Skin\ Depth) = 10^3 \cdot \left(\sqrt{\frac{\rho}{\pi \cdot f \cdot \mu_{cw}}} \right) \quad (4.19)$$

Denklem 4.19’da verilen özgül direncin birimi ohm.m’dir ve ρ ile gösterilmiştir. Frekans (f)’in birimi ise Hz cinsindendir. Denklem 4.20’de ise q_{eff} , efektif kesitin, q_c , iletken kesit üzerinden hesabı verilmiştir. ϕ_c , iletken çapı, l_c ise iletken uzunluğudur.

$$q_{eff} = q_c - (\phi_c - 2 \cdot Skin\ Depth)^2 \cdot \pi / 4 \quad (4.20)$$

$$R_{AC} = \frac{(\rho \cdot l_c \cdot 10^6)}{q_{eff} \cdot Paralel\ Kol\ Sayısı} \quad (4.21)$$

Denklem 4.21’de R_{AC} , AC sargı direnci verilmiştir. Tasarımı gerçekleştirilen toroidlerin kayıp hesabı yapılırken P_{cu} , bakır kaybı verilmiştir. Denklem 4.22’de I_{RMS} , akımın rms değeridir.

$$P_{cu} = R_{AC} \cdot (I_{RMS})^2 \cdot 10^{-3} \quad (4.22)$$

$$P_{core} = (Nüve\ Sayısı \cdot V) \cdot (a \cdot B_{maks}^b \cdot frekans^c) \cdot 10^{-6} \quad (4.23)$$

$$Toplam\ Kayıplar = P_{cu} + P_{core} \quad (4.24)$$

Denklem 4.23’te verilen frekans değeri kHz cinsinden denklemde hesaplanmaktadır. Nüve hacmi mm^3 cinsindendir. V, nüve hacmi ve P_{core} ise nüve kaybıdır.

$$J = \frac{I}{İletken\ kesiti \cdot Paralel\ Kol\ Sayısı} \quad (4.25)$$

Denklem 4.25'te verilen iletken üzerindeki akım yoğunluğunun (J) biri A/mm^2 cinsinden ve I , akımdır. Akım yoğunlu hesaplanırken dikkat edilen en önemli kriterlerden biri $5A/mm^2$ akım yoğunluğunun üzerine çıkılmamasıdır. Yapılan detaylı literatür taraması ve deneyler sonucunda $5A/mm^2$ üzerindeki değerlerde aşırı ısınma ve zamanla doyuma ulaşma gibi sorunlar ile karşılaşılmaktadır. Aşırı ısınan sistemin soğutulması için de daha pahalı ve daha özel tasarımlar gerekmektedir.

Evirici ve şebeke tarafı bobin için akım yoğunluğu $4.76A/mm^2$ hesaplanmıştır.

Buna göre tek bir bobin için hesaplanan kayıplar, tam yükte çalışma için Çizelge 4.2 ve Çizelge 4.3'te verilmiştir. Bakır kayıplarını azaltmak için paralel iletkenler kullanılarak tasarım yapılmıştır. Bobinin baskın olan kaybı yüksek akımdan dolayı bakır kaybıdır. Fakat anahtarlama frekansı olan 40kHz'de nüve kayıpları beklendiği gibi bakır kayıplarına göre daha baskın çıkmıştır. Tasarım sonucunda şebeke tarafı bobinin endüktansı $70\mu H$ ve evirici tarafı bobinin endüktansı ise $120\mu H$ olacak şekilde gerçekleştirilmiştir.

Anahtarlama frekansı olan 40kHz'deki anahtarlama gürültüsünü sönmülemde kullanılan trap filtrede ise yüksek frekans nüve kayıpları daha düşük olan Kool Mu tipi nüve kullanılmıştır. Bu filtre üzerinden geçen akıma bileşeni olan 20A'e göre seçilen nüvenin kayıp eğrileri Şekil 4.15'te ve kayıp hesabı da Çizelge 4.4'te verilmiştir.

Evirici ve şebeke tarafı bobin tasarımları için yapılan hesaplamalarda kullanılan nüve kaybı formülü Arnold nüveler için datasheet'te farklı verilmiştir. Denklem 4.26'da Arnold nüve kaybı hesabı verilmiştir.

$$Nüve Kayıpları = \frac{f}{\frac{a}{B_{pk}^3} + \frac{b}{B_{pk}^{2.3}} + \frac{c}{B_{pk}^{1.65}}} + d \cdot B_{pk}^2 \cdot f^2 \quad (4.26)$$

Denklem 4.26'da frekans Hz cinsinden, B ise gauss cinsinden ve a, b, c, d datasheet'ten seçilerek verilen değerlerdir.

Çizelge 4.2 : Evirici tarafı bobinin kayıp hesabı

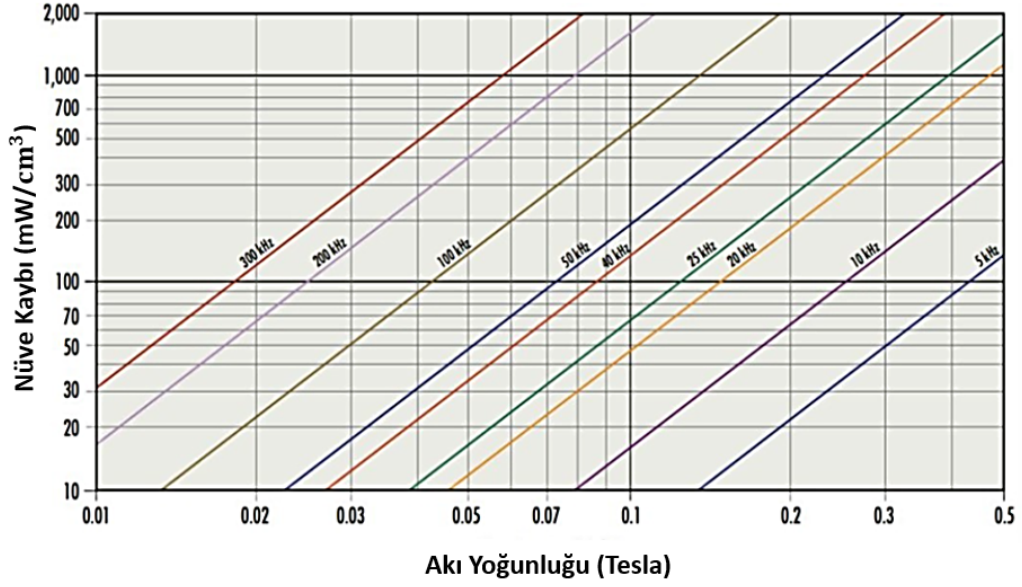
Akım Bileşenleri			Manyetik Özellikler			AC Direnç			Kayıplar		
Frekans (Hz)	Akım (RMS) (A)	Akım (tepe) (A)	Hmax (Oe)	Permeability	Bmax (T)	Skin Depth (mm)	Efektif Kesit (mm ²)	AC Sargı Direnci (mohm)	Bakır Kayıpları (W)	Nüve Kayıpları (W)	Toplam Kayıplar (W)
50	50	70.71	217.35	17.53	0.381	9.33	2.62	8.31	20.766	0.186	20.952
40000	10	14.14	43.463	17.53	0.076	0.33	1.55	14.04	1.404	21.278	22.681
80000	3	4.24	13.039	17.53	0.023	0.23	1.17	18.65	0.168	4.303	4.471

Çizelge 4.3 : Şebeke tarafı bobinin kayıp hesabı

Akım Bileşenleri			Manyetik Özellikler			AC Direnç			Kayıplar		
Frekans (Hz)	Akım (RMS) (A)	Akım (tepe) (A)	Hmax (Oe)	Permeability	Bmax (T)	Skin Depth (mm)	Efektif Kesit (mm ²)	AC Sargı Direnci (mohm)	Bakır Kayıpları (W)	Nüve Kayıpları (W)	Toplam Kayıplar (W)
50	50	70.71	164.196	18.19	0.299	9.33	2.62	6.28	15.69	0.114	15.804

Çizelge 4.4 : 40kHz frekans bileşeni için trap bobinin kayıp hesabı

Akım Bileşenleri			Manyetik Özellikler			AC Direnç			Kayıplar		
Frekans (Hz)	Akım (RMS) (A)	Akım (tepe) (A)	Hmax (Oe)	Permeability	Bmax (G)	Skin Depth (mm)	Efektif Kesit (mm ²)	AC Sargı Direnci (mohm)	Bakır Kayıpları (W)	Nüve Kayıpları (W)	Toplam Kayıplar (W)
40000	10	14	64.369	23.99	1544.433	0.33	0.03	5.78	0.578	4.152	4.73



Şekil 4.15 : Kullanılan nüvenin farklı frekanslar için nüve kaybı eğrileri [73].

Trap filtre ve sönümlenmiş kondansatör hattındaki kondansatörlerin iç dirençleri $12.5\mu\Omega$ olarak hesaplanmıştır. Trap filtre hattından bir adet $1\mu F$ 'lık kondansatör bulunmakta ve üzerinden 20A geçmektedir. Sönümlenmiş kondansatör hattında ise iki tane paralel $15\mu F$ 'lık kondansatör bulunmaktadır. Bu hat üzerindeki akım ise 3A'dır. Ayrıca kondansatörlere seri bağlı 1Ω 'luk sönümleme direnci bulunmaktadır. Bu verilere göre hesaplanan faz başı kayıplar Çizelge 4.5'te verilmiştir. Kondansatörlerin iç dirençleri ve kayıpları çok küçük olduğundan hesaplamaya dahil edilmemiştir. LCL filtredeki faz başı toplam kayıp 180.3W olarak bulunmuştur. Üç faz için toplam kayıp ise 529.095W'tır.

Çizelge 4.5 : LCL filtre kayıpları

LCL-LC Filtre	Kayıp Değerleri
LCL-Evirici tarafı	3x48.104 W
LCL-Şebeke tarafı	15.804 W
Sönümleme direnci	9 W
Trap filtre endüktansı	4.73 W
Faz başı toplam kayıp	176.365 W
Toplam kayıp	526.576 W

Yukarıda tasarım süreçleri ve kayıp hesapları anlatılan LCL filtre endüktanslarının ısı analizleri Elektra Elektronik San. ve Tic. A.Ş.'de kullanılan lisansı bulunan RALE yazılımı aracılığı ile yürütülmüştür.

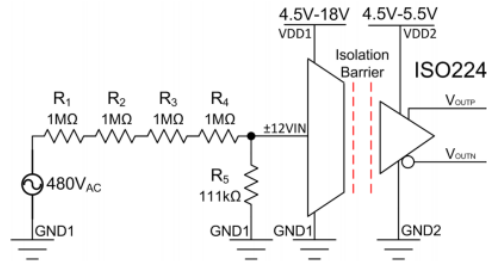
Tasarlanan LCL filtre kartının Layout tasarımı ve 3D PCB tasarımı EK B’de verilmiştir. PCB tasarımı yapılırken, yüksek frekans bileşenine sahip akımların akacağı dikkate alınarak PCB’nin bakır kalınlığına özellikle dikkat edilmiştir.



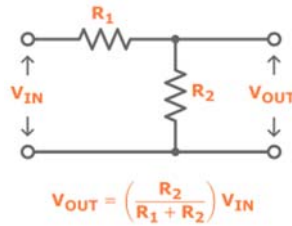
5. ÖLÇÜM DEVRELERİ ve EVİRİCİ TASARIMI

5.1 Ölçüm Devresi

Donanımın en önemli kısımlarından olan akım ve gerilim ölçüm birimlerinin tasarımı için detaylı araştırmalar yapılmıştır. Akım ve gerilim ölçümü, evirici sistemlerinde performans ve güvenilirlik açısından kritik bir başlık olup sistem başarımının temel ölçütlerinden biridir. Gerilim ölçümü için farklı yöntemler bulunmuştur. Bu yöntemler içerisinde en uygun maliyetli ve en işlevsel olanı seçildi. Gerilim ölçümü için en yaygın olarak kullanılan yöntem Şekil 5.1’de gösterilmiştir. Ölçülmek istenen gerilim seviyesine göre büyük değerli dirençler kullanarak gerilim bölücü ile gerilim seviyesi düşürüldükten sonra, izole girişli bir kuvvetlendiriciye verilir. Ölçüm devrelerinde kullanılan kuvvetlendiriciler genellikle 5V-15V seviyelerinde çalıştığı için Şekil 5.2’de gösterilen gerilim bölücü devreler ile gerilim seviyesi küçültülmelidir. Sonrasında kuvvetlendirici çıkışındaki sinyaller kontrol için kullanılan gömülü sistemin analog girişlerine bağlanır. Yazılım içerisinde okunan bu değerler, ölçüm devresine takılı olan elemanlara bağlı olarak hesaplanan katsayılar ile çarpılarak istenilen ölçüm hesaplanır.



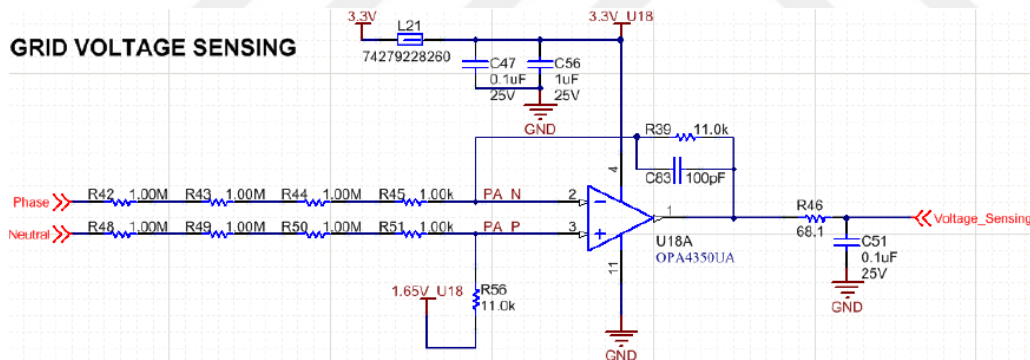
Şekil 5.1 : AC gerilim ölçümü için kullanılan izole kuvvetlendirici devre.



Şekil 5.2 : Tipik bir gerilim bölücü devresi.

[illegible]

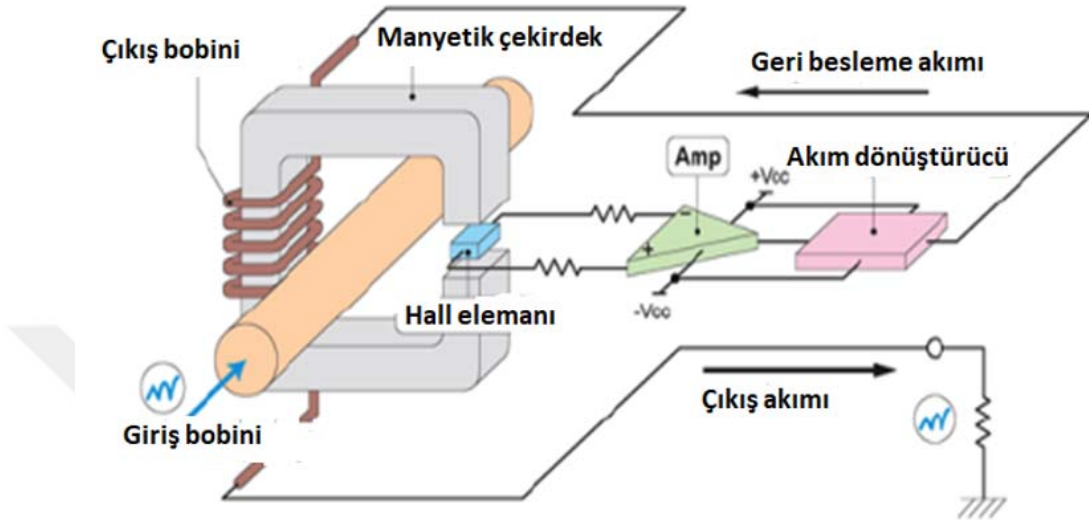
[TI Reference Design: TIDA-01541]



[TI Reference Design: TIDA-01606]

66

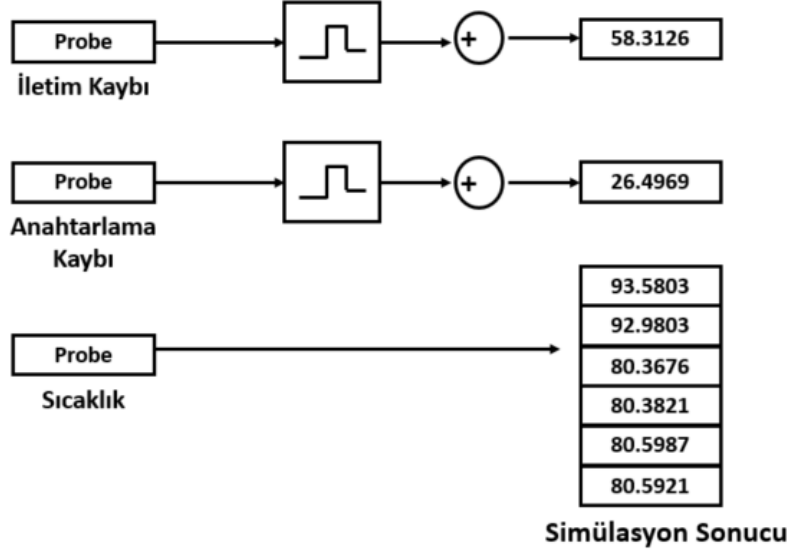
manyetik akıyı hassas bir şekilde ölçecek şekilde tasarlanır ve bir fark yükselteci ile çıkış, akıma dönüştürülerek ek sargıdan geçirilir. Oluşturulan bu akım ölçüm akımı olarak karşımıza çıkar. Bu akımın sıcaklığa karşı düşük toleranslı bir direnç üzerinden geçirilerek gerilim çıkışı elde edilebilir.



Şekil 5.5 : Kapalı-çevrim Hall-effect sensör ile akım ölçümü [74].

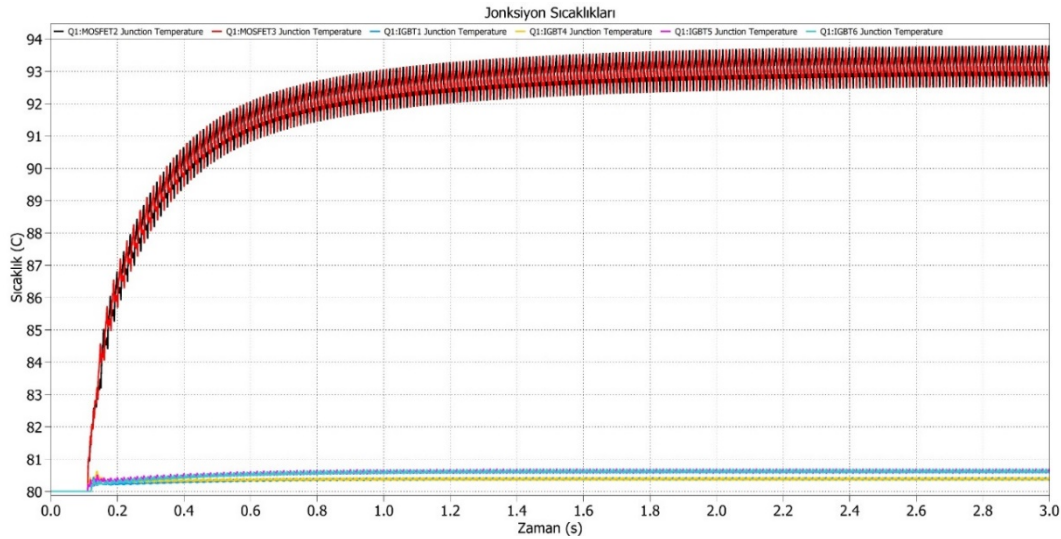
5.2 Evirici Tasarımı ve Kayıp Analizi

Evirici yapısında her fazda üç adet INFINEON-F3L11MR12W2M1-B65 kodlu 3L-ANPC SiC-MOSFET modül kullanılmasına karar verilmişti. Ancak üretici firma INFINEON'un modülün üretimini sonlandırıp F3L11MR12W2M1_B74 kodlu modül çıkartmasıyla tasarımın 2 adet F3L11MR12W2M1-B74 kodlu 3L-ANPC SiC-MOSFET modül kullanılarak gerçekleştirilmesine karar verilmiştir. ANPC evirici modülünün kayıp analizleri PLECS ortamında gerçekleştirilmiştir. 80°C soğutucu sıcaklığı baz alınarak simülasyonlar gerçekleştirilmiştir. PLECS ortamında ısı kayıp, anahtarlama kaybı ve iletim kaybı için yapılan analizler için oluşturulan diyagram Şekil 5.6'da verilmiştir.



Şekil 5.6 : PLECS ortamında ANPC evirici kayıp analizi diyagramı.

Şekil 5.7’de sıcaklık analizi ile elde edilen sonuçlar verilmiştir. Şekil 5.7’de görüldüğü üzere 40kHz anahtarlama frekansında anahtarlama yapan MOSFET’lerin sıcaklıkları yaklaşık 94°C’de oturmaktadır. Şebeke frekansında anahtarlama yapan Si-IGBT’lerin sıcaklıkları ise 81°C civarında oturmaktadır. Şekil 5.7’de, MOSFET2 Junction Temperature, MOSFET2 Junction Temperature, IGBT1 Junction Temperature, IGBT4 Junction Temperature, IGBT5 Junction Temperature ve IGBT6 Junction Temperature grafikleri yer almaktadır.



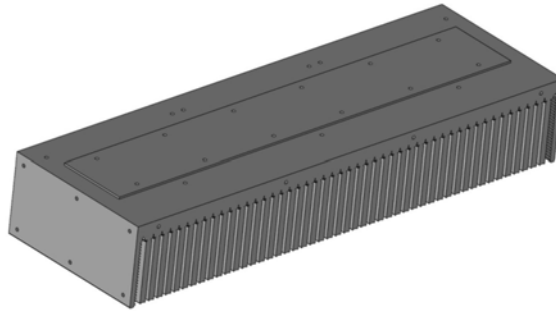
Şekil 5.7 : Si-IGBT, SiC-MOSFET anahtarlarının sıcaklıkları.

Evirici sisteminin ısı tasarımına öncelikle soğutucu geometrisinin ve yapısının seçimi ve boyutlandırılması ile başlanmıştır. Gün geçtikçe daha optimize olan yarı iletken

teknolojisi sayesinde, SiC MOSFET modüllerin çip alanları küçülmekte, modüllerin taban alanındaki ısı akış yoğunluğu artmaktadır. Bu sebeple yeni nesil ürünlerde artık ortama atılması gereken ısı aynı bile kalsa, ısıнын oluştuğu yüzey küçüldüğü için soğutucu üzerindeki ısı dağılımı homojenik olmamaktadır. Bu da ısıнын ortama atılmasını güçleştirmektedir. Bu problemin aşılabilmesi için soğutucu üreticileri bonded-fin yapısında soğutucular üretmektedir [75]. Bu soğutucular çok yüksek performansa sahip ürünler olup, güç yoğunluğunun yüksek olduğu uygulamalar için optimum fiyat ve performans sağlamaktadır.

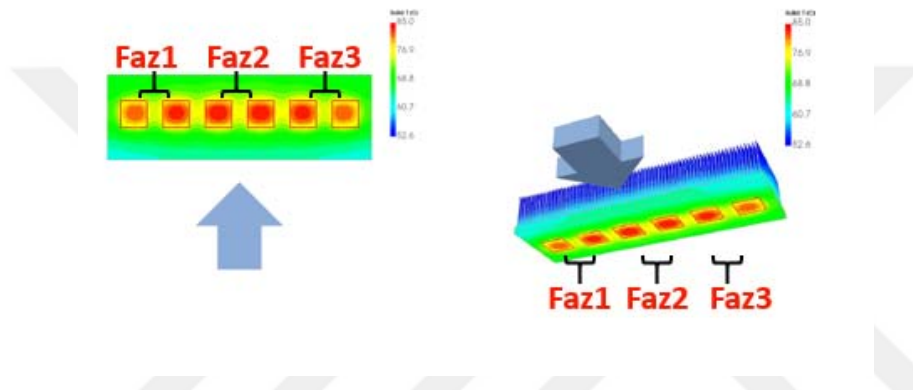
Soğutucu tasarımı yapılırken öncelikle dikkat edilen en önemli husus, evirici kartının tasarımında kullanılan hibrit modellerin ısı kaybı ve EK B’de layout ve 3D tasarımı verilen evirici kartının boyutu olmuştur. Şekil 5.7’de verilen simülasyon sonuçları ve Şekil 5.9’da verilen ısı analizler sonucu her bir fazda güç modüllerinin ürettiği sıcaklık belirlenmiştir. Simülasyon sonuçlarında elde edilen sıcaklık değerlerinden ve tasarlanan evirici kartının boyutundan yola çıkılarak soğutucunun boyutu belirlenmiştir. Boyutu belirlenen soğutucunun, zamanla güç modüllerinin ürettiği ısı sonucu ısınacak ve bu ısıнын dışarı atılması gerekmektedir. Bunun için sistem tasarımı yapılırken soğutucuyu ve soğutucunun arkasında bulunan LCL filtreyi soğutacak bir fan tasarımı yapmak gerekmektedir. Fanın soğutucudan LCL filtreye doğru hava akışının sağlanabilmesi için soğutucunun fin aralıkları düzgün bir şekilde seçilmesi gerekmektedir. Fanların hava akışı R-TOOLS MAXX’ta simüle edilmiştir ve bu simülasyonlar sonucunda soğutucunun fin aralıkları belirlenmiştir.

Yapılan araştırmalar sonucunda eviricinin ürettiği ısı değeri için 200mm uzunluğunda bir soğutucunun bile fazla olduğu görülmüştür. Buna göre yapılan ısı analizler ile 160mm uzunluğunda soğutucuların kullanılmasına karar verilmiştir. Üründe kullanılacak soğutucunun tasarımı Şekil 5.8’de verilmiştir.



Şekil 5.8 : Üründe kullanılacak soğutucunun görünümü.

Soğutucu boyutlandırması ve modüllerin soğutucu üzerindeki konumlarını simüle edebilmek için R-TOOLS MAXX online simülasyon programı kullanılmıştır. PLECS ile yapılan simülasyonlarda hesaplanan modül başı kayıplar 50x50mm 265W'lık ısı kaynağı olarak tanımlanmıştır. Simülasyon sonuçları göz önüne alınarak seçilen optimum soğutucu ve soğutucu üzerindeki modüllerin yerleşimleri Şekil 5.9'da gösterilmiştir. Modüller arasındaki ısı dengesi sağlayabilmek için modüller arasında 30mm mesafe bırakılmıştır. Simülasyon sonuçlarına göre orta kısma yerleştirilen modüllerin soğutucu yüzey sıcaklıkları en yüksek olmaktadır. Bu sıcaklık değeri Çizelge 5.1'de gösterildiği gibi 85°C olarak hesaplanmıştır.



Şekil 5.9 : R-TOOLS MAXX programında gerçekleştirilen simülasyon sonuçları.

Çizelge 5.1 : R-TOOLS MAXX programında gerçekleştirilen simülasyon sonuçlarına göre SiC modüllerin taban sıcaklıkları

Güç Modülü (GM)	Maksimum Sıcaklık (°C)
Faz1 – GM1	83.3
Faz1 – GM2	84.6
Faz2 – GM1	85.0
Faz2 – GM2	85.0
Faz3 – GM1	84.6
Faz3 – GM2	83.3

Çizelge 5.1'den görüldüğü üzere tasarlanan eviricinin soğutucu modelinde üç faz sıcaklıkları dengeli çıkmıştır. Her fazda kullanılan 2 adet güç modülünün ısı dağılımı da ayrıca dengelidir. Şekil 5.9'da üç faz için modellenen eviricilerin ısı dağılımı net bir şekilde dengeli bir ısı analiz yapıldığını göstermiştir.

6. GERÇEK ZAMANLI KONTROL ve SİMÜLASYON SONUÇLARI

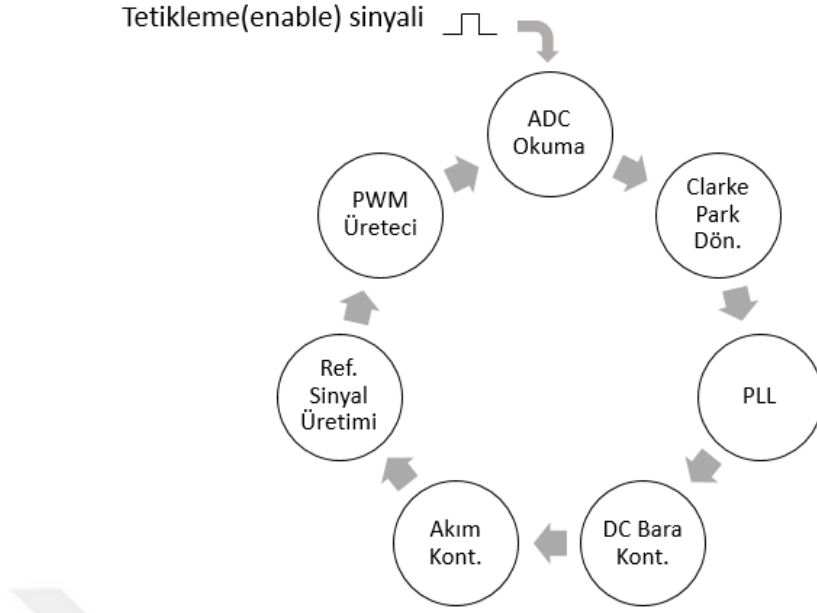
6.1 Gerçek Zamanlı Kontrol

Gerçek zamanlı kontrol algoritmasının donanım yapısında çeşitli zamanlama ve görev sıralama devreleri, Clarke ve Park dönüşümleri, PLL algoritmaları, matematiksel işlemler, PWM teknikleri gibi pek çok sistem bulunmaktadır. Bu sistemler FPGA aracılığıyla gerçek zamanlı olarak gerçekleştirilmiştir ve tasarlanan eviriciyi kontrol edecek gömülü sistem kartı tasarlanmıştır. Tasarlanan FPGA tabanlı gömülü sistem kartının 3D ve layout tasarımı EK B’de verilmiştir.

6.2 Benzetişim ve Deneysel Sonuçlar

6.2.1 Gerçek zamanlı kontrol algoritmasının benzetişimi

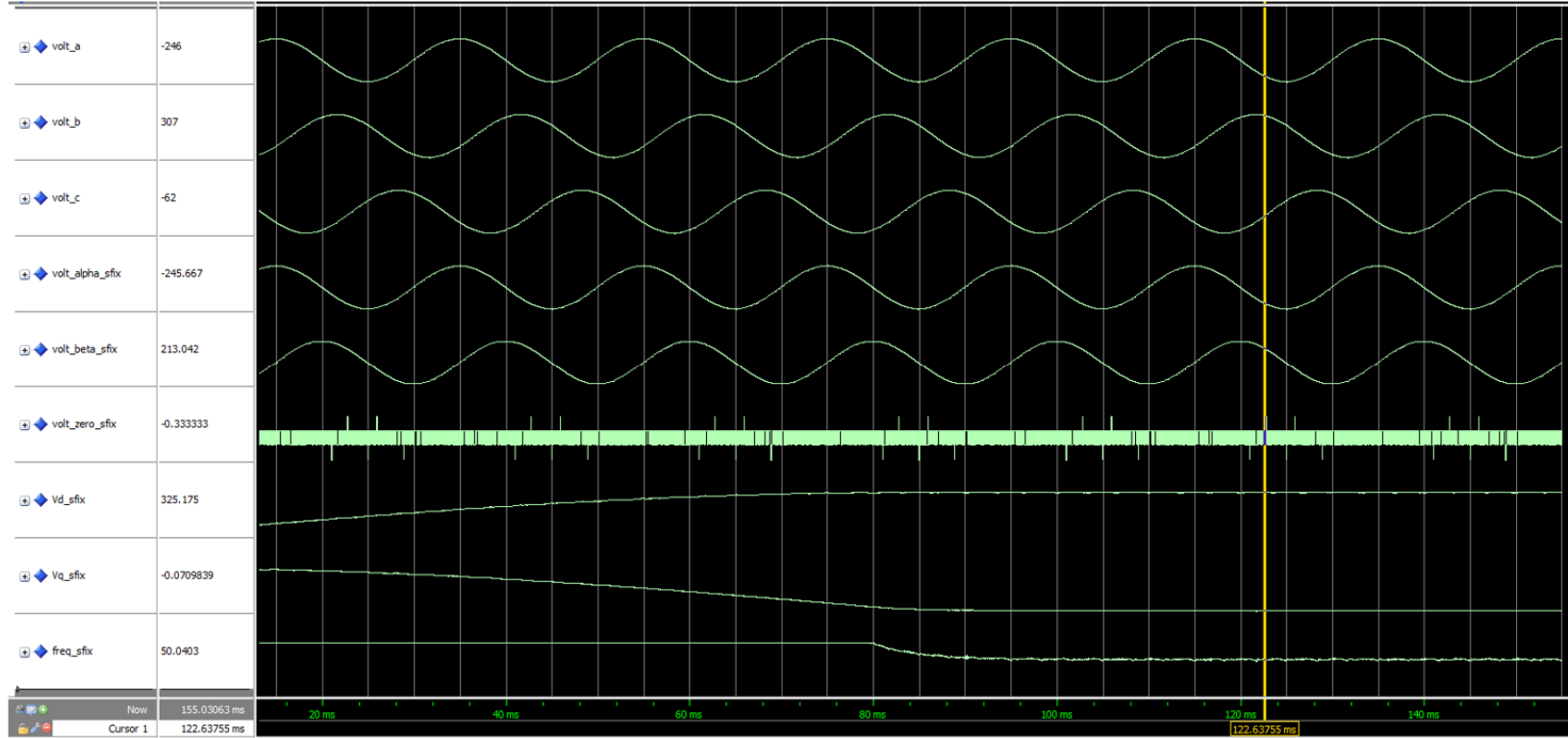
Gerçek zamanlı kontrol algoritmasının simülasyonu FPGA üzerinden gerçekleştirilmiştir. Kontrol birimi olarak FPGA MAX10 ailesinden 50k logic elementli bir FPGA kullanılmıştır. Gerçekleştirilen simülasyonlar ve testler Elektra Firması bünyesindeki yazılım ekibi desteği ile birlikte gerçekleştirilmiştir. Tasarlanan donanımların sentezi yapıldıktan sonra Modelsim uygulamasında simülasyonları yapılmıştır. En son Top Level tasarımının da simülasyonu yapılmıştır. Modelsim ortamında sentezlenen kodların simülasyonunun yapılabilmesi için VHDL dilinde testbenchler yazıldı. Yazılan testbenchlerde farklı durum senaryoları kontrol edilmiştir. Tasarımların simülasyonu yapılırken her türlü olumsuz durumun testbenchlerde kodu yazılıp simülasyonu yapılmıştır ve tasarlanan donanımların olumsuz durumlardan etkilenmesi minimuma indirgenmiştir. Şekil 6.1’de FPGA tabanlı gömülü sistem ile gerçekleştirilen gerçek zamanlı kontrol sisteminin akış diyagramı verilmiştir. Şekil 6.2’de verilen görselde şebekeden alınan gerilim sinyallerinin Clarke-Park dönüşümlerine girildiği ilk aşama verilmiştir.



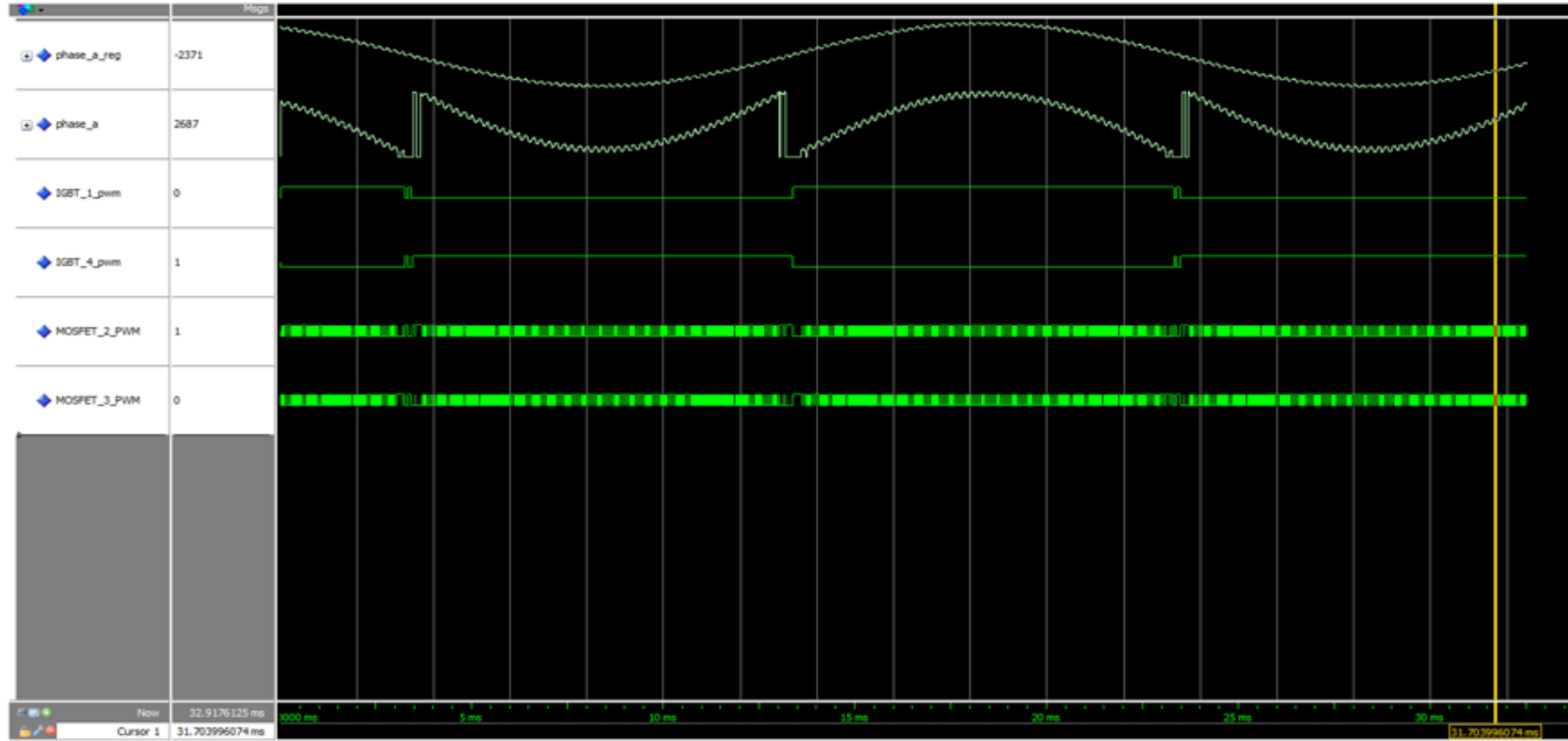
Şekil 6.1 : Gerçek zamanlı kontrol algoritması akış diyagramı.

Şekil 6.2’de sentezi yapılan Clarke komponentinin Modelsim simülasyon çıktısı gösterilmektedir. Clarke girişi üç faz abc girişleri testbenchte üretilmiştir. “X eksen” zaman, “Y eksen” ise sinyalin genliğini göstermektedir. Şekil 6.2’de görülen Clarke çıkış sinyalleri Max10 içerisinde gerçekleştirilmektedir. Şebekeden alınan gerilim sinyalleri analog dijital dönüştürücü (ADC) devreleri ile dijital sinyallere dönüştürülmektedir. Dönüştürülen sinyaller Max10 içerisinde Clarke-Park dönüşümlerinde kullanılmaktadır.

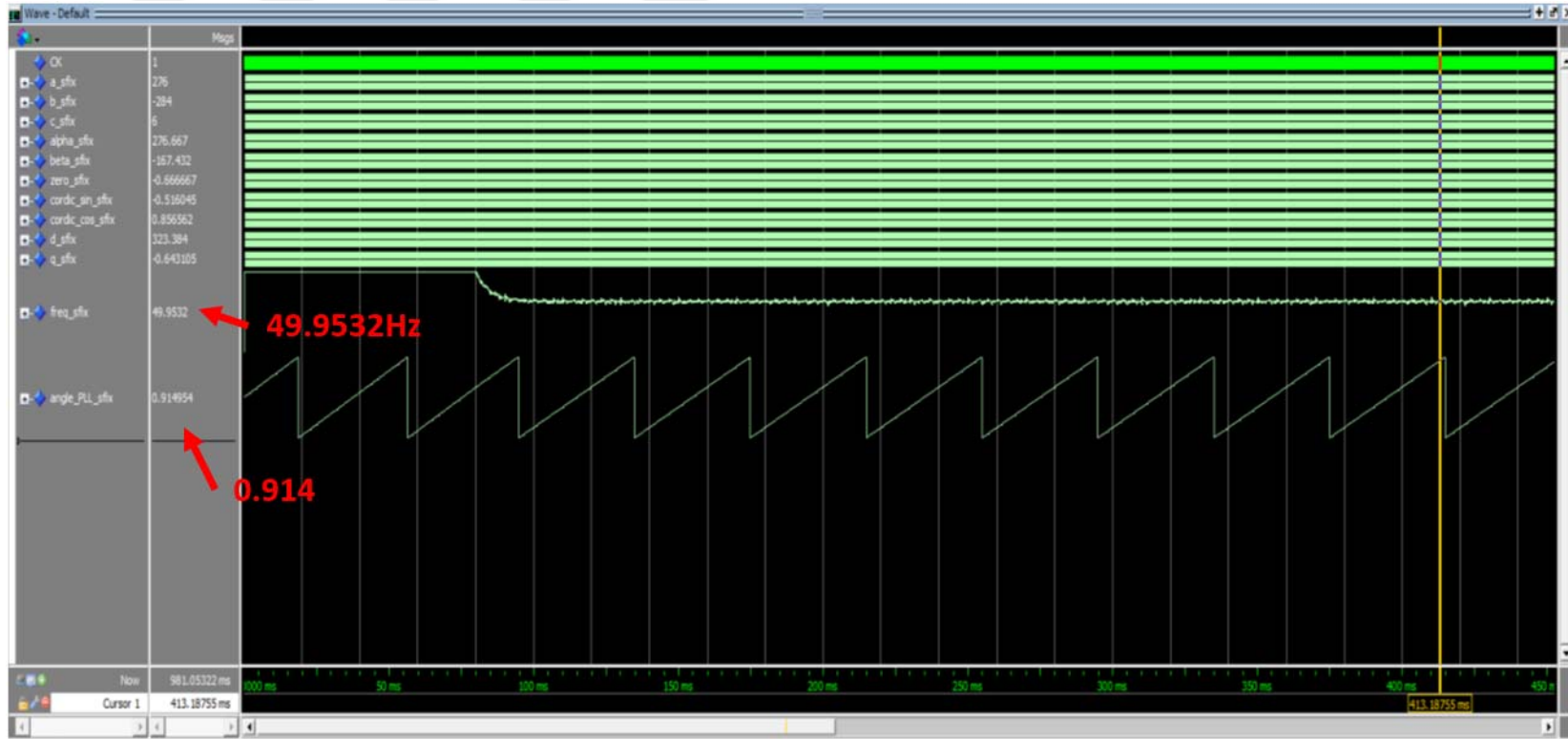
ANPC modül için PWM sinyalleri üretilmiştir. MOSFET bloğunun 40kHz’de anahtarlama yapılmaktadır. MOSFET’lerin PWM sinyalleri master sayaca senkron şekilde çalışan bir taşıyıcı sinyal ile referans sinyalinin karşılaştırılmasıyla oluşturulur. IGBT bloğunun PWM sinyalleri pozitif veya negatif döngüde olmasına göre belirlenir. Hızlı ve yavaş anahtarlamanın yapıldığı elemanların PWM sinyalleri başlangıçta birbirlerinden bağımsız olarak farklı süreçlerde paralel çalışacak şekilde üretilir. Sinyallere ölü zaman eklenmesi, MOSFET ve IGBT bloklarının durumlarına göre kontrol edilerek yapılır. Böylece DC barada yanlış anahtarlama sonucu, olası bir kısa devre ihtimalini ortadan kaldırır. Şekil 6.3’te PWM bloğuna giren referans sinyal, IGBT ve MOSFET’lerin PWM sinyalleri gösterilmektedir. Şekil 6.3’te verilen referans sinyal ve PWM sinyalleri X eksen zaman olacak şekilde verilmiştir. Burada sinyalin davranışı analiz edilmiştir.



Şekil 6.2 : Clarke Modelsim simülasyon sonucu.



Şekil 6.3 : Referans sinyal ve PWM sinyalleri.



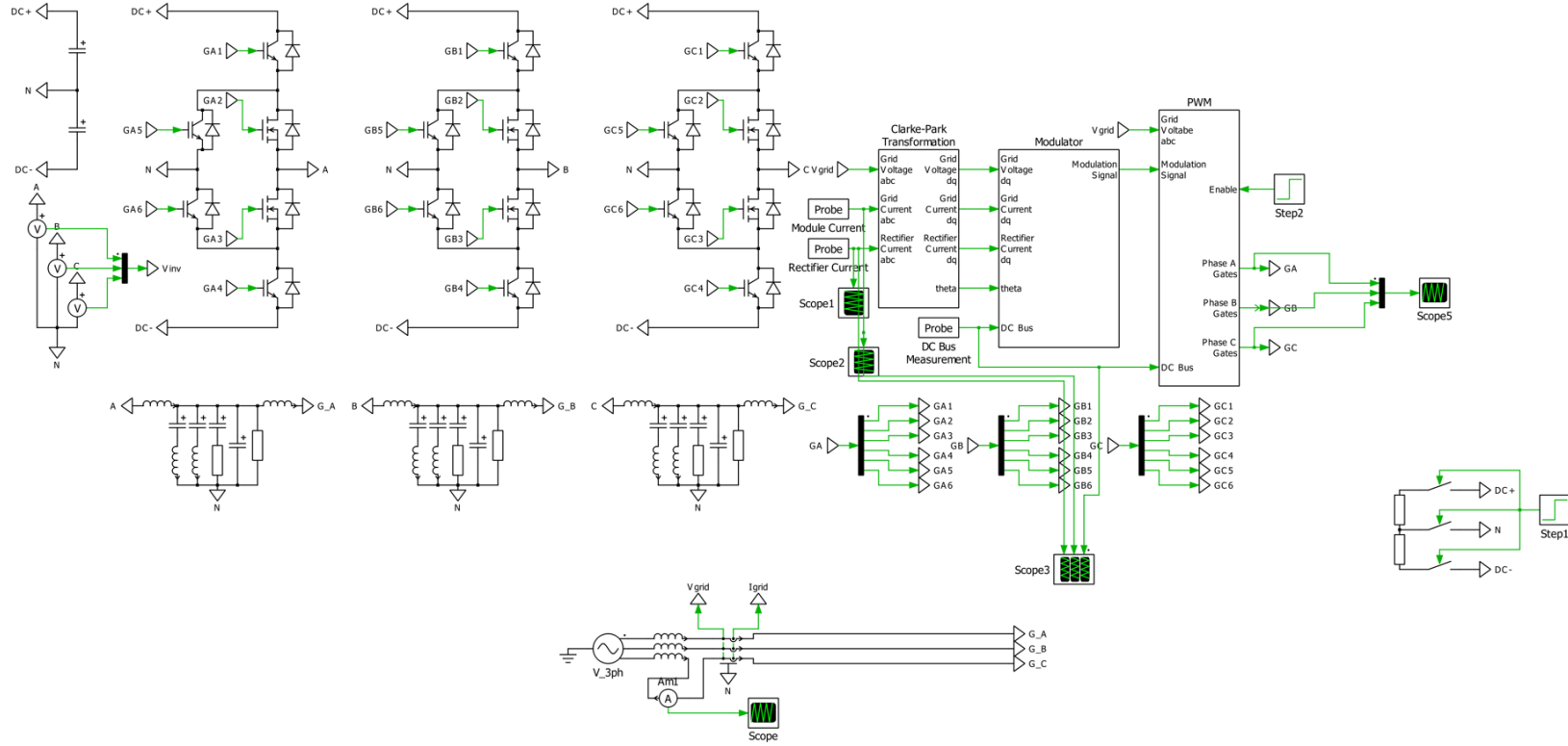
Şekil 6.4 : Vektör PLL Modelsim simülasyon sonuçları.

Clarke, Park ve CORDIC komponentleri simülasyon ortamında birleştirilip, sinyaller Modelsim'den kontrol edilmiştir. Üç faz abc girişleri ve CORDIC açılı girişi testbenchtan üretilip komponentlere verilmiştir. Bir sonraki aşamada sentezini yaptığımız vektör PLL komponenti de eklenmiştir. Böylece vektör matematik işlemleri için açılı değeri artık testbenchtan değil PLL'in çıkışından alınarak CORDIC'e uygulanmıştır. Şekil 6.4'te Simülasyon sonuçlarından sistemin 50Hz'e oturduğu görülmektedir. Şekil 6.4'te verilen PLL çıkışının X ekseni zaman eksenine verilmiştir. 50Hz'lik sinyalin Modelsim'de analiz edilebilmesi için zaman ekseninin birimi "ms" cinsinden ayarlanmıştır.

Şekil 6.4'te verilen PLL Modelsim simülasyon görselinde, testere dişli şeklinde görülen dalga şekli faz açısını ve üzerinde bulunan dalga şekli ise PLL çıkışının 50Hz'e oturduğunu göstermektedir.

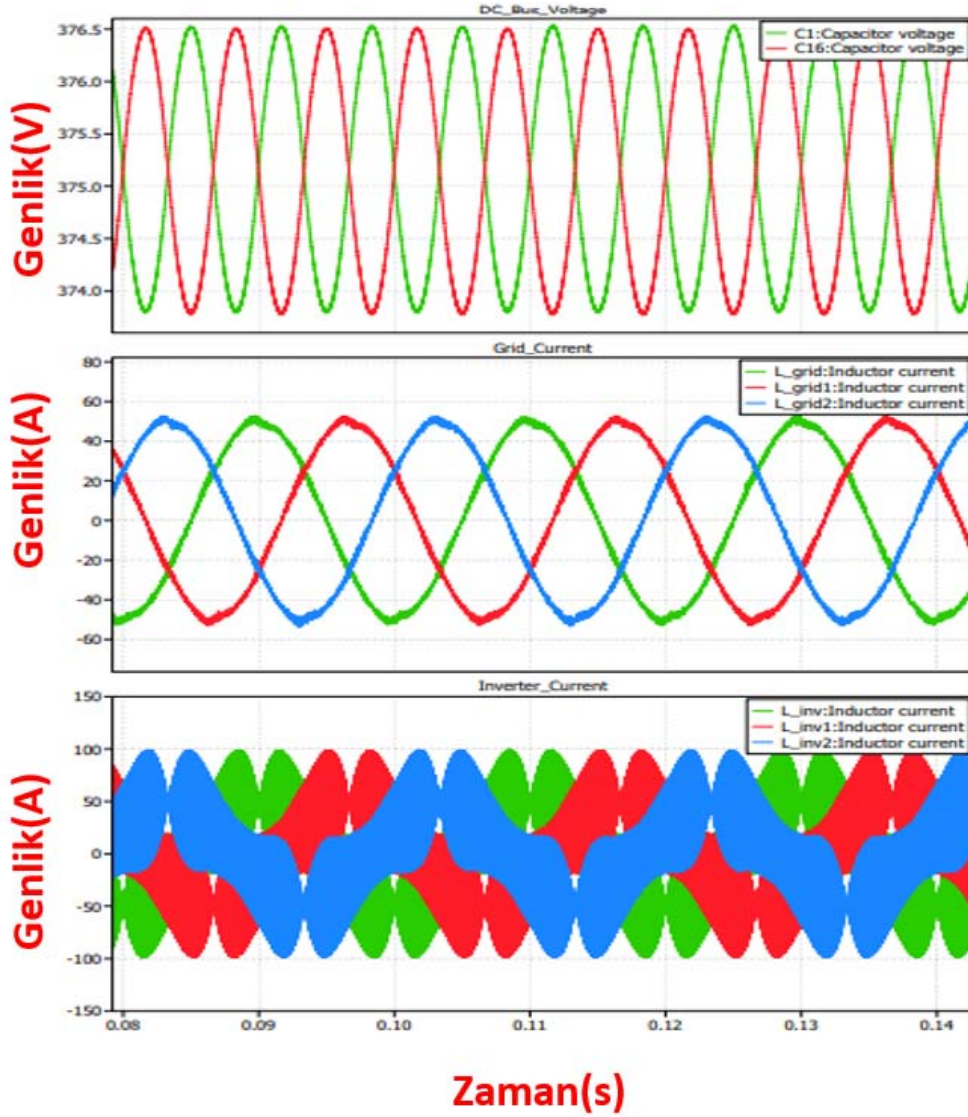
6.2.2 Benzetişim Sonuçları

Sistemin simülasyonları için güç elektroniği için özelleşmiş PLECS yazılımı kullanılmıştır. Program üzerinde manyetik ve termal modelleme de yapılabildiği için sıcaklıklar ve termal etkiler de gözlemlenebilmektedir. Ayrıca endüktansların doyma karakteristiği ile de dinamik davranış daha iyi gözlenebilmektedir. İlk model olarak ideal elemanlarla simülasyon modeli oluşturulmuştur. Evirici güç donanımı, LCL filtresi, DC bara ve kontrolör ayrı bloklar halinde modellenerek daha sonra uygun şekilde birleştirilmiştir. Tasarlanan evirici sisteminin DC bara kontrolü, LCL filtre simülasyonu, evirici donanımının simülasyonu tek model altında toplanmıştır. PLL kontrolü ve akım kontrolü ile birlikte PLECS ortamında tasarlanan sistemin tamamının davranışı, ayrı ayrı simülasyonu gerçekleştirilen modellerin birbiriyle etkileşimi bu sayede incelenmiştir. İdeal yarı iletkenler ve ideal endüktanslar ile oluşturulmuş evirici modeli Şekil 6.5'te görüldüğü gibidir.



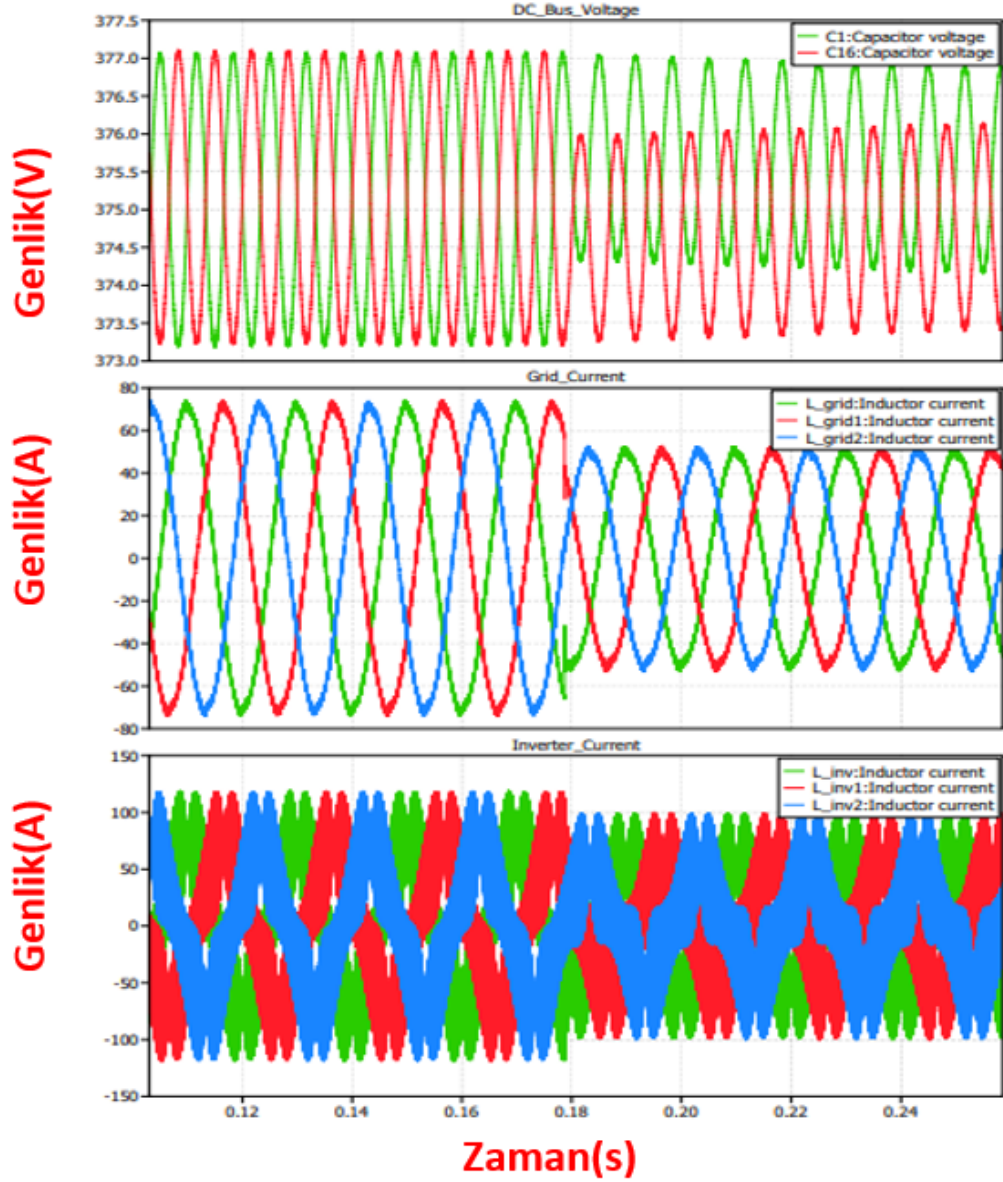
Şekil 6.5 : Evirici simülasyon şeması.

Oluşturulan modelin DC bara gerilimi, şebeke akımı ve inverter çıkış akımı dalga şekilleri Şekil 6.6’da verilmiştir. Şekil 6.6’da verilen dalga şekillerinde görüldüğü üzere DC Bara gerilimi, şebekeye basılan 35Arms akımda dengeli kalmaktadır. Şekil 6.6 - Şekil 6.7 ve Şekil 6.8’de X eksenini zaman Y eksenini ise sinyallerin genliğidir.



Şekil 6.6 : DC bara gerilimi - şebeke akımı - evirici akımı.

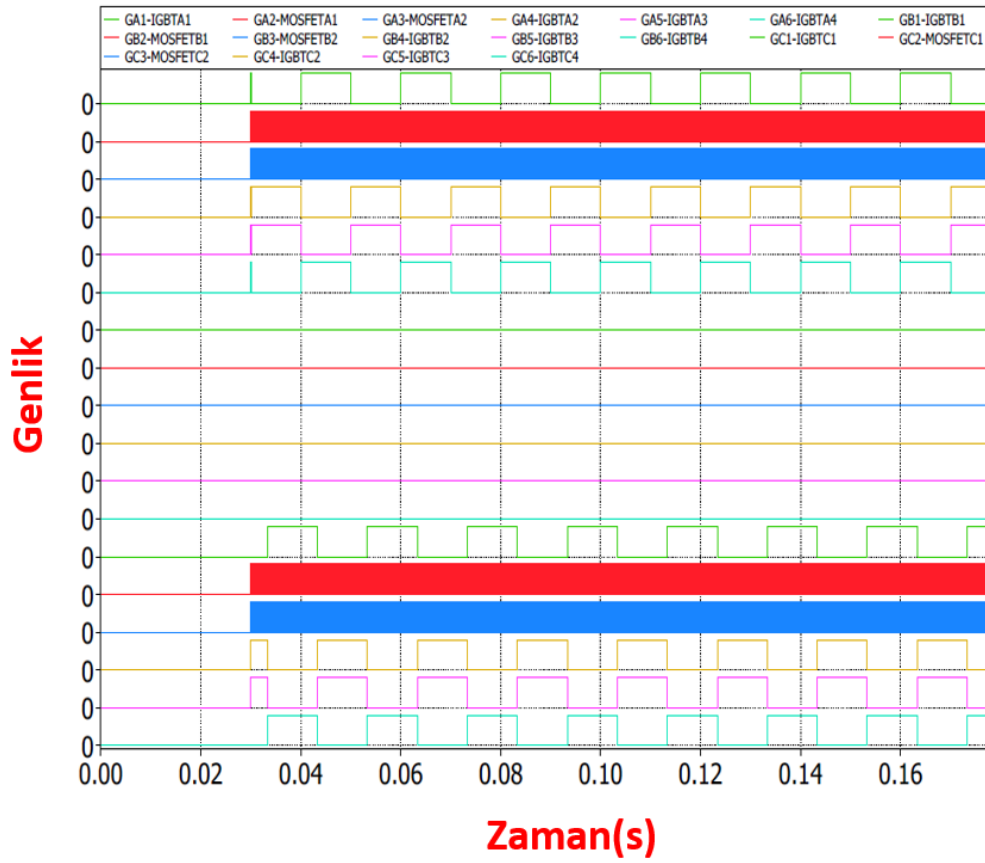
Şekil 6.7’de ise şebekeye basılan akım 50Arms’ten 35Arms’e düşürülürken DC Bara gerilimi ve evirici akımı tarafındaki değişim gözlemlenmiştir. DC Bara geriliminde +Vdc ve -Vdc tarafında anlık yaklaşık $\pm 2V$ ’luk bir dalgalanma görülmektedir. Bu dalgalanma yaklaşık 0.5sn sonra bitmekte ve sistem dengeye gelmektedir.



Şekil 6.7 : Farklı reaktif güçlerde değişim analizi.

Şekil 6.7’de verilen simülasyon çıktısına DC bara geriliminin şebekeye basılan akıma bağlı olarak değiştiği gözlemlenmektedir. Buradaki değişim anlık olmalı ile birlikte çok kısa süre içerisinde $+V_{DC}$ ve $-V_{DC}$ tarafında gerilimin dengeye oturduğu yapılan simülasyonlar ve testlerde görülmektedir.

Değişen reaktif akım sırasında üretilen PWM sinyalleri Şekil 6.8’de verilmiştir. Şekil 6.8’de verilen görseldeki kapı sinyallerinin hangi anahtara ait olduğu Şekil 6.5’te verilen evirici simülasyon şemasında gösterilmiştir. Şekilde görüldüğü üzere SiC-MOSFET’ler 40kHz’de anahtarlama yaparken, Si-IGBT’ler 50Hz şebeke frekansında anahtarlama yapmaktadır.



Şekil 6.8 : Üretilen PWM sinyalleri.

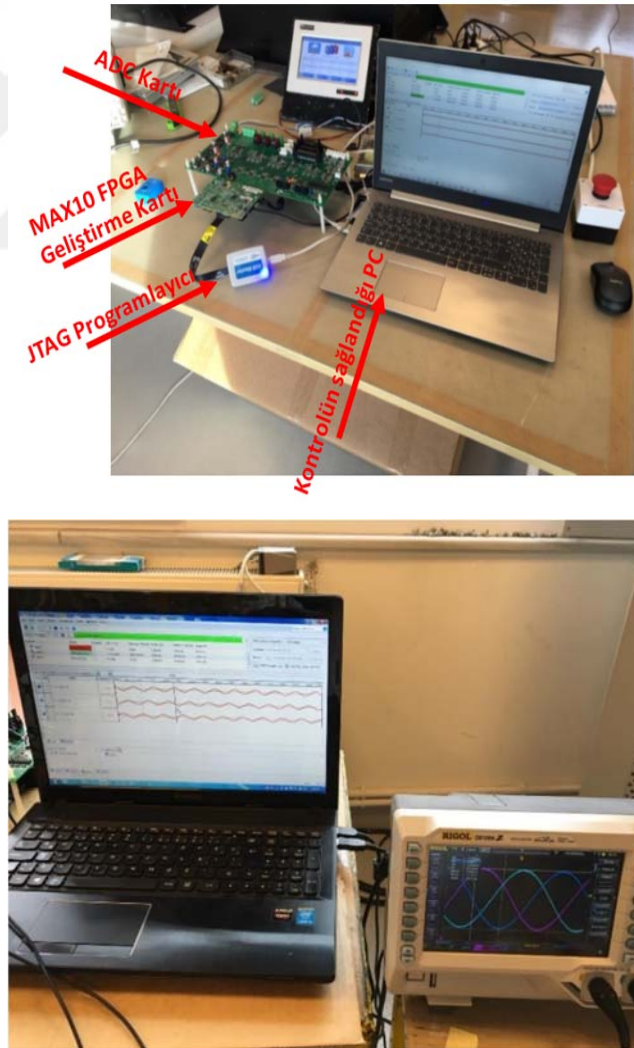
Şekil 6.8’de verilen PWM sinyalleri 3 fazlı evirici sisteminin kapısına giden siyanllerin tamamını göstermektedir. Şekil 6.8’den görüleceği üzere IGBT ve MOSFET’lere giden kapı sinyalleri farklı frekanslarında anahtarlanmaktadır. Tasarlanan Hibrit A-NPC evirici yapısı ile Si-IGBT’lerin yavaş ve SiC-MOSFET’lerin ise yüksek anahtarlama frekansında anahtarlanması sağlanmıştır. Bu sayede DC bara tarafında $+V_{DC}/2$ ve $-V_{DC}/2$ DC bara gerilimleri elde edilmiştir.

7. DENEYSEL SONUÇLAR ve ANALİZ

Bu bölümde simülasyonu ve modellemesi gerçekleştirilen sistemin gerçekleşmesi için kurulan deneysel düzenekler verilmiştir. Deneysel sonuçlarda elde edilen veriler ile simülasyon sonuçlarının kıyaslanması bu bölümde ele alınmıştır.

7.1 Deneysel Sonuçlar ve Karşılaştırma

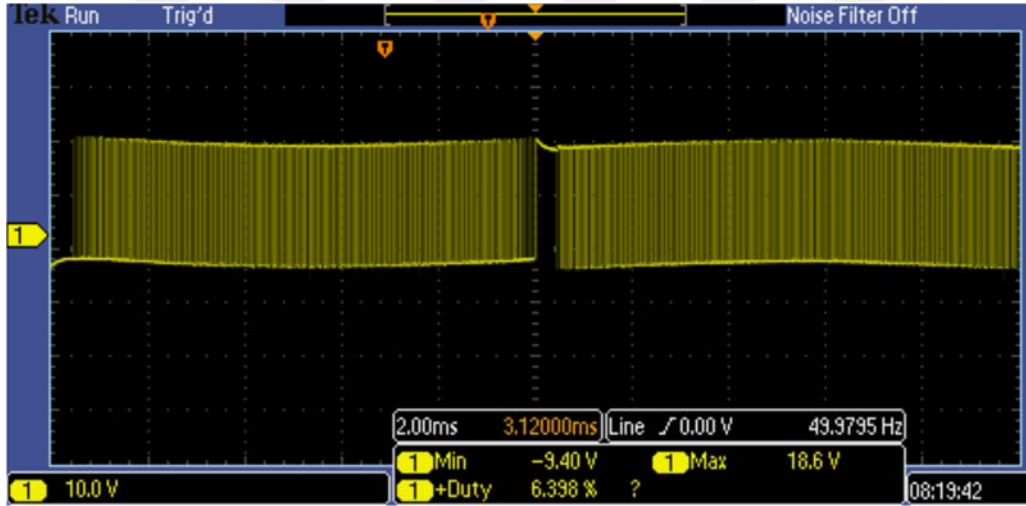
Şekil 7.1’de ADC’lerden dataları doğru okuyup okumadığımızı anlamak için kurulan test düzeneği gösterilmektedir.



Şekil 7.1 : ADC kartı test düzeneği.

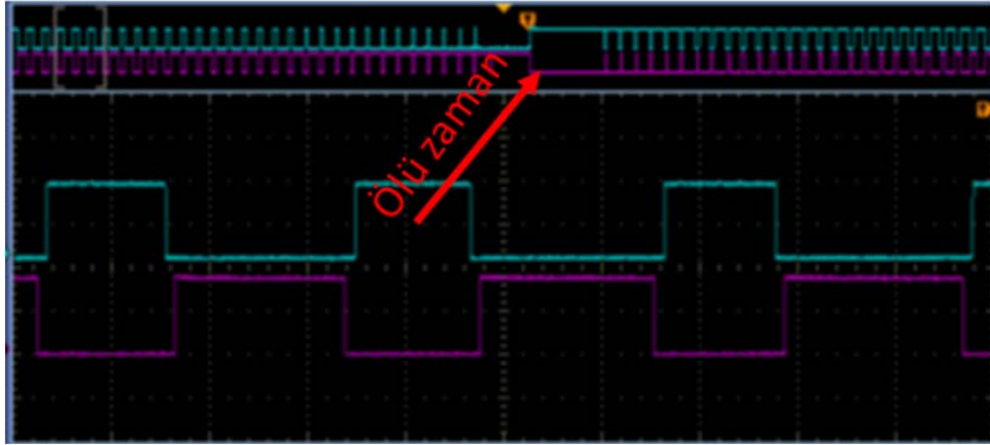
Sistemin çalışırken kontrolü ve sinyallerin incelenmesi Modbus ile yapılmaktadır. Modbus Poll ile haberleşecek olan yapı NIOS işlemci kullanılarak oluşturulmuştur. FPGA tarafında kontrolü yapılacak sinyaller ve dışarıdan girilmesi gereken sinyaller Modbus aracılığıyla yapılır. Bu datalar NIOS ve FPGA'in birer portlarını kullandığı DPRAM'lere yazılır ve okunur.

Şekil 7.2'de ANPC modülde bulunan MOSFET'lerden bir tanesinin PWM sinyali sıfır geçiş anında gösterilmektedir. ANPC için PWM üreticinde Modelsim'de yapılan simülasyonlarda bir sıkıntı görülmemiştir; fakat uygulama esnasında PWM sinyallerinde özellikle de sıfır geçiş anlarında bozulmalar görülmüştür. Kontrol döngüsü çıkışındaki referans sinyalleri kullanılarak üretilen PWM'lerin minimum darbe genişliğinin ölü zamandan fazla olması gerekmektedir. Ölü zaman süreleri azaltılarak bu bozulmalar engellenmiştir.



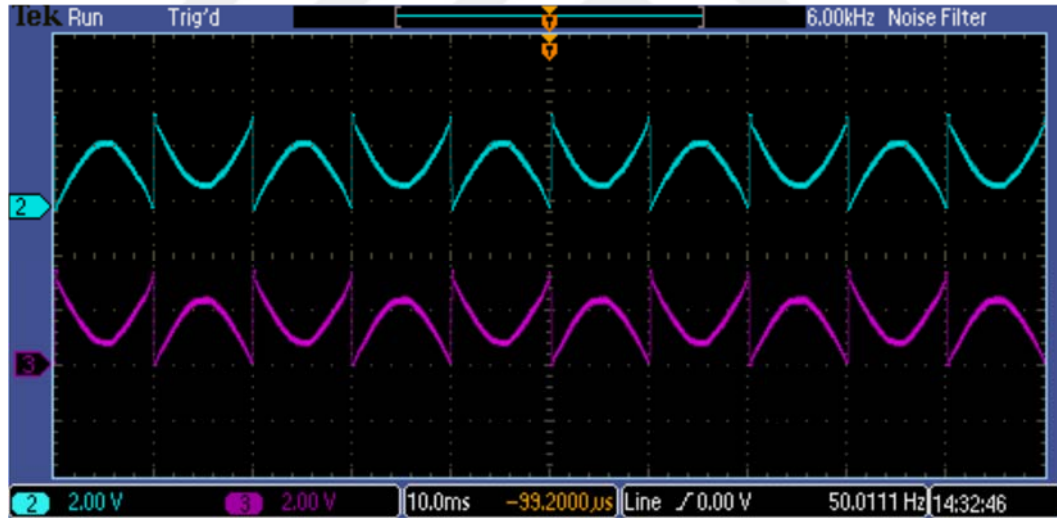
Şekil 7.2 : MOSFET PWM sinyali.

Şekil 7.3'te MOSFET PWM sinyallerinin ölü zaman aralıkları gösterilmektedir. Sıfır geçiş anında yaşanan sıkıntılar Şekil 7.3 üzerinden gösterildiği üzere ölü zaman aralıklarının azaltılması ile çözülmüştür.



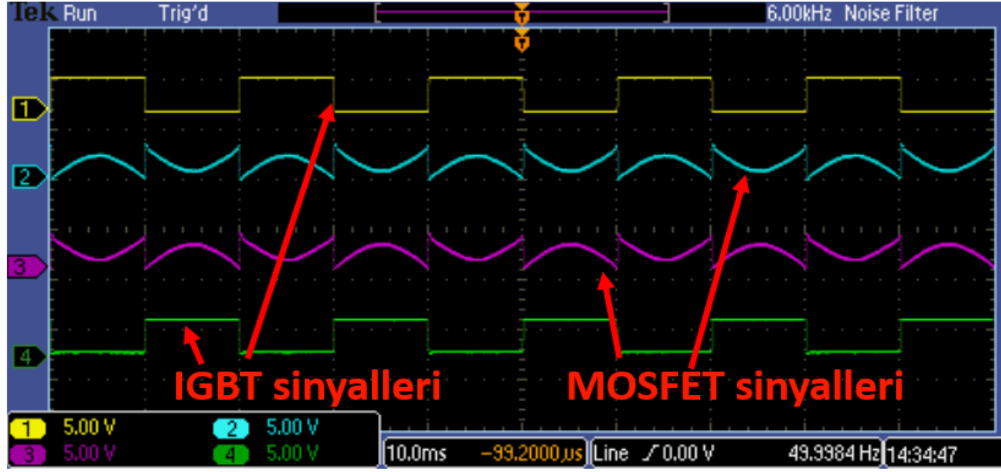
Şekil 7.3 : MOSFET PWM ölü zaman aralıkları.

Şekil 7.4'te MOSFET PWM sinyallerinin filtrelenmiş halleri gösterilmektedir. Pozitif ve negatif döngü içerisinde 40kHz frekansında MOSFET'lerin anahtarlama yapılmıştır. Burada MOSFET'lerin kendi içerisinde ve 0 geçiş anlarında IGBT'lerle aralarındaki durumlara, ölü zamanlara dikkat edilerek kısa devre yapılması engellenmiştir.



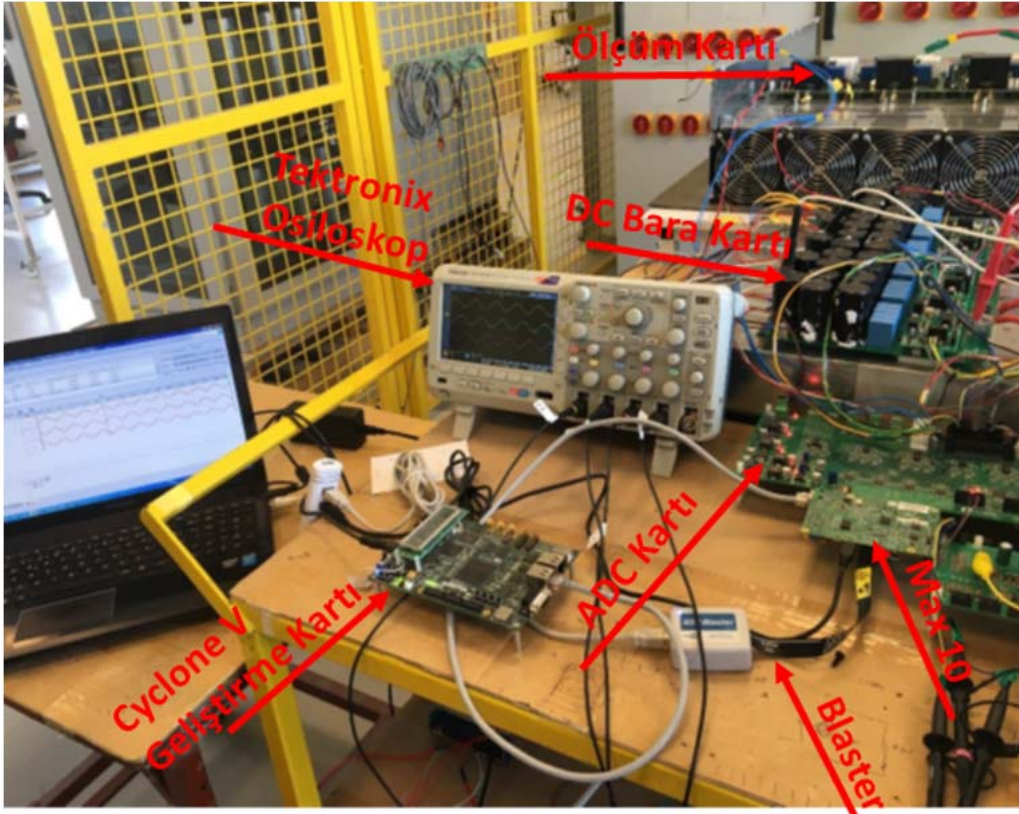
Şekil 7.4 : MOSFET filtrelenmiş PWM sinyalleri.

Şekil 7.5'te MOSFET ve IGBT sinyalleri gösterilmektedir. Şebekenin pozitif ve negatif alternanslarında pozitif ve negatif çıkış gerilimi elde etmek için IGBT'lerin 50Hz'de anahtarlama yapılmıştır. Şekil 7.5'te görülen kare sinyaller IGBT'lerin 50Hz'deki anahtarlama sinyalleridir. Osiloskop ile alınan ölçümlerde görülen 2. ve 3. kanaldaki sinyaller ise MOSFET'lerin filtrelenmiş anahtarlama sinyalleridir.



Şekil 7.5 : MOSFET ve IGBT filtrelenmiş sinyalleri.

Yeni nesil üç seviyeli evirici sistemi için geliştirilen FPGA tabanlı gömülü sistem tasarımı, FPGA çipine gömüldükten sonra gerçek zamanlı çalışması Şekil 7.6'da gösterilmiştir.

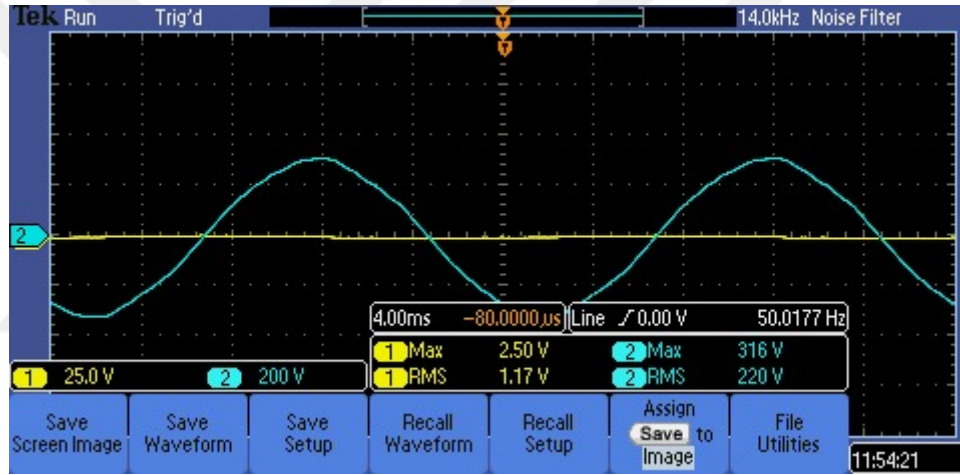


Şekil 7.6 : Gerçekleştirilen FPGA tabanlı gömülü sistemin çalışması.

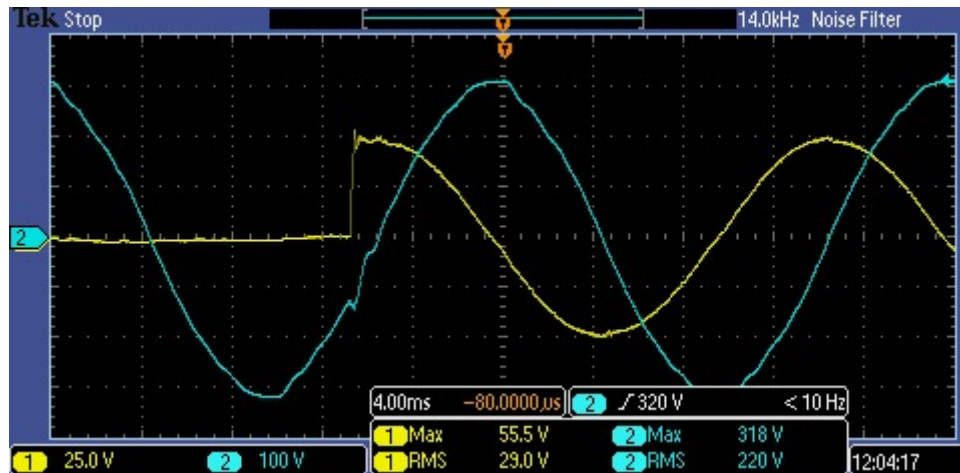
Yapılan testler sonucunda, tek faz üzerinden şebekeye endüktif ve kapasitif akım basılmıştır. Testin yapıldığı sırada aynı şebekeye bağlı farklı yük karakteristikleri de bulunmaktadır. Dolayısıyla alınan ölçümler çok hassas değerlendirilmeye çalışılmıştır.

Tasarlanan evirici güç faktörü 0'da çalışmaktadır. Testlerin yapıldığı şebekede aktif güç bileşeni 0W olduğundan, şebekeye reaktif akım basıldığında güç faktöründe bir değişim gözlenmesi beklenmemiştir.

Testler sonucunda şebeke akımının nasıl değiştiği gözlemlenmiştir. Şekil 7.7'de Tektronix osiloskop'tan alınan tek faz şebeke gerilimi ve evirici çıkışı akımı verilmiştir. Alınan ölçümde, 1.kanaldaki sarı renkli sinyal şebekeye basılan reaktif akımı ve 2.kanaldaki mavi renkli sinyal ise C fazı şebeke gerilimi dalga şeklini göstermektedir.



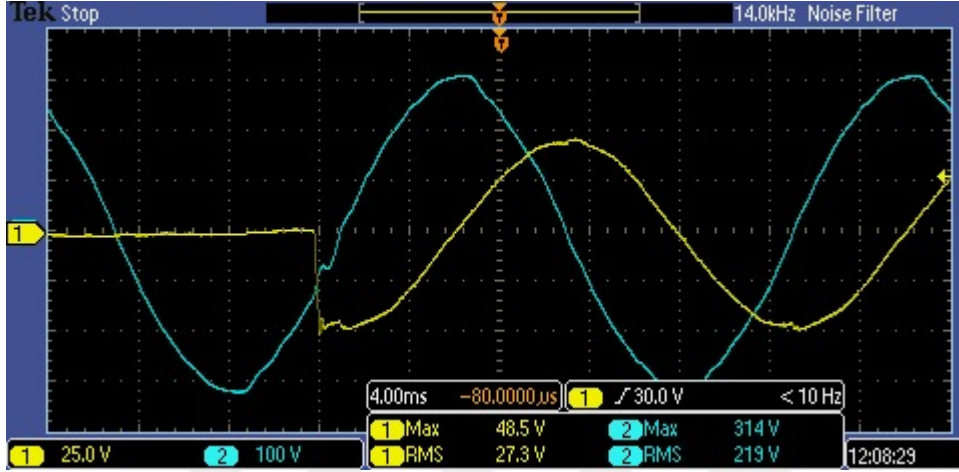
Şekil 7.7 : C fazı evirici çıkışı gerilim ve akım dalga şekli - (Reaktif akım basmadan).



Şekil 7.8 : C fazı evirici çıkışı gerilim ve akım dalga şekli - (50A kapasitif akım).

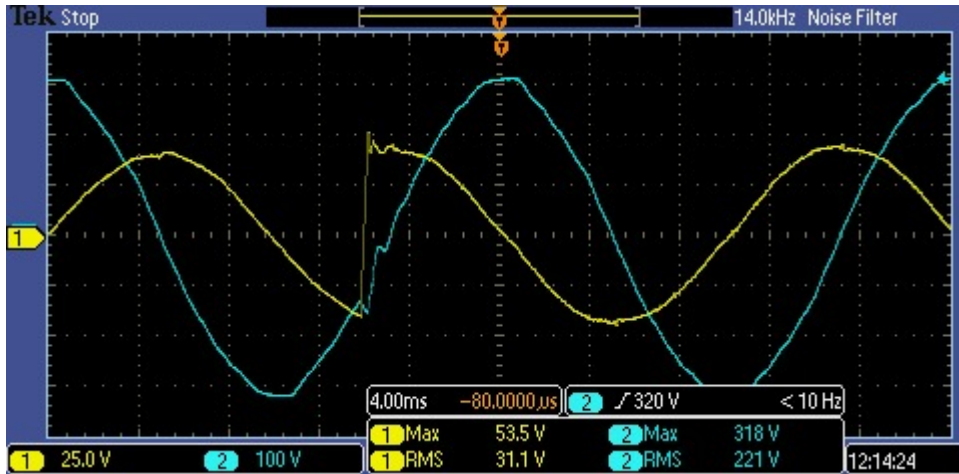
Şekil 7.7’de reaktif akım basılmadan önce 2.kanalda şebeke gerilimi Maks değeri 316V olarak görülmektedir. Şekil 7.8’de ise şebekeye 50A kapasitif karakteristikte akım basılırken şebeke gerilimindeki anlık değişim gözlemlenmiştir.

Şekil 7.8’de görülmektedir ki şebekeye 50A kapasitif akım basıldığında şebeke geriliminin tepe değeri yaklaşık 2V artmıştır.



Şekil 7.9 : C fazı evirici çıkışı gerilim ve akım dalga şekli - (50A endüktif akım).

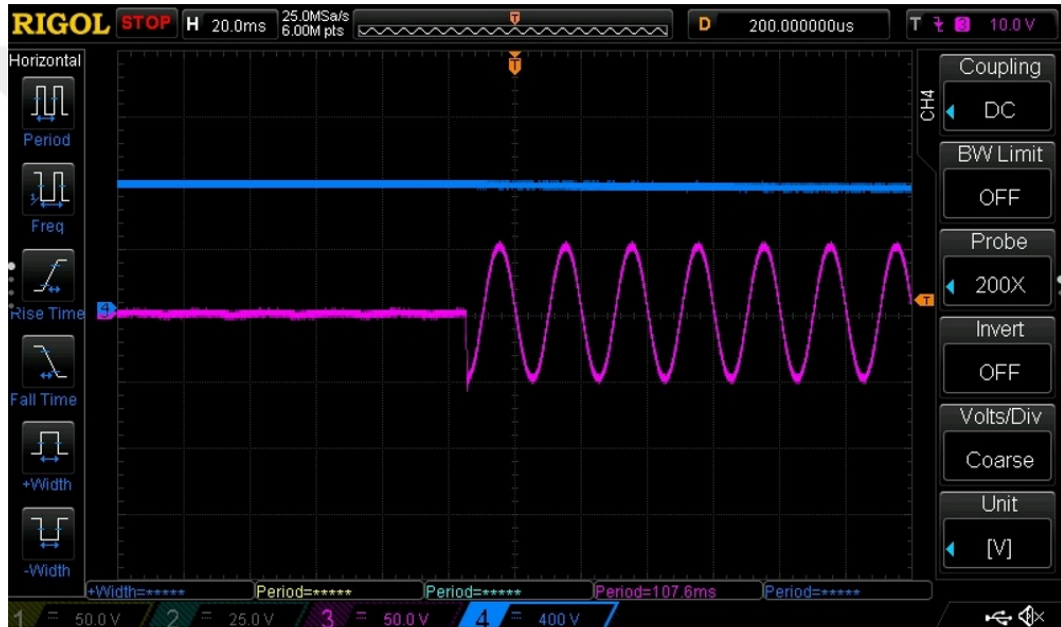
Şekil 7.9’da verilen osiloskop çıktısında şebekeye endüktif karakteristikli akım basıldığında şebeke geriliminin tepe değerinin yaklaşık 2V düştüğü gözlemlenmiştir.



Şekil 7.10 : Endüktif karakteristen kapasitif karakteristiğe geçiş sırasında şebeke gerilimindeki değişim.

Şekil 7.10’da ise şebekede 50A endüktif karaktere sahip akım varken bir anda kapasitif akım basmak istenmiştir. Bu durumda şebeke geriliminin tepkisi gözlemlenmiştir ve 314V olan şebeke geriliminin tepe değeri bir anda 318V seviyesine yükselmiştir.

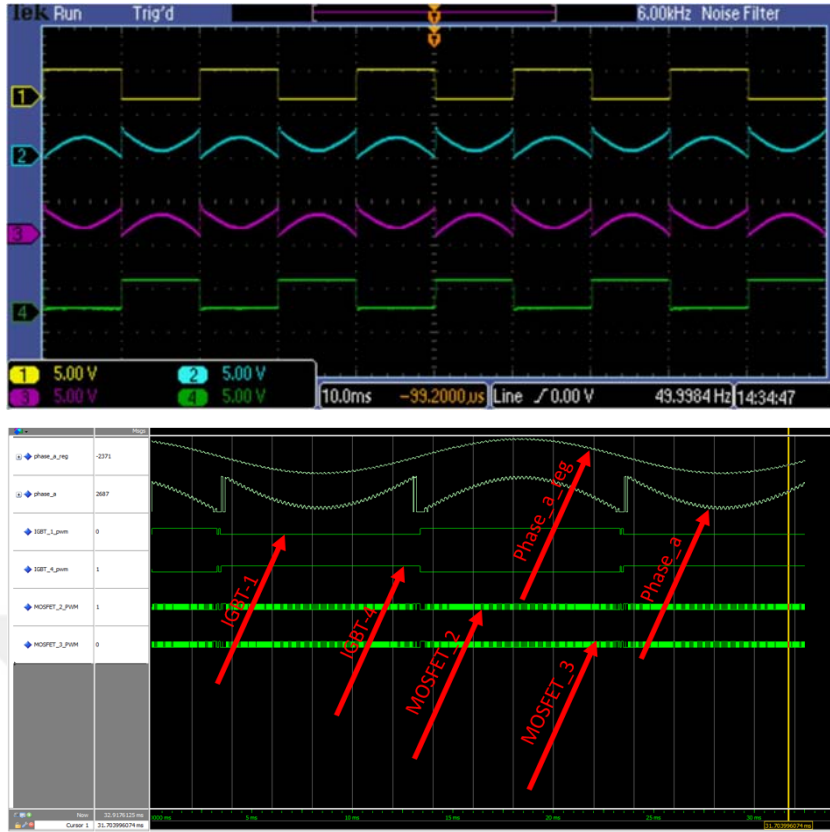
Yapılan testlerden görülmüştür ki tasarımı gerçekleştirilen evirici yapısından şebeke endüktif karakteristikli akım basıldığında şebeke geriliminde küçük seviyelerde düşüş ve kapasitif yüklü akım basıldığında ise küçük seviyelerde anlık yükseliş meydana gelmektedir. Basılan reaktif akımın şebeke gerilimine etkisinin yanı sıra, DC baradaki gerilime olan etkisi için de testler gerçekleştirilmiştir. Yapılan testlerde hem endüktif hem de kapasitif akım basılması durumunda ve akımın endüktif karakteristik yapısından kapasitif karakteristiğe geçişi sırasındaki durumlar gözlenmiştir. Her üç durumda da Rigol osiloskop kullanılarak alınan ölçümlerde DC bara geriliminde bir değişim gözlenmemiştir. Bu sırada endüktif akım basılması sırasında DC bara geriliminin verdiği tepkinin Rigol osiloskoptaki görüntüsü Şekil 7.11’de verilmiştir.



Şekil 7.11 : Şebekeye reaktif akım basılırken DC baranın tepkisi.

Şekil 7.11’de verilen osiloskop görüntüsünden de anlaşıldığı üzere, şebekeye basılan reaktif akım sırasında DC bara geriliminde herhangi bir dalgalanma olmamaktadır. Ayrıca yapılan bu test ile oluşturulan DC bara gerilim kontrol yapısının düzgün bir şekilde görevini yerine getirdiği de gözlemlenmiştir.

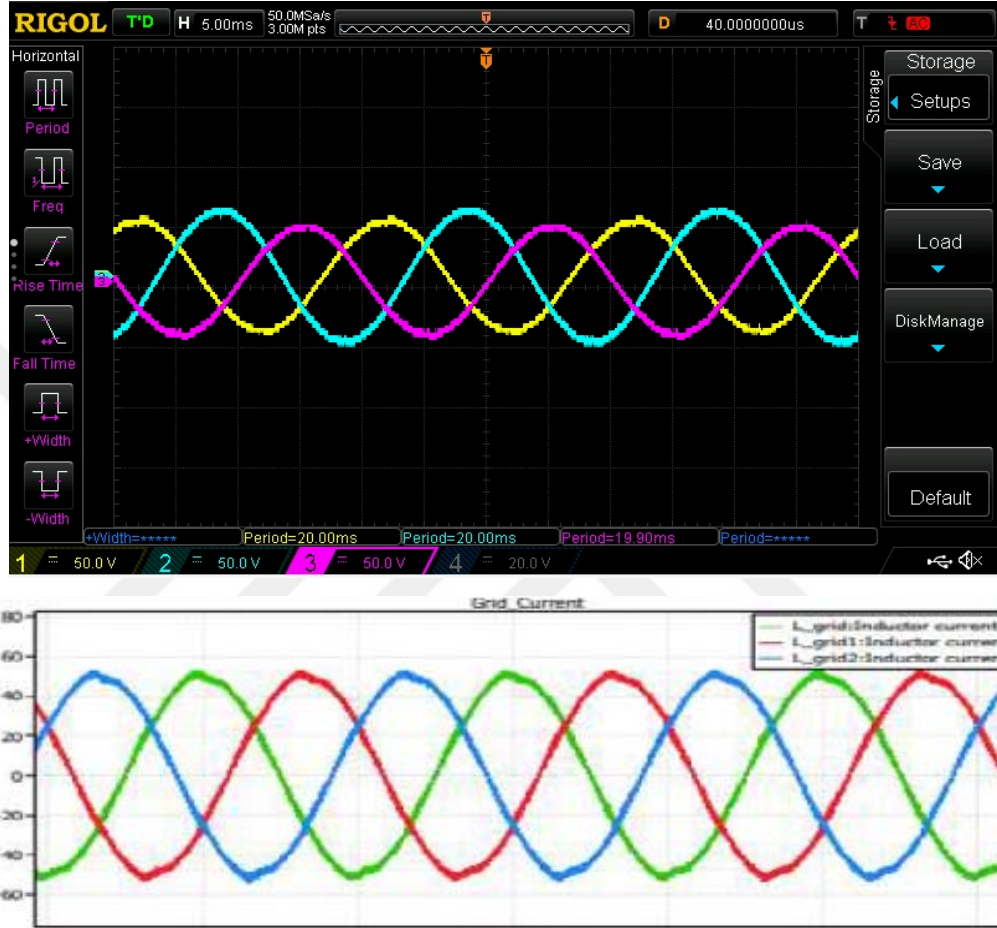
Yapılan simülasyonlar sonucu elde edilen PWM sinyalleri ile FPGA ile yapılan gerçek zamanlı kontrol ile elde IGBT ve MOSFET’lerin PWM sinyallerinin karşılaştırılması Şekil 7.12’de verilmiştir.



Şekil 7.12 : SiC-MOSFET ve Si-IGBT PWM sinyallerinin karşılaştırılması.

Simülasyon aşamasında PWM üretici koduna PWM işaretleri arasında $2\mu s$ ölü zaman bırakacak şekilde tasarımı yapılmıştır. Modelsim programında PWM işaretlerinin özellikle şebekenin sıfır geçiş anlarında, minimum ve maksimum değerlerinde doğru değerleri aldığı gözlenmiştir. Uygulama aşamasında DC bara kontrolü yaparken evirici çıkışında bir sıkıntı görülmemiştir ama akım basma işlemi yapıldığı zaman şebekenin sıfır geçiş anlarında evirici çıkış akımının bazen anlık olarak yüksek değerlere çıktığı görülmüştür. Bunun düzeltilmesi için ölü zaman değeri ve PWM bloklarına giren referans sinyallerin örnekleme değerleri değiştirildi ve artık akımda anlık olarak sıçramalar görülmedi. Simülasyon ortamında karşılaşılmayan ikinci sorun ise şebekedeki ani bozulmalar, dalgalanmalardan dolayı sıfır geçiş anlarında örneğin pozitiften negatife geçerken kontrolörün negatif alternansın başladığını anlamayıp IGBT'lerin anahtar durumunu yeniden pozitif alternansa göre ayarlamasıdır. Ayrıca, eviricinin çıkışında negatif gerilim olması gerekirken pozitif gerilimin oluşmasına neden olması da karşılaşılmayan bir diğer sorundur. Simülasyon aşamasına geri dönülüp benzer dalgalı gerilim üretilmiştir. PWM üretici kodunda IGBT'lerin sinyallerinin üretildiği kısımda düzenlemeler yapıldı. Şekilde phase_a_reg sinyali kontrol döngüsü sonucunda oluşan referans sinyalidir, phase_a üretilen referans

sinyalin PWM işaretlerini üretmek için işlenmiş halidir. IGBT_1_pwm, IGBT_4_pwm sinyalleri IGBT'ler için üretilen PWM sinyalleridir. Referans sinyalinin sıfır geçiş zamanlarında IGBT_1_pwm ve IGBT_4_pwm sinyallerinin referans sinyalinin sıfır geçişteki yaptığı salınıma karşılık olarak pozitif ve negatif DC barayı devreye alacak şekilde anlık olarak değiştiği gösterilmektedir.



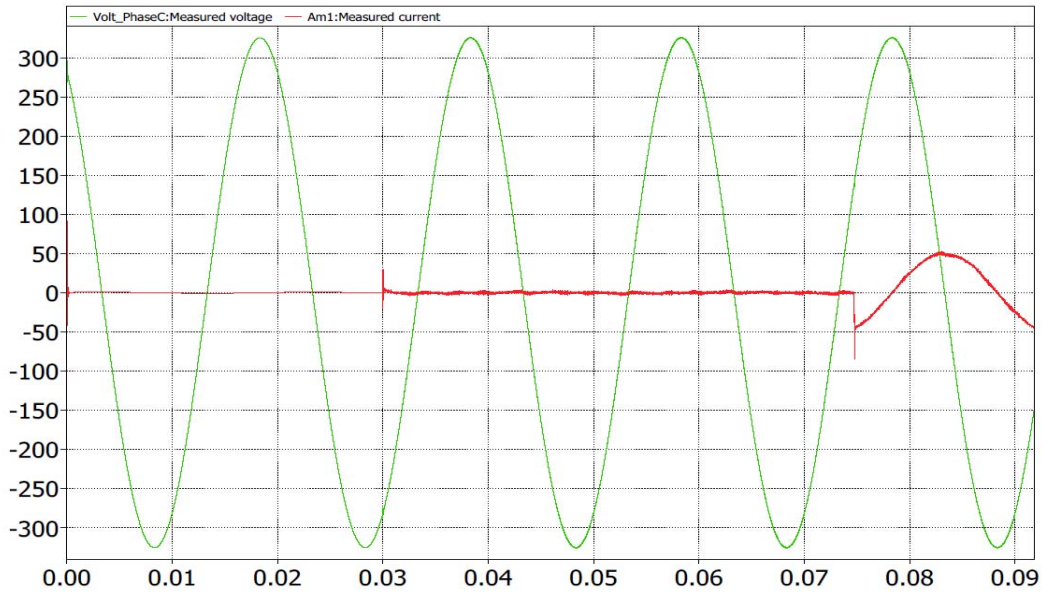
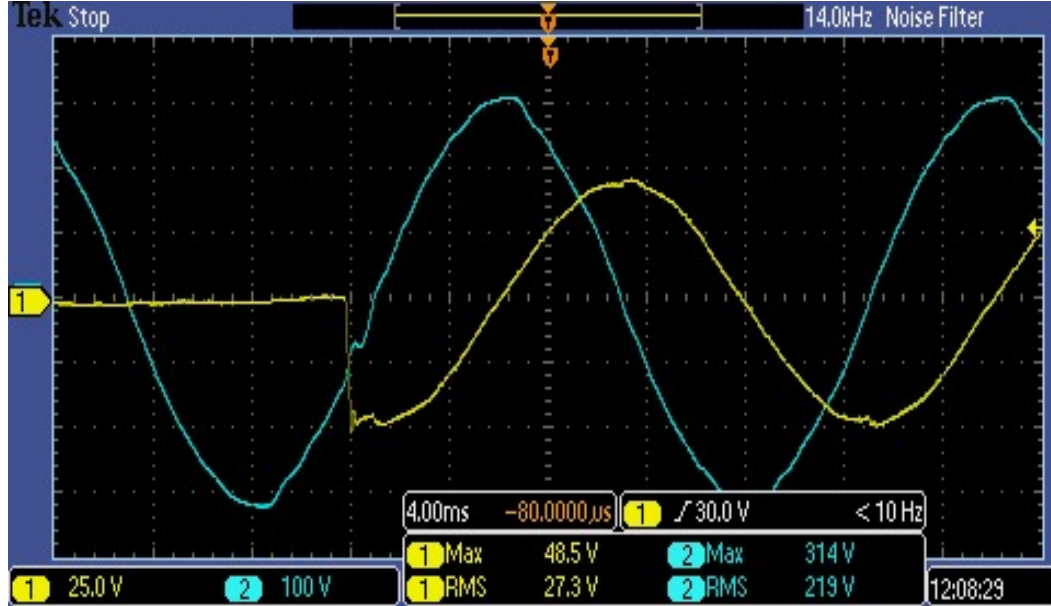
Şekil 7.13 : Şebekeye basılan 3 faz 50A reaktif akım dalga şekli karşılaştırması.

Şekil 7.13'te şebekeye basılan üç faz 50A reaktif akımın simülasyon sonucu ve Rigol osiloskop ile ölçülmüş evirici çıkışı akım dalga şekilleri verilmiştir. Rigol osiloskop ile alınan ölçümler ile yapılan simülasyonlar sonucunda elde edilen dalga şekilleri arasında bir fark görülmemiştir.

Şebekeye reaktif akım basılmaya çalışıldığında, akım kontrol bloklarının ve PLL bloklarının sorunsuz çalıştığı gözlemlenmiştir.

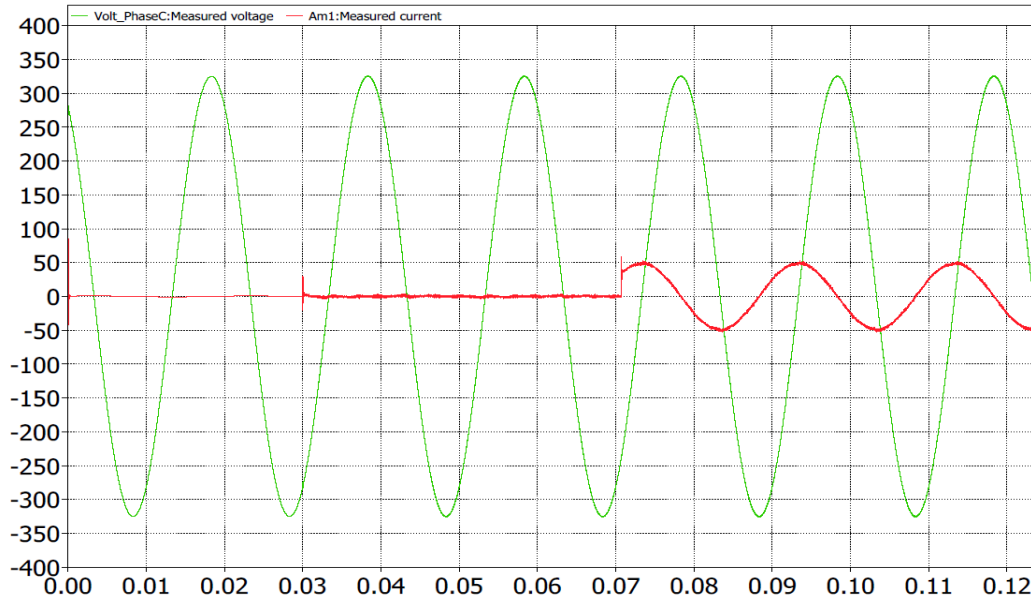
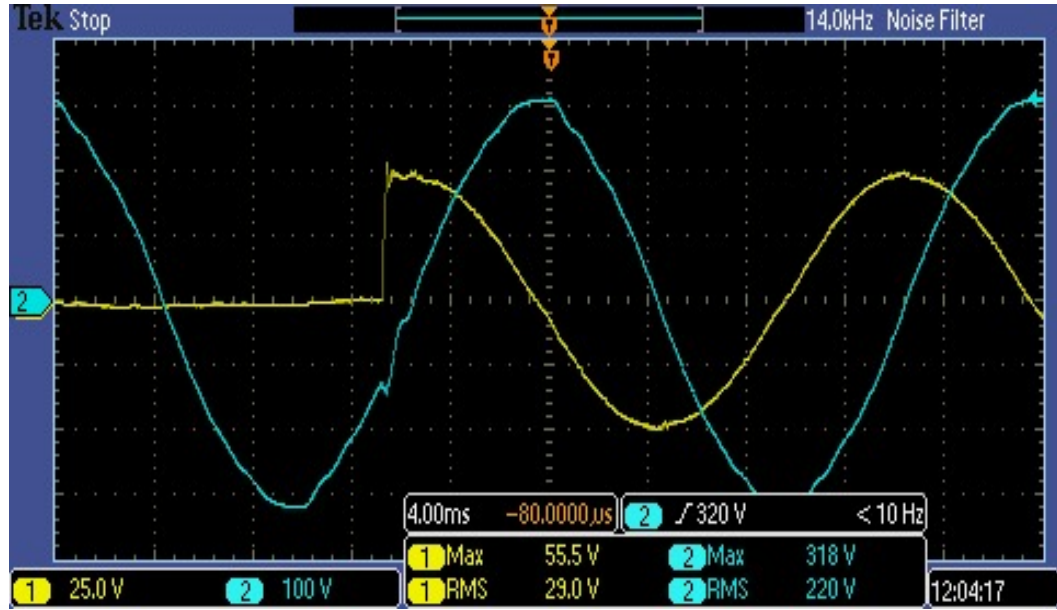
Yapılan bir diğ er testte, řebekeye end ktif ve kapasitif karakteristiđine sahip akım basıldıđında řebeke geriliminin deđiřimi sim lasyon ve deneysel test sonu larıyla g zlemlenmiřtir.

řekil 7.14'te řebekeye 50A end ktif y k basarken elde edilen dalga řekillerinin karřılařtırılması verilmiřtir.



řekil 7.14 : řebekeye end ktif akım basarken sonu ların karřılařtırılması.

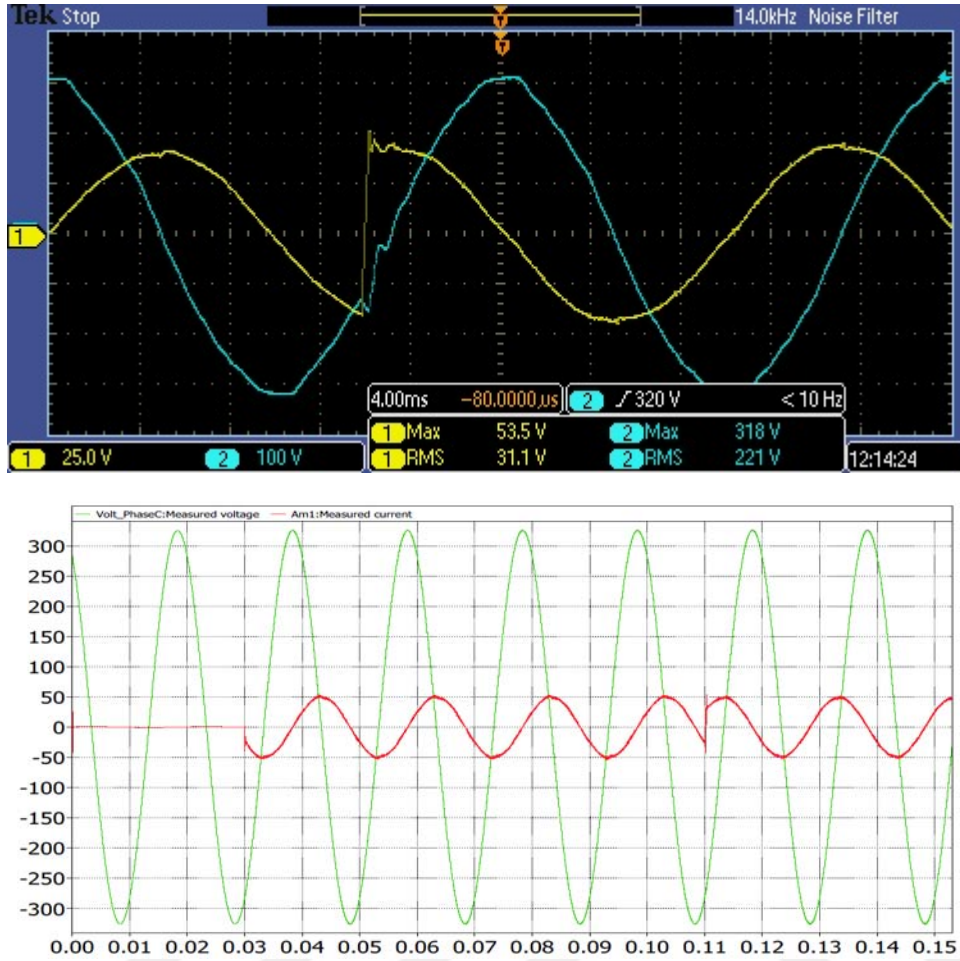
řekil 7.14'te g r ld đ   zere řebekeye 50A end ktif akım basıldıđında osiloskoptan alınan  l  mler ile yapılan sim lasyonlar sonucunda alınan  l  mlerin benzer olduđu g r lmektedir.



Şekil 7.15 : Şebekeye kapasitif akım basarken sonuçların karşılaştırılması.

Şekil 7.15'te görüldüğü üzere şebekeye 50A kapasitif akım basıldığında osiloskoptan alınan ölçümler ile yapılan simülasyonlar sonucunda alınan ölçümlerin benzer olduğu görülmektedir.

Şekil 7.16'da şebekeye basılan endüktif akımın bir anda kapasitife evrilmesi sonucu sistemin verdiği tepkinin simülasyon ve gerçekleştirme karşılaştırılması verilmiştir. Eviricinin her iki durumda da benzer tepkiler verdiği görülmektedir. Endüktif akım karakteristiğinden kapasitif akım karakteristiğine geçerken sistemin kontrol algoritmasının çok iyi şekilde tasarlandığı ve çalıştığı gözlemlenmektedir.



Şekil 7.16 : Endüktiften kapasitife geçerken basılan akımların karşılaştırılması.

Simülasyon sonuçlarında ve yapılan testlerde görülmektedir ki evirici sistemi için tasarlanan uygun PLL algoritması ile şebeke frekansı ve güç faktörü tam olarak elde edilmektedir. Ayrıca tasarlanan akım kontrol teorisi uygun PI katsayıları ile düzgün modülasyon sinyallerinin elde edildiğini göstermektedir. Bu sayede 40kHz anahtarlama frekansına sahip üretilen PWM sinyalleri ile Si-IGBT ve SiC-MOSFET yapılı hibrit bir evirici yapısı sürülebilmiştir.

7.2 Tez Çıktısının Analizi

Literatür araştırmasında verilen bilgiler ışığında ve tezin çıktısında elde edilen veriler doğrultusunda Si-IGBT ve SiC-MOSFET Hibrit yapısı kullanılarak gerçekleştirilen tasarımda tamamı Si-IGBT modüllere göre daha maliyetli, tamamı SiC-MOSFET modüllere göre ise daha ucuz bir çıktı elde edilmiştir. Tamamı SiC-MOSFET olan modüller ile tasarlanacak sistem için sadece modül fiyatı tasarlanacak sistemin

maliyeti ile yaklaşık denk gelmektedir. Bunun en büyük nedeni ise SiC tabanlı eviricilerin teknolojisinin yeni, üretiminin az ve talebin fazla olmasından kaynaklıdır. Li Zhang ve Xiutao Lou'nun yaptığı çalışmalarda 3 seviyeli bir evirici yapısı için kullanılabilecek konfigürasyonlara göre fiyat analizi Çizelge 7.1'de verilmiştir [19].

Çizelge 7.1 : Evirici çeşitlerinin maliyet karşılaştırması

Konfigürasyonlar	S_1, S_4	S_2, S_3	S_5, S_6	Fiyat/Normalizasyon
Tamamı Si-IGBT	9.02	9.02	9.02	27.84/100%
Tamamı SiC-MOSFET	33.46	33.46	33.46	100.38/100%
2-SiC Hibrit	9.02	9.02	33.46	51.5/100%
4-SiC Hibrit	33.46	33.46	9.02	75.94/100%

Çizelge 7.1'den de görülmektedir ki 2 anahtarı SiC-MOSFET olan yapı kullanıldığında Si-IGBT'lere göre daha fazla maliyetli fakat tamamı SiC-MOSFET olan yapılara karşı ise daha az maliyetli olmaktadır.

Tasarlanan evirici modeli ürün haline getirildiğinde yaklaşık olarak 50kg civarında bir ağırlıktadır. Tasarlanan evirici yapısının ürün halinde boyutları ise yaklaşık olarak 450x600x223(mm)'tür. Bu veriler ile güç yoğunluğu hesabı yaptığımızda 35kW gücünde bu evirici için; güç yoğunluğu 580kW/m³'tür. Elektra Elektronik bünyesinde daha önce tasarlanan Si-IGBT'ler ile oluşturulan aynı güçte benzer bir yapının boyutları 510x630x300'dür. Böyle bir ürün için güç yoğunluğu hesabı yapıldığında yaklaşık 381kW/m³ değerinde bir güç yoğunluğu elde edilmektedir. Bu da göstermektedir ki, aynı güçlerde hibrit bir yapı kullanımlara fazla güç yoğunluğuna sahip bir ürün elde edilebilmektedir.

Ayrıca tasarlanan hibrit evirici yapısının piyasaya benzer evirici yapısını kullanarak ürün tasarlayan firmaların ürünleri ile karşılaştırması Çizelge 7.2'de verilmiştir.

Çizelge 7.2 : Benzer çıktılar ile karşılaştırma

Teknik Özellik	Tez Çıktısı	ABB	Schaffner	Merus	Sinexcel
Bant Genişliği	5kHz	2.5kHz	2.5kHz	2.5kHz	2.5kHz
Evirici Topolojisi	3 Seviyeli Hibrit NPC	3 Seviyeli Si IGBT	3 Seviyeli Si IGBT	3 Seviyeli Si IGBT	3 Seviyeli Si IGBT
Gömülü Sistem	FPGA	DSP	FPGA	DSP	DSP
Anahtarlama Frekansı	40kHz	18kHz	16kHz	20kHz	20kHz
Verim	>%98	<%97	<%97	<%97	<%97

Çizelge 7.2’de net bir şekilde görülmektedir ki piyasada bulunan birçok firmanın ürettiği ürünler anahtarlama frekansı, kullanılan gömülü sistem ve evirici topolojisi ile eski kalmaktadır. Yapılan tez çalışması sonucunda literatüre daha yüksek bant genişliğinde ve güncel teknoloji ile üretilmiş bir ürün kazandırılmıştır.

Piyasada kullanılan geleneksel ürünlerin anahtarlama frekansı 20kHz, bant genişliği 2.5kHz’dir. DSP tabanlı gömülü sistem altyapısı performans iyileştirmesi için yetersiz kalmaktadır. Bu nedenle yeni nesil teknoloji ile geliştirilen tez çıktısı tamamen yeni bir güç donanımı üzerine, tamamen yeni bir gömülü sistem ile yepyeni bir kontrolör(FPGA) ile tasarlanmıştır. Piyasada üretilen ürünlere kıyasla Çizelge 7.2’deki özelliklerin tamamı yenilikçi özelliklerdir.

Tez kapsamında tamamen yeni bir kontrol tekniği geliştirilerek şebeyeke basılan akımda oluşabilecek dalgalanmaları söndürecek bir algoritma tasarlanmıştır. Bu sayede en zorlu koşullarda bile sorunsuz uygulanabilecek bir ürün elde edilmiştir. Bu özellikler göz önüne alındığında tez çıktısı piyasadaki rakiplerinden tamamen farklı, yeni nesil bir tasarım olmuştur.

8. SONUÇ ve ÖNERİLER

8.1 Sonuç

Son zamanlarda piyasada evirici tabanlı güç elektroniği önemli derecede önem kazanmıştır. İşletmelerde kullanılan güç elektroniği ürünleri gelişen teknoloji ile birlikte eski kalmıştır. Bu ürünler düşük verimde çalışmak ile birlikte aynı zamanda çok maliyetli ve büyük boyuttadır. Güç elektroniği cihazları artık küçülmekte ve bununla birlikte eviricilerin verimi de artmaktadır. Bunun için kullanılan yeni teknoloji ürünlerin yapısında genellikle SiC yapıda anahtarlama elemanları kullanılmaktadır.

Tez kapsamında verilen şebekeye bağlı üç fazlı hibrit evirci için geliştirilen PLL yapısı ile eviricinin şebekeye entegrasyonu sağlanmıştır. Bu sayede şebeke frekansı ve faz açısı doğru bir şekilde elde edilmiştir.

DC bara gerilimi kontrolü uygun PI katsayıları hesaplanarak gerçekleştirilmiştir. Yapılan simülasyonlar ile yapılan test sonuçlarından görülmektedir ki kontrol teorisi uygun bir şekilde tasarlanmıştır. Bölüm 7’de verilen reaktif gücün değişimine bağlı şebeke gerilimi ve DC bara gerilimlerinin tepkisi ve stabilitesi tasarlanan akım kontrolü ve DC bara gerilim kontrolünün ne kadar güçlü ve kararlı olduğunu göstermiştir. Kontrol kabiliyetinin bu kadar yüksek olmasındaki en önemli neden piyasadakilerin aksine DSP yerine yüksek logic elementli FPGA tabanlı gerçek zamanlı kontrolün gerçekleştirilmesidir. Şekil 70’te görüldüğü üzere tasarlanan PLL algoritması ile 49.9532Hz’e senkron olmuş bir frekans çıktısı vardır.

Yapılan tez çalışmasında tasarlanan üç seviyeli hibrit A-NPC yapısı ile piyasada ilk defa 40kHz anahtarlama frekansına ve aynı zamanda 5kHz bant genişliğine sahip FPGA tabanlı bir ürün ortaya çıkarılmıştır. Hibrit A-NPC yapısında kullanılan SiC-MOSFET’lerle yüksek anahtarlama frekansının getirdiği faydalardan yararlanılarak, aynı güç seviyesinde daha önce Si-IGBT ile aynı güçte tasarlanmış ürünlere göre daha yüksek güç yoğunluğuna çıkılabilmektedir.

Hibrit A-NPC yapısının getirdiği diğer fayda ise tasarlanan evirici yapısının veriminin rakiplerine oranla daha yüksek olmasıdır. Şebekeye bağlı evirici yapılarında genellikle

yüksek verimlilikte ürünler tercih edilmektedir. Bu nedenle kullanılan hibrit yapı sayesinde daha yüksek güç yoğunluğunda piyasadaki ürünlere göre daha yüksek verimde(<98) bir çıktı elde edilmiştir.

Si-IGBT ve SiC-MOSFET hibrit yapısı kullanılarak tasarlanan evirici günümüz teknolojisinde yapılan üst düzey çalışmalardan biridir. Bu sayede optimum maliyete sahip bir tasarım gerçekleştirilmiştir. Hibrit evirici yapısı kullanılarak tasarlanan tez çıktısının teknik özellikleri EK C’de verilmiştir. Tasarlanan hibrit yapının tamamı Si-IGBT ve tamamı SiC-MOSFET yapıya göre fiyat/performans karşılaştırması Çizelge 7.1’de verilmiştir.

8.2 Öneriler

Tez çıktısı Si-IGBT ve Si-C MOSFET anahtarlama elemanlarını içinde barındıran hibrit bir A-NPC yapısıdır. Tez kapsamında asıl hedef, aynı güçlerde tasarlanan evirici yapılarına kıyasla daha küçük ebatlarda, yüksek güç yoğunluğunda ve daha yüksek verime sahip ürün elde etmektir. Yüksek anahtarlama frekanslarına çıkılarak hibrit bir yapı ile daha yüksek verime sahip bir ürün elde edilebilir. Daha küçük boyutta ve daha yüksek verimde bir ürün elde etmek için ise tüm anahtarlama elemanları SiC seçilebilir. Bu sayede daha fazla maliyette fakat daha yüksek anahtarlama frekanslarına çıkılarak verimi daha yüksek, boyutu daha küçük bir ürün elde edilebilir.

Tasarımı gerçekleştirilen üç seviyeli şebekeye bağlı hibrit evirici tez çıktısının gerçek zamanlı kontrol yapısının gömülü sistem üzerinden değiştirilmesi ile aynı donanımsal özelliklerde STATKOM, Statik VAR Üretici gibi piyasanın ihtiyacı olan benzer yapıdaki ürünler üretilmektedir.

KAYNAKLAR

- [1] **J. Rodriguez, J. Dixon, J. Espinoza, J. Pont, and P. Lezana**, “PWM regenerative rectifiers: State of the art,” *IEEE Trans. Ind. Electron.*, vol. 52, no. 1, pp. 5–22, Feb. 2005.
- [2] **L. Malesani, L. Rossetto, P. Tenti, and P. Tomasin**, “AC/DC/AC PWM converter with reduced energy storage in the DC link,” *IEEE Trans. Ind. Appl.*, vol. 31, no. 2, pp. 287–292, Mar./Apr. 1995.
- [3] **Dannehl, J., Wessels, C., & Fuchs, F. W.** “Limitations of voltage-oriented PI current control of grid-connected PWM rectifiers with LCL filters.” *IEEE transactions on industrial electronics*, 56(2), 380-388, (2008)
- [4] **Chikouche, T. M., Hartani, K., Bouzar, S., & Bouarfa, B.** “New Direct Power Control Based on Fuzzy Logic for Three-Phase PWM Rectifier.” In *International Conference in Artificial Intelligence in Renewable Energetic Systems*, 246-258. (2019).
- [5] **Fekik, A., Denoun, H., Azar, A. T., Hamida, M. L., Zaouia, M., & Benyahia, N.** (2018). Comparative study of two level and three level PWM-rectifier with voltage-oriented control. In *International Conference on Advanced Intelligent Systems and Informatics*, 40-51.
- [6] **W. A. Hill and S. C. Kapoor**, “Effect of two-level PWMsources on plant power system harmonics,” in *Conf. Rec. IEEE-IAS Annu. Meeting*, 1998, pp. 1300–1306.
- [7] **S. Linder**, “Power semiconductors in the electronics roadmap,” in *proc. 2008 International Seminar on Power Semiconductors Conference*, pp. 1-29.
- [8] **Bobrowska-Rafał, M., Rafał, K., Jasiński, M., & Kaźmierkowski, M.** (2011). Grid synchronization and symmetrical components extraction with PLL algorithm for grid connected power electronic converters-a review. *Bulletin of the Polish Academy of Sciences. Technical Sciences*, 59(4), 485- 497.
- [9] **Karafil, A., Ozbay, H., & Oncu, S.** (2019). Design and Analysis of Single-Phase Grid-Tied Inverter With PDM MPPT-Controlled Converter. *IEEE Transactions on Power Electronics*, 35(5), 4756- 4766.
- [10] **Özbay, H.** (2020). PDM-MPPT based solar powered induction heating system. *Engineering Science and Technology, an International Journal*, 23(6), 1397-1414.
- [11] **Liu, B., Zhuo, F., Zhu, Y., Yi, H., & Wang, F.** (2014). A three-phase PLL algorithm based on signal reforming under distorted grid conditions. *IEEE Transactions on Power Electronics*, 30(9), 5272- 5283.

- [12] **Liu, B., Zhuo, F., Zhu, Y., Yi, H., & Wang, F.** (2014). A three-phase PLL algorithm based on signal reforming under distorted grid conditions. *IEEE Transactions on Power Electronics*, 30(9), 5272- 5283
- [13] **Rodrigo Guzman Iturra, Peter Thiemann**, "A Simple SiC MOSFETs Three Level Inverter Topology for High Performance Shunt Active Power Filter" In *2019 21st European Conference on Power Electronics and Applications (EPE'19 ECCE Europe)* (pp. P-1).IEEE
- [14] **M. Schweizer, I. Lizama, T. Friedli and J. W. Kolar**, "Comparison of the chip area usage of 2-level and 3-level voltage source converter topologies," *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*, Glendale, AZ, 2010, pp. 391-396.
- [15] **Url-1** <semikron.com/service-support/downloads/detail/semikron-application-note-3l-npc-topology-en-2015-10-12-rev-05.html>, erişim tarihi 12.10.2015
- [16] **Li Zhang, Kai Sun, Mingchen Gu, Peng Xu**, "A SiC-based T-type Three-phase Three-level Gridtied Inverter" *2015 IEEE 10th Conference on Industrial Electronics and Applications (ICIEA)*
- [17] **F. M. Almasoudi, K. S. Alatawi and M. Matin**, "High efficiency three level transformerless inverter based on SiC MOSFETs for PV applications," *2017 IEEE International Conference on Electro Information Technology (EIT)*, Lincoln, NE, 2017, pp. 617-62
- [18] **B. Eichler, A. Giessmann**; "Benefits of 3-Level Topologies in Combination with 7th Generation IGBT Technology", *Bodo's Power Systems*, pp. 24-29, Dec. 2019
- [19] **Li Zhang, Senior Member, IEEE, Xiutao Lou, Chushan Li, Member, IEEE, Feng Wu, Member, IEEE, Yifan Gu, Guang Chen, and Dewei Xu, Member, IEEE**, Evaluation of Different Si/SiC Hybrid Three-Level Active NPC Inverters for High Power Density
- [20] **Xiaoqing Song, Alex Q. Huang, Meng-Chia Lee, Chang Peng**, High Voltage Si/SiC Hybrid Switch: An Ideal Next Step for SiC FREEDM Systems Center, North Carolina State University, Raleigh, NC 27695, USA
- [21] **D. Floricau, G. Gateau, M. Dumitrescu and R. Teodorescu**, "A new stacked NPC converter: 3L-topology and control", *Proc. Eur. Conf. Power Electron. Appl.*, pp. 1-10, Sep. 2007.
- [22] **D. Floricau, G. Gateau and A. Leredde**, "New active stacked NPC multilevel converter: Operation and features", *IEEE Trans. Ind. Electron.*, vol. 57, no. 7, pp. 2272-2278, Jul. 2010.
- [23] **Y. Wang and R. Li**, "Novel high-efficiency three-level stacked-neutral-point-clamped grid-tied inverter", *IEEE Trans. Ind. Electron.*, vol. 60, no. 9, pp. 3766-3774, Sep. 2013.
- [24] **D. Barater, C. Concari, G. Buticchi, E. Gurpinar, D. De and A. Castellazzi**, "Performance Evaluation of a Three-Level ANPC Photovoltaic Grid-Connected Inverter With 650-V SiC Devices and Optimized PWM," in *IEEE Transactions on Industry Applications*, vol. 52, no. 3, pp. 2475-2485, May-June 2016

- [25] **H. Akagi**, "Multilevel Converters: Fundamental Circuits and Systems," in *Proceedings of the IEEE*, vol. 105, no. 11, pp. 2048-2065, Nov. 2017
- [26] **Yang Han, Mingyu Luo, Xin Zhao, Josep M. Guerrero and Lin Xu**, "Comparative Performance Evaluation of Orthogonal-Signal-Generators-Based Single-Phase PLL Algorithms—A Survey", *IEEE Trans. Power Elect.* vol. 31, no. 5, May 2016
- [27] **M. Ciobotaru, V. G. Agelidis, R. Teodorescu, and F. Blaabjerg**, "Accurate and less-disturbing active antiislanding method based on PLL for grid-connected converter," *IEEE Trans. Power Electron.*, vol. 25, no. 6, pp. 1576–1584, Jun. 2010.
- [28] **L. Asiminoaei, F. Blaabjerg, and S. Hansen**, "Detection is key—Harmonic detection methods for active power filter applications," *IEEE Ind. App. Mag.*, vol. 13, no. 4, pp. 22–33, Jul./Aug. 2007.
- [29] **M. P. Kazmierkowski, M. Jasinski, and G. Wrona**, "DSP-based control of grid-connected power converters operating under grid distortions," *IEEE Trans. Ind. Informat.*, vol. 7, no. 2, pp. 204–211, May 2011.
- [30] **V. Kaura and V. Blasko**, "Operation of phase locked loop system under distorted utility conditions," *IEEE Trans. Ind. App.*, vol. 33, no. 1, pp. 58–63, Jan./Feb. 1997.
- [31] **T. Ashitha, A. Shahin, E. P. Cheriyan and R. Ramchand**, "FPGA controlled DSTATCOM under distorted grid condition," *TENCON 2017 - 2017 IEEE Region 10 Conference*, Penang, 2017, pp. 2594-2599
- [32] **M. Karimi-Ghartemani and M. R. Iravani**, "A method for synchronization of power electronic converters in polluted and variable-frequency environment," *IEEE Trans. Power Syst.*, vol. 19, no. 3, pp. 1263–1270, Aug. 2004.
- [33] **J. Svensson, M. Bongiorno, and A. Sannino**, "Practical implementation of delayed signal cancellation method for phase-sequence separation," *IEEE Trans. Power Del.*, vol. 22, no. 1, pp. 18–26, Jan. 2007.
- [34] **K. Borisov and H. Ginn**, "A novel reference signal generator for active power filters based on recursive DFT," in *Proc. IEEE Appl. Power Electron. Conf. Expo.*, 2008, pp. 1920–1925.
- [35] **M. F. Martinez-Montejano**, G. Escobar, and R. E. Torres-Olguin, "Fixed reference frame phase-locked loop (FRF-PLL) for unbalanced line voltage conditions," in *Proc. IEEE Power Electron. Spec. Conf.*, 2008, pp. 4723–4728.
- [36] **F. A. S. Neves, H. E. P. de Souza, F. Bradaschia, M. C. Cavalcanti, M. Rizo, and F. J. Rodriguez**, "A space-vector discrete Fourier transform for unbalanced and distorted three-phase signals," *IEEE Trans. Ind. Electron.*, vol. 57, no. 8, pp. 2858–2867, Aug. 2010.
- [37] **P. S. B. Nascimento, H. E. P. de Souza, F. A. S. Neves and L. R. Limongi**, "FPGA Implementation of the Generalized Delayed Signal Cancellation—Phase Locked Loop Method for Detecting Harmonic Sequence Components in Three-Phase Signals," in *IEEE Transactions on Industrial Electronics*, vol. 60, no. 2, pp. 645-658, Feb. 2013

- [38] **T. C. Green and J. H. Marks**, "Control techniques for active power filters," *Proc. Inst. Electr. Eng.—Electric Power Applications*, vol. 152, no. 2, pp. 369–381, Mar. 2005.
- [39] **Z. Chen and D. Xu**, "Control and design issues of a DSP-based shunt active power filter for utility interface of diode rectifiers," in *Proc. Appl. Power Electron. Conf. Expo.*, 2004, vol. 1, pp. 197–203.
- [40] **Z. Shu, Y. Guo and J. Lian**, "Steady-State and Dynamic Study of Active Power Filter With Efficient FPGA-Based Control Algorithm," in *IEEE Transactions on Industrial Electronics*, vol. 55, no. 4, pp. 1527–1536, April 2008.
- [41] **P.S.B. Nascimento, H.E.P. De Souza, F.A.S. Neves and L.R. Limongi**, "FPGA implementation of the generalized delayed signal cancelation - phase locked loop method for detecting harmonic sequence components in three-phase signals", *IEEE Transactions on Industrial Electronics*, vol. 60, no. 2, pp. 645–658, Feb 2013.
- [42] **B. Sun, N.Y. Dai, U.F. Chio et al.**, "FPGA-based decoupled double synchronous reference frame PLL for active power filters", *2011 6th IEEE Conference on Industrial Electronics and Applications*, pp. 2145–2150, June 2011.
- [43] **J. Jo, B.M. Han and H. Cha**, "FPGA based DSC-PLL for grid harmonics and voltage unbalance effect elimination", *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 2212–2216, March 2015.
- [44] **P. Cossutta, S. Raffo, A. Cao et al.**, "High speed single phase SOGI-PLL with high resolution implementation on an FPGA", *2015 IEEE 24th International Symposium on Industrial Electronics (ISIE)*, pp. 1004–1009, June 2015.
- [45] **V. Sáez, A. Martín, M. Rizo et al.**, "FPGA implementation of grid synchronization algorithms based on DSC DSOGI-QSG and PLL for distributed power generation systems", *2010 IEEE International Symposium on Industrial Electronics*, pp. 2765–2770, July 2010.
- [46] **Y. Huimei, S. Hao and S. Yu**, "Optimized design and implementation of three-phase PLL based on FPGA", *2009 International Conference on Computer Engineering and Technology*, vol. 1, pp. 129–133, Jan 2009.
- [47] **P. S. B. Nascimento, H. E. P. de Souza, F. A. S. Neves and L. R. Limongi**, "FPGA Implementation of the Generalized Delayed Signal Cancelation—Phase Locked Loop Method for Detecting Harmonic Sequence Components in Three-Phase Signals," in *IEEE Transactions on Industrial Electronics*, vol. 60, no. 2, pp. 645–658, Feb. 2013
- [48] **Z. Chen and D. Xu**, "Delayless harmonic detection based on DSP with high-accuracy for active power filter," in *Proc. Appl. Power Electron. Conf. Expo.*, 2005, pp. 1817–1823.
- [49] **N. Shamala and C. Lakshminarayana**, "Performance enhancement in active power filter (APF) by FPGA implementation," *2017 International*

- [50] **IEEE Working Group on Power System Harmonics**, "Power system harmonics: An overview," *IEEE Trans. Power App. Syst.*, vol. PAS-102, pp. 2455–2460, Aug. 1983.
- [51] **T. C. Shuter, H. T. Vollkommer, Jr., and J. L. Kirkpatrick**, "Survey of harmonic levels on the American electric power distribution system," *IEEE Trans. Power Delivery*, vol. 4, pp. 2204–2213, Oct. 1989.
- [52] **C. Liew**, "Excessive neutral currents in three-phase fluorescent lighting circuits," *IEEE Trans. Ind. Applicat.*, vol. 25, pp. 776–782, July/Aug. 1989.
- [53] **Mitsubishi Electric Corp.**, Active Filters: Technical Document, 2100/1100 Series, Tokyo, Japan, 1989, pp. 1–36.
- [54] **ABB Power Systems**, "Harmonic currents, static VAR systems," Stockholm, Sweden, Inform. NR500-015E, Sept. 1988, pp. 1–13.
- [55] **Bhim Singh, Kamal Al-Haddad, Ambrish Chandra**, "A Review of Active Filters for Power Quality Improvement", October 1999
- [56] **D. D. Shipp**, "Harmonic analysis, suppression for electrical systems supplying static power converters, other nonlinear loads," *IEEE Trans. Ind. Applicat.*, vol. 15, pp. 453–458, Sept./Oct. 1979.
- [57] **H. Akagi, Y. Kanazawa, and A. Nabae**, "Generalized theory of the instantaneous reactive power in three-phase circuits," in *Proc. IPECTokyo*, 1983, pp. 1375–1386.
- [58] **L. S. Czarnecki**, "Orthogonal decomposition of the currents in a 3-phase nonlinear asymmetrical circuit with a nonsinusoidal voltage source," *IEEE Trans. Instrum. Meas.*, vol. 37, pp. 30–34, Mar. 1988
- [59] **J. H. Choi, G. W. Park, and S. B. Dewan**, "Standby power supply with active power filter ability using digital controller," in *Proc. IEEE APEC'95*, 1995, pp. 783–789.
- [60] **Ametani**, "Harmonic reduction in thyristor converters by harmonic current injection," *IEEE Trans. Power App. Syst.*, vol. 95, pp. 441–449, Mar./Apr. 1976.
- [61] **H. Kawahira, T. Nakamura, S. Nakazawa, and M. Nomura**, "Active power filter," in *Proc. IPEC-Tokyo*, 1983, pp. 981–992.
- [62] **L. Rossetto and P. Tenti**, "Using AC-fed PWM converters as instantaneous reactive power compensators," in *Proc. IEEE PESC'90*, 1990, pp. 855–861.
- [63] **S. A. Moran and M. B. Brennen**, "Active power line conditioner with fundamental negative sequence compensation," *U.S. Patent 5 384 696*, Jan. 1995.
- [64] **S. Bhattacharya, D. M. Divan, and B. B. Banerjee**, "Control, reduction of terminal voltage total harmonic distortion (THD) in a hybrid series active, parallel passive filter system," in *Proc. IEEE PESC'93*, 1993, pp. 779–786.

- [65] **C. E. Lin, C. L. Chen, and C. H. Huang**, “Reactive, harmonic Current compensation for unbalanced three-phase system,” in *Proc. Int. Conf. High Technology in the Power Industry*, 1991, pp. 317–321.
- [66] **S. Bhattacharya, A. Veltman, D. M. Divan, and R. D. Lorenz**, “Flux based active filter controller,” in *Conf. Rec. IEEE-IAS Annu. Meeting*, 1995, pp. 2483–2491.
- [67] **M. Rastogi, N. Mohan, and A. A. Edris**, “Filtering of harmonic currents, damping of resonances in power systems with a hybrid-active filter,” in *Proc. IEEE APEC’95*, 1995, pp. 607–612.
- [68] **L. Rossetto and P. Tenti**, “Using AC-fed PWM converters as instantaneous reactive power compensators,” in *Proc. IEEE PESC’90*, 1990, pp. 855–861.
- [69] **C. Tutas**, “Sliding mode control of voltage-source active filters,” in *Conf. Rec. EPE Conf.*, 1993, pp. 156–161.
- [70] **Z. Radulovic and A. Sabanovic**, “Active filter control using a sliding mode approach,” in *Proc. IEEE PESC’94*, 1994, pp. 177–182.
- [71] **Maur’icio Aredes, J’urgen H’afner, and Klemens Heumann**, “Three-Phase Four-Wire Shunt Active Filter Control Strategies”, March 1997
- [72] **Vikram Kaura, Vladimir Blasko**, “Operation of a Phase Locked Loop System Under Distorted Utility Conditions”, February 1997
- [73] **Url-2** <[https:// www.mag-inc.com/ Products /Powder-Cores / Kool-Mu-MAX-Cores/Kool-Mu-MAX- Material-Curves](https://www.mag-inc.com/Products/Powder-Cores/Kool-Mu-MAX-Cores/Kool-Mu-MAX-Material-Curves)>, erişim tarihi 01.02.2018
- [74] **Url-3** <<https://www.firatdeveci.com/akim-sensorleri-open-close-loop-fluxgate/>>, erişim tarihi 03.04.2017
- [75] **Url-4**<<https://www.indimart.com/proddetail/bonded-fin-heat-sinks-6855320991.html>>, erişim tarihi 03.05.2018
- [76] **Url-5** <https://www.plexim.com/products/rt_box>, erişim tarihi 01.01.2022

EKLER

EK A: Haritalar

EK B: Tasarımı Gerçekleştirilen PCB'ler

EK C: Teknik Özellikler

EK D: Test Sırasında Kullanılan Ölçüm Aletleri



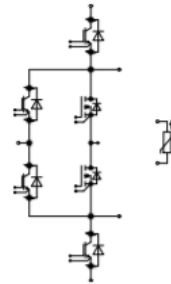
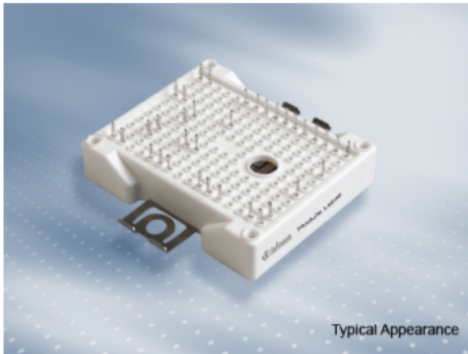
EK A

Resource		Device						
		10M02	10M04	10M08	10M16	10M25	10M40	10M50
Logic Elements (LE) (K)		2	4	8	16	25	40	50
M9K Memory (Kb)		108	189	378	549	675	1,260	1,638
User Flash Memory (Kb) ⁽²⁾		96	1,248	1,376	2,368	3,200	5,888	5,888
18 × 18 Multiplier		16	20	24	45	55	125	144
PLL		2	2	2	4	4	4	4
GPIO		246	246	250	320	360	500	500
LVDS	Dedicated Transmitter	15	15	15	22	24	30	30
	Emulated Transmitter	114	114	116	151	171	241	241
	Dedicated Receiver	114	114	116	151	171	241	241
Internal Configuration Image		1	2	2	2	2	2	2
ADC		—	1	1	1	2	2	2

Şekil A.1 : Max 10 Datasheet.

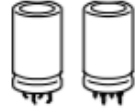
EasyPACK™ Modul mit CoolSiC™ Trench MOSFET und PressFIT / NTC
EasyPACK™ module with CoolSiC™ Trench MOSFET and PressFIT / NTC

Vorläufige Daten / Preliminary Data



$V_{CES} = 1200V$
 $I_{C\ nom} = 100A / I_{CRM} = 200A$

Şekil A.2 : F3L11MR12W2M1_B74 SiC tabanlı hibrit evirici modül datasheet.



Specifications and characteristics in brief

Rated voltage V_R	385 ... 500 V DC				
Surge voltage V_S	$1.1 \cdot V_R$				
Rated capacitance C_R	330 ... 3300 μF				
Capacitance tolerance	$\pm 20\% \triangleq M$				
Dissipation factor $\tan \delta$ (20 °C, 120 Hz)	for case diameter 35 ... 45 mm: $V_R \leq 400 \text{ V DC: } \tan \delta \leq 0.15$ $V_R > 400 \text{ V DC: } \tan \delta \leq 0.20$ for case diameter 50 mm: $\tan \delta \leq 0.20$				
Leakage current I_{leak} (5 min, 20 °C)	$I_{\text{leak}} \leq 0.3 \mu\text{A} \cdot \left(\frac{C_R}{\mu\text{F}} \cdot \frac{V_R}{V} \right)^{0.7} + 4 \mu\text{A}$				
Self-inductance ESL	Approx. 20 nH				
Useful life ¹⁾ 85 °C; V_R ; $I_{AC,R}$ 40 °C; V_R ; $1.1 \cdot I_{AC,R}$	> 5000 h > 250000 h	Requirements: $\Delta C/C \leq \pm 20\%$ of initial value $\tan \delta \leq 2$ times initial specified limit $I_{\text{leak}} \leq$ initial specified limit			
Voltage endurance test 85 °C; V_R	2000 h	Post test requirements: $\Delta C/C \leq \pm 10\%$ of initial value $\tan \delta \leq 1.3$ times initial specified limit $I_{\text{leak}} \leq$ initial specified limit			
Vibration resistance test	To IEC 60068-2-6, test Fc: Frequency range 10 ... 55 Hz, displacement amplitude 0.35 mm, acceleration max. 5 g, duration 3×2 h. Capacitor mounted by its body which is rigidly clamped to the work surface.				
Characteristics at low temperature	Max. impedance ratio at 100 Hz	V_R ; d = 35 ... 45 mm V_R ; d = 50 mm $Z_{-25^\circ\text{C}} / Z_{20^\circ\text{C}}$ $Z_{-40^\circ\text{C}} / Z_{20^\circ\text{C}}$	$\leq 400 \text{ V}$ 4 7	420 ... 450 V 385 ... 450 V 7 14	500 V 7 20
IEC climatic category	To IEC 60068-1: for case diameter 35 ... 45 mm: $V_R \leq 400 \text{ V DC: } 40/085/56$ (–40 °C/+85 °C/56 days damp heat test) $V_R > 400 \text{ V DC: } 25/085/56$ (–25 °C/+85 °C/56 days damp heat test) for case diameter 50 mm: 25/085/56 (–25 °C/+85 °C/56 days damp heat test) The capacitors can be operated in the temperature range of –40 °C to +85 °C but the impedance at –40 °C should be taken into consideration.				

Şekil A.3 : DC bara kondansatör.

ADS7056 Ultra-Low Power, Ultra-Small Size, 14-Bit, High-Speed SAR ADC

1 Features

- 2.5-MSPS Throughput
- Ultra-Small Size SAR ADC:
 - X2QFN-8 Package with 2.25-mm² Footprint
- Wide Operating Range:
 - AVDD: 2.35 V to 3.6 V
 - DVDD: 1.65 V to 3.6 V (Independent of AVDD)
 - Temperature Range: –40°C to +125°C
- Unipolar Input Range: 0 V to AVDD
- Excellent Performance:
 - 14-Bit NMC DNL, ± 2 -LSB INL
 - 74.5-dB SINAD at 2-kHz
 - 73.7-dB SINAD at 1-MHz
- Ultra-Low Power Consumption:
 - 3.5 mW at 2.5-MSPS with 3.3-V AVDD
 - 158 μ W at 100-kSPS with 3.3-V AVDD
- Integrated Offset Calibration
- SPI-Compatible Serial Interface: 60-MHz
- JESD8-7A Compliant Digital I/O

2 Applications

- Sonar Receivers
- Optical Line Cards and Modules
- Thermal Imaging
- Ultrasonic Flow Meters
- Motor Controls
- Handheld Radios
- Environmental Sensing
- Fire and Smoke Detection

3 Description

The ADS7056 is a 14-bit, 2.5-MSPS, analog-to-digital converter (ADC). The device includes a capacitor-based, successive-approximation register (SAR) ADC that supports a wide analog input voltage range (0 V to AVDD, for AVDD in the range of 2.35 V to 3.6 V).

The SPI-compatible serial interface is controlled by the $\overline{CS}$ and SCLK signals. The input signal is sampled with the $\overline{CS}$ falling edge and SCLK is used for conversion and serial data output. The device supports a wide digital supply range (1.65 V to 3.6 V), enabling direct interfacing to a variety of host controllers. The ADS7056 complies with the JESD8-7A standard for a normal DVDD range (1.65 V to 1.95 V).

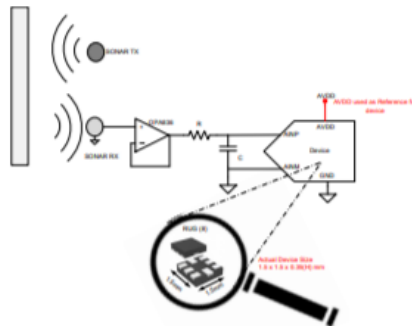
The ADS7056 is available in an 8-pin, miniature, X2QFN package and is specified over the extended industrial temperature range (–40°C to +125°C). Miniature form-factor and extremely low-power consumption make this device suitable for space-constrained and battery-powered applications.

Device Information⁽¹⁾

PART NAME	PACKAGE	BODY SIZE (NOM)
ADS7056	X2QFN (8)	1.50 mm × 1.50 mm

(1) For all available packages, see the orderable addendum at the end of the datasheet.

Typical Application

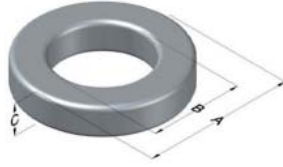


Şekil A.4 : ADS7056 ADC.



0078744A7

110 Delta Drive
Pittsburgh, PA 15238
NAFTA Sales: (1)800-245-3984
HK Sales : (852)3102-9337
magnetics@spang.com
www.mag-inc.com



XFLUX Permeability (μ)	A_L (nH/T ²)	Core Marking			Coating Color
		Lot Number	Part Number	Inductance Grade	
19	64 $\pm$ 8%	XXXXXX	78744A7	N/A	Brown

Dimensions	Uncoated		Coated Limits		Packaging
	(mm)	(in)	(mm)	(in)	
OD (A)	74.09	2.917	75.21	2.961	Cardboard cut-outs Box Qty= 24 pcs
ID (B)	45.29	1.783	44.40	1.748	
HT (C)	35.00	1.378	35.92	1.414	

Electrical Characteristics			Physical Characteristics						
Watt Loss @ 50 kHz, 50mT max (mW/cm ³)	DC Bias min (oersteds)		Voltage Breakdown wire to wire min (V _{AC})	Break Strength min (kg)	Window Area W _A (mm ²)	Cross Section A _e (mm ²)	Path Length L _e (mm)	Volume V _e (mm ³)	Weight (g)
	80%	50%	3000	227.0	1,550	497	184	91,400	600
230	290	575							

Winding Information					Temperature Rating	
Winding Length Per Turn				Wound Coil Dimensions (mm)		Curie Temp: 700° C
Winding Factor	(mm)	Winding Factor	(mm)	40% Winding Factor	OD	Coating Temp (Continuous up to): 200° C
					HT	
	Completely Full Window				Max OD	Notes:
					Max HT	
	0%	102	40%	125	Surface Area (mm²)	
20%	114	45%	129	Unwound Core		
25%	117	50%	132	40% Winding Factor		
30%	119	60%	139			
35%	122	70%	147			

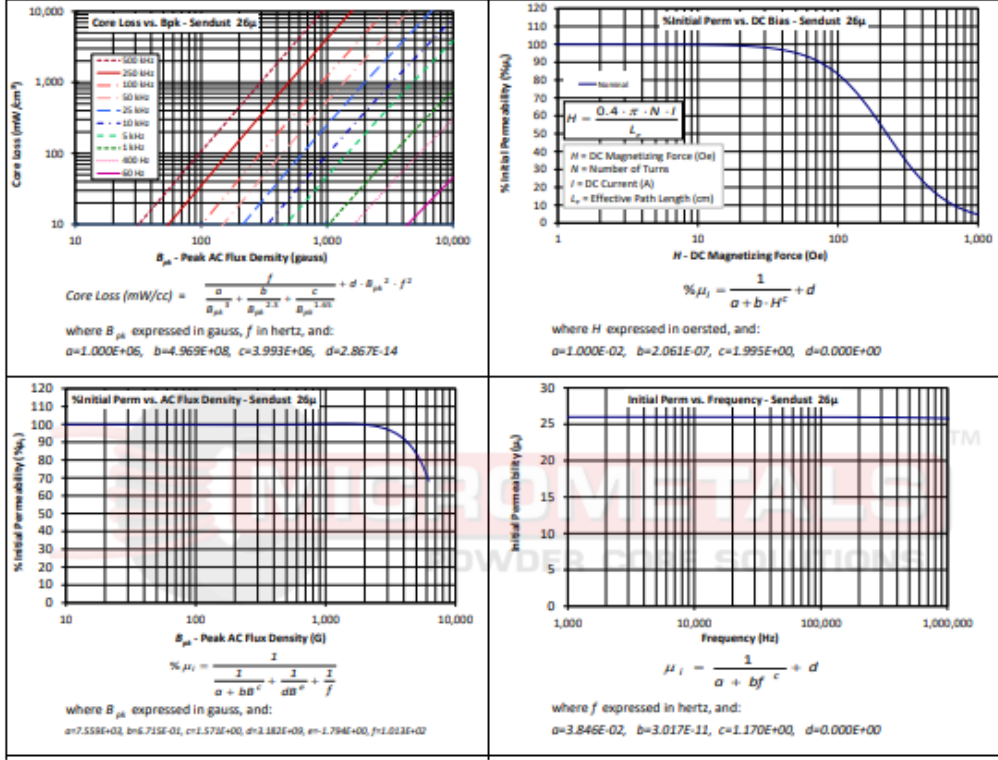
Şekil A.5 : Şebeke ve evirici tarafı Xflux nüvenin datasheeti.



Material: Sendust 26μ Toroid

Revision 20200518 - Generated 2020-May-26

μi (reference)	026
Typical AL tolerance	± 8%
Density	5.1 g/cm ³
Bsat	8.1 kG
Core Loss (100kHz, 500g)	295 mW/cm ³ (nom) 339 mW/cm ³ (max)
%Perm at DC Bias (200 Oe)	55.4% (nom) 46.3% (min)



Şekil A.6 : Trap filtre için kullanılan KoolMu nüvenin datasheeti.

DC/DC Converter for IGBT Driver QAxx1 Series

MORNSUN®

DC/DC Converter for IGBT driver



Patent Protection

EN62368-1

QAxx1 series are DC-DC converters for IGBT drivers. The ultra low isolation capacitance can improve the capability of anti-interference. The built-in common-ground mode of the unique asymmetric voltage output mode reduces the driver loss of IGBT driver. It features short-circuit protection, auto-recovery and can be widely used in:

1. General inverter
2. AC servo drive system
3. Electric welding machine
4. Uninterruptible power supply (UPS)

FEATURES

- High efficiency up to 81%
- Ultra compact SIP package
- I/O Isolation test voltage 3kVAC
- Max. Capacitive Load:1000uF
- Ultra low Isolation capacitance
- Operating ambient temperature range: -40°C to +105°C
- No-load operation allowed

Selection Guide

Certification	Part No.	Input		Output		Full Load Efficiency (%) Min./Typ.	Capacitive Load (uF) Max.
		Input Voltage(VDC)	Input Current(mA, Typ.) full load/no-load	Voltage(VDC) +Vo/-Vo	Current(mA) +Io/-Io		
		Nominal (Range)					
EN	QA121	12 (11.4-12.6)	280/40	+15/-8.0	+120/-120	78/81	1000
--	QA151	15 (14.25-15.75)	230/35				
--	QA241	24 (22.8-25.2)	144/30				

Input Specifications

Item		Operating Conditions	Min.	Typ.	Max.	Unit
Surge Voltage (1sec. max.)	QA121	DC	-0.7	--	14	VDC
	QA151	DC	-0.7	--	16	
	QA241	DC	-0.7	--	20	
Input Filter			Capacitance Filter			
Hot Plug			Unavailable			

Output Specifications

Item		Operating Conditions	Min.	Typ.	Max.	Unit
Output Voltage	QA121	+Vo Vin=12VDC, Pin6 & Pin7 +Io= +120mA	14.10	14.81	15.00	VDC
		-Vo Vin=12VDC, Pin6 & Pin7 -Io= -120mA	-0.24	-7.84	-9.44	
	QA151	+Vo Vin=15VDC, Pin6 & Pin7 +Io= +120mA	14.10	14.81	15.00	
		-Vo Vin=15VDC, Pin6 & Pin7 -Io= -120mA	-0.24	-7.84	-9.44	

Şekil A.7 : Kapı sürücü IGBT için DC/DC dönüştürücü QA151 datasheeti.

MOSFET SiC Driver Dedicated Power Supply QA151M

MORNSUN®

MOSFET SiC driver dedicated power supply



Continuous Short
Circuit Protection

FEATURES

- High efficiency up to 80%
- SIP package
- I/O isolation test voltage: 3.5k VAC
- Ultra low isolation capacitor
- Operating ambient temperature range: -40°C to +105°C
- Continuous short-circuit protection
- Industry standard pin-out

Patent Protection RoHS

QA151M is DC-DC module power supply designed for MOSFET SiC driver requiring two set of isolation power supply. The mode uses two common ground output modes to better provide energy for SiC turn-on and turn-off. Output short-circuit protection and self-recovery capabilities are also provided. General application includes:

- 1.Universal converter
- 2.AC servo drive systems
- 3.Electric welding machines
- 4.Un-interruptible power supplies (UPS)

Selection Guide

Part No.	Input Voltage (VDC)	Output		Full Load Efficiency(%) Min./Typ.	Max. Capacitive Load*(μ F)
	Nominal (Range)	Voltage (VDC) +Vo/-Vo	Current (mA) +Io/-Io		
QA151M	15 (13.5-16.5)	+15/-5	+100/-100	76/80	220

Note:*The specified maximum capacitive load value for positive and negative output is identical.

Input Specifications

Item	Operating Conditions	Min.	Typ.	Max.	Unit
Input Current (full load / no-load)	15V input	--	162/15	--	mA
Surge Voltage (1sec. max.)		-0.7	--	21	VDC
Input Filter		Capacitor filter			
Hot Plug		Unavailable			

Output Specifications

Item	Operating Conditions			Min.	Typ.	Max.	Unit
Output Voltage	Vin=15VDC. Pin6 & Pin7 +Io=+100mA	+Vo	14.4	15	15.9	VDC	
	Vin=15VDC. Pin5 & Pin6 -Io=-100mA	-Vo	-4.75	-5	-5.75		
Voltage Accuracy	Vin=15VDC. Pin6 & Pin7 +Io=+100mA	+Vo	-4% to +6%				
	Vin=15VDC. Pin5 & Pin6 -Io=-100mA	-Vo	-5% to +15%				
	10%-100% load			See output regulation curve(Fig. 1)			

Şekil A.8 : Kapı sürücü MOSFET için DC/DC dönüştürücü QA151M datasheeti.

MC34152, MC33152, NCV33152

MOSFET Driver, High Speed, Dual

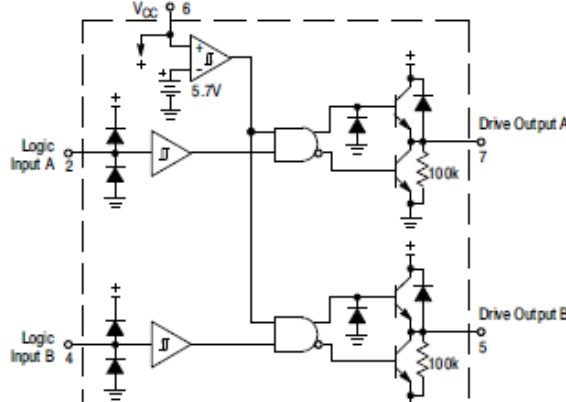
The MC34152/MC33152 are dual noninverting high speed drivers specifically designed for applications that require low current digital signals to drive large capacitive loads with high slew rates. These devices feature low input current making them CMOS/LSTTL logic compatible, input hysteresis for fast output switching that is independent of input transition time, and two high current totem pole outputs ideally suited for driving power MOSFETs. Also included is an undervoltage lockout with hysteresis to prevent system erratic operation at low supply voltages.

Typical applications include switching power supplies, dc-to-dc converters, capacitor charge pump voltage doublers/inverters, and motor controllers.

This device is available in dual-in-line and surface mount packages.

Features

- Two Independent Channels with 1.5 A Totem Pole Outputs
- Output Rise and Fall Times of 15 ns with 1000 pF Load
- CMOS/LSTTL Compatible Inputs with Hysteresis
- Undervoltage Lockout with Hysteresis
- Low Standby Current
- Efficient High Frequency Operation
- Enhanced System Performance with Common Switching Regulator Control ICs
- NCV Prefix for Automotive and Other Applications Requiring Site and Change Controls
- These are Pb-Free and Halide-Free Devices



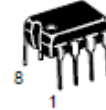
Şekil A.9 : MC33152 seviye yükselticinin datasheeti.



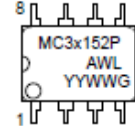
ON Semiconductor®

<http://onsemi.com>

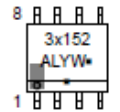
MARKING DIAGRAMS



PDIP-8
P SUFFIX
CASE 626



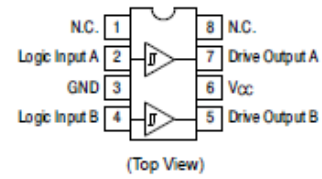
SOIC-8
D SUFFIX
CASE 751



x = 3 or 4
A = Assembly Location
WL, L = Wafer Lot
YY, Y = Year
WW, W = Work Week
G or * = Pb-Free Package

(Note: Microdot may be in either location)

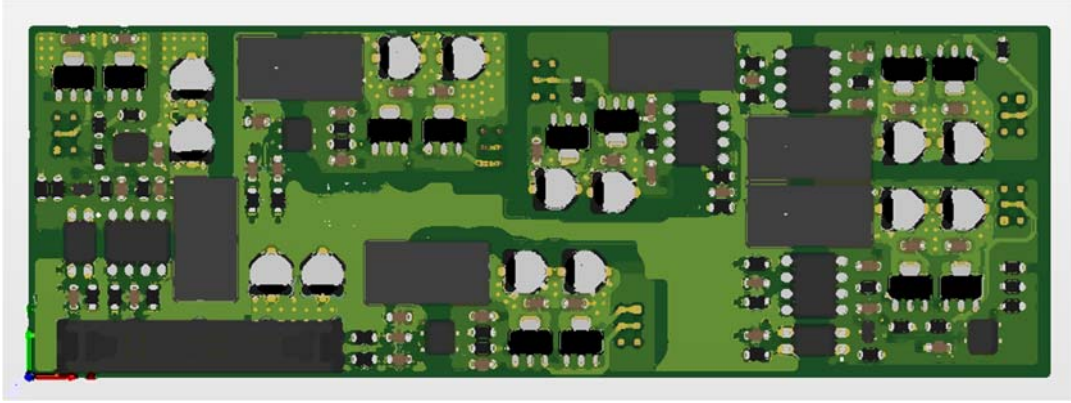
PIN CONNECTIONS



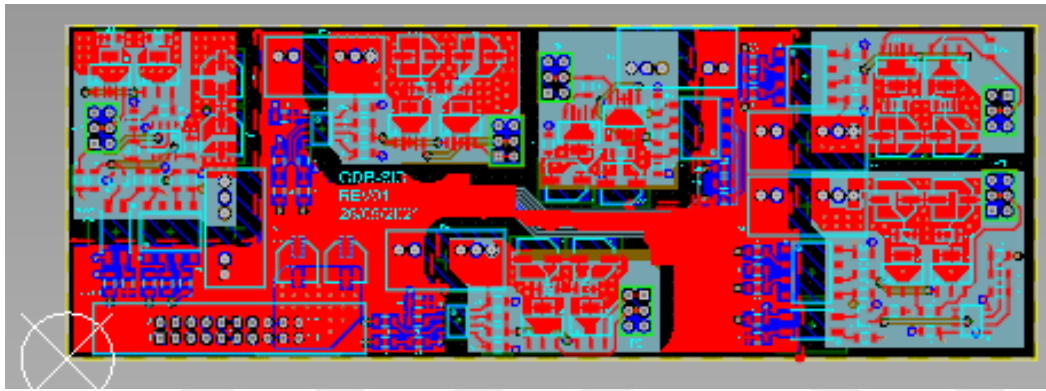
ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 10 of this data sheet.

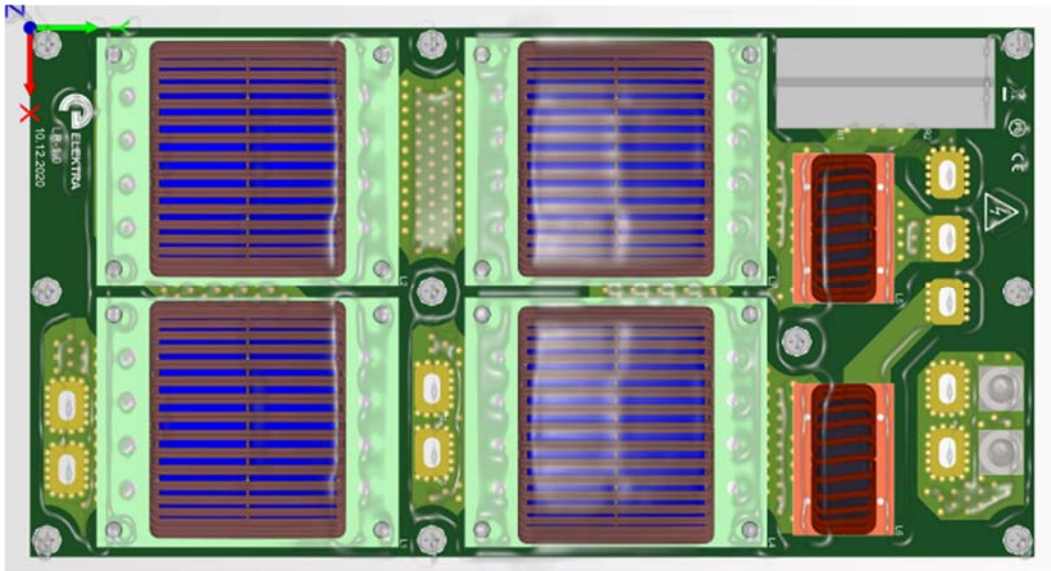
EK B



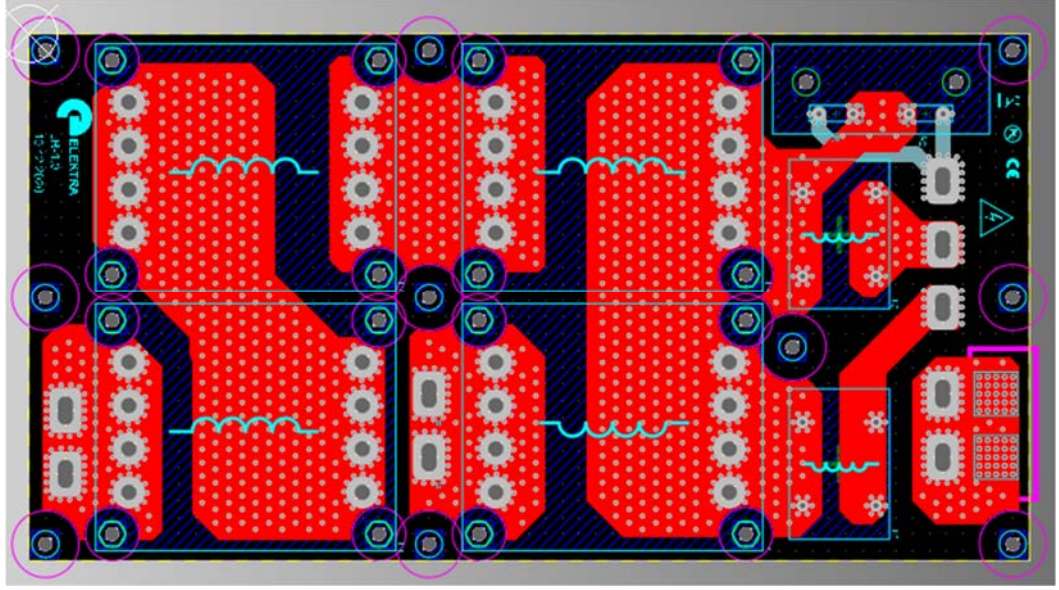
Şekil B.1 : Kapı sürücü kartı 3D görünümü.



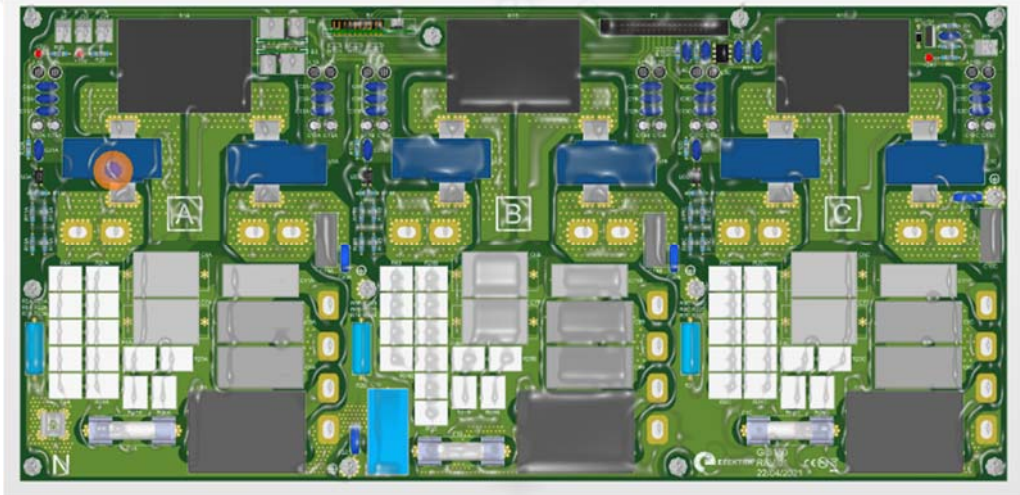
Şekil B.2 : Kapı sürücü kartına ait layout tasarımı.



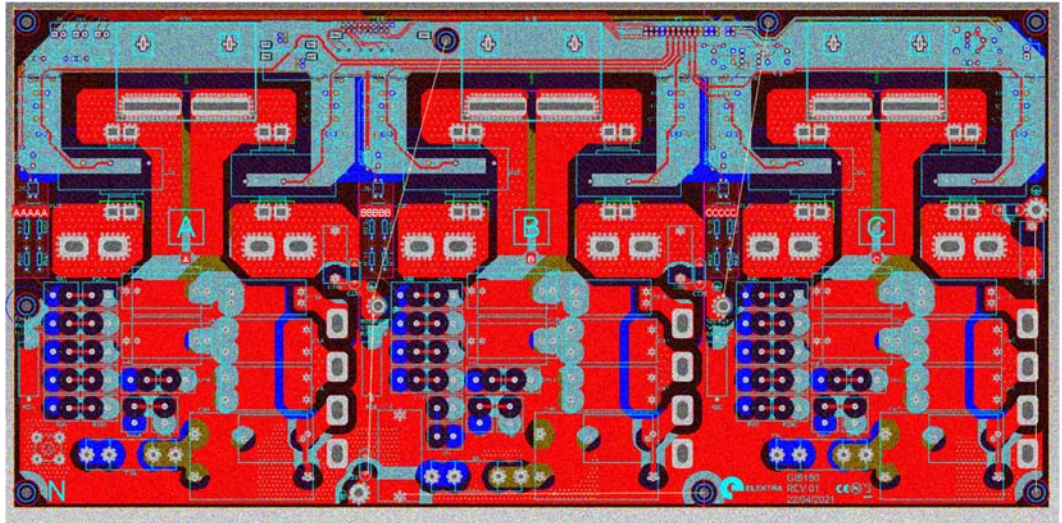
Şekil B.3 : LCL filtre PCB tasarımı.



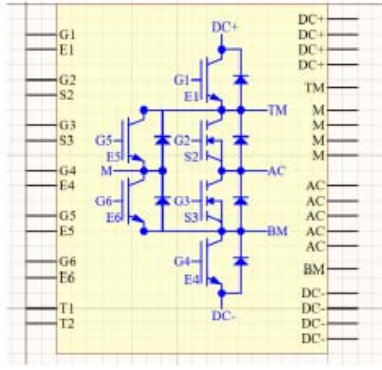
Şekil B.4 : LCL filtre layout tasarımı.



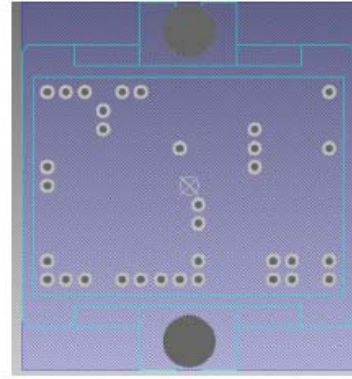
Şekil B.5 : Ölçüm kartı 3D tasarımı.



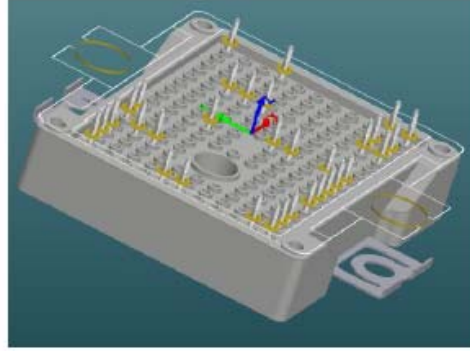
Şekil B.6 : Ölçüm kartı layout tasarımı.



a)

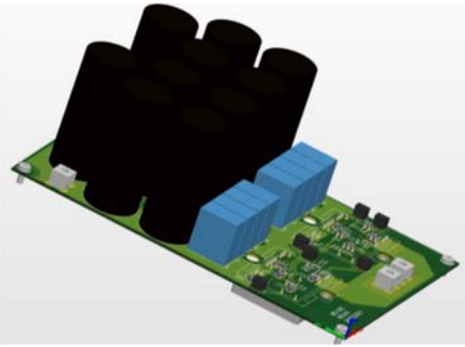
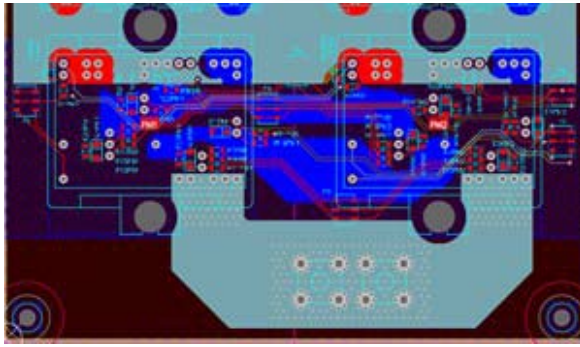


b)

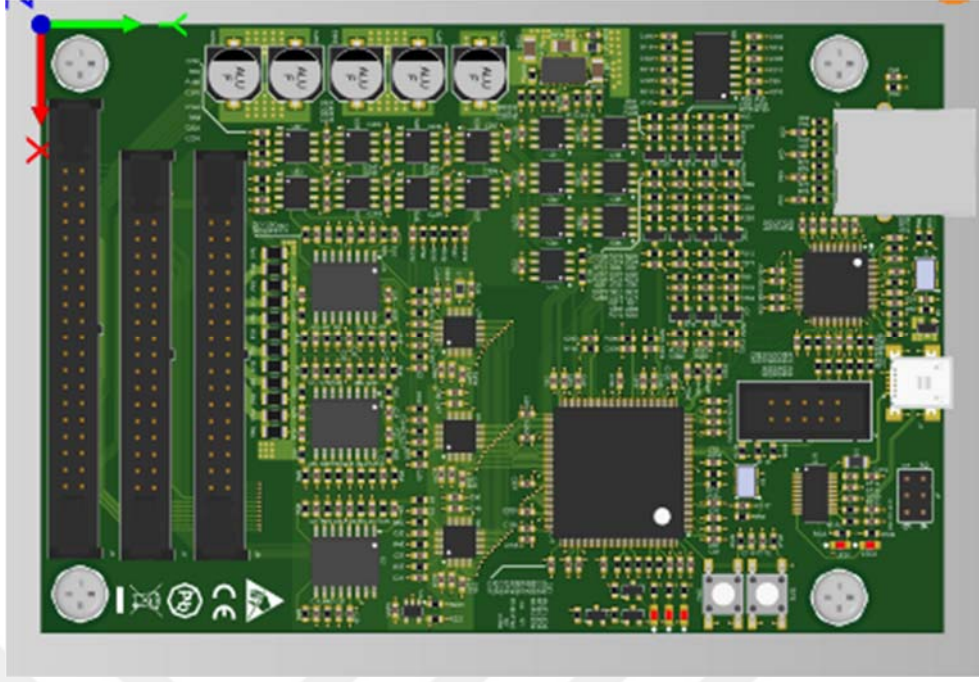


c)

Şekil B.7 : (a) Şematik, (b) Footprint, (c) 3D ekran görüntüleri.



Şekil B.8 : Evirici donanımının PCB sinin 2D ve 3D ekran görüntüleri.



Şekil B.9 : Gömülü sistem PCB kartı 3D tasarımı.

Çizelge C.1 : Teknik özellikler.

Teknik Özellikler	
Özellikler	Tez Çıktısı (SiC Tabanlı ANPC Hibrit Evirici)
Akım Kapasitesi	50A
Gerilim	208V-480V
Frekans	50Hz
Tipik Kayıp	<2.5%
DC Gerilim (min)	590V
DC Gerilim (max)	830V
Dinamik Tepki Süresi	12.5 μ s
Bant Genişliği	5kHz
Güç Yoğunluğu	580kW/m ³
Gömülü Sistem	FPGA
Evirici Topolojisi	Üç Seviyeli SiC Tabanlı Hibrit ANPC

EK D**Çizelge D.1 : Test sırasında kullanılan malzeme listesi**

Malzeme Adı	Miktarı	Amaç
Hioki PW6001-04 Masa Tipi Güç Analizörü	1	Sistemin veriminin ölçülebilmesi için
DP 100 Pintek Diferansiyel Probu	4	Sistemin gerilim ölçümlerinde kullanılmıştır
PA-629 Pintek Akım Probu	4	Sistemin akım ölçümlerinde kullanılmıştır
Tektronix Osiloskop	1	Tasarlanan PCB'lerin sinyallerini ölçmede, akım ve gerilim dalga şekillerini görüntülemeye kullanılmıştır
Rigol Osiloskop	1	Tasarlanan PCB'lerin sinyallerini ölçmede, akım ve gerilim dalga şekillerini görüntülemeye kullanılmıştır



ÖZGEÇMİŞ



Ad-Soyad : İslam DELİBAŞ



ÖĞRENİM DURUMU:

- **Lisans** : 2018, İstanbul Üniversitesi, Mühendislik Fakültesi, Elektrik Elektronik Mühendisliği

MESLEKİ DENEYİM VE ÖDÜLLER:

- 2018 – 2021 yılları arasında Elektra Elektronik San. ve Tic. A.Ş.'de güç elektroniği üzerinde çalıştı.
- 10/2021-11/2021 tarihleri arasında Arçelik A.Ş.'de Test&Onay departmanında kısa süreli bir çalışma gerçekleştirdi.
- 12/2021 tarihinden bu yana AVL Araştırma ve Geliştirme'de E-Drive Calibration departmanında Ar&Ge mühendisi olarak görev almaktadır.

