

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

AYARLANABİLİR AKIM AYNALARI

YÜKSEK LİSANS TEZİ

Ümit FARAŞOĞLU

Anabilim Dalı: Elektronik & Haberleşme Mühendisliği

Programı: Elektronik Mühendisliği

EYLÜL 2009

AYARLANABİLİR AKIM AYNALARI

YÜKSEK LİSANS TEZİ

Ümit FARAŞOĞLU

(504061225)

Tezin Enstitüye Verildiği Tarih : 27 Temmuz 2009

Tezin Savunulduğu Tarih : 08 Eylül 2009

Tez Danışmanı : Prof. Dr. Ali TOKER (İTÜ)

Diğer Jüri Üyeleri : Prof. Dr. Ece Olcay GÜNEŞ (İTÜ)

Doç. Dr. Özcan KALENDERLİ (İTÜ)

EYLÜL 2009

ÖNSÖZ

İ.T.Ü.'de yüksek lisans eğitimim öncesinde ve eğitimim sürecinde göstermiş olduğu anlayış ve yardımlarından dolayı, tez çalışmamda rehberliğini ve değerli zamanını benden esirgemeyerek çalışmamı yönlendiren değerli hocam ve tez danışmanım Prof. Dr. Ali TOKER'e, yetişmemde emeği olan tüm hocalarıma ve sıralı tüm komutanlarıma en içten saygı ve sevgilerimi sunarım.

Ayrıca yüksek lisans eğitimim süresince benden maddi ve manevi desteklerini esirgemeyen sevgili eşim Sonay FARAŞOĞLU'na, meslektaşlarım Atıf ABA ve Engin ÖZMEN'e, Araştırma Görevlisi Yük. Müh. Atilla UYGUR'a teşekkürlerimi sunarım.

Eylül 2009

Ümit FARAŞOĞLU
Elektronik Müh.

İÇİNDEKİLER

Sayfa

ÖNSÖZ.....	iii
İÇİNDEKİLER.....	v
KISALTMALAR.....	vii
ÇİZELGE LİSTESİ.....	ix
ŞEKİL LİSTESİ	xi
ÖZET	xv
SUMMARY	xvii
1. GİRİŞ	1
1.1 Literatürde Mevcut Ayarlanabilir Akım Aynası Yapıları (AAAY).....	2
1.1.1 MOS translineer çevrimi kullanılarak elde edilen AAAY	2
1.1.2 Aynalama transistorlarının geçit-kaynak gerilimlerinin uyumsuzluğundan yararlanılarak elde edilen AAAY	3
1.1.3 Doğrusal bölgede çalışan MOS transistorlar kullanılarak elde edilen AAAY	5
1.1.4 Akım bölücü kuralı ile elde edilen AAAY	7
1.2 Tezin Amacı ve Organizasyonu	8
2. DEĞİŞTİRİLMİŞ AYARLANABİLİR AKIM AYNASI YAPISI.....	11
2.1 Akım Bölücü Kuralı ile Elde Edilen Değiştirilmiş Ayarlanabilir Akım Aynası	11
2.1.1 Akım aynası kazanç aralığının artırılması.....	13
2.1.2 Akım aynasının doğruluğunun ve çıkış direncinin artırılması	16
2.1.3 Kontrol geriliminin besleme gerilimleri aralığına çekilmesi	17
2.1.4 Akım çalma işlemi için NMOS transistor kullanılması	18
2.1.5 Benzetim sonuçları.....	20
3. UZUN KUYRUKLU DEVRE VE DÜZELTİLMİŞ AYARLANABİLİR AKIM AYNASI YAPILARI.....	25
3.1 Uzun Kuyruklu Devrede Doğrusallığın ve Kontrol Gerilimi Dinamik Aralığının Artırılması	27
3.2 Dejenerasyon Dirençli Uzun Kuyruklu Ayarlanabilir Akım Aynası Yapısında Kazanç Kontrol Aralığının Artırılması	30
3.3 Benzetim Sonuçları	30
4. OTA UYGULAMASI	35
4.1 Benzetim Sonuçları	37
5. BANT GEÇİREN SÜZGEÇ TASARIMI	41
5.1 Bant Geçiren Süzgeç İçin Eleman Değerlerinin Hesaplanması	42
5.2 Bant Geçiren Süzgecin Akort Frekansının Ayarlanması.....	44
5.3 Bant Geçiren Süzgecin Değer Katsayısının Ayarlanması	46
6. PERFORMANS KARŞILAŞTIRMASI.....	51
7. SONUÇ.....	57
KAYNAKLAR.....	59
EKLER.....	61
ÖZGEÇMİŞ.....	63

KISALTMALAR

μ	: Taşıyıcıların hareket yeteneği
λ	: Kanal boyu modülasyonu parametresi
β	: MOS transistorun eğim parametresi
AAAY	: Ayarlanabilir akım aynası yapısı
A_i	: Akım kazancı
AC	: Alternatif akım
C_{ox}	: Oksit kapasitesi
DC	: Doğru akım
f_{3dB}	: 3dB düşme frekansı
GBW	: Kazanç bant genişliği çarpımı
I_{bias}	: Kutuplama akımı
I_D	: MOS transistorun savak akımı
I_{in}	: Giriş akımı
I_{out}	: Çıkış akımı
K	: Geçiş iletkenliği parametresi
L	: Kanal boyu
OTA	: İşlemsel geçiş iletkenliği kuvvetlendiricisi
Q_p	: Değer katsayısı
R_D	: Dejenerasyon direnci
THD	: Toplam harmonik distorsiyonu
V_{bias}	: Kutuplama gerilimi
V_C	: Kontrol gerilimi
V_{DD}	: Pozitif besleme gerilimi
V_{SS}	: Negatif besleme gerilimi
V_{DS}	: Savak-kaynak gerilimi
V_{GS}	: Geçit-kaynak gerilimi
V_{TN}	: NMOS transistorun eşik gerilimi
V_{TP}	: PMOS transistorun eşik gerilimi
W	: Kanal genişliği
W_p	: Açısal frekansı

ÇİZELGE LİSTESİ

Sayfa

Çizelge 2.1	: Ayarlanabilir akım aynası yapısındaki transistor boyutları	12
Çizelge 2.2	: Akım aynası yapısının farklı V_C değerleri için elde edilen THD değerleri.....	22
Çizelge 3.1	: Akım aynası yapısının farklı V_{C1} değerleri için elde edilen THD değerleri.....	33
Çizelge 4.1	: OTA yapısında kullanılan transistor boyutları	36
Çizelge 4.2	: OTA'nın farklı V_C değerleri için elde edilen THD değerleri.....	39
Çizelge 5.1	: Farklı V_C değerleri için OTA'nın geçiş iletkenlikleri.....	45
Çizelge 5.2	: Farklı Q_p değerleri için tasarımda kullanılan eleman değerleri.....	46
Çizelge 5.3	: Bant geçiren süzgecin giriş işareti ile THD'nin değişimi	48
Çizelge 6.1	: Önerilen ve literatürde mevcut ayarlanabilir akım aynası yapılarının performans parametreleri	52
Çizelge 6.2	: Önerilen ve literatürde mevcut ayarlanabilir akım aynası yapılarının OTA yapısında kullanılması ve elde edilen OTA karakteristikleri ..	53
Çizelge 6.3	: OTA'ya ayarlanabilirlik kazandırılması yolları kapsamında elde edilen OTA karakteristikleri	54
Çizelge A.1	: Benzetimlerde kullanılan CMOS model parametreleri (MOSIS TSMC 0.35 mikron).....	61

ŞEKİL LİSTESİ

Sayfa

Şekil 1.1	: MOS translineer çevrimi ile elde edilen yapıya örnek devre	3
Şekil 1.2	: Geçit-kaynak gerilimlerinin uyumsuzluğundan elde edilen yapıya örnek devre	4
Şekil 1.3	: Doğrusal bölgede çalışan MOS transistörün V_{DS} ayarlanması ile elde edilen yapıya örnek devre	5
Şekil 1.4	: Doğrusal bölgede çalışan MOS transistörün V_{GS} ayarlanması ile elde edilen yapıya örnek devre	6
Şekil 1.5	: Akım bölücü kuralı ile elde edilen yapıya örnek devre	8
Şekil 2.1	: Akım bölücü kuralı ile elde edilen yeni yapı	11
Şekil 2.2	: Transistörler üzerindeki akımların V_C ile değişimi	12
Şekil 2.3	: Hesap ve benzetim sonuçlarının aynı eksen takımında gösterilmesi	14
Şekil 2.4	: Akım aynası kazancının V_C ile değişimi.....	15
Şekil 2.5	: Akım aynası kazanç aralığının transistör boyutları ile artırılması....	15
Şekil 2.6	: İşlemsel kuvvetlendirici ile akım aynasının doğruluğunun ve çıkış direncinin artırılması.....	16
Şekil 2.7	: İşlemsel kuvvetlendiricili akım aynası yapısında transistörler üzerindeki akımların V_C ile değişimi.....	17
Şekil 2.8	: V_C 'nin kontrol gerilimleri aralığına çekilmesi için yapılan düzenleme.....	17
Şekil 2.9	: V_C 'nin kontrol gerilimleri aralığına çekilmesi	18
Şekil 2.10	: Akım çalma işlemi için NMOS transistör kullanılması.....	19
Şekil 2.11	: NMOS transistör kullanımı ile giriş akımının transistörler üzerinde bölünmesi	19
Şekil 2.12	: NMOS transistör kullanımı ile farklı giriş akım değerleri için transistörler üzerindeki akımlar	20
Şekil 2.13	: Farklı V_C değerleri için akım aynasının AC benzetim sonucu.....	21
Şekil 2.14	: Farklı V_C değerleri için akım aynasının zamana bağlı benzetim sonucu	21
Şekil 2.15	: DC ofset akımının yok edilmesi için kullanılan yapı	23
Şekil 2.16	: Farklı V_C değerleri için akım aynasının kare dalga cevabı	23
Şekil 3.1	: Uzun kuyruklu devre yapısı	25

Şekil 3.2	: Uzun kuyruklu yapıda transistorlar üzerindeki akımların V_C ile değişimi.....	26
Şekil 3.3	: Farklı giriş akım değerleri için transistorlar üzerindeki akımların V_C ile değişimi.....	26
Şekil 3.4	: Dejenerasyon dirençli uzun kuyruklu devre yapısı	27
Şekil 3.5	: Dejenerasyon dirençli/dirençsiz transistorlar üzerindeki akımların V_C ile değişimi	28
Şekil 3.6	: Dejenerasyon dirençli uzun kuyruklu devre yapısında farklı giriş akım değerleri için transistorlar üzerindeki akımların V_C ile değişimi.....	28
Şekil 3.7	: Dejenerasyon dirençli uzun kuyruklu devre yapısı ile elde edilen ayarlanabilir akım aynası yapısı.....	29
Şekil 3.8	: Dejenerasyon dirençli ayarlanabilir akım aynası yapısının kazancının V_C ile değişimi	29
Şekil 3.9	: Akım aynası kazanç aralığının aynalama transistorları boyutları ile artırılması	30
Şekil 3.10	: Uzun kuyruklu yapının dejenerasyon dirençli ve dirençsiz AC cevabı.....	31
Şekil 3.11	: Farklı V_{C1} değerleri için akım aynasının AC benzetim sonucu	31
Şekil 3.12	: Farklı V_{C1} değerleri için akım aynasının zamana bağlı benzetim sonucu.....	32
Şekil 3.13	: Farklı V_{C1} değerleri için akım aynasının kare dalga cevabı	32
Şekil 4.1	: Basit OTA diyagramı.....	35
Şekil 4.2	: Ayarlanabilir akım aynası ile gerçekleştirilen OTA yapısı	36
Şekil 4.3	: OTA'nın DC akım geçiş karakteristiği ($V_C = -1.99:-1.59:0.05$ V adımlarla).....	37
Şekil 4.4	: Geçiş iletkenliğinin V_C ile değişimi	37
Şekil 4.5	: g_m geçiş iletkenliğinin frekansla değişimi	38
Şekil 4.6	: OTA'nın zamana bağlı benzetim sonucu	39
Şekil 4.7	: Farklı V_C değerleri için OTA'nın kare dalga cevabı	40
Şekil 5.1	: OTA tabanlı bant geçiren süzgeç yapısı	41
Şekil 5.2	: Gerçeklenen 2. dereceden bant geçiren süzgeç yapısı.....	43
Şekil 5.3	: İdeal devre elemanları ile gerçekleştirilen bant geçiren süzgeç yapısı. 43	
Şekil 5.4	: İdeal devre ile gerçekleştirilen devre karakteristiklerinin aynı eksen takımında gösterilmesi	44
Şekil 5.5	: Farklı V_C değerleri için süzgecin bant geçiren karakteristiği (kapasite değerleri, $f = 15$ MHz ve $V_C = -1.79$ V değeri için sbt)....	45
Şekil 5.6	: $Q_p = 0.707$ için ideal devre ile gerçekleştirilen devre karakteristiklerinin aynı eksen takımında gösterilmesi	47

Şekil 5.7	: $Q_p = 2$ için ideal devre ile gerçekleştirilen devre karakteristiklerinin aynı eksen takımında gösterilmesi.....	47
Şekil 5.8	: $Q_p = 4$ için ideal devre ile gerçekleştirilen devre karakteristiklerinin aynı eksen takımında gösterilmesi	48
Şekil 6.1	: Karakteristikleri karşılaştırılan ayarlanabilir akım aynası yapıları ..	51

AYARLANABİLİR AKIM AYNALARI

ÖZET

Analog elektronik sistemlerde ayarlanabilir elemanlar kullanmak, bazı önemli sistem parametrelerinin kontrol edilebilmesi olanağını vermekte ve analog sistemlerde istenmeyen çevresel koşulların ve süreç parametrelerindeki değişimlerden kaynaklanan etkilerin hassas olarak ayarlanmasını sağlamaktadır. Özellikle tümleşik sürekli zaman süzgeç yapıları için kaçınılmaz elemanlar olan aktif ayarlanabilir yapılar kapsamında akım aynalarının tasarım ve gerçekleştirilmede basitlik sağlamaları, hemen hemen tüm analog devrelerin temel yapı bloğu olması ve çok geniş kullanım alanına sahip olmaları sebebiyle ayarlanabilir doğrusal akım kaynağı yapıları ele alınmıştır. Ayrıca bu yapılar diğer devre tekniklerine göre düşük güç tüketimi, düşük çalışma gerilimleri ve daha yüksek bant genişliği gibi bazı avantajlara da sahiptirler.

Tezin birinci bölümünde, literatürde mevcut ayarlanabilir akım aynası yapıları, ayarlanabilirliğin sağlanması yolları kapsamında, MOS translineer çevrimi kullanılarak, aynalama transistorlarının geçit-kaynak gerilimlerinin uyumsuzluğundan yararlanılarak, doğrusal bölgede çalışan MOS transistorlar kullanılarak ve akım bölücü kuralı ile ayarlanabilirliğin sağlandığı akım aynaları olmak üzere dört ana başlık altında sınıflandırılmış/incelenmiş ve örnek devreler verilmiştir.

İkinci bölümde, akım bölücü ve/veya akım yolu üzerinden akım çalma yöntemi kullanılarak alternatif/yeni ayarlanabilir akım aynası yapısı önerilmiş ve karakteristiklerinin iyileştirilmesi için yöntemler verilmiştir. Bu yapıda PMOS transistor kullanılarak klasik akım aynası giriş transistoru üzerinden akım çalarak giriş transistoru üzerinde kazancı 0 ile 1 aralığında kontrol edilen akım elde edilmekte ve bu akım çıkış transistoru üzerine yansıtılmaktadır. Akım bölme oranı PMOS'un geçit gerilimi aracılığıyla sağlanmaktadır.

Üçüncü bölümde, uzun kuyruklu akım kaynağı yapısı ayarlanabilir akım aynası yapısında kullanılmış ve kaynak dejenerasyon direnci kullanılarak yapının doğrusallığı ve kontrol gerilimi dinamik aralığı artırılmıştır.

Dördüncü ve beşinci bölümlerde, yeni yapının kolayca uygulanabilirliğinin ve başarımının gösterilmesi kapsamında aktif süzgeç uygulamalarında kullanılmak üzere ayarlanabilir akım aynası temelli işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) yapısı tasarlanmış, ardından bu OTA yapısı kullanılarak ikinci dereceden bant geçiren süzgeç tasarımı yapılmış ve OTA bünyesinde mevcut ayarlanabilir akım aynaları sayesinde bant geçiren süzgecin akort frekansı ve değer katsayısı parametrelerinin ayarlanabildiği gösterilmiştir.

Son bölümde ise, elde edilen yeni ayarlanabilir yapıların karakteristikleri ve diğer yöntemler ile elde edilen yapıların karakteristikleri hem ayarlanabilir akım aynası olarak hem de işlemsel geçiş iletkenliği (OTA) uygulaması içerisinde kullanılmak üzere karşılaştırılmış ve yapıların birbirlerine göre üstünlükleri ve olumsuzlukları incelenmiştir.

Tasarımlarda Çizelge A.1’de verilen MOSIS TSMC 0.35 mikron model parametreleri kullanılmış ve bu parametre değerleri ile tasarımların SPICE benzetim programında benzetimleri yapılmıştır.

TUNABLE CURRENT MIRRORS

SUMMARY

Using tunable devices in analog electronic systems gives possibility to control some important parameters and also gives opportunity to fine tuning the effects of unwanted environmental conditions and variations of process parameters on analog systems. Tunable active devices are inevitable especially for integrated continuous time filters. Due to supply the advantage of simplicity in design and in implementation and having a wide area of use since the current mirrors are the main building blocks of almost all analog active devices, tunable linear current source structures are dealt with on this dissertation. Besides, in comparison with other circuit techniques, these structures also have some advantages like lower power dissipation, lower operation voltages and higher bandwidth.

In section one, tunable current mirror structures available in literature are classified/examined in the manner of programmability is achieved into four methods as mirrors implemented using MOS translinear loops with transistors in sub-threshold, current mirrors where programmability is achieved by mismatching the gate-source voltage of the mirroring transistors, current mirrors with transistors operating in the triode mode and current mirrors where programmability is achieved by splitting the current and also example circuits are given for each method.

In section two, a new/alternative tunable current mirror structure obtained with current division or current stealing method is proposed and methods to improve its characteristics are given. In this structure PMOS transistor is used to steal current (or divide current) from input transistor of conventional current mirror so current where the gain is adjustable between 0 and 1 is obtained on input transistor of current mirror and after mirrored to output transistor. Here, current division ratio is adjusted by the gate voltage of PMOS transistor.

In section three, long tail current source is used in tunable current mirror structure and linearity and control voltage dynamic range of the structure are increased by using source degeneration resistor.

In section four and five, to show viability and performance of novel technique for the implementation of tunable current mirror, a CMOS operational transconductance amplifier (OTA) based on tunable current mirrors for filtering applications is designed. Successively, second order band pass filter is designed with the use of this tunable current mirror based OTA and it is demonstrated that center frequency and quality factor parameters of the filter can be tuned via tunable current mirrors used in OTA.

In last section, the characteristics of new tunable current mirror structures are compared with the characteristics of the other tunable current mirror structures obtained with other methods both as a tunable current mirror and as used in OTA application, and also advantages and disadvantages of the structures are examined according to each other.

MOSIS TMS 0.35 micron model parameters given in Table A.1 were used in designs and designs were simulated in SPICE simulation program with these model parameter values.

1. GİRİŞ

Analog elektronik sistem tasarımı halen elektronik sistemlerde uygun bir şekilde kullanılmakla birlikte analog dünyası ile dijital sistemler arasında arabirim olması açısından zorunluluktur. Buna rağmen analog-dijital ve dijital-analog dönüştürücülerde süzgeçleme, yüksek hızlı direkt sinyal sistemlerinde, disk sürücülerinde okuma kanalı ve düşük güç tüketimi ihtiyacı duyulan uygulamalar gibi birçok alanda kontrol edilebilir ve ölçeklendirilebilir dijital sistemler analog elemanların yerine kullanılmaktadır.

Dijital eşdeğerlerinin kolaylıkla ayarlanabilir ve kontrol edilebilir olmasına rağmen analog sistemler genellikle daha az esnekliğe sahip olması ve süreç (proses) parametreleri ile diğer çevresel durumlara daha fazla bağımlı olması gibi dezavantajlara sahiptir. Bu kapsamda ayarlanabilirliği artırmak ve analog sistemlerin kontrol edilemeyen parametrelerine bağımlılığı azaltmak için ayarlanabilir elemanlara her zaman ihtiyaç duyulmakta ve analog sistemlerde gerçekleştirilmektedir.

Bu tür ayarlanabilir elemanları kullanmak, bazı önemli sistem parametrelerinin (değer katsayısı, kutup açısı, frekansı vb.) kontrol edilebilmesi olanağını sağlamakta ve analog sistemlerde istenmeyen çevresel koşulların (gürültü, sıcaklık vb.) ve süreç parametrelerindeki (katkılama yoğunluğu, jonksiyon derinliği vb.) değişimlerden kaynaklanan etkilerin hassas olarak ayarlanmasına şans tanımaktadır [1].

Aktif ayarlanabilir elemanlar tümleşik sürekli zaman süzgeç yapıları için kaçınılmaz elemanlar olmakla birlikte bu yapıların temel fonksiyonu, iletilen sinyalin güç seviyesini kontrol etmek, alınan zayıflamış sinyalin genliğini ayarlamak ve bütün sistemin dinamik aralığını en yüksek dereceye çıkarmaktır. Genellikle kullanılan aktif ayarlanabilir elemanlardan bazıları G_m -C süzgeç yapılarında kullanılan geçiş iletkenliği kuvvetlendiricileri, MOSFET-C süzgeç yapılarında kullanılan doğrusal bölgede çalışan MOSFET yapıları ve CCII-RC süzgeçlerinde kullanılan akım taşıyıcı yapılarının X-terminali dirençleridir. Ancak ayarlanabilir süzgeç yapıları ne yazık ki ayarlanabilir elemanların doğrusal olmamasından dolayı kalitesini kaybetmektedir.

Bu yüzden ki özellikle G_m -C ve MOSFET-C süzgeç yapılarında kullanılan ayarlanabilir elemanların doğrusallaştırılmasına daha fazla yoğunlaşmıştır [2].

Akım aynaları tasarım ve gerçeklemede basitlik sağlarlar ve hemen hemen tüm analog devrelerin temel yapı bloğu olması sebebiyle çok geniş kullanım alanına sahiptirler. Akım aynası ile oluşturulan akım modlu devreler çok az sayıda dahili düğüme sahiptirler ve bu sayede ikincil parazitik kutup etkilerine daha az maruz kalırlar. Ayrıca bu devreler klasik G_m -C devre tekniklerine göre düşük güç tüketimi, düşük çalışma gerilimleri ve daha yüksek bant genişliği gibi bazı avantajlara sahiptirler.

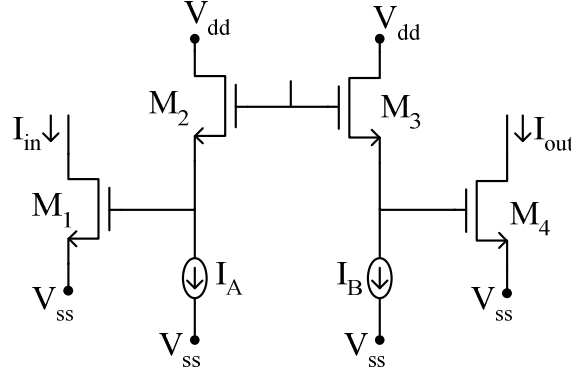
1.1 Literatürde Mevcut Ayarlanabilir Akım Aynası Yapıları (AAAY)

Ayarlanabilir akım aynası yapıları akım yolu üzerinde akımın ayarlanması için kullanılmakla birlikte literatürde mevcut ayarlanabilir akım aynası yapılarını başlıca dört ana başlık altında toplamak mümkün olmaktadır.

1.1.1 MOS translineer çevrimi kullanılarak elde edilen AAAY

Bu tip yapılar MOS transistörün zayıf evrim çalışma bölgesi ve MOS translineer (doğrusal geçiş) çevrimi kullanılarak elde edilirler [3-7]. Bipolar transistörün üstel akım-gerilim karakteristiği, translineer çevrimi yardımıyla uygun tarzda ayarlanabilir doğrusal akım aynası tasarımını daha kolay ve mümkün kılmaktadır. Ancak bipolar transistörün aksine MOS transistör ile ayarlanabilir akım aynası tasarımı MOS transistörün en verimli çalışma bölgesi olan güçlü evrim bölgesinde MOS transistörün karesel akım-gerilim karakteristiğine sahip olması sebebiyle daha güç ve translineer çevrimine uygun değildir. Bu yüzden translineer çevrimi ile doyma bölgesinde çalışan MOS transistörlerden ayarlanabilir akım aynası tasarımı çabaları bipolar transistöre göre daha sınırlı kalmakla birlikte daha çok bu yöntemle MOS transistörün zayıf evrim bölgesi kullanılarak ayarlanabilir akım aynası yapıları elde edilmiştir.

MOS transistörün zayıf evrim çalışma bölgesini kullanan bu gibi yapılar daha çok kalp pili vb. hasta üzerine yerleştirilebilecek kadar küçük boyutlu biyomedikal cihazlar gibi düzenlerde kullanılan ve düşük güç harcayan elektronik devrelerde kullanılmaktadır [17]. Bu yapılar düşük çalışma frekanslarına sahip olmakla birlikte yapılarda çok düşük akımlarla çalışılmaktadır.



Şekil 1.1: MOS translineer çevrimi ile elde edilen yapıya örnek devre [5,6]

Şekil 1.1’de $M_1:M_4$ transistorları translineer çevrimi oluşturan NMOS transistorlar ve I_A , I_B kontrol akımları olmak üzere, MOS transistorların zayıf evirtim bölgesinde çalışması durumunda, MOS transistor (1.1) bağıntısında olduğu gibi aynı bipolar yapılardakine benzer bir akım gerilim karakteristiğine sahip olacak ve translineer çevrim kuralından yapının akım kazancı (1.2) bağıntısında olduğu gibi elde edilecektir.

$$I_D = I_s e^{\left(\frac{V_{GS}}{nU_T}\right)} \quad (1.1)$$

$$A_i = \frac{I_{out}}{I_{in}} = \frac{I_A}{I_B} \quad (1.2)$$

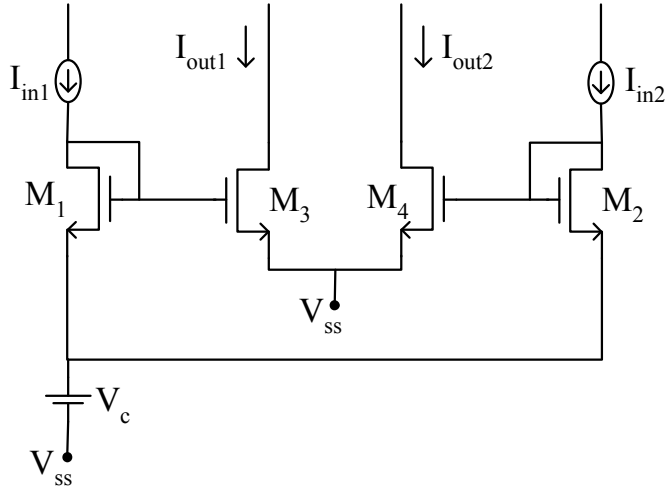
Yukarıdaki bağıntılarda I_D MOS transistor için savak akımı, I_s karakteristik akım, V_{GS} MOS transistorların geçit-kaynak gerilimi, n eğim çarpanı, U_T ısıl gerilim, I_{out} ve I_{in} sırasıyla çıkış ve giriş akımları olmak üzere A_i ’ de yapının akım kazancını ifade etmektedir.

1.1.2 Aynalama transistorlarının geçit-kaynak gerilimlerinin uyumsuzluğundan yararlanılarak elde edilen AAAY

Bu tip yapılar aynalama transistorlarının geçit-kaynak gerilimlerinin uyumsuzluğundan yararlanılarak ayarlanabilirliğin sağlandığı ayarlanabilir akım aynası yapılarıdır [8-10].

Şekil 1.2’de $M_1:M_4$ transistorları ayarlanabilir akım aynası yapısını oluşturan NMOS transistorlar, I_{in1} , I_{in2} akımları ayarlanabilir akım aynası yapısının giriş işaretleri, I_{out1} , I_{out2} akımları ayarlanabilir akım aynası yapısının çıkış işaretleri ve V_C kontrol

gerilimi olmakla birlikte yapının farksal akım kazancı (1.3)'te olduğu gibi elde edilmiştir. Bağıntıda I_{in0} giriş akımlarının sıfır işaret ($v_{in} = 0$) değerleri olmakla birlikte bağıntı güçlü evirtimde çalışma koşulunun sağlanması durumunda büyük işaret için geçerli olmaktadır.



Şekil 1.2: Geçit-kaynak gerilimlerinin uyumsuzluğundan elde edilen yapıya örnek devre [8]

$$A_i = \frac{\Delta I_{out} (I_{out1} - I_{out2})}{\Delta I_{in}} = 1 + \frac{V_c}{\sqrt{I_{in0}/k}} \quad (1.3)$$

Bağıntıdan görüldüğü üzere akım kazancı V_c kontrol gerilimi ile kontrol edilebilmektedir. Ancak bu tip yapılarda literatürde bilinen birkaç gerilim-akım (source-coupled pair–Nedungadi) dönüştürücü tarafından sağlanan ve (1.4) ile (1.5) bağıntılarında karakteristikleri verilen özel giriş akım işaretleri ihtiyacı baş göstermektedir. Bağıntılardaki büyüklükler yukarıda belirtilen özel V-I dönüştürücü yapıları için K geçiş iletkenliği parametresi, V_{bias} kutuplama gerilimi ve v_{in} giriş gerilim işareti değerleridir.

$$I_{in1} = K(V_{bias} + v_{in})^2 \quad (1.4)$$

$$I_{in2} = K(V_{bias} - v_{in})^2 \quad (1.5)$$

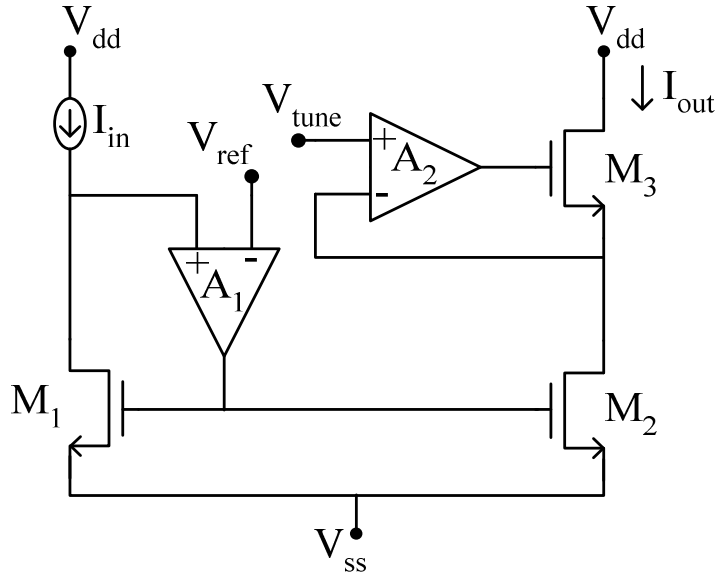
1.1.3 Doğrusal bölgede çalışan MOS transistorlar kullanılarak elde edilen AAAY

Bu tip yapılar doğrusal bölgede çalışan MOS transistorlar kullanılarak elde edilen akım aynası yapılarıdır [1, 2, 11-13]. Bu tip yapıları da ayarlanabilirliğin sağlanması yolları kapsamında ikiye ayırmak mümkündür. Bunlardan ilki doğrusal bölgede çalışan MOS transistorun savak-kaynak (V_{DS}) geriliminin kontrol edilmesi ile ayarlanabilirliğin kazandırılması diğeri ise doğrusal bölgede çalışan MOS transistorun geçit (V_G) gerilimi değiştirilerek eşdeğer iletim direncinin değiştirilmesi ile ayarlanabilirliğin kazandırılmasıdır. Bu yapılarda kazanç ayarlaması kazanç kontrol gerilimine yüksek seviyede duyarlı olmaktadır.

Bilindiği üzere doğrusal bölgede çalışan bir MOS transistorun savak akımı ifadesi (1.6)'da olduğu gibidir. Bağintıda μ_n taşıyıcıların hareket yeteneği, C_{ox} oksit kapasitesi, W kanal genişliği, L kanal boyu, V_{TH} eşik gerilimi, λ kanal boyu modülasyonu parametresi değerleridir.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left[V_{GS} - V_{TH} - \frac{V_{DS}}{2} \right] V_{DS} [1 + \lambda V_{DS}] \cong \mu_n C_{ox} \frac{W}{L} [V_{GS} - V_{TH}] V_{DS} \quad (1.6)$$

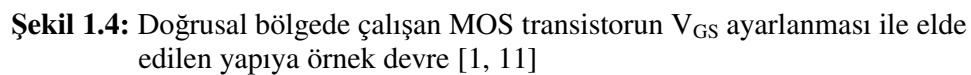
Bağıntı (1.6)'dan yukarıda doğrusal bölgede çalışan MOS transistor için söz edilen iki yöntemle ayarlanabilirliğin sağlanacağı görülmektedir.



Şekil 1.3: Doğrusal bölgede çalışan MOS transistorun V_{DS} ayarlanması ile elde edilen yapıya örnek devre [2]

Yapıda M_1 ve M_2 transistörleri doğrusal bölgede çalışan transistörler olmak üzere (1.6) bağıntısında V_{DS1} ve V_{DS2} 'nin $2(V_{GS1} - V_{th})$ yanında yeteri kadar küçük olması durumunda $V_{GS1} = V_{GS2}$ olur ve $V_{DS1} \sim V_{ref}$, $V_{DS2} \sim V_{tune}$ olduğu kabul edilirse $I_{in} = I_{D1}$ ve $I_{out} = I_{D2}$ olur. Bu durumda akım kazancı bağıntısı (1.7)'de olduğu gibi elde edilir.

(1.7) bağıntısından da görüleceği üzere akım aynası akım oranı doğrusal bölgede çalışan MOS transistorların savak-kaynak (V_{DS}) gerilimleri yani V_{ref} ve V_{tune} kontrol gerilimlerinin biri veya her ikisi ile birlikte doğrusal olarak kontrol edilebilmektedir.



Şekil 1.4'te M_3 : M_6 transistörleri için kontrol gerilimi (V_C) ile doğrusal olarak kontrol edilebilen eşdeğer iletim direnç değerleri (1.6) bağıntısından (1.8) bağıntısında olduğu gibi elde edilir.

$$R_{d4} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_{TH})} \quad (1.8)$$

(1.8) bağıntısından da görüleceği üzere doğrusal bölgede kutuplanan bir transistör için kanal direnci geçit gerilimi ile kontrol edilebilmektedir. Doğrusal bölgede çalışan M_4 ve M_5 transistörleri için eşdeğer iletim direnç değerlerine R denilecek olursa (1.8) bağıntısından M_3 ve M_6 transistörlerinin eşdeğer iletim direnç değerleri ∞ - R arasında değişim gösterecektir.

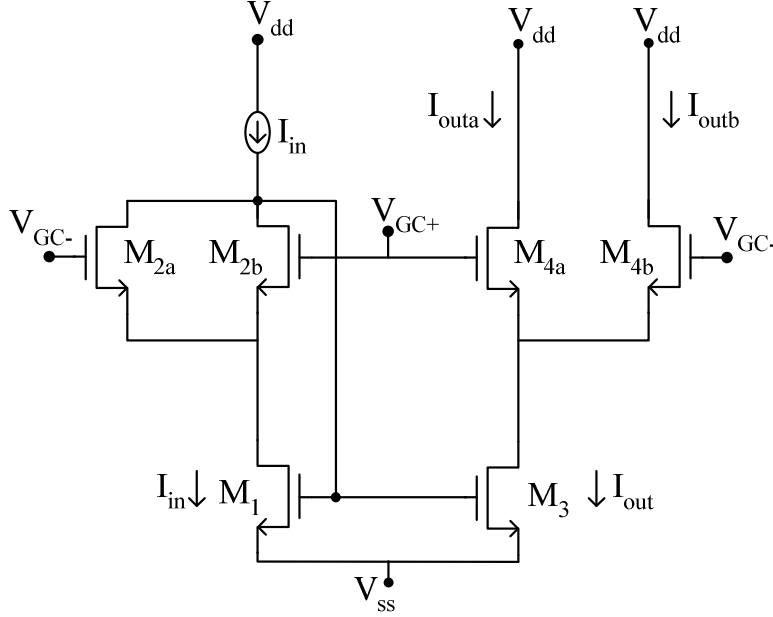
Şekil 1.4'deki devrede $V_C = 0$ olması durumunda akım aynası dengeli durumda çalışacaktır. Çünkü bu durumda M_6 transistörünün iletkenliği M_3 transistörünün iletkenliğine eşit ve $I_{out} = I_{in}$ olacaktır. $V_C = + (-)$ olması durumunda M_6 transistörünün iletkenliği M_3 transistörünün iletkenliğinden büyük (küçük) olacak ve I_{out} , I_{in} 'den büyük (küçük) olacaktır. Bu yüzden çıkış akımı ile giriş akımı arasındaki akım oranı “n”, V_C kontrol gerilimi yardımıyla ayarlanabilecektir.

1.1.4 Akım bölücü kuralı ile elde edilen AAAY

Bu tip yapılar akım bölücü kuralı ile elde edilen akım aynası yapılarıdır [14, 15]. Akım aynasının çıkışında ayarlanabilirliğin kazandırılması kapsamında akım aynası ile kopyalanan giriş akımı, akım aynası çıkışında bölünerek ayarlanabilirlik sağlanmaktadır.

Şekil 1.5'teki yapıda, klasik sabit kazançlı düşük gerilim kaskod akım aynası yapısı kaskod transistörlerin farksal kuvvetlendirici yapısı oluşturacak şekilde iki eş transistöre bölünmesi ile ayarlanabilir akım aynası yapısı elde edilmiştir. Yapı kaskod transistörleri bölünmüş haliyle de akım aynalama işlemini yerine getirmektedir. Yapıda çıkış akımı ikiye bölünmekle birlikte bölme işlemi farksal kontrol gerilimine ($V_{GC} = V_{GC+} - V_{GC-}$) bağlıdır. Farksal kontrol gerilimi $V_{GC} = 0$ olması durumunda çıkış akımı transistörler üzerinde eşit olarak paylaşılacaktır. Diğer bir ifadeyle $V_{GC+} = V_{GC-}$ iken $I_{outa} = I_{outb} = I_{out}/2 = I_{in}/2$ olacaktır. $V_{GC} > (\sqrt{2}V_{Dsat4})$

koşuluyla çıkış akımının tamamı M_{4a} transistörü üzerinden, $V_{GC} < (-\sqrt{2}V_{Dsat4})$ koşulu altında ise çıkış akımının tamamı M_{4b} transistörü üzerinden akacaktır.



Şekil 1.5: Akım bölücü kuralı ile elde edilen yapıya örnek devre [14, 15]

1.2 Tezin Amacı ve Organizasyonu

Bu yüksek lisans tezinde, işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA), akım taşıyıcı (CCII) ve akım geri beslemeli işlemsel kuvvetlendiriciler gibi akım modlu yapı bloklarının ve akım modlu sistemlerin daha kullanışlı olmaları ve daha yaygın kullanım alanı bulmaları kapsamında söz konusu yapılara ayarlanabilirlik olanağı kazandırabilmek amacıyla, yukarıda dört ana başlık altında toplanan literatürde mevcut ayarlanabilir akım aynası yapılarına alternatif olmak üzere yeni ayarlanabilir akım aynası yapılarının elde edilmesi ve mevcut yapıların karakteristiklerinin iyileştirilmesi amaçlanmıştır.

İkinci bölümde, akım bölücü kuralı kullanılarak elde edilen yeni/değiştirilmiş ayarlanabilir akım aynası yapısı incelenecek ve karakteristiklerinin iyileştirilmesi için yöntemlerden söz edilecek, üçüncü bölümde, uzun kuyruklu akım kaynağı ve farksal kuvvetlendirici yapısı kullanılarak elde edilen ayarlanabilir akım aynası yapısının karakteristikleri dejenerasyon direnci kullanılarak düzeltilecek, dördüncü ve beşinci bölümlerde, değiştirilmiş ayarlanabilir akım aynası yapısının kolayca

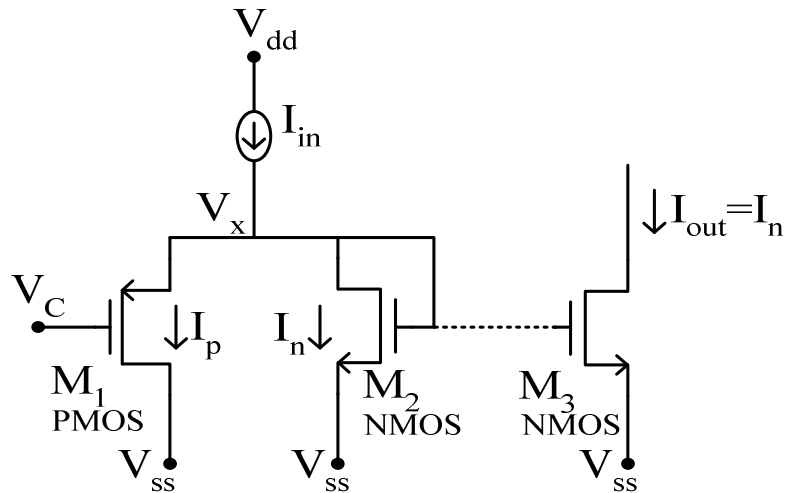
uygulanabilirliđinin ve başarımının gösterilmesi kapsamında işlemsel geiş iletkenliđi (OTA), ardından bu OTA yapısı kullanılarak ta ikinci dereceden bant geiren süzge tasarımı yapılacak ve ilgili parametrelerin, elde edilen deđiştirilmiş ayarlanabilir akım aynası yapısı ile ayarlanabildiđi gösterilecektir. Son bölümde ise elde edilen yeni ayarlanabilir yapıların karakteristikleri ve diđer yöntemler ile elde edilen yapıların karakteristikleri hem ayarlanabilir akım aynası olarak hem de işlemsel geiş iletkenliđi (OTA) uygulaması içerisinde kullanılmak üzere karşılaştırılacak ve yapıların birbirlerine göre üstünlükleri ve olumsuzlukları incelenecektir.

2. DEĞİŞTİRİLMİŞ AYARLANABİLİR AKIM AYNASI YAPISI

Alt bölüm 1.1.4'te akım bölücü kuralı ile elde edilen ayarlanabilir akım aynası yapısına alternatif olarak elde edilen yeni ayarlanabilir akım aynası yapısı aşağıdaki alt maddelerde olduğu gibi ele alınmıştır. Akım bölücü kuralı ile ayarlanabilir akım aynası elde edilmesi yönteminin tercih edilmesinin sebebi bu yöntemin diğer yöntemlere göre akım aynası yapısının frekans cevabını fazla etkilemiyor olmasıdır.

2.1 Akım Bölücü Kuralı ile Elde Edilen Değiştirilmiş Ayarlanabilir Akım Aynası

Akım yolu üzerinden akım çalma esasına dayanarak elde edilen ayarlanabilir akım aynası yapısı Şekil 2.1'de görülmektedir. Yapıda M_1 ve M_2 transistorları akım bölme işlemi için kullanılan transistorlar, V_C akım bölme işlemini düzenleyen ve akım yolu üzerinde akım değerinin ayarlanabilirliğini sağlayan kontrol gerilimi, M_3 transistoru ise diyot bağlı M_2 transistoru üzerinde ayarlanabilirliği sağlanan giriş akımını kopyalamak üzere kullanılan aynalama transistorudur.



Şekil 2.1: Akım bölücü kuralı ile elde edilen yeni yapı

Yapıda diyot bağlı NMOS'da $V_{GS2} = V_{DS2}$ yapılmıştır. Yani transistor iletimdeyken daima doymadadır. Zira daima $V_{GS2} = V_{DS2}$ olmakta, bu nedenle $V_{DS2} \geq V_{DS2} - V_{TN} =$

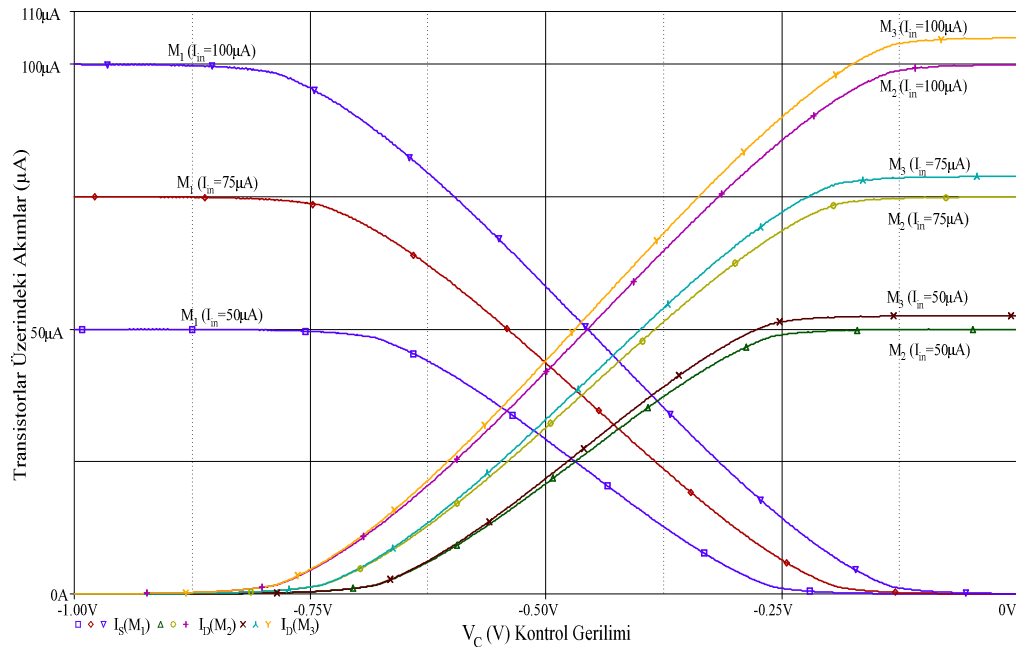
$V_{GS2} - V_{TN}$ koşulu sağlanmaktadır. $V_{GS2} = V_{TN}$ olana kadar M_1 transistörü akım iletmez. $V_{GS2} \geq V_{TN}$ olunca iletim başlar. Bu durumda V_x gerilimi PMOS transistörün geçit gerilimi aracılığıyla kontrol edilecektir. $V_x = V_{TN}$ oluncaya kadar giriş akımının tamamı PMOS transistör üzerinden akacaktır.

Ayarlanabilir akım aynası yapısında kullanılan transistör boyutları Çizelge 2.1’de olduğu gibidir. PMOS ve NMOS transistörlerin geçiş iletkenliği parametrelerinin eşitlenmesi kapsamında PMOS transistör boyutları NMOS transistör boyutlarının üç katı olacak şekilde seçilmiştir. Bundan sonra ele alınacak akım aynası yapılarında da aynı boyutlar kullanılacaktır.

Çizelge 2.1: Ayarlanabilir akım aynası yapısındaki transistör boyutları

S. No	Transistor	W (μm)	L (μm)
01	M1	30	1
02	M2, M3	10	1

Ayarlanabilir akım aynası yapısının farklı giriş akım değerleri için transistörler üzerindeki akımların V_C kontrol gerilimi ile değişimi Şekil 2.2’de olduğu gibi elde edilmiştir.



Şekil 2.2: Transistörler üzerindeki akımların V_C ile değişimi

Transistorlar üzerindeki akımların V_C kontrol gerilimi ile $0 \leq (I_p, I_n = I_{out}) \leq I_{in}$ aralığında kontrol edilebildiği Şekil 2.2’de görülmektedir. ($I_{in} = 50 \mu A, 75 \mu A, 100 \mu A$). Yine Şekil 2.2’de aynalama transistorlarının savak-kaynak (V_{DS}) gerilimlerinin eşit olmaması sebebiyle kanal boyu modülasyonu parametresinin akım aynalama oranı üzerindeki etkisi açıkça görülebilmektedir.

Şekil 2.2’de transistorlar üzerindeki akımların karakteristiklerinin çıkartılması kapsamında transistorların savak akımı ifadeleri (I_p ve I_n) yazılacak olursa ($V_{SS} = 0 V$ için);

$$I_p = \frac{\beta_p}{2} (V_C - V_x + V_{TP})^2 \quad (2.1)$$

$$I_n = \frac{\beta_n}{2} (V_x - V_{TN})^2 \quad (2.2)$$

(2.1) ve (2.2) bağıntılarında $\beta_{N,P}$ MOS transistorların eğim parametreleri, $V_{TP,TN}$ transistorların eşik gerilimleri, V_x Şekil 2.1’de M_2 transistorunun savak gerilimi olmak üzere V_x gerilim değeri bağıntılardan çekilecek ve birbirine eşitlenecek olursa (2.3) bağıntısı elde edilecektir.

$$V_C + V_{TP} - V_{TN} = \sqrt{\frac{2I_n}{\beta_n}} + \sqrt{\frac{2I_p}{\beta_p}} \quad (2.3)$$

Transistor boyutları uygun seçilerek $\beta_n = \beta_p = \beta$ yapılırsa (2.3) bağıntısı (2.4)’te olduğu şekilde elde edilecektir.

$$\sqrt{\frac{\beta}{2}} (V_C + V_{TP} - V_{TN}) = \sqrt{I_n} + \sqrt{I_p} \quad (2.4)$$

Yine aynı şekilde akım bölücü kuralından (2.5) bağıntısı elde edilecektir.

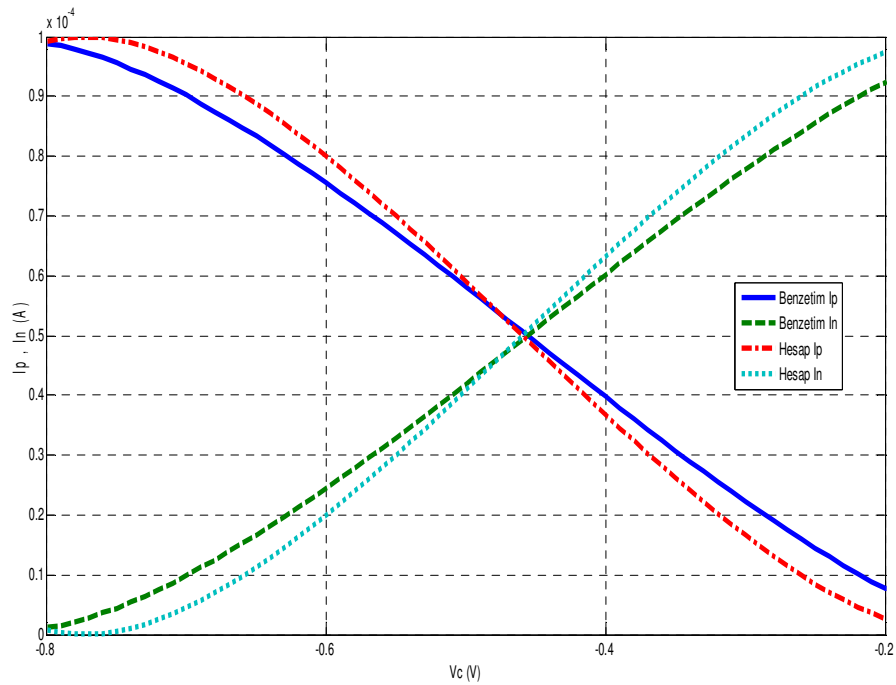
$$I_n + I_p = I_{in} \quad (2.5)$$

(2.4) ve (2.5) bağıntıları incelendiğinde ikinci dereceden bir bilinmeyenli denklem elde edileceği görülmektedir. (2.4) ve (2.5) bağıntıları birlikte çözülecek olursa transistorlar üzerinden akım değerleri (I_p ve I_n) (2.6) ve (2.7)’de olduğu gibi elde edilecektir.

$$I_n = \frac{I_{in}}{2} + \sqrt{\beta I_{in}} \frac{(V_C + V_{TP} - V_{TN})}{2} \sqrt{1 - \frac{\beta (V_C + V_{TP} - V_{TN})^2}{4I_{in}}} \quad (2.6)$$

$$I_p = \frac{I_{in}}{2} - \sqrt{\beta I_{in}} \frac{(V_C + V_{TP} - V_{TN})}{2} \sqrt{1 - \frac{\beta (V_C + V_{TP} - V_{TN})^2}{4I_{in}}} \quad (2.7)$$

Transistorlar üzerindeki akım değerleri için hesap ve benzetim sonuçları MATLAB programında aynı eksen takımına çizdirilmiş olup Şekil 2.3'te görülmektedir. NMOS transistor üzerinden akan akım değeri (2.6) bağıntısı kullanılarak çizdirilmiş olup PMOS transistor üzerinden akım değeri $I_p = I_{in} - I_n$ bağıntısı kullanılarak elde edilmiştir.

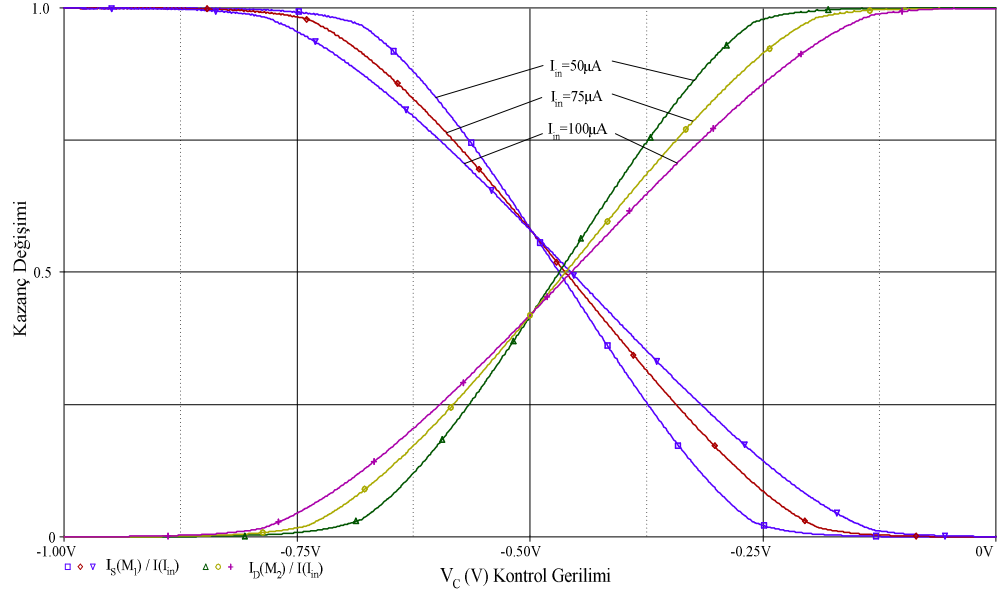


Şekil 2.3: Hesap ve benzetim sonuçlarının aynı eksen takımında gösterilmesi

Şekil 2.3'de hesap ve benzetim sonuçlarının benzer karakteristiği verdiği ve yüksek doğrulukta örtüştüğü görülmektedir.

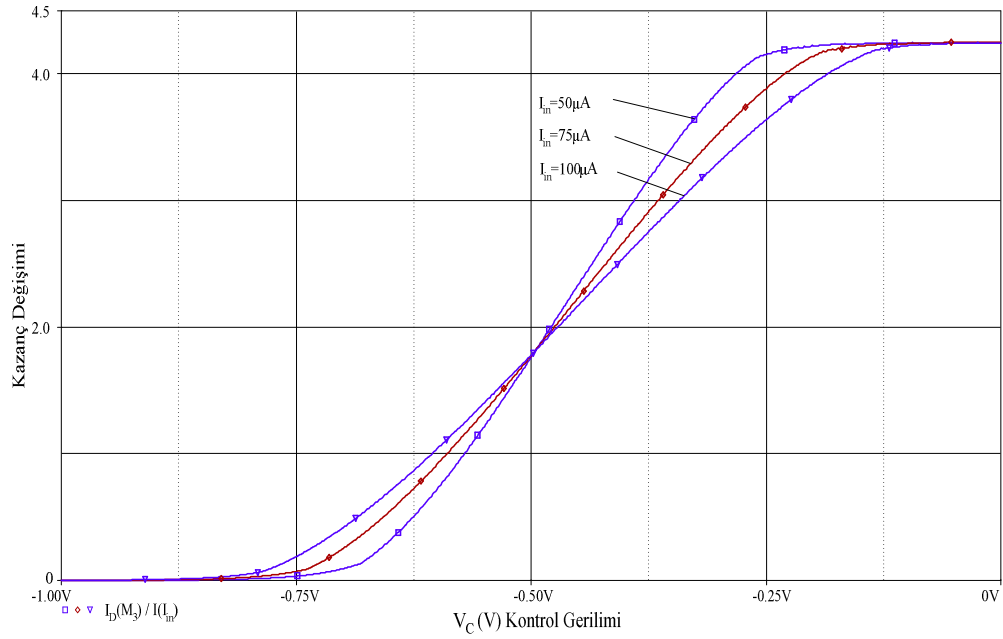
2.1.1 Akım aynası kazanç aralığının artırılması

Şekil 2.1'de akım bölücü kuralı ile elde edilen değiştirilmiş ayarlanabilir akım aynası yapısının kazancı V_C kontrol gerilimi aracılığıyla Şekil 2.4'te görüldüğü üzere $0 \leq A_i \leq 1$ aralığında kontrol edilmektedir.



Şekil 2.4: Akım aynası kazancının V_C ile değişimi

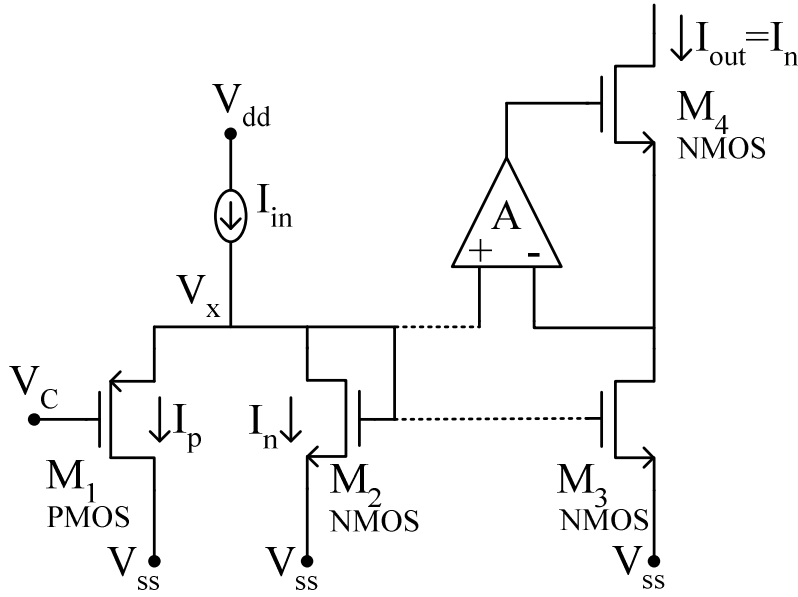
Şekil 2.4'te görüldüğü üzere akım aynasının kazancı doğal olarak $0 \leq A_i \leq 1$ aralığında kontrol edilebilmektedir. Yapıda M_2 ve M_3 aynalama transistorlarının boyutları uygun değerlerde ayarlanarak akım aynasının kazanç ayar aralığını artırmak mümkün olmaktadır. Örneğin aynalama transistorlarının boyutları $4\left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_3$ şeklinde seçilecek olursa akım kazanç ifadesini Şekil 2.5'te görüldüğü üzere $0 \leq A_i \leq 4$ aralığında kontrol etmek mümkün olacaktır.



Şekil 2.5: Akım aynası kazanç aralığının transistor boyutları ile artırılması

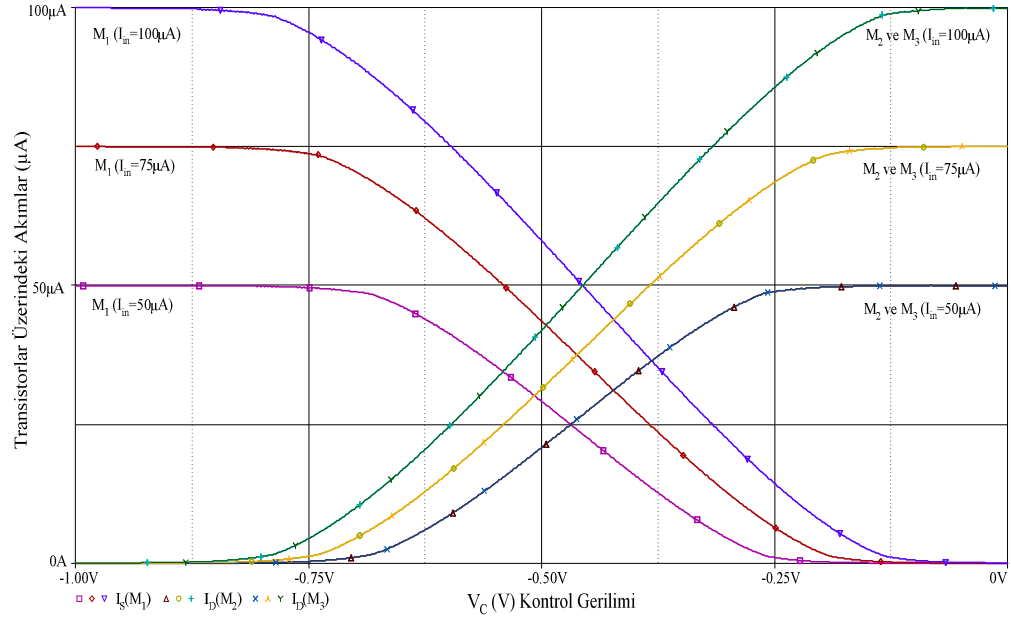
2.1.2 Akım aynasının doğruluğunun ve çıkış direncinin artırılması

Şekil 2.1’de elde edilen ayarlanabilir akım aynası yapısının akım aynalama doğruluğunun artırılması ve çıkış direncinin yükseltilmesi kapsamında çıkış katında Şekil 2.6’da olduğu gibi aktif kaskod regüle çıkış katı kullanılabilir. Yapıda işlemsel kuvvetlendirici sayesinde akım aynasının giriş ve çıkış transistorlarının V_{DS} gerilimleri karşılaştırılarak birbirine eşit olmaya zorlanır ve bu da akım aynalama doğruluğunun artırılmasına sebep olur (Kanal boyu modülasyonunun bastırılması). Aynı zamanda geri beslemeli işlemsel kuvvetlendirici sayesinde yapının çıkış direnci de artmaktadır.



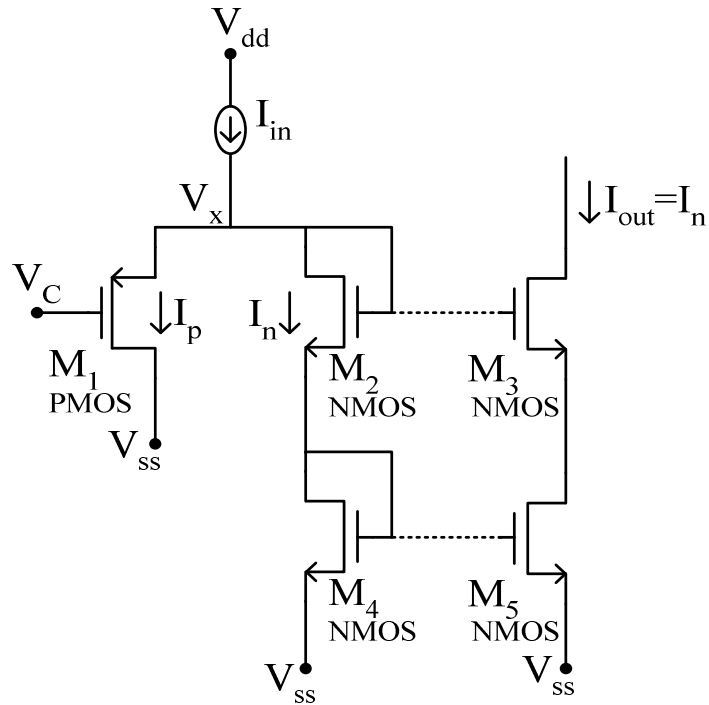
Şekil 2.6: İşlemsel kuvvetlendirici ile akım aynasının doğruluğunun ve çıkış direncinin artırılması

Aktif kaskod regüle çıkış katı ile aynalama transistorları üzerinden akan akım değerleri Şekil 2.7’de olduğu gibi elde edilmiştir. Şekil 2.7, Şekil 2.2 ile karşılaştırıldığında işlemsel kuvvetlendirici kullanımı ile akım aynalama doğruluğunun arttırıldığı görülmektedir.



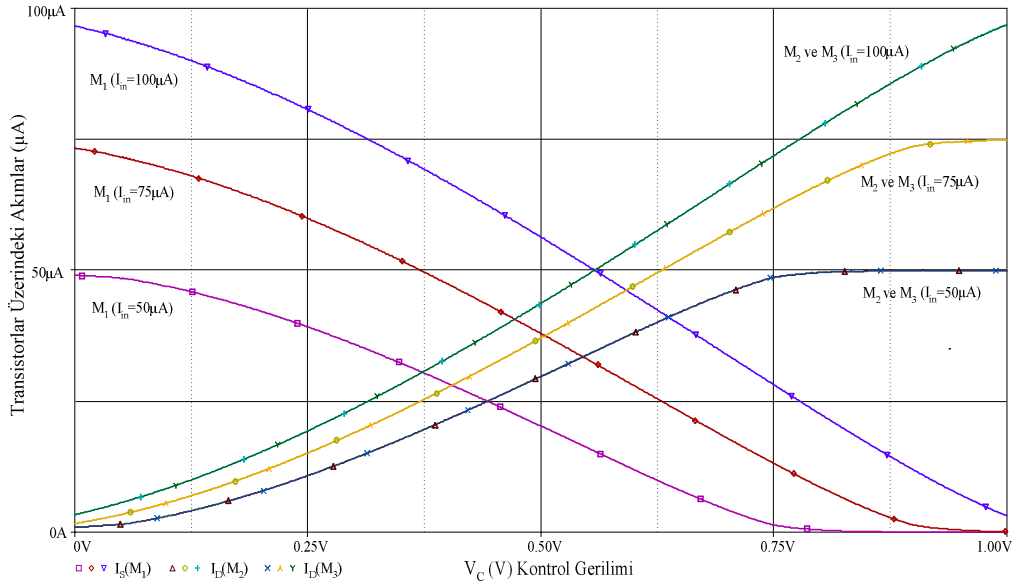
Şekil 2.7: İşlemsel kuvvetlendiricili akım aynası yapısında transistörler üzerindeki akımların V_C ile değişimi

2.1.3 Kontrol geriliminin besleme gerilimleri aralığına çekilmesi



Şekil 2.8: V_C 'nin kontrol gerilimleri aralığına çekilmesi için yapılan düzenleme

Şekil 2.7’de görüldüğü üzere ayarlanabilirlik 0-3V besleme gerilimi aralığı dışında bir V_C kontrol gerilimi değeri ile kontrol edilmektedir. Bu durumun düzeltilmesi, V_C kontrol geriliminin besleme gerilimleri aralığına çekilmesi kapsamında diyot bağlı transistor üzerinden akım akmaya başlama sınırının ötelenmesi gerekir. Yani V_{xmin} değerinin artırılması gerekir. Bunun için PMOS transistorun paralel koluna Şekil 2.8’de görüldüğü üzere iki adet NMOS diyot kaskod bağlanmıştır. Böylelikle bu kolun akım iletmesi için gerekli olan V_{xmin} değeri de artırılmış olunur.

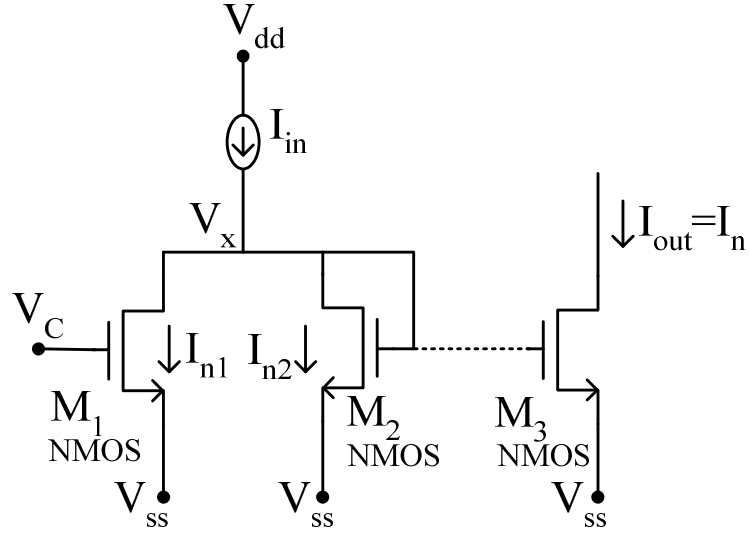


Şekil 2.9: V_C 'nin kontrol gerilimleri aralığına çekilmesi

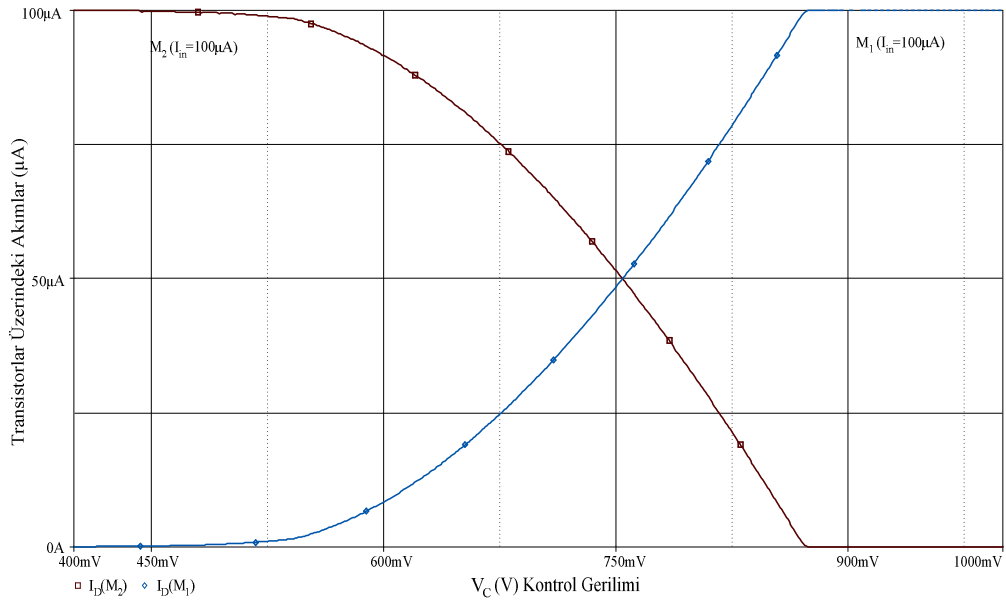
Bu düzenleme ile birlikte kaskod yapı karşısına bağlanacak aynalama transistorları ile birlikte hem V_C kontrol gerilimi besleme gerilimleri aralığına çekilecek hem de kaskod yapı ile birlikte akım aynasının doğruluğu ile çıkış direnci de artırılmış olacaktır. Ancak bu yapının kullanımı ile birlikte farklı giriş akımı değerleri için asimetrik bir akım bölme işleminin elde edildiği de yine Şekil 2.9'dan görülebilmektedir.

2.1.4 Akım çalma işlemi için NMOS transistor kullanılması

Şekil 2.1'deki ayarlanabilir akım aynası yapısında akım çalma işlemi için PMOS transistor yerine Şekil 2.10'da olduğu gibi NMOS transistor kullanılması durumunda belli bir giriş akımı değeri için elde edilen akım bölme işlemi Şekil 2.11'de olduğu gibi elde edilmektedir.

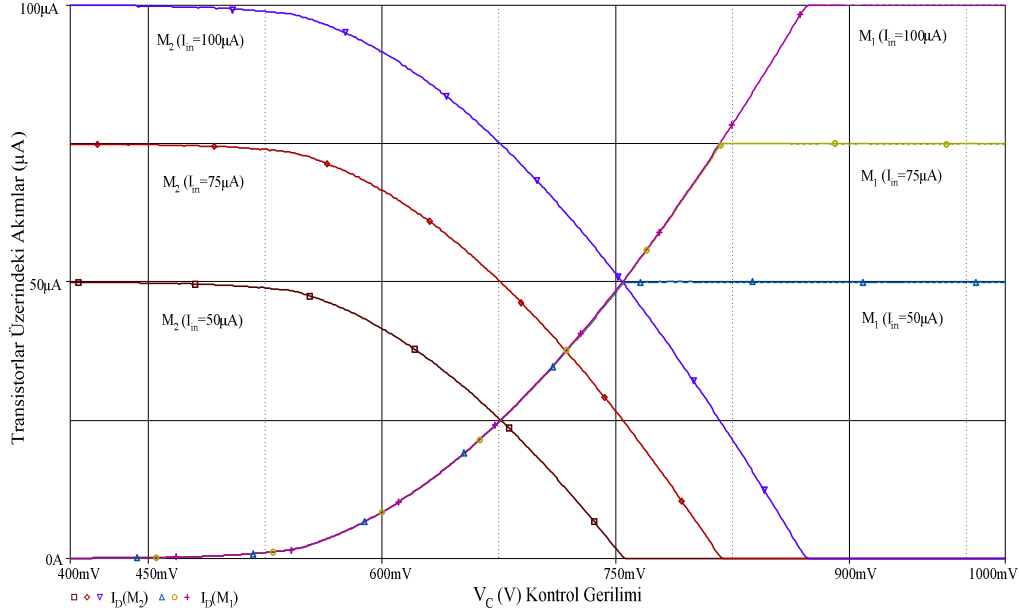


Şekil 2.10: Akım çalma işlemi için NMOS transistor kullanılması



Şekil 2.11: NMOS transistor kullanımı ile giriş akımın transistorlar üzerinde bölünmesi

Akım bölme işlemi için PMOS transistor yerine NMOS transistor kullanımı ile Şekil 2.11’de doğrusal bir akım bölme işlemi elde edilmiş gibi görünmektedir. Ancak yapıya farklı giriş akım değerleri uygulanması durumunda transistorlar üzerinde elde edilen akım bölme işlemi Şekil 2.12’de olduğu gibi elde edilmiştir.



Şekil 2.12: NMOS transistor kullanımı ile farklı giriş akım değerleri için transistorlar üzerindeki akımlar

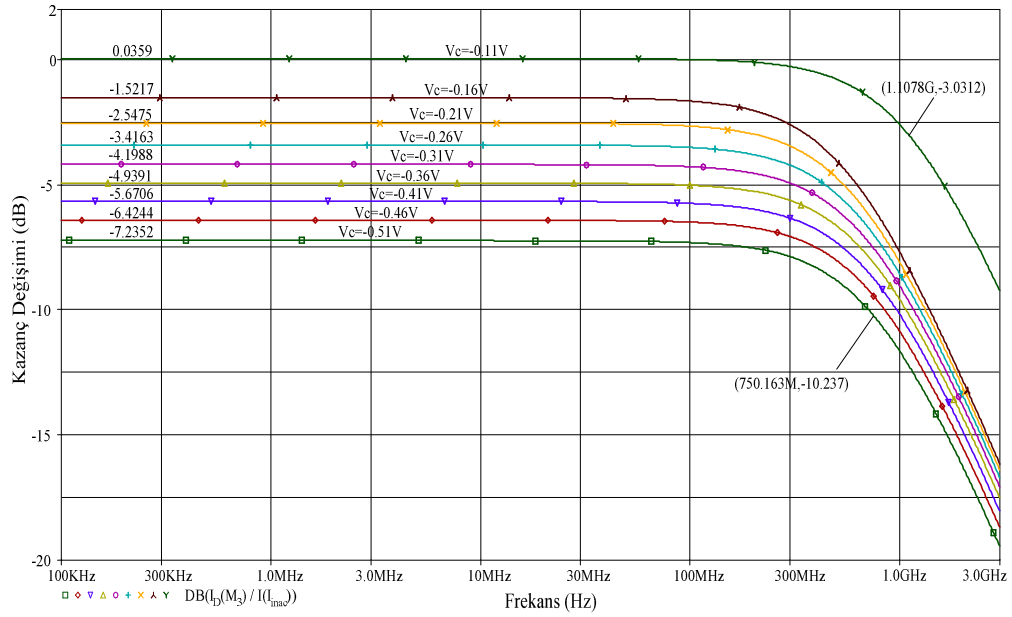
Şekil 2.12 incelendiğinde farklı giriş akım değerleri için NMOS transistor kullanımı ile asimetrik bir akım bölme işlemi elde edildiği görülmektedir. Bu durum OTA vb. gibi devre uygulamalarında gerekli parametrelerin kontrol edilebilirliği açısından bazı dezavantajları da beraberinde getirmektedir.

Bu durumun nedeni; yapıda akım bölme işlemi için elde edilen V_C kontrol gerilimi değerinin M_1 transistoru üzerinden akan akım değeri ile direkt ilintili olmasıdır. NMOS transistorun akım-gerilim bağıntısından (2.8) daha yüksek giriş akımı değeri için V_C kontrol gerilimi değerinin de artacağı görülmektedir.

$$I_N = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2.8)$$

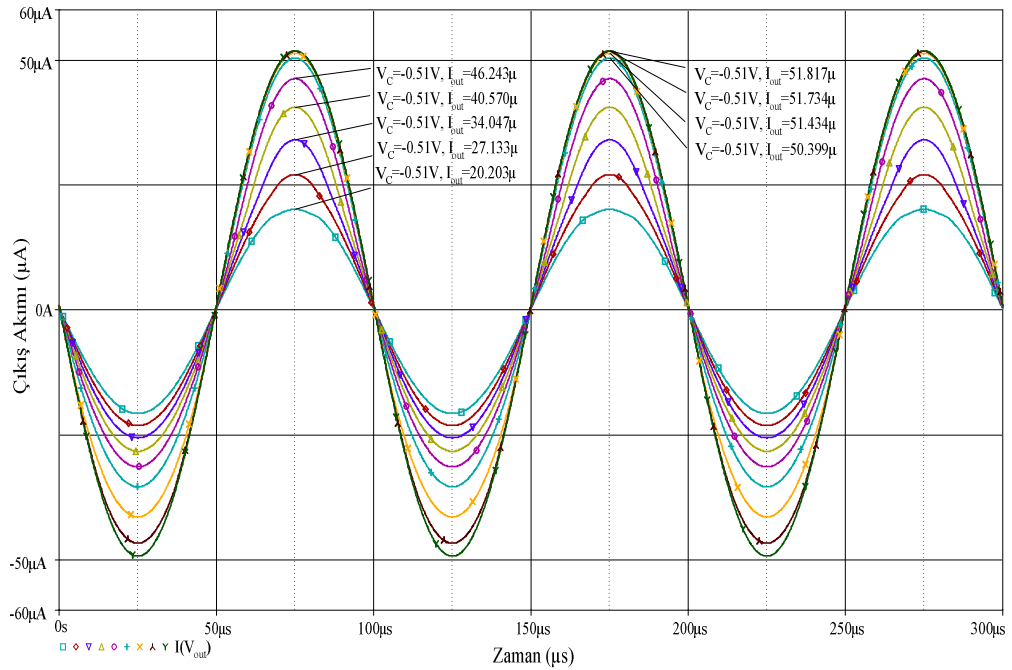
2.1.5 Benzetim sonuçları

Akım bölücü kuralı ile Şekil 2.1'deki gibi elde edilen değiştirilmiş ayarlanabilir akım aynası yapısı kazancının V_C kontrol gerilimi değişimi önceki başlıklar altında verilmişti. Bu bölümde söz konusu ayarlanabilir akım aynası yapısının AC ve zamana bağlı benzetim sonuçları incelenecektir.



Şekil 2.13: Farklı V_C değerleri için akım aynasının AC benzetim sonucu

Şekil 2.13’de farklı V_C değerleri için akım aynası çıkış akımının AC benzetim sonucu görülmektedir. Şekil 2.13’e göre yapının kazanç bant genişliği çarpımının (GBW) 750 MHz-1.10 GHz, kazancının 0(-7.2) dB aralığında değişim gösterdiği görülmektedir.



Şekil 2.14: Farklı V_C değerleri için akım aynasının zaman bağı benzetim sonucu

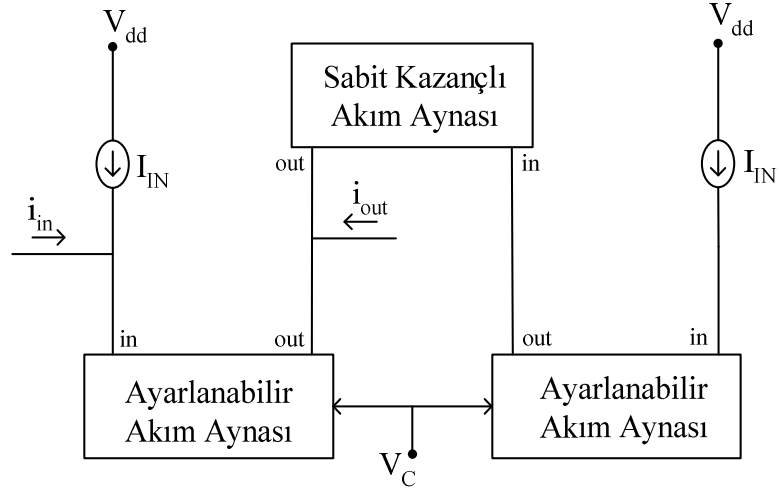
Bu yapı için yapılan diğer bir benzetim de zamana bağlı benzetim olmakla birlikte yapının girişine 50 μ A genliğinde 10 kHz frekansında sinüs sinyali ve 50 μ A genliğinde DC ofset akımı uygulanmış ve farklı V_C kontrol gerilimi değerleri için Şekil 2.14 elde edilmiştir.

Farklı V_C değerleri için SPICE benzetim programı ile elde edilen toplam harmonik distorsiyonu (THD) değerleri Çizelge 2.2’de verilmiştir.

Çizelge 2.2: Akım aynası yapısının farklı V_C değerleri için elde edilen THD değerleri

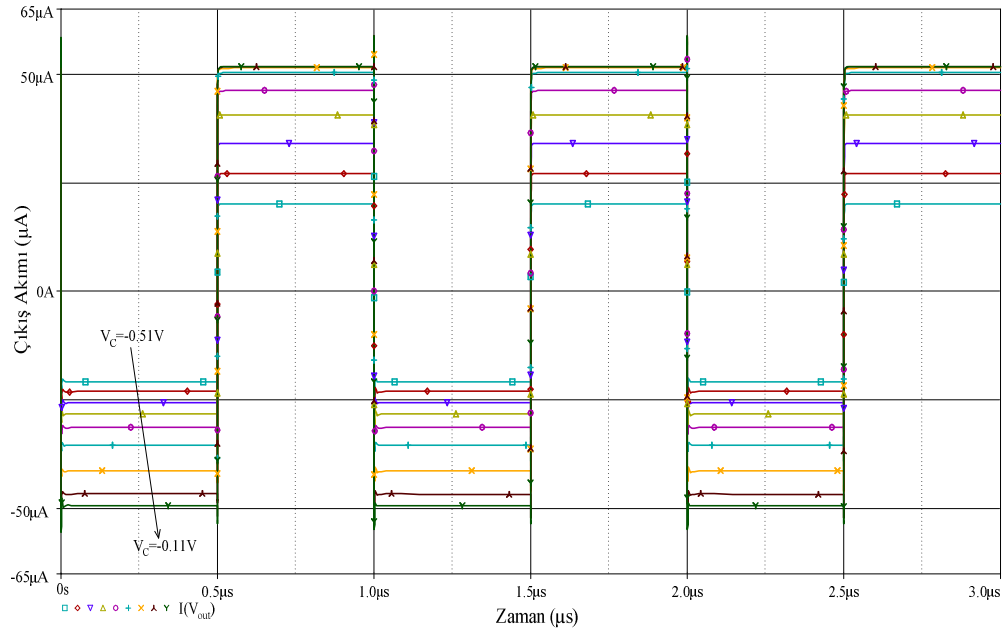
S. No	V_C (V)	THD (%)
01	-0.51	1.770
02	-0.46	3.353
03	-0.41	7.030
04	-0.36	8.959
05	-0.31	8.994
06	-0.26	7.431
07	-0.21	4.823
08	-0.16	1.936
09	-0.11	0.479

Ayarlanabilir akım aynası yapısı çıkışında DC ofset akımının yok edilmesi kapsamında Şekil 2.15’deki yapı kullanılmıştır. Bu yapıda aynı özellikte başka bir ayarlanabilir akım aynasının girişine aynı DC ofset akımı uygulanarak bu yapının çıkışındaki DC bileşen ilk yapının toplam çıkış akımından çıkarılarak DC ofset akımı yok edilmiş olunur. Yapıda çıkış düğümü $V_{DD}/2 = 1.5$ V’a bağlanmıştır.



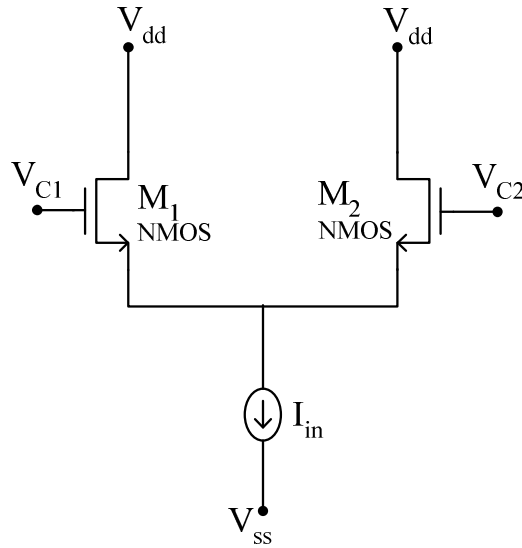
Şekil 2.15: DC ofset akımının yok edilmesi için kullanılan yapı [2]

Zamana bağlı ikinci benzetim için yapının girişine 1 MHz frekansında kare dalga uygulanmış ve farklı V_C kontrol gerilimi değerleri için benzetim sonucu Şekil 2.16’da olduğu gibi elde edilmiştir.



Şekil 2.16: Farklı V_C değerleri için akım aynasının kare dalga cevabı

3. UZUN KUYRUKLU DEVRE VE DÜZELTİLMİŞ AYARLANABİLİR AKIM AYNASI YAPILARI

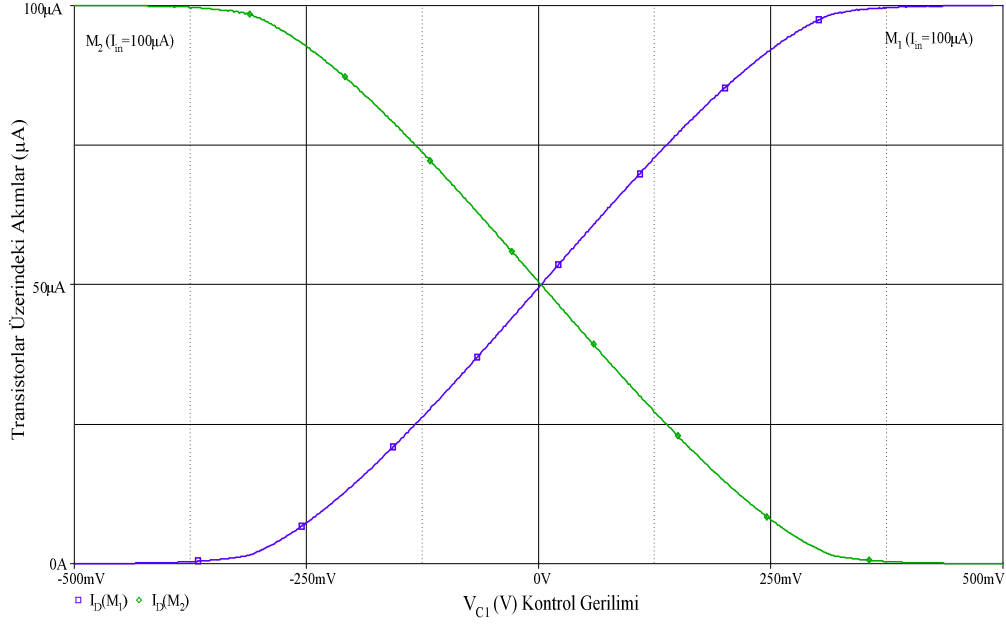


Şekil 3.1: Uzun kuyruklu devre yapısı

Alt bölüm 1.1.4’de Şekil 3.1’deki uzun kuyruklu devre yapısı akım bölücü kuralı düşünülerek düşük gerilim akım aynasına uygulanmış ve akım kazancı $0 \leq A_i \leq 1$ aralığında kontrol edilebilen ayarlanabilir akım aynası yapısı elde edilmiştir.

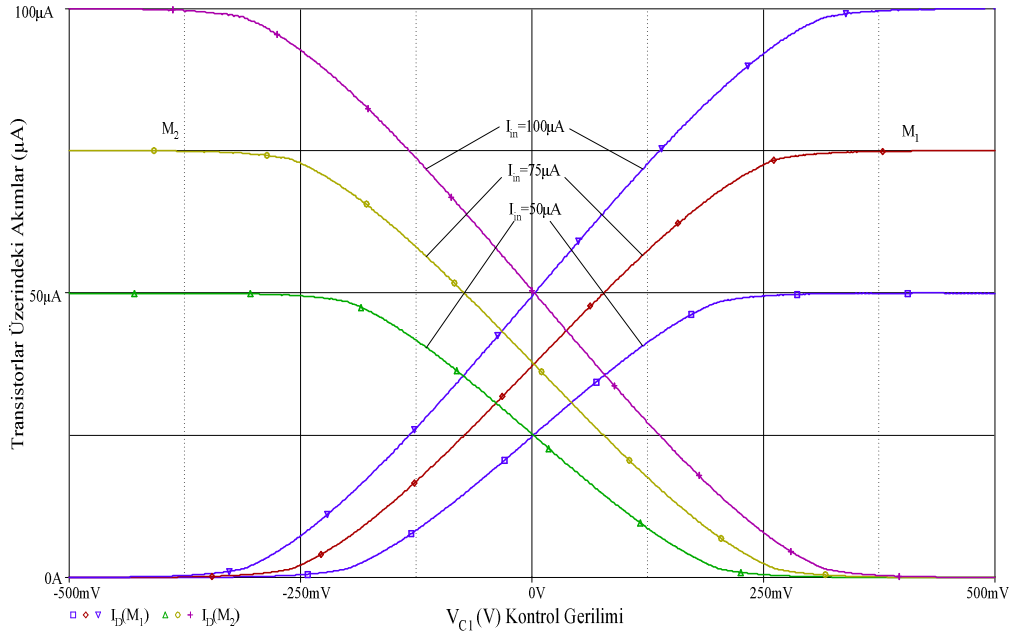
Uzun kuyruklu devre yapısında akım bölme işlemi farksal giriş gerilimine ($V_c = V_{C1} - V_{C2}$) bağlı olmakla birlikte farksal giriş gerilimi $V_c = 0$ olması durumunda kuyruk akımı transistorlar üzerinde eşit olarak paylaşılacaktır. Diğer bir ifadeyle $V_{C1} = V_{C2}$ iken $I_{DM1} = I_{DM2} = I_{in}/2$ olacaktır. $V_c > \sqrt{2}V_{Dsat1,2}$ koşulu altında kuyruk akımının tamamı M_1 transistoru üzerinden, $V_c < -\sqrt{2}V_{Dsat1,2}$ koşulu altında ise kuyruk akımının tamamı M_2 transistoru üzerinden akacaktır [14-16].

Şekil 3.1’de uzun kuyruklu devre yapısında sabit giriş akımı için transistorlar üzerindeki akımlar aşağıdaki Şekil 3.2’de olduğu gibi elde edilecektir ($I_{in} = 100 \mu A$).



Şekil 3.2: Uzun kuyruklu yapıda transistorlar üzerindeki akımların V_C ile değişimi

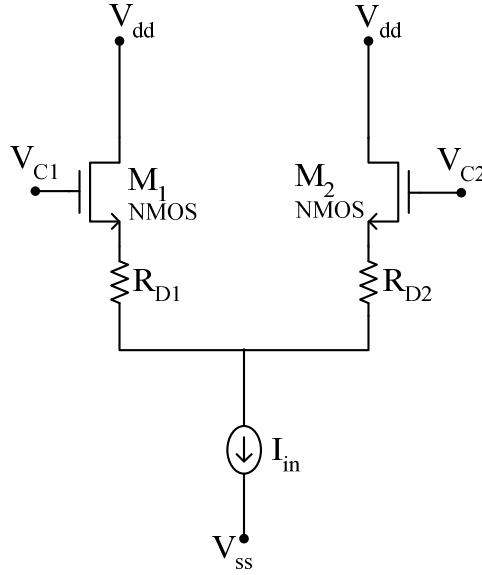
Farklı giriş akım değerleri için transistorlar üzerindeki akımlar Şekil 3.3'te olduğu gibi elde edilmekte olup $V_{C1} = V_{C2}$ koşulunun sağlandığı durumda kuyruk/giriş akımı transistorlar üzerinde eşit olarak paylaşılmaktadır (Giriş akımı parametrik olarak alınmıştır, $I_{in} = 50 \mu A - 75 \mu A - 100 \mu A$).



Şekil 3.3: Farklı giriş akım değerleri için transistorlar üzerindeki akımların V_C ile değişimi

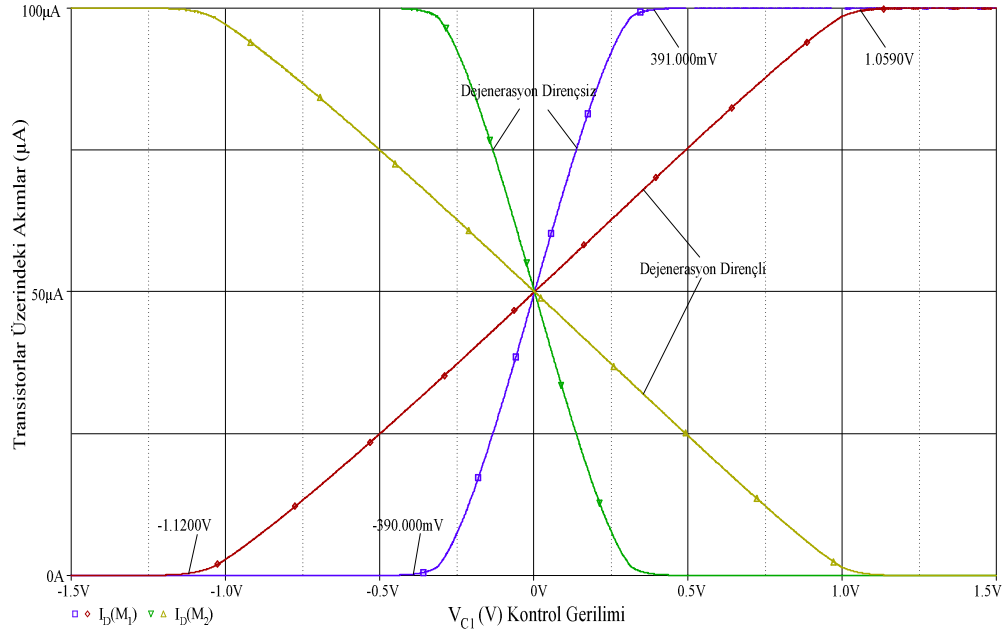
3.1 Uzun Kuyruklu Devrede Doğrusallığın ve Kontrol Gerilimi Dinamik Aralığının Artırılması

Şekil 3.1'deki uzun kuyruklu devre yapısında doğrusallığın ve kontrol gerilimi dinamik aralığının artırılması kapsamında Şekil 3.4'te olduğu gibi kaynak dejenerasyon direnci kullanılmış ve sonucunda sabit giriş akım değeri için Şekil 3.5 elde edilmiştir. ($I_{in} = 100 \mu A$ ve dejenerasyon direnci parametrik olarak alınmıştır. $R_{D1} = R_{D2} = 1 m\Omega, 6 k\Omega$).



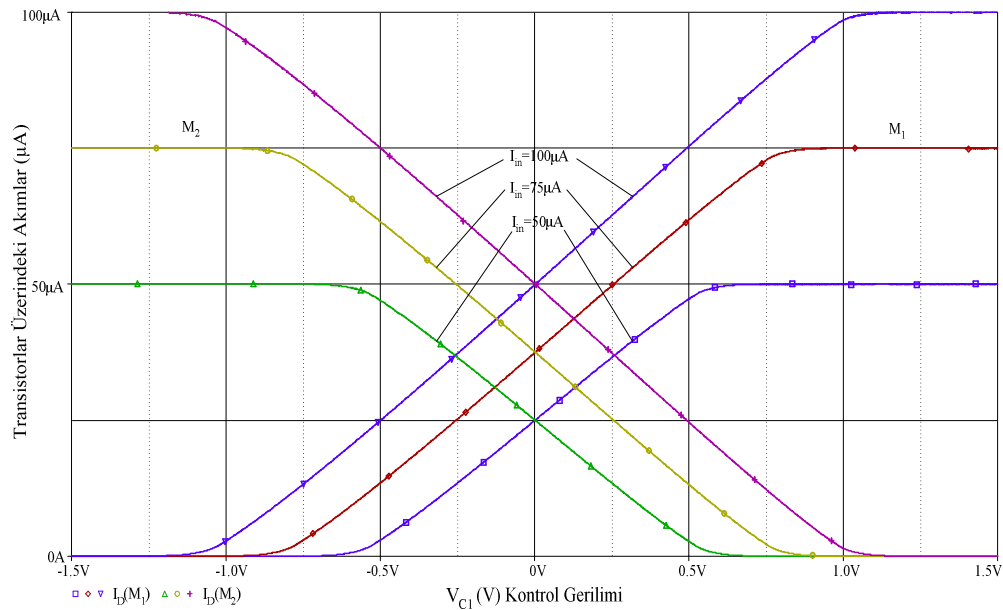
Şekil 3.4: Dejenerasyon dirençli uzun kuyruklu devre yapısı

Şekil 3.5'ten kaynak dejenerasyon direnci kullanımı ile uzun kuyruklu devre yapısında doğrusallığın ve kazanç kontrol gerilimi dinamik aralığının arttığı görülmektedir. Dejenerasyon dirençsiz durumda kontrol gerilimi dinamik aralığı $\pm 0.37 V$ iken dejenerasyon dirençli durumda kontrol gerilimi dinamik aralığı $\pm 1.05 V$ olarak elde edilmektedir.



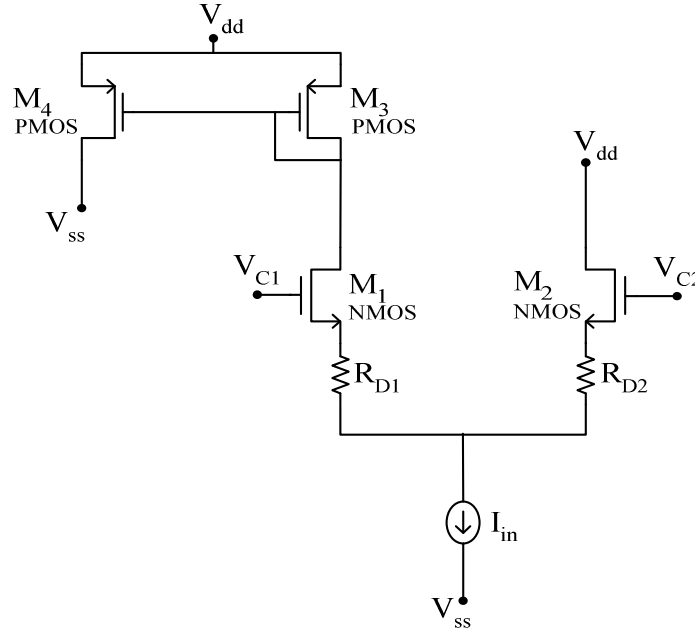
Şekil 3.5: Dejenerasyon dirençli/dirençsiz transistorlar üzerindeki akımların V_C ile değişimi

Kaynak dejenerasyon direnci sabit ($R_{D1} = R_{D2} = 6 \text{ k}\Omega$) ve giriş akımı parametrik alınarak Şekil 3.6 elde edilmiştir. Farklı giriş akım değerleri için elde edilen grafiğin dejenerasyon direnci kullanılmadan elde edilen grafiğe (Şekil 3.3) göre daha iyi olduğu görülmektedir.

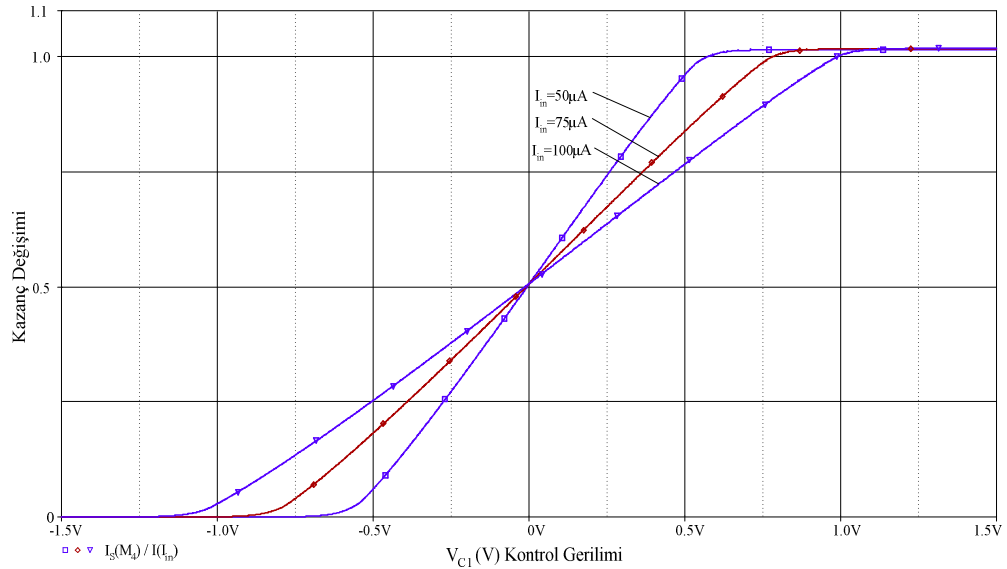


Şekil 3.6: Dejenerasyon dirençli uzun kuyruklu devre yapısında farklı giriş akım değerleri için transistorlar üzerindeki akımların V_C ile değişimi

Transistorlar üzerinde elde edilen akım değerlerinin, Şekil 3.7’de olduğu gibi akım aynası yapısının giriş veya çıkış akımı olarak kullanılması durumunda kazancı $0 \leq A_i \leq 1$ aralığında kontrol edilebilen, uzun kuyruklu devre yapısına göre daha doğrusal ve kazanç kontrol gerilimi dinamik aralığı artırılmış ayarlanabilir akım aynası yapısı elde edilmiş olacaktır ($I_{in} = 100 \mu A$, $R_{D1} = R_{D2} = 6 k\Omega$).

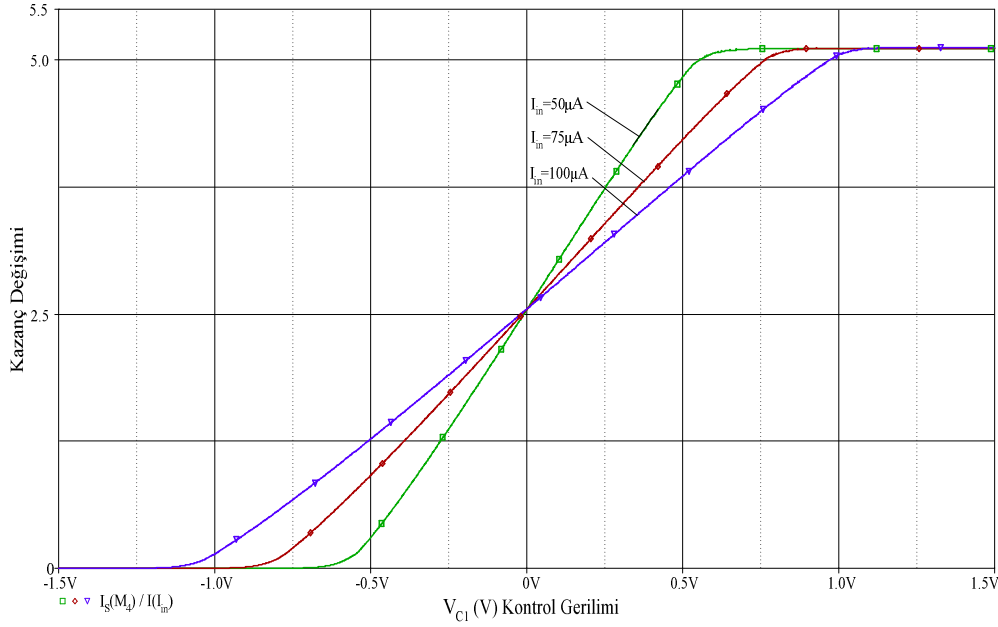


Şekil 3.7: Dejenerasyon dirençli uzun kuyruklu devre yapısı ile elde edilen ayarlanabilir akım aynası yapısı



Şekil 3.8: Dejenerasyon dirençli ayarlanabilir akım aynası yapısının kazancının V_C ile değişimi

3.2 Dejenereasyon Dirençli Uzun Kuyruklu Ayarlanabilir Akım Aynası Yapısında Kazanç Kontrol Aralığının Artırılması



Şekil 3.9: Akım aynası kazanç aralığının aynalama transistorları boyutları ile artırılması

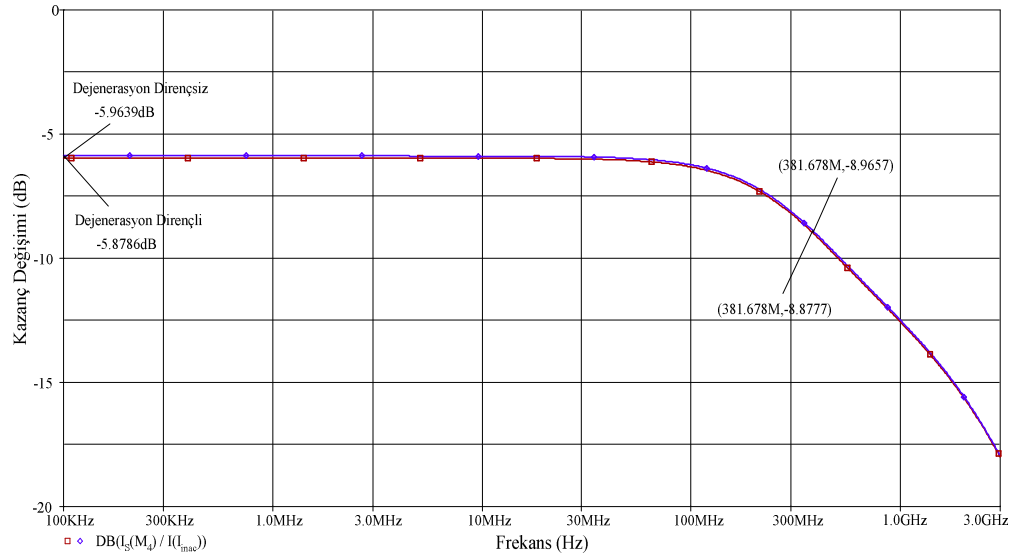
Şekil 3.8’de görüldüğü üzere ayarlanabilir akım aynası yapısının kazancı V_C kontrol gerilimi aracılığıyla $0 \leq A_i \leq 1$ aralığında kontrol edilmektedir. Yapıda aynalama transistorlarının boyutları uygun değerlerde ayarlanarak akım aynasının kazanç ayar aralığını artırmak mümkün olmaktadır. Örneğin aynalama transistorlarının boyutları $5 \left(\frac{W}{L} \right)_3 = \left(\frac{W}{L} \right)_4$ şeklinde seçilecek olursa akım kazanç ifadesini Şekil 3.9’da görüldüğü üzere $0 \leq A_i \leq 5$ aralığında kontrol etmek mümkün olacaktır.

3.3 Benzetim Sonuçları

Uzun kuyruklu devre yapısı çıkış akımının ve kazancının V_C kontrol gerilimi ile değişimi önceki başlıklar altında verilmişti. Bu bölümde söz konusu ayarlanabilir akım aynası yapısının AC ve zamana bağlı benzetim sonuçları incelenecektir.

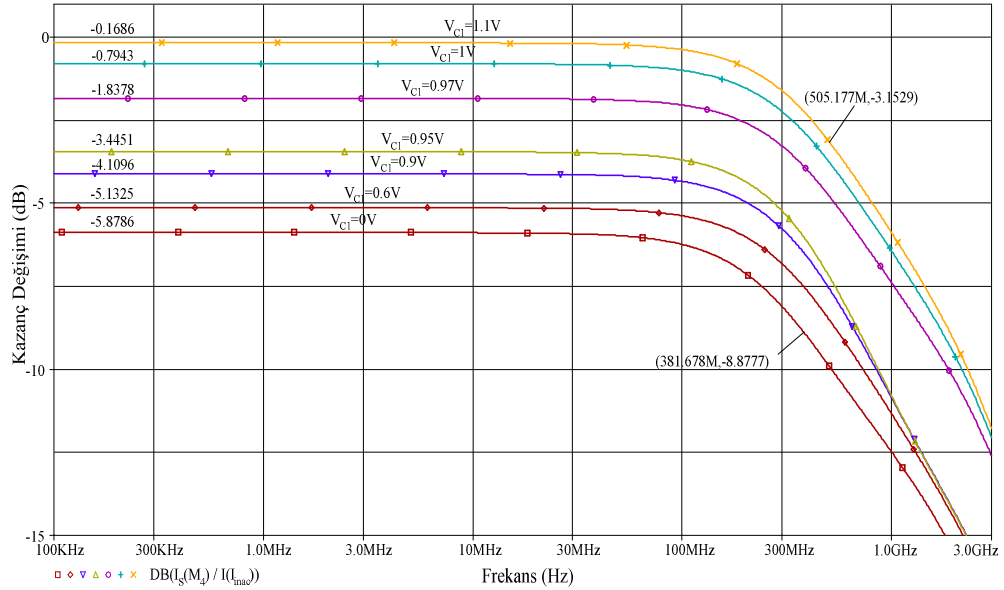
Uzun kuyruklu devre yapısında yapılan kaynak dejenereasyon direnci iyileştirmesi ile yapının AC cevabının ne şekilde değişeceğinin incelenmesi kapsamında sabit kontrol gerilimi ($V_{C1} = V_{C2} = 0$ V) değerinde dejenereasyon dirençli ve dirençsiz elde edilen grafik Şekil 3.10’da olduğu gibidir. Şekil 3.10’dan yapıya dejenereasyon direnci

eklendiğinde yapının AC cevabında bir değişme olmadığı görülmektedir ($f_{3dB} = 381$ MHz).



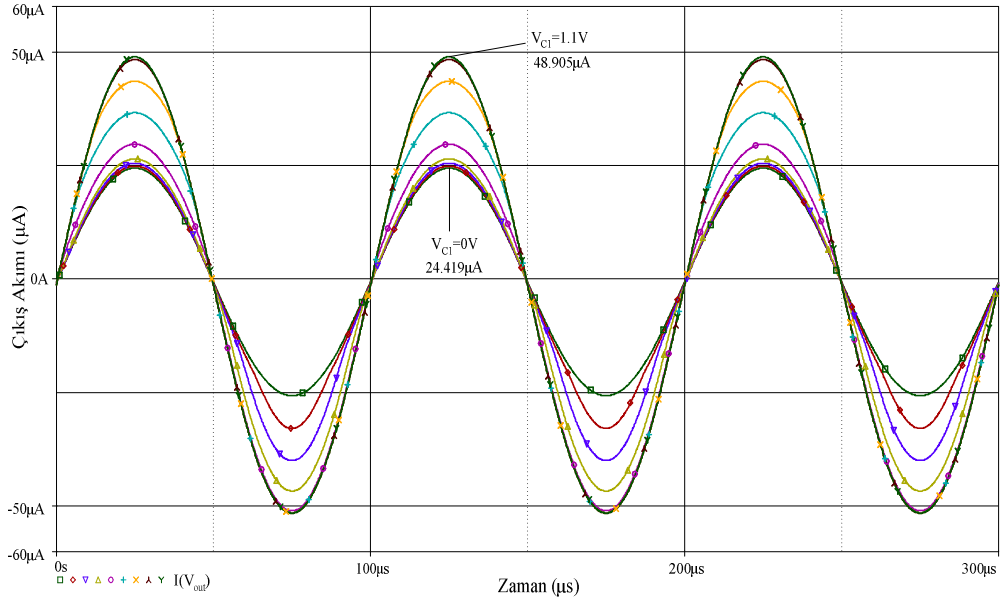
Şekil 3.10: Uzun kuyruklu yapının dejenerasyon dirençli ve dirençsiz AC cevabı

Uzun kuyruklu devre yapısına dejenerasyon direnci eklenerek elde edilen ayarlanabilir akım aynası yapısının farklı V_{C1} değerleri için AC cevabı Şekil 3.11’de olduğu gibi elde edilmiştir. Şekil 3.11’de kazanç bant genişliği çarpımının (GBW) 381 MHz – 505 MHz, kazancının 0 – (-5.8) dB aralığında değişim göstermektedir. Dejenerasyon dirençsiz yapıya göre kontrol gerilimi dinamik aralığı artırılmıştır.



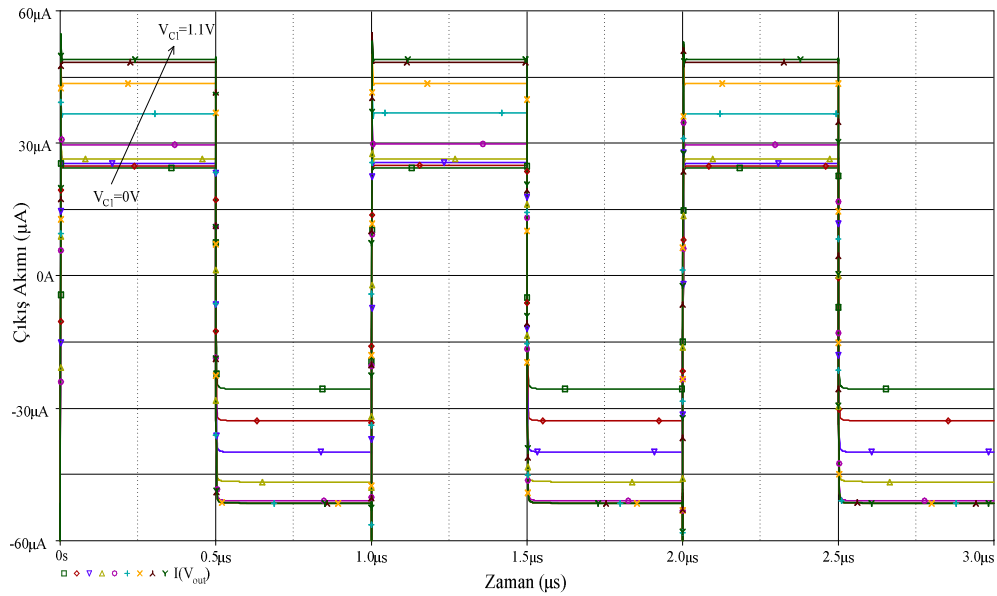
Şekil 3.11: Farklı V_{C1} değerleri için akım aynasının AC benzetim sonucu

Bu yapı için yapılan diğer bir benzetim de zamana bağlı benzetim olmakla birlikte yapının girişine $50\text{ }\mu\text{A}$ genliğinde 10 kHz frekansında sinüs sinyali ve $50\text{ }\mu\text{A}$ genliğinde DC ofset akımı uygulanmış ve Şekil 3.12 elde edilmiştir.



Şekil 3.12: Farklı V_{C1} değerleri için akım aynasının zamana bağlı benzetim sonucu

Zamana bağlı ikinci benzetim için yapının girişine 1 MHz frekansında kare dalga uygulanmış ve farklı V_{C1} kontrol gerilimi değerleri için benzetim sonucu Şekil 3.13’de olduğu gibi elde edilmiştir.



Şekil 3.13: Farklı V_{C1} değerleri için akım aynasının kare dalga cevabı

Farklı V_C deęerleri iin SPICE benzetim programında elde edilen toplam harmonik distorsiyonu (THD) deęerleri izelge 3.1’de verilmiřtir.

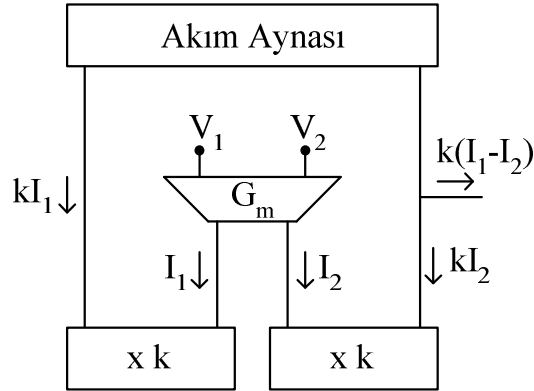
izelge 3.1: Akım aynası yapısının farklı V_{C1} deęerleri iin elde edilen THD deęerleri

S. No	V_{C1} (V)	THD (%)
01	0.2	8.59
02	0.5	9.28
03	0.7	8.98
04	0.8	6.36
05	0.9	3.43
06	0.95	1.99
07	1	0.81
08	1.05	0.30
09	1.1	0.11

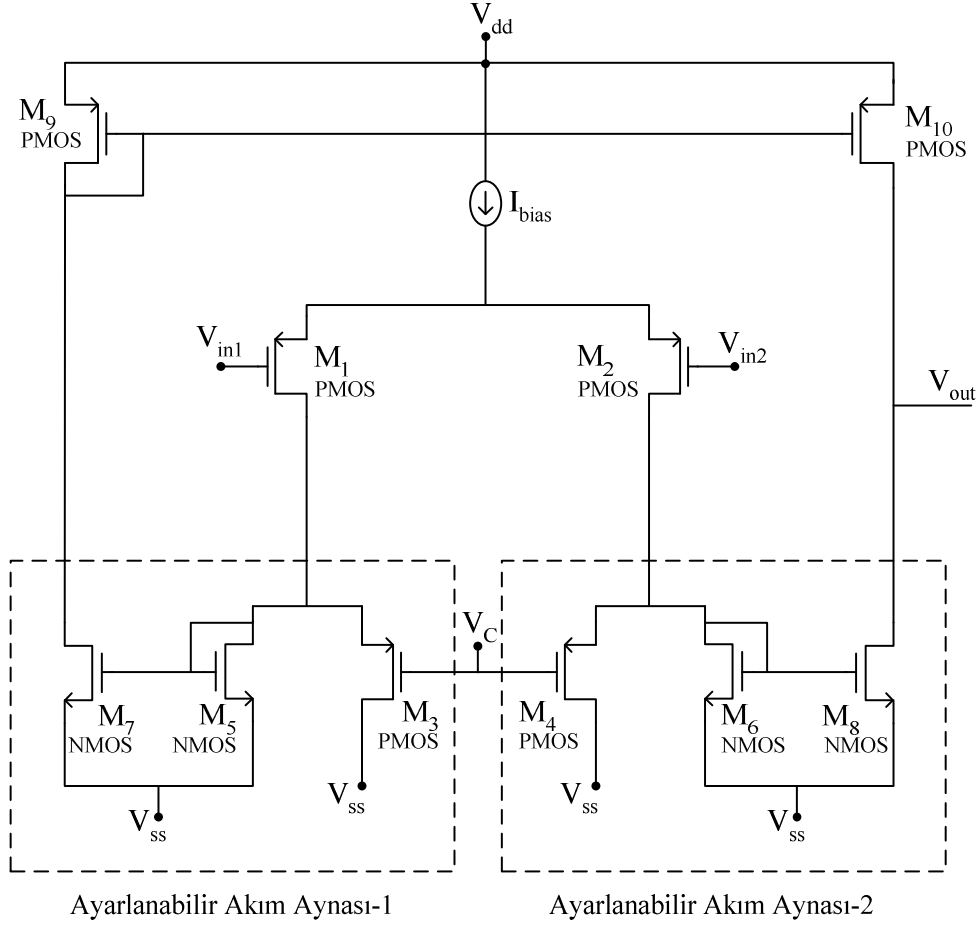
4. OTA UYGULAMASI

Çok yönlü kullanımı ile işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) analog sistem tasarımının çok önemli ve temel aktif elemanı olmakla birlikte günümüzde analog mikro elektronik sistemlerde yaygın olarak kullanılmaktadır. Ayarlanabilir işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) tasarımıyla da yalnızca fabrikasyon toleranslarının düzeltilmesi sağlanmayacak aynı zamanda bir aktif süzgeç elemanında merkez frekansı ve kalite faktörü gibi parametrelere ayarlanabilirlik kazandırılması sağlanacaktır. Bu kapsamda bu bölümde ayarlanabilir eleman olarak akım aynası kullanımının avantajlarını göstermek için, diyotlu ayarlanabilir akım aynası ile gerçekleştirilen işlemsel geçiş iletkenliği kuvvetlendiricisinin performans analizleri verilecektir.

İşlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) tasarımında Şekil 4.1’de verilen basit OTA diyagramı kullanılmıştır. Şekil 4.1’de akım aynası yapıları ayarlanabilir yapı olarak akımı “k” sabiti kadar ayarlamak ve çıkışa iletmek amacıyla kullanılmıştır. Yapının üst tarafında ise klasik PMOS akım aynası kullanılmıştır.



Şekil 4.1: Basit OTA diyagramı



Şekil 4.2: Ayarlanabilir akım aynası ile gerçekleştirilen OTA yapısı

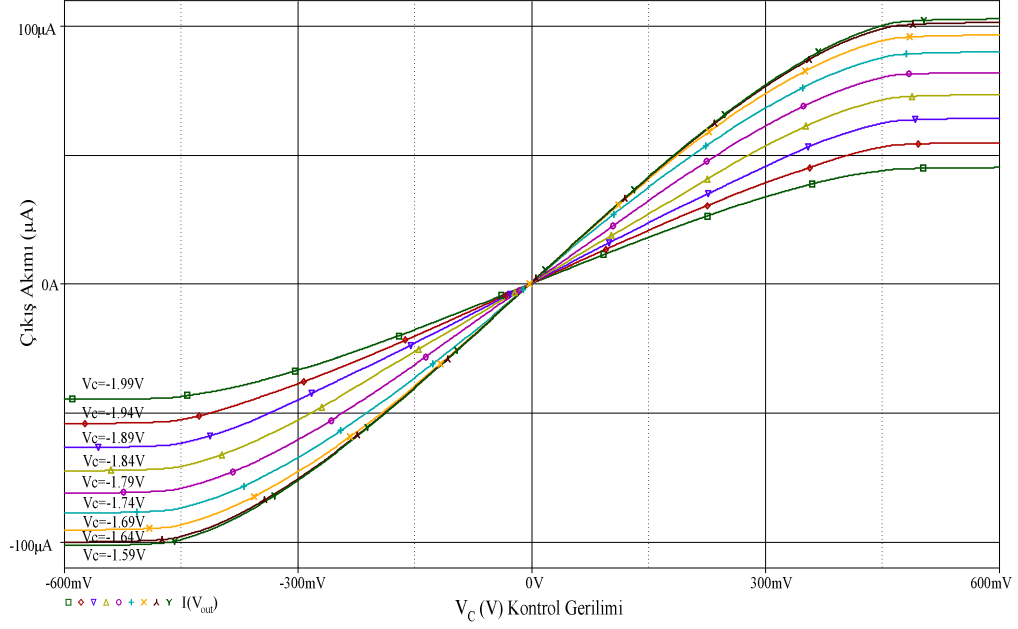
Şekil 4.2’de olduğu gibi gerçekleştirilen işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) yapısında kullanılan transistor boyutları Çizelge 4.1’de olduğu gibidir.

Çizelge 4.1: OTA yapısında kullanılan transistor boyutları

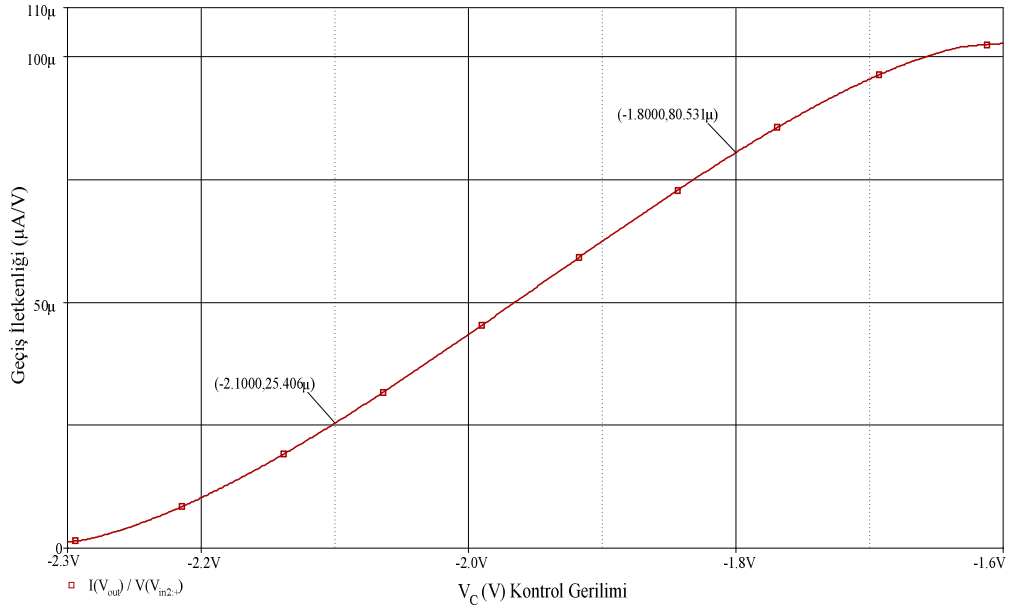
S. No	Transistor	W (μm)	L (μm)
01	M1, M2	15	1
02	M3, M4, M9, M10	30	1
03	M5, M6, M7, M8	10	1

4.1 Benzetim Sonuçları

İşlemsel geçiş iletkenliği kuvvetlendiricisinin farklı V_C kontrol gerilimi değerleri için elde edilen DC akım geçiş karakteristiği Şekil 4.3'te olduğu gibidir. Benzetimde V_{in2} giriş işareti ± 0.6 V aralığında taratılmış, V_C kontrol gerilimi ise parametrik olarak alınmıştır. OTA için kutuplama akımı $I_{bias} = 100 \mu A$ olarak seçilmiştir.



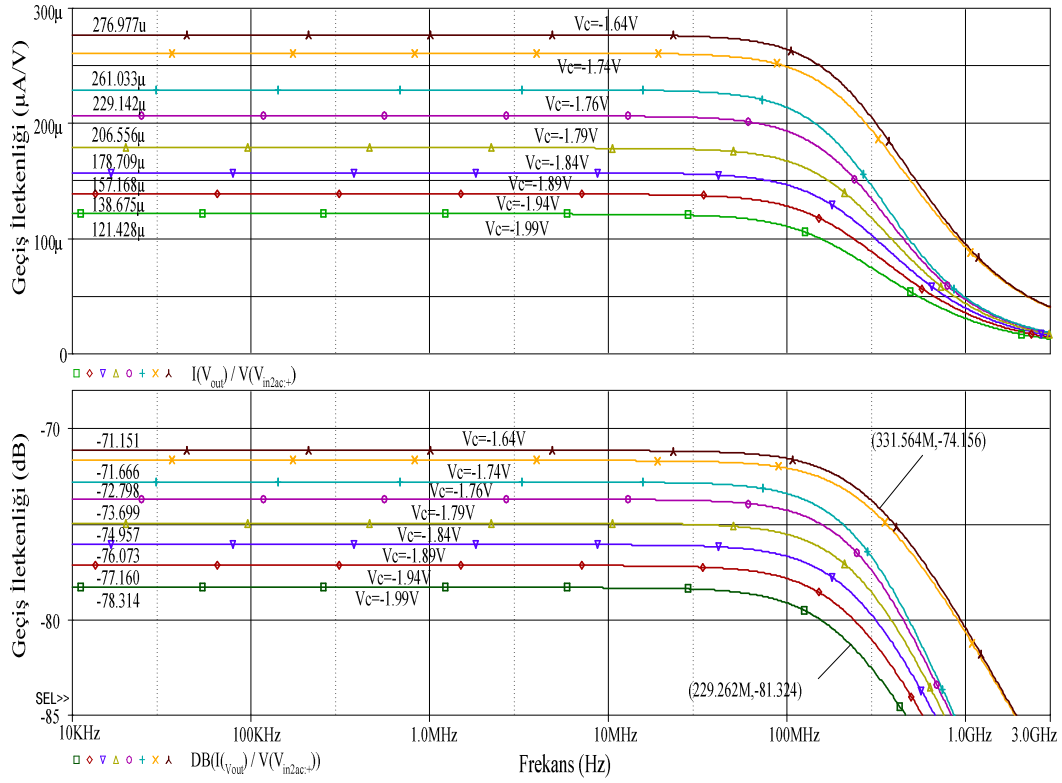
Şekil 4.3: OTA'nın DC akım geçiş karakteristiği ($V_C = -1.99: -1.59: 0.05$ V adımlarla)



Şekil 4.4: Geçiş iletkenliğinin V_C ile değişimi

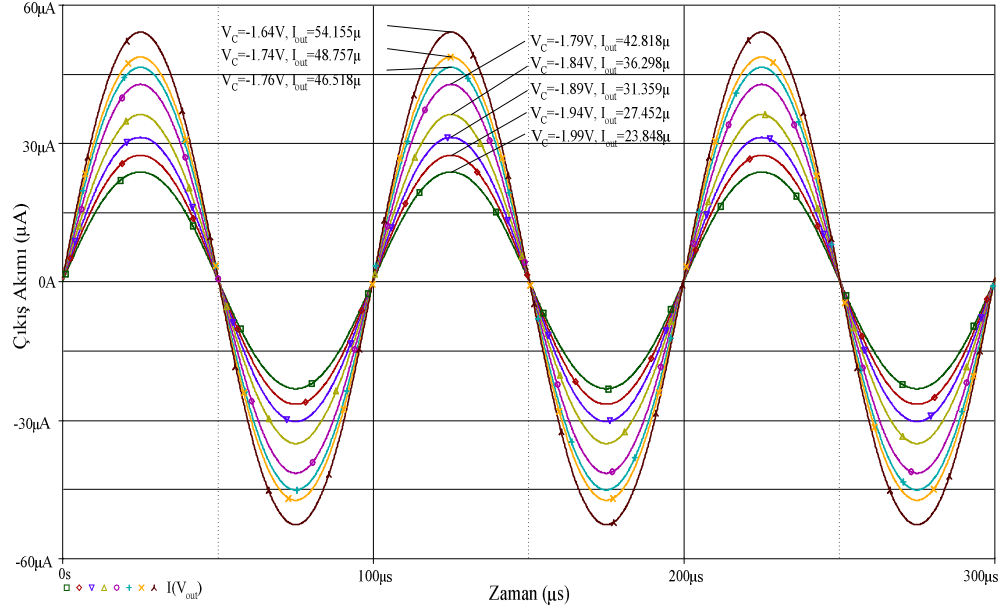
g_m geiş iletkenliđinin V_C kontrol gerilimi ile deđiřimi, V_C kontrol gerilimi bađımsız deđiřken olarak alınarak ve giriře 1 V DC sinyal uygulanarak řekil 4.4'te olduđu gibi elde edilmiřtir. řekil 4.4'te geiş iletkenliđinin V_C kontrol gerilimi ile dođrusal bir deđiřim gsterdiđi grlmektedir.

g_m geiş iletkenliđinin farklı V_C kontrol gerilimi deđerleri iin frekansla deđiřimi řekil 4.5'de olduđu gibi elde edilmiřtir. Geiş iletkenliđinin V_C kontrol gerilimi ile kontrol edilebildiđi ve kazanç bant geniřliđi arpımının 229 – 331 MHz aralıđında deđiřim gsterdiđi řekil 4.5'ten grlmektedir.



řekil 4.5: g_m Geiş iletkenliđinin frekansla deđiřimi

Geiş iletkenliđi kuvvetlendiricisinin zamana gre benzetim sonularının elde edilmesi kapsamında OTA'nın giriřine 10 kHz frekansında $0.2V_{pp}$ sins sinyali uygulanmıř ve farklı V_C kontrol gerilimi deđerleri iin ıkıř akımı řekil 4.6'da olduđu gibi elde edilmiřtir. řekil 4.6'dan ıkıř iřaretinde ok dřk bir bozulmanın olduđu ve V_C kontrol gerilimi ile dođrusal bir kontroln sađlandıđı grlmektedir.



Şekil 4.6: OTA'nın zamana bağlı benzetim sonucu

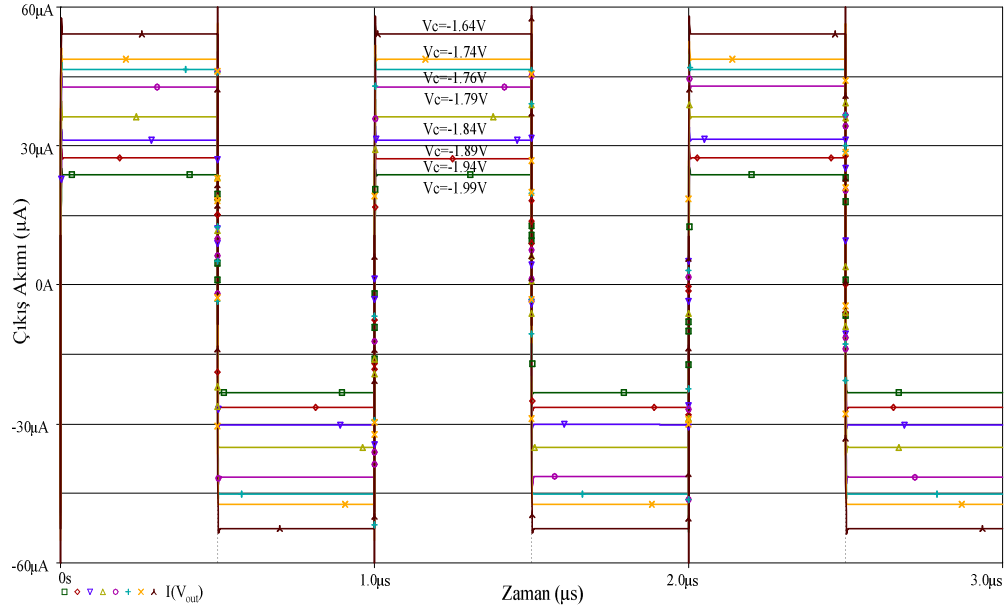
Farklı V_C değerleri için elde edilen toplam harmonik distorsiyonu (THD) değerleri Çizelge 4.2'de verilmiştir.

Çizelge 4.2: OTA'nın Farklı V_C Değerleri İçin Elde Edilen THD Değerleri

S. No	V_C (V)	THD (%)
01	-1.99	0.867
02	-1.94	0.711
03	-1.89	0.534
04	-1.84	0.205
05	-1.79	0.418
06	-1.74	1.706
07	-1.69	1.104
08	-1.64	0.943
09	-1.59	0.897

Çizelge 4.1’de zamana bağlı benzetimler sonucunda elde edilen THD sonuçları OTA devresinin %2’nin altında bir THD’ye sahip olduğunu, çok düşük bir bozulmaya ve doğrusal bir yapıya sahip olduğunu göstermektedir.

Zamana bağlı ikinci benzetim için OTA’nın girişine 1 MHz frekansında kare dalga uygulanmış ve farklı V_C kontrol gerilimi değerleri için benzetim sonucu Şekil 4.7’de olduğu gibi elde edilmiştir.

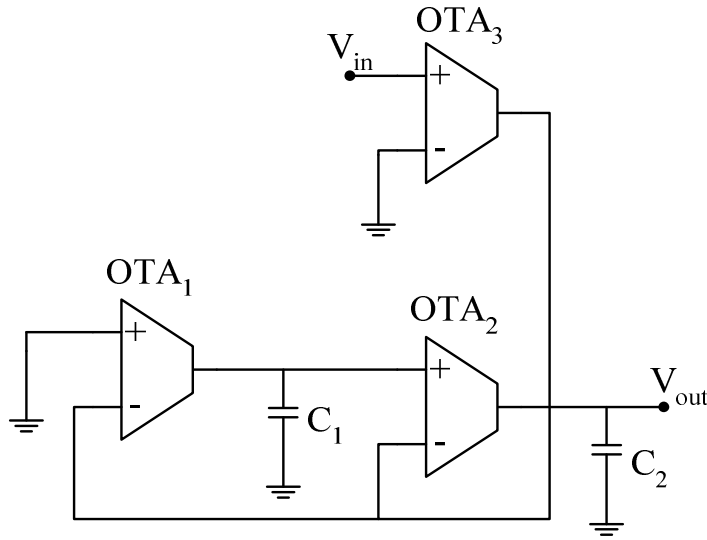


Şekil 4.7: Farklı V_C değerleri için OTA’nın kare dalga cevabı

5. BANT GEÇİREN SÜZGEÇ TASARIMI

İşlemsel kuvvetlendiricilerden daha geniş bantlı olmaları ve eğimlerinin kontrol edilebilir olması, yapılarının CMOS teknolojisi ile tümleştirmeye uygun ve basit olması gibi nedenlerden dolayı OTA'lar özellikle OTA-C aktif süzgeçleri gibi devre yapılarında yaygın olarak kullanım alanı bulmaktadır [17].

Bant geçiren süzgeç tasarımı kapsamında dördüncü bölümde, önerilen ayarlanabilir akım aynası ile elde edilen OTA yapısı kullanılarak aşağıda transfer fonksiyonu ve tasarım büyüklükleri verilen Şekil 5.1'deki ikinci derece aktif bant geçiren OTA-C süzgeci yapısı kullanılacaktır.



Şekil 5.1: OTA tabanlı bant geçiren süzgeç yapısı [17]

Şekil 5.1'deki ikinci derece aktif bant geçiren OTA-C süzgeci yapısına ait transfer fonksiyonu ve tasarım büyüklükleri (5.1) ve (5.2) bağıntılarında olduğu gibidir.

$$H(s) = \frac{a_1 s}{s^2 + b_1 s + b_0} = \frac{a_1 s}{s^2 + \left(\frac{w_p}{Q_p} \right) s + w_p^2} \quad (5.1)$$

$$\frac{g_{m1}}{C_1} = \frac{b_0}{b_1}, \quad \frac{g_{m2}}{C_2} = b_1, \quad \frac{g_{m3}}{C_2} = a_1 \quad (5.2)$$

(5.1) ve (5.2) bağıntılarından bant geçiren süzgeç için akort frekansı ve değer katsayısı büyüklüklerinin, eleman değerleri cinsinden bağıntıları (5.3) ve (5.4) bağıntılarında olduğu gibi elde edilmektedir.

$$w_p = \frac{\sqrt{g_{m1}} \sqrt{g_{m2}}}{\sqrt{C_1} \sqrt{C_2}} \quad (5.3)$$

$$Q_p = \frac{\sqrt{g_{m1}} \sqrt{C_2}}{\sqrt{g_{m2}} \sqrt{C_1}} \quad (5.4)$$

5.1 Bant Geçiren Süzgeç İçin Eleman Değerlerinin Hesaplanması

Hesaplamalar geçiş işlevi genel durumda yukarıdaki bağıntılarda verilen ve akort frekansı 15 MHz olan ikinci dereceden Butterworth tipi bant geçiren süzgeç için yapılacaktır.

İkinci dereceden Butterworth tipi süzgeç için payda polinomu normalize olarak (5.5) bağıntısında olduğu gibidir. Bu bağıntıya göre hücrenin değer katsayısı $Q_p = 0.707$ değerinde olmaktadır. Ayrıca süzgeç geçirme bandında birim kazanç sağlamaktadır.

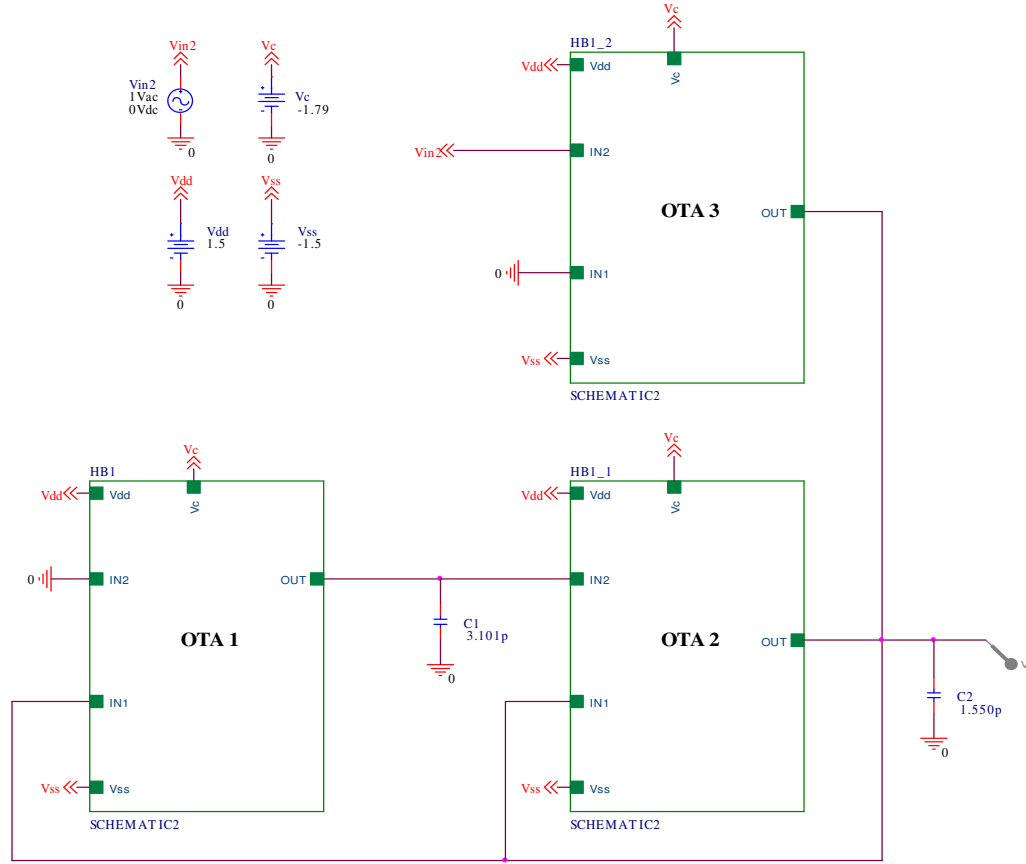
$$D(s) = s^2 + \sqrt{2}s + 1 \quad (5.5)$$

Yukarıdaki bağıntılarda verilen transfer fonksiyonu ve devre bağıntıları kullanılarak OTA yapısında mevcut ayarlanabilir akım aynalarının kontrol gerilimi $V_C = -1.79$ V olması durumu için eleman değerleri hesaplanacak olursa; OTA'lar için kutuplama akımları 100 μA seçilmiş olup $V_C = -1.79$ V için $g_{m1} = g_{m2} = 206.556 \mu A/V$ olarak elde edilmektedir.

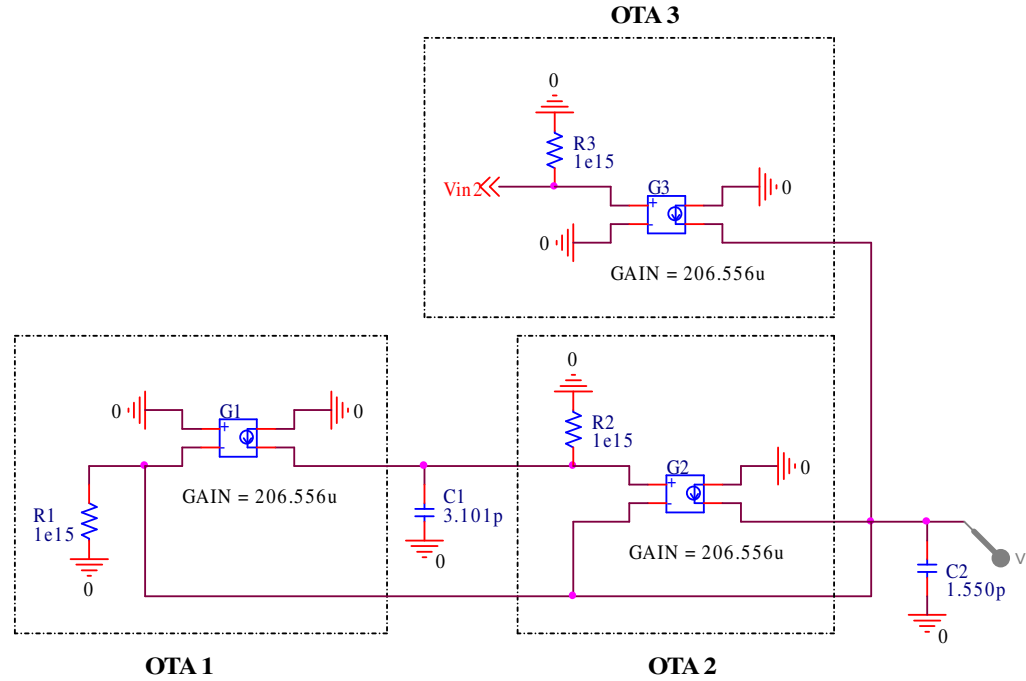
$$\frac{g_{m2}}{C_2} = b_1 = \frac{w_p}{Q_p} \Rightarrow \frac{206,556.10^{-6}}{C_2} = \frac{2.\pi.15.10^6}{0.707} \Rightarrow C_2 = 1,550pF$$

$$\frac{g_{m1}}{C_1} = \frac{b_0}{b_1} = \frac{w_{p1}^2}{w_{p1}/Q_{p1}} = w_{p1} \cdot Q_{p1} \Rightarrow \frac{206,556.10^{-6}}{C_1} = 2.\pi.15.10^6.0.707 \Rightarrow C_1 = 3,101pF$$

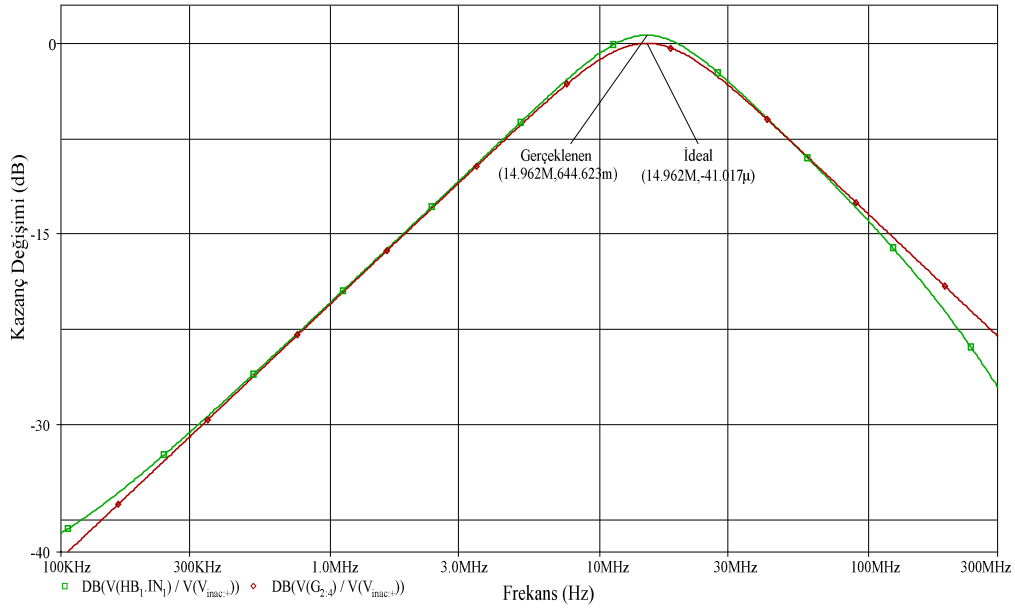
elde edilecektir. Bu eleman değerleri için, Şekil 5.2'de olduğu gibi gerçekleştirilen bant geçiren devre ve Şekil 5.3'de olduğu gibi Spice programında G ideal eleman modeli kullanılarak oluşturulan yapının karakteristikleri aynı eksen takımında Şekil 5.4'te olduğu gibi elde edilmiştir.



Şekil 5.2: Gerçeklenen 2. dereceden bant geçiren süzgeç yapısı



Şekil 5.3: İdeal devre elemanları ile gerçekleştirilen bant geçiren süzgeç yapısı



Şekil 5.4: İdeal devre ile gerçekleştirilen devre karakteristiklerinin aynı eksen takımında gösterilmesi

Şekil 5.4 incelendiğinde tasarlanan devrenin belirlenen akort frekansı (15 MHz) için bant geçiren süzgeç karakteristiğini düzgün bir biçimde sağladığı, ideal devre elemanları ile kurulan süzgeç karakteristiği ile hemen hemen aynı karakteristiği verdiği görülmektedir.

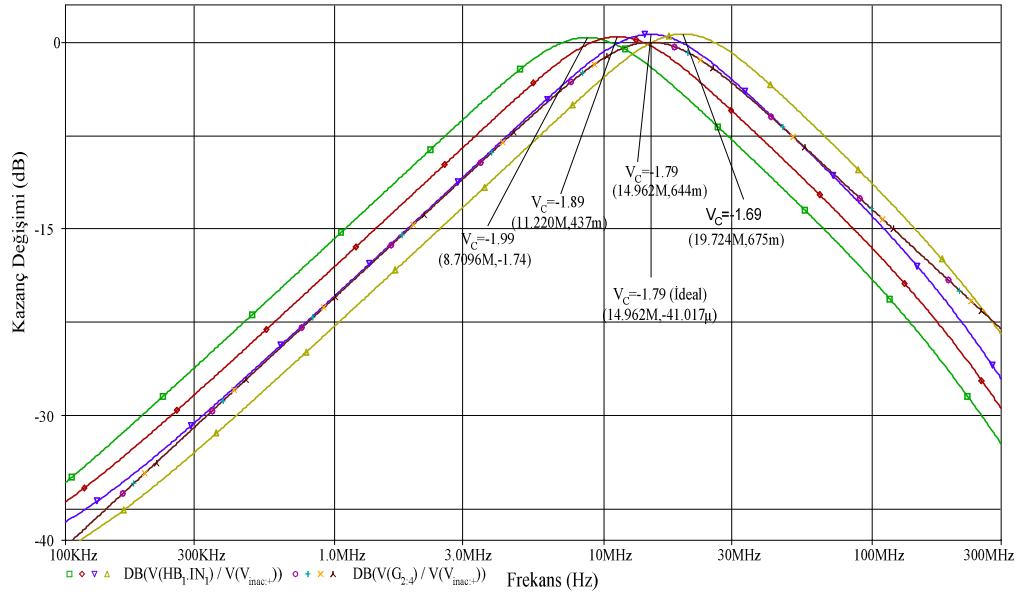
5.2 Bant Geçiren Süzgecin Akort Frekansının Ayarlanması

(5.3) bağıntısından, süzgeç yapısında mevcut OTA_1 ve OTA_2 'nin geçiş iletkenliklerinin değiştirilmesi ile bant geçiren süzgecin akort frekansının ayarlanmasının mümkün olacağı görülmektedir. Buradan, süzgecin akort frekansının V_C kontrol geriliminin değişimi ile doğru orantılı olarak bir değişim göstereceği açıktır. Bu kapsamda, yapıdaki kapasite değerleri sabit tutulmak ve geçiş iletkenliklerinin değiştirilmesi için V_C kontrol gerilimi değiştirilerek süzgecin akort frekansı ayarlanacaktır.

Bu durumda (5.4) bağıntısından yapıdaki kapasite değerlerinin sabit tutulması sebebiyle değer katsayısında herhangi bir değişim gözlenmeyecektir. Farklı V_C kontrol gerilimi değerleri için OTA 'ların geçiş iletkenlikleri Çizelge 5.1'de olduğu gibi elde edilecektir.

Çizelge 5.1: Farklı V_C değerleri için OTA'nın geçiş iletkenlikleri

S. No	V_C (V)	g_m ($\mu A/V$)
01	-1.99	121.428
02	-1.89	157.168
03	-1.79	206.556
04	-1.74	261.033
05	-1.69	273.294
06	-1.59	277.997



Şekil 5.5: Farklı V_C değerleri için süzgecin bant geçiren karakteristiği (kapasite değerleri, $f = 15$ MHz ve $V_C = -1.79$ V değeri için sbt.)

Süzgeç yapısındaki kapasite değerleri, kontrol gerilimi $V_C = -1.79$ V ve akort frekansı 15 MHz için sabit tutularak farklı V_C kontrol gerilimi değerleri için süzgecin bant geçiren karakteristiği Şekil 5.5'te olduğu gibi elde edilmiştir. Şekil 5.5'ten V_C kontrol gerilimi ile süzgecin akort frekansının 8.7–19.7 MHz aralığında ayarlanabildiği görülmektedir. Ayrıca şekilde $V_C = -1.79$ V değeri için süzgecin ideal karakteristiği de verilmiştir.

5.3 Bant Geçiren Süzgecin Değer Katsayısının Ayarlanması

(5.1) ve (5.2) bağıntıları kapsamında değer katsayısının (Q_p) değişimi ile birlikte a_1 değerinin değişmemesi dolayısıyla kazançtaki değişimin de gözlenebilmesi amacıyla değer katsayısının (Q_p) ayarlanması işlemi, OTA_1 , OTA_3 'ün geçiş iletkenliği ($g_{m1,3}$) ile C_2 kapasite değerleri sabit tutulmak ve OTA_2 'nin geçiş iletkenliği (g_{m2}) ile C_1 kapasite değerleri değiştirilerek gerçekleştirilmiştir.

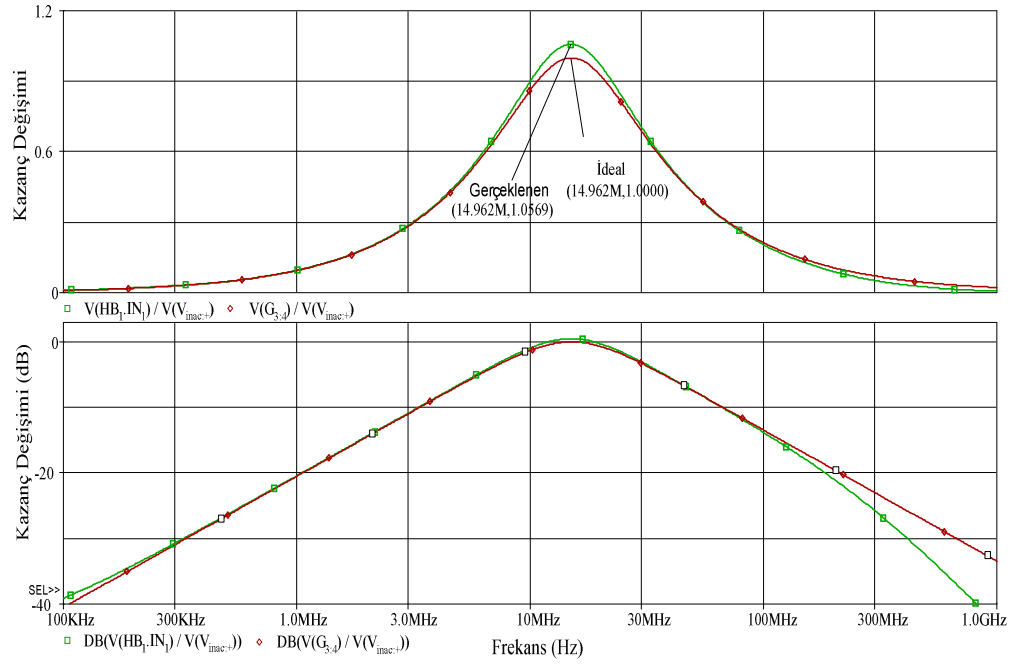
Başlangıç değerleri için kontrol gerilimi değeri $V_C = -1.59$ V, bu değerde OTA'ların geçiş iletkenlikleri $g_m = 277.997 \mu A/V$ ve akort frekansı olarak $f = 15$ MHz değerleri esas alınmıştır.

Değer katsayısının ayarlanabilirliğin gözlenmesi kapsamında farklı Q_p değerleri için hesaplanan ve tasarımda kullanılacak olan eleman değerleri Çizelge 5.2'de olduğu gibidir.

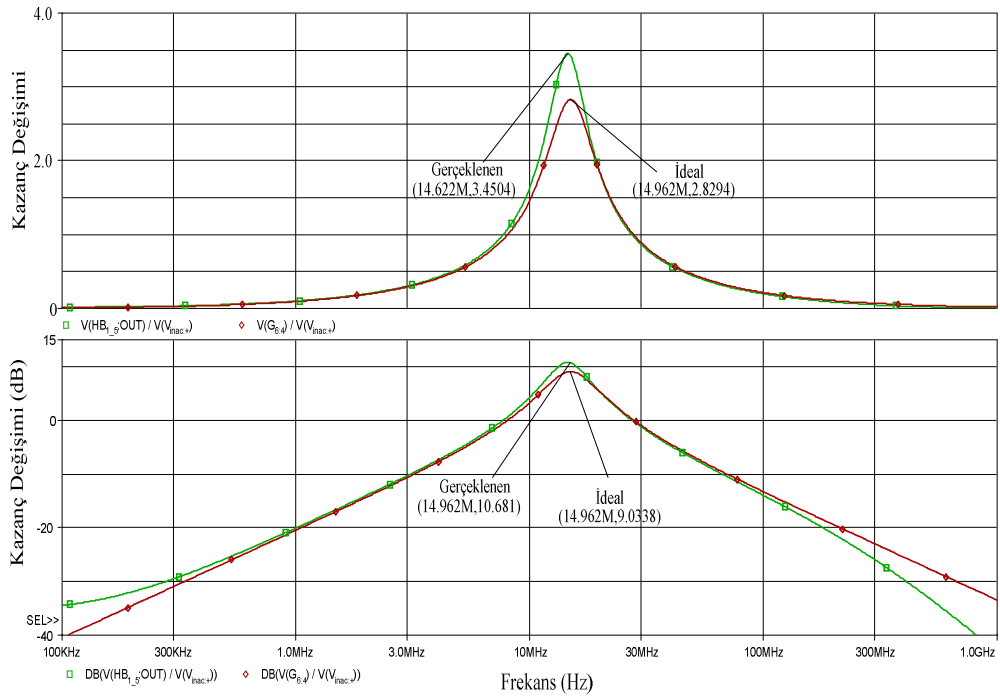
Çizelge 5.2: Farklı Q_p değerleri için tasarımda kullanılan eleman değerleri

S. No	Q_p	C_1 (pF)	C_2 (pF)	$g_{m1,3}$ ($\mu A/V$)	g_{m2} ($\mu A/V$)	V_{C2} (V)
01	0.707	4.174	2.086	277.997	277.997	-1.59
02	2	1.475	sbt	sbt	98.25	-2.056
03	4	0.737	sbt	sbt	49.12	-2.167

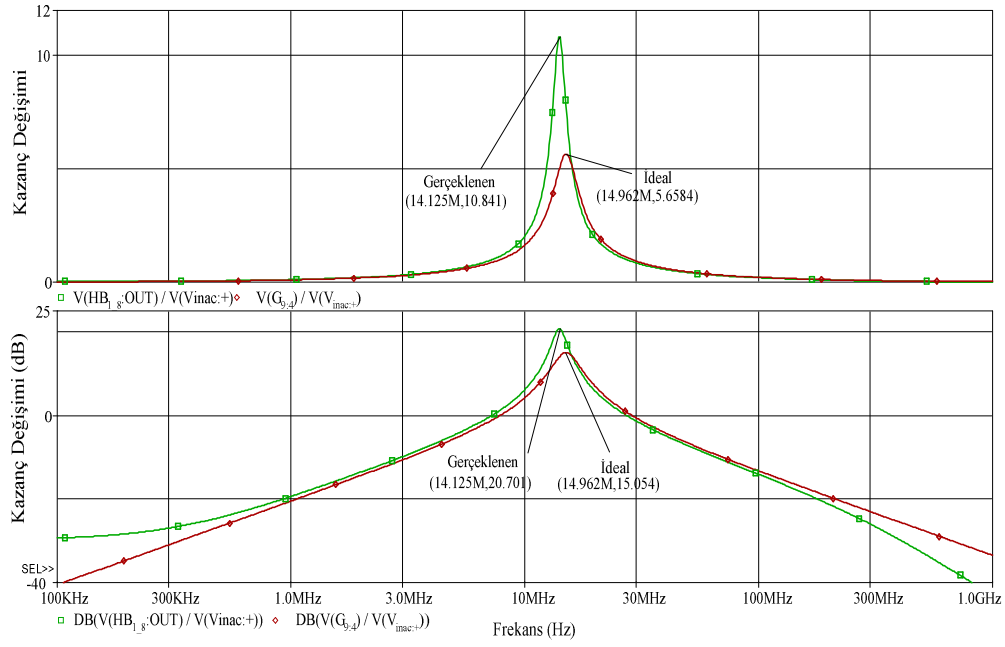
Farklı Q_p değerleri için gerçekleştirilen devre karakteristiği ile ideal devre karakteristikleri aynı eksen takımında Şekil 5.6, Şekil 5.7 ve Şekil 5.8'de olduğu gibidir. Şekillerden yükselen değer katsayısı ile birlikte gerçekleştirilen devrenin bant geçiren karakteristiğinin değer katsayısına hassasiyetin yüksek olması sebebiyle ideal bant geçiren karakteristiğinden sapma gösterdiği görülmektedir.



Şekil 5.6: $Q_p = 0.707$ için ideal devre ile gerçekleştirilen devre karakteristiklerinin aynı eksen takımında gösterilmesi



Şekil 5.7: $Q_p = 2$ için ideal devre ile gerçekleştirilen devre karakteristiklerinin aynı eksen takımında gösterilmesi



Şekil 5.8: $Q_p = 4$ için ideal devre ile gerçekleştirilen devre karakteristiklerinin aynı eksen takımında gösterilmesi

Çizelge 5.3: Bant geçiren süzgecin giriş işareti ile THD'nin değişimi

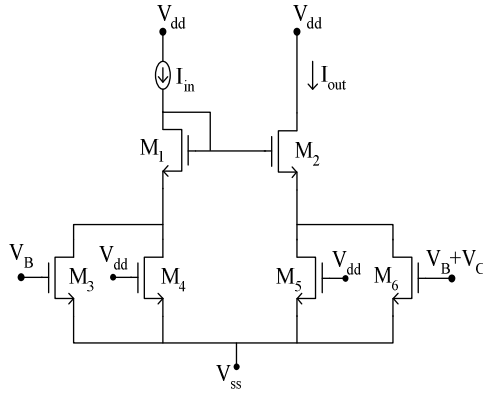
S. No	V_{in2} (V)	THD (%)
01	0.10	0.904
02	0.15	0.930
03	0.20	0.968
04	0.25	1.657
05	0.30	2.883
06	0.35	4.642
07	0.40	6.716
08	0.45	8.259
09	0.50	9.608

Süzgecin çıkış işaretindeki THD (%)’nin V_{in2} giriş işareti seviyesine bağlı değişiminin gözlenmesi kapsamında süzgecin girişine farklı genliklerde ve akort frekansında yani 15 MHz’lik giriş sinyali uygulanmış ve süzgecin çıkışındaki THD(%) gözlenmiştir. Bu işlem için $V_C = -1.79$ V değeri ve bu değer için hesaplanan kapasite değerleri kullanılmıştır.

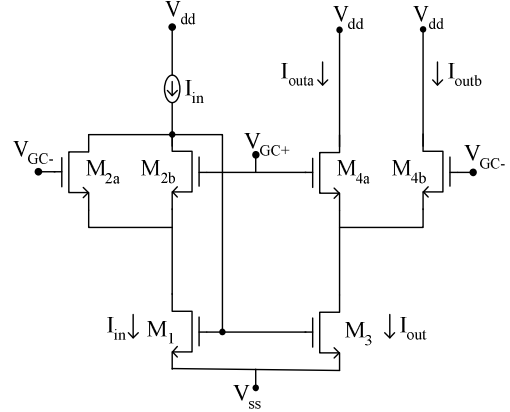
Farklı V_{in2} değerleri için süzgecin çıkışında elde edilen toplam harmonik distorsiyonu (THD) değerleri Çizelge 5.3’te verilmiştir.

Çizelge 5.3’ten V_{in2} giriş işareti 0.5V değerine kadar artırıldığında bant geçiren süzgecin çıkışında elde edilen toplam harmonik distorsiyonu kabul edilebilir sınırlar içerisinde kalmaktadır. Bu değerden sonraki giriş işareti için bant geçiren süzgeç yapısındaki OTA’lar doğrusal çalışma bölgesi dışına çıkmakta (Şekil 4.3) bununla beraber de süzgecin çıkışında gözlenen THD değerinde artış gözlemlenmektedir.

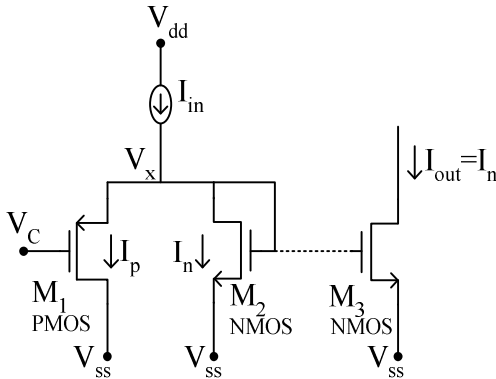
6. PERFORMANS KARŞILAŞTIRMASI



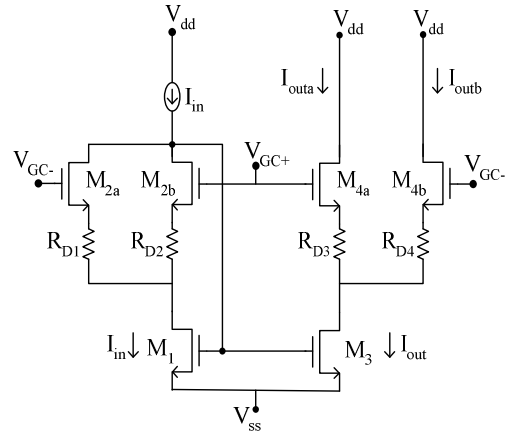
Doğrusal bölgede çalışan MOS ile elde edilen ayarlanabilir akım aynası [1, 11]



Farksal kuvvetlendiricili ayarlanabilir akım aynası [14, 15]



Değiştirilmiş ayarlanabilir akım aynası



Düzeltilmiş ayarlanabilir akım aynası

Şekil 6.1: Karakteristikleri karşılaştırılan ayarlanabilir akım aynası yapıları

Akım bölücü kuralı ve farksal kuvvetlendirici yapısı kullanılarak elde edilen ayarlanabilir akım aynası yapısına kaynak dejenerasyon direnci eklenerek elde edilen düzeltilmiş ayarlanabilir akım aynası yapısı ve akım bölücü/akım yolu üzerinden akım çalma yöntemi kullanılarak analog sistemlerde yaygın olarak kullanılan ayarlanabilir elemanlara alternatif olarak elde edilen değiştirilmiş ayarlanabilir akım aynası yapısı karakteristikleri, Şekil 1.4'te doğrusal bölgede çalışan MOS

transistorun geit gerilimi kontrol edilerek elde edilen ayarlanabilir akım aynası yapısı ve Şekil 1.5'te akım bölücü kuralı ve farksal kuvvetlendirici kullanılarak elde edilen ayarlanabilir akım aynası yapısı karakteristikleri ile karşılaştırmalı olarak Çizelge 6.1'de verilmiştir.

Çizelge 6.1: Önerilen ve literatürde mevcut ayarlanabilir akım aynası yapılarının performans parametreleri

	Değiştirilmiş Ayarlanabilir Akım Aynası	Düzeltilmiş Ayarlanabilir Akım Aynası ($R_D = 5k$)	Farksal Kuvvetlendirici Ayarlanabilir Akım Aynası	Doğrusal Bölgede Çalışan MOS ile Elde Edilen Ayarlanabilir Akım Aynası
Teknoloji	TSMC 0.35 μm / t14a / level3			
Besleme Gerilimi	± 1.5 V			
Giriş Akımı	100 μA			
Kazanç Ayar Aralığı	$0 \leq A_i \leq 1$	$0 \leq A_i \leq 1$	$0 \leq A_i \leq 1$	$1 \leq A_i \leq 1.9$
V_C Değişim (V)	$-2.2 \leq V_c \leq -1.6$	$-1 \leq V_c \leq 1$	$-0.35 \leq V_c \leq 0.35$	$-0.9 \leq V_c \leq 1.5$
BW (f_{3dB}) (GHz)	$0.7 \leq f \leq 1.08$	$0.62 \leq f \leq 1.3$	$0.83 \leq f \leq 1.4$	$0.25 \leq f \leq 0.27$
THD (%)	1.79 (@ $A_i = 0.5$)	0.38 (@ $A_i = 0.5$)	0.38 (@ $A_i = 0.5$)	0.851 (@ $A_i = 1.7$)
Güç Tüketimi (mW)	1.13	0.90	0.90	1.17
Giriş Direnci (k Ω)	1.23 – 1.95	2.07 – 2.11	2.03 – 2.05	13.9
Çıkış Direnci (M Ω)	0.57 – 6.72	4.49 – 32.8	1.73 – 32.9	2.21 – 5.78
Transistor Sayısı	3	6+4R	6	6

Bir akım aynasının performansının belirlenmesinde; basitlik, yüksek frekans uygulamaları için iyi bir frekans cevabı, düşük AC eşdeğer giriş direnci ve yüksek çıkış direnci, düşük güç tüketimi, doğrusal akım transfer oranı, yüksek doğruluk ve düşük besleme gerilimlerinde çalışma en önemli parametreler olmakla birlikte ihtiyaca göre bir veya birkaçı üzerinde odaklanmaktadır.

Bu parametreler kapsamında Çizelge 6.1 incelenecek olursa değiştirilmiş ayarlanabilir akım aynası yapısı diğer yapılara göre basitlik sağlamakla birlikte daha düşük giriş direnci ve yüksek frekans uygulamaları için iyi bir frekans cevabına sahiptir. Bunun yanında değiştirilmiş ayarlanabilir akım aynası yapısı diğer yapılara

göre daha fazla güç tüketimine, daha düşük çıkış direncine ve daha düşük doğruluğa sahiptir. Yapının çıkış katında işlemsel kuvvetlendirici kullanımı ile çıkış direnci ve aynalama doğruluğu dezavantajlarının önüne geçmek mümkün olmaktadır. Düzeltilmiş ayarlanabilir akım aynası yapısı ise farksal kuvvetlendiricili akım aynası yapısı ile karşılaştırıldığında yapıda fazladan direnç kullanılmakta ancak bu sayede daha iyi bir doğrusal akım transfer oranına sahip olunmaktadır.

Ayarlanabilir akım aynası yapılarının uygulama içinde karakteristiklerinin karşılaştırılması kapsamında Şekil 6.1’de verilen ayarlanabilir akım aynası yapıları Şekil 4.1’de verilen basit simetrik işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) yapısında kullanılarak elde edilen işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) karakteristikleri karşılaştırmalı olarak Çizelge 6.2’de verilmiştir.

Çizelge 6.2: Önerilen ve literatürde mevcut ayarlanabilir akım aynası yapılarının OTA yapısında kullanılması ve elde edilen OTA karakteristikleri

	Değiştirilmiş Ayarlanabilir Akım Aynası	Düzeltilmiş Ayarlanabilir Akım Aynası ($R_D = 5k$)	Farksal Kuvvetlendiricili Ayarlanabilir Akım Aynası	Doğrusal Bölgede Çalışan MOS ile Elde Edilen Ayarlanabilir Akım Aynası
Teknoloji	TSMC 0.35 μm / t14a / level3			
Besleme Gerilimi	± 1.5 V			
Kutuplama Akımı	100 μA			
V_C Değişim (V)	$-2.2 \leq V_c \leq -1.6$	$-1 \leq V_c \leq 1$	$-0.35 \leq V_c \leq 0.35$	$-0.9 \leq V_c \leq 1.5$
Giriş_Çıkış İşareti Doğ. Değ. Aralığı (V)	$-0.4 \leq V_i \leq 0.4$	$-0.4 \leq V_i \leq 0.4$	$-0.4 \leq V_i \leq 0.4$	$-0.4 \leq V_i \leq 0.4$
BW (f_{3dB}) (MHz)	$160 \leq f \leq 407$	$135 \leq f \leq 240$	$146 \leq f \leq 242$	$231 \leq f \leq 245$
g_m Değişim (dB)	$-71 \leq g_m \leq -81$	$-71 \leq g_m \leq -79$	$-71 \leq g_m \leq -82$	$-71 \leq g_m \leq -76$
THD (%) (@ $V_i=0.2V$)	0.612 (@ $A_i = 0.5$)	0.860 (@ $A_i = 0.5$)	0.857 (@ $A_i = 0.5$)	0.923 (@ $A_i = 1.7$)
Güç Tüketimi (mW)	1.49	1.20	1.20	1.58

Çizelge 6.2 incelendiğinde simetrik işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) yapısının giriş-çıkış işareti değişim aralığı yapının kutuplama akımı ve giriş transistörleri boyutları ile ilgili olması sebebiyle dört yapı için de aynı giriş-çıkış

işareti değişim aralığı değeri elde edilmiştir. Bant genişliği olarak dört yapıda doğrusal değişim aralığında hemen hemen aynı değerleri sağlamakla birlikte değiştirilmiş ayarlanabilir akım aynası yapısı diğer yapılara göre daha geniş bir aralıkta bant genişliği olanağı sunmakla birlikte daha düşük THD değeri vermekte bunun yanında daha yüksek güç tüketimine sahip olmaktadır.

İşlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) yapısına ayarlanabilir akım aynaları ile ayarlanabilirlik kazandırılmasının yanı sıra aynı işlemi işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA)'nın kutuplama akımı aracılığıyla yapmakta mümkündür. Simetrik işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA)'nın geçiş iletkenliği (6.1) bağıntısında olduğu gibi verilmektedir [17].

$$G = B \sqrt{K_n I_{bias} \left(\frac{W}{L} \right)_1} \quad (6.1)$$

(6.1) bağıntısında G simetrik işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA)'nın geçiş iletkenliği, B ayarlanabilir akım aynalarının akım aynalama oranı, K_n giriş transistörleri eğim parametresi, I_{bias} kutuplama akımı ve (W/L) giriş transistörleri kanal genişliğinin kanal boyuna oranı olmak üzere bağıntıdan geçiş iletkenliğinin, akım aynalama oranı (B) ve kutuplama akımının (I_{bias}) karekökü ile doğru orantılı olduğu görülmektedir.

Çizelge 6.3: OTA'ya ayarlanabilirlik kazandırılması yolları kapsamında elde edilen OTA karakteristikleri

	Değiştirilmiş Ayarlanabilir Akım Aynası ile	Kutuplama Akımı ile
Kutuplama Akımı	100 μ A	100 μ A $\rightarrow$ 25 μ A
V_C Değişim (V)	-1.91 ($A_i = 0.5$)	-1.3 ($A_i = 1$)
Giriş_Çıkış İşareti Doğ. Değ. Aralığı (V)	$-0.4 \leq V_i \leq 0.4$	$-0.25 \leq V_i \leq 0.25$
BW (f_{3dB}) (MHz)	254	171
g_m Değişim (dB)	-76.5	-76.5
THD (%) (@ $V_i=0.1V$)	0.151	1.52
Güç Tüketimi (mW)	1.49	1.13

İşlemsel geiř iletkenlięi kuvvetlendiricisi (OTA)'ne ayarlanabilirlik kazandırılması yollarının karşılaştırılması kapsamında kutuplama akımı deęiřtirilerek ve deęiřtirilmiş ayarlanabilir akım aynası yapısı kullanılarak elde edilen işlemsel geiř iletkenlięi kuvvetlendiricisi (OTA) karakteristikleri izelge 6.3'de verilmiřtir.

Farklı yöntemlerle aynı g_m deęeri için elde edilen izelge 6.3 incelendięinde deęiřtirilmiş ayarlanabilir akım aynası ile işlemsel geiř iletkenlięi kuvvetlendiricisi (OTA)'ne ayarlanabilirlik kazandırılması yöntemi dięer yönteme göre daha geniř giriř-ıkıř iřareti doęrusal deęiřim aralıęına, daha iyi bir bant geniřlięine ve daha düşük bir THD'ye sahip olmakla birlikte daha fazla gü tüketmektedir.

7. SONUÇ

Bu yüksek lisans tezinde; literatürde mevcut, akım bölücü kuralı ve farksal kuvvetlendirici yapısı kullanılarak elde edilen ayarlanabilir akım aynası yapısının karakteristikleri (kontrol gerilimi dinamik aralığının ve doğrusallığın artırılması) yapıya kaynak dejenerasyon direnci eklenerek düzeltilmiş (dejenerasyon dirençsiz durumda kontrol gerilimi dinamik aralığı ± 0.37 V iken dejenerasyon dirençli durumda kontrol gerilimi dinamik aralığı ± 1.05 V olarak elde edilmiştir) ve analog sistemlerde yaygın olarak kullanılan ayarlanabilir elemanlara alternatif olarak yeni ayarlanabilir akım aynası yapısı önerilmiştir. Yeni yapının tasarımında akım bölücü/akım yolu üzerinden akım çalma yöntemi kullanılmakla birlikte yapının akım kazancı V_C kontrol gerilimi aracılığıyla $0 \leq A_i \leq 1$ aralığında kontrol edilebilmektedir. Bunun yanında yapının karakteristiklerinin iyileştirilmesi kapsamında, yapının çıkış direnci ve doğruluğunun artırılması, V_C kontrol geriliminin besleme gerilimleri aralığına çekilmesi için uygulanabilecek yöntemlerden söz edilmiştir. Ayrıca yapının benzetim sonuçlarından kazanç bant genişliği çarpımı (GBW) için 750 MHz-1.10 GHz aralığında iyi bir frekans cevabı ve farklı V_C değerleri için iyi bir toplam harmonik distorsiyonu (THD) değerleri elde edilmiştir.

Yeni yapının kolayca uygulanabilirliğinin ve başarımının gösterilmesi kapsamında aktif süzgeç uygulamalarında kullanılmak üzere ayarlanabilir akım aynası temelli işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) yapısı tasarlanmış ve benzetimleri yapılmıştır. Yeni ayarlanabilir akım aynası kullanımı ile elde edilen işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA)'nin benzetim sonuçlarından kazanç bant genişliği çarpımı (GBW) için 229 – 331 MHz aralığında bir frekans cevabı ve %2'nin altında bir THD ile yüksek doğrusallık ve geniş ayar aralığı elde edilmiştir. Ardından bu işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) yapısı kullanılarak ta akort frekansı 15 MHz olan ikinci dereceden bant geçiren süzgeç tasarımı yapılmış ve işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) bünyesinde mevcut ayarlanabilir akım aynaları sayesinde bant geçiren süzgecin akort frekansı, 8.7 – 19.7 MHz aralığında ve değer katsayısı da 0.707 – 4 aralığında ayarlanmıştır.

Elde edilen yeni/değiřtirilmiř ve dñzeltilmiř ayarlanabilir akım aynası yapıları, dođrusal bölgede çalışan MOS transistorun geçit gerilimi kontrol edilerek elde edilen ayarlanabilir akım aynası yapısı ve akım bölücü kuralı ile farksal kuvvetlendirici kullanılarak elde edilen ayarlanabilir akım aynası yapısı karakteristikleri hem ayarlanabilir akım aynası olarak hem de işlemsel geçiş iletkenliđi (OTA) uygulaması içerisinde kullanılmak üzere karşılaştırılmış ve yapıların birbirlerine göre üstñnlükleri ve olumsuzlukları incelenmiştir. Bu kapsamda, deđiřtirilmiř ayarlanabilir akım aynası yapısı diđer yapılarla göre basitlik sağlamakla birlikte daha düşük giriş direnci ve yüksek frekans uygulamaları için iyi bir frekans cevabına sahip olmakla birlikte yapı diđer yapılarla göre daha fazla güç tüketimine, daha düşük çıkış direncine ve daha düşük dođruluđa sahip olmaktadır. Dñzeltilmiř ayarlanabilir akım aynası yapısı ise farksal kuvvetlendiricili akım aynası yapısı ile karşılaştırıldığında yapıda fazladan direnç kullanılmakta ancak bu sayede daha iyi bir dođrusal akım transfer oranına sahip olunmaktadır.

Sonuç olarak, her iki yapının da işlemsel geçiş iletkenliđi kuvvetlendiricisi (OTA), akım taşıyıcı (CCII) ve akım geri beslemeli işlemsel kuvvetlendiriciler gibi akım modlu yapı bloklarının ve akım modlu sistemlerin daha kullanışlı olmaları ve daha yaygın kullanım alanı bulmaları kapsamında söz konusu yapılarla ayarlanabilirlik olanađı kazandırmak için rahatlıkla kullanılabileceđi deđerlendirilmektedir.

KAYNAKLAR

- [1] **Güvenç, U.**, 2006. *New Tunable Linear Current Mirrors*, Master's Thesis, Istanbul Technical University, İstanbul.
- [2] **Zeki, A., and Toker, A.**, 2007. Tunable linear CMOS current mirror, *Analog Integrated Circuit Sig. Process*, **50**, 261–269.
- [3] **Serrano-Gotarredona, T., Linares-Barranco, B., and Andreou, A. G.**, 1999. Very wide range tunable CMOS/bipolar current mirrors with voltage clamped input, *IEEE Transactions on Circuits and Systems*, Vol. 46, **11**, 1398–1407.
- [4] **Ramirez-Angulo, J.**, 1994. Wide range gain programmable class AB current mirrors for low supply operation, *IEEE International Symposium on Circuits and Systems*, Vol. 5, 545–548.
- [5] **Durbha, C., Ramirez-Angulo, J., Lopez-Martin, A.J., and Carvajal, R. G.**, 2004. Novel architectures of class AB CMOS mirrors with programmable gain, *Proc. IEEE International Symposium on Circuits and Systems*, Vol. 4, 760-763.
- [6] **Ramirez-Angulo, J., Durbha, C., Lopez-Martin, A. J., and Carvajal, R. G.**, 2004. Highly linear wide tuning range CMOS transconductor operating in moderate inversion, *Proc. IEEE International Symposium on Circuits and Systems*, Vol. 1, 805–813 .
- [7] **Sedighi, B., and Bakhtiar, M.S.**, 2007. Variable gain current mirror for high-speed applications, *IEICE Electron. Express*, Vol. 4, **8**, 277-281.
- [8] **Klumperink, E. A. M., and Seevinck, E.**, 1989. MOS current gain cells with electronically variable gain and constant bandwidth, *IEEE J. of Solid-State Circuits*, Vol. 24, **5**, 1465–1467.
- [9] **Adams, W.J., and Ramirez-Angulo, J.**, 1991. OTA extended adjustment range and linearization via programmable current mirrors, *34th Midwest Symposium on Circuits and Systems*, Vol. 2, 843–846.
- [10] **Ramirez-Angulo, J., and Grau, I.**, 1992. Wide g_m adjustment range, highly linear OTA with linear programmable current mirrors, *Proc. IEEE International Symposium on Circuits and Systems*, Vol. 3, 1372–1375.
- [11] **Palmisano, G., and Pennisi, S.**, 2001. New CMOS tunable transconductor for filtering applications, *IEEE International Symposium on Circuits and Systems*, Vol. 1, 196–199.
- [12] **Chong-Gun Yu, and Geiger, R. L.**, 1994. An automatic offset compensation scheme with ping-pong control for CMOS operational amplifiers, *IEEE Journal of Solid-State Circuits*, Vol. 29, **5**, 601–610.

- [13] Subhash Sawant, M., Ramirez-Angulo, J., Lopez-Martin, A. J., and Carvajal, R.G., 2005. Wide g_m adjustment range highly linear OTA with programmable mirrors operating in triode mode, *48th Midwest Symposium on Circuits and Systems*, Vol. 1, 21–23.
- [14] Ramirez-Angulo, J., Garimella, S. R. S., Lopez-Martin, A. J., and Carvajal, R. G., 2006. Gain programmable current mirrors based on current steering, *Electronics Letters*, Vol. 42, **10**, 559–560.
- [15] Ramirez-Angulo, J., Garimella, S. R. S., Lopez-Martin, A., and Carvajal, R. G., 2006. New Gain Programmable Current Mirrors Based on Current Steering, *49th IEEE International Midwest Symposium on Circuits and Systems*, Vol. 2, 162–165.
- [16] Sedra, A. S., and Smith, K. C., 1998. *Microelectronic Circuits*, Oxford University Press, London.
- [17] Kuntman, H. H., 1997. *Analog MOS Tümedvre Tekniği*, İTÜ Kütüphanesi, Sayı 1587, İstanbul.

EKLER

SPICE Benzetim Programında Kullanılan CMOS Model Parametreleri

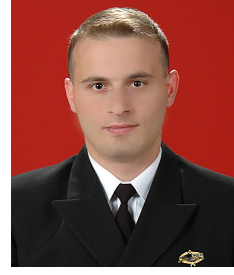
Çizelge A.1: Benzetimlerde kullanılan CMOS model parametreleri (MOSIS TSMC 0.35 mikron)

Param.	Açıklama	NMOS	PMOS	Birim
TOX	Geçit oksidi kalınlığı	7.9E-9	7.9E-9	m
PHI	Yüzey potansiyeli	0.7	0.7	V
UO	Parametre çıkarımının gerçekleştiği sıcaklık için taşıyıcıların hareket yeteneği	436.256147	212.2319801	cm ² /Vs
KP	Geçiş iletkenliği	2.055786E-4	6.733755E-5	A/V ²
RSH	Alan başına kaynak-savak tabaka direnci	0.0559398	30.0712458	Ω/alan
XJ	Jonksiyon derinliği	3E-7	2E-7	m
CGDO	Kanal genişliği başına geçit-savak örtüşme kapasitesi	2.82E-10	3.09E-10	F/m
CJ	Sıfır kutuplamada birim alan başına gövde jonksiyonu kapasitesi	1E-3	1.419508E-3	F/m ²
CJSW	Sıfır kutuplamada birim uzunluk başına gövde yan yüzey kapasitesi	3.777852E-10	4.813504E-10	F/m
NSUB	Taban katkılama yoğunluğu	1E17	1E17	1/cm ³
VTO	Sıfır kutuplamada eşik gerilimi	0.5445549	-0.7140674	V
ETA	Statik geri besleme	0	9.999762E-4	--
VMAX	Taşıyıcıların maksimum sürüklenme hızı	8.309444E4	1.181551E5	m/s
NFS	Hızlı yüzey durum yoğunluğu	1E12	1E12	1/cm ²
LD	Lateral yayılma uzunluğu	3.162278E-11	5.000001E-13	M

Çizelge A.1: (devam) benzetimlerde kullanılan CMOS model parametreleri
(MOSIS TSMC 0.35 mikron)

CGSO	Kanal genişliği başına geçit-kaynak örtüşme kapasitesi	2.82E-10	3.09E-10	F/m
PB	Gövde jonksiyonu gerilimi	0.9758533	0.8152753	V
MJSW	Gövde yan yüzey perdeleme katsayısı	0.3508721	0.5	--
GAMMA	Gövde eşik gerilimi parametresi	0.5827871	0.4083894	$\sqrt{V}$
DELTA	Kanal genişliğinin eşik gerilimine etkisi	0	0	--
THETA	Hareket modülasyonu	0.1749684	0.2020774	1/V
KAPPA	Doyma bölgesi çarpanı	0.2574081	1.5	--
TPG	Geçit materyal tipi	1	-1	--
WD	Lateral yayılma genişliği	7.046724E-8	1.249872E-7	m
CGBO	Kanal genişliği başına geçit-gövde örtüşme kapasitesi	1E-10	1E-10	F/m
MJ	Gövde jonksiyonu perdeleme kapasitesi	0.3448504	0.5	--

ÖZGEÇMİŞ



Ad Soyad : Ümit FARAŞOĞLU

Doğum Yeri ve Tarihi : İstanbul, 28.05.1980

Adres : Deniz Harp Okulu Lojmanları, C1 Blok, Daire: 10
Tuzla/İSTANBUL

Lisans Üniversite : Deniz Harp Okulu