

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**DÜŞÜK BESLEME GERİLİMLİ GÖVDEDEN
SÜRMELİ İŞLEMSEL KUVVETLENDİRİCİ
TASARIMI**

**YÜKSEK LİSANS TEZİ
Müh. Kazım BOZKURT**

Anabilim Dalı: ELEKTRONİK VE HABERLEŞME MÜHENDİSLİĞİ

Programı: ELEKTRONİK MÜHENDİSLİĞİ

AĞUSTOS 2006

**DÜŞÜK BESLEME GERİLİMLİ GÖVDEDEN
SÜRMELİ İŞLEMSEL KUVVETLENDİRİCİ
TASARIMI**

**YÜKSEK LİSANS TEZİ
Müh. Kazım BOZKURT
(504031215)**

**Tezin Enstitüye Verildiği Tarih : 9 Temmuz 2006
Tezin Savunulduğu Tarih : 1 Ağustos 2006**

**Tez Danışmanı : Prof.Dr. Sait TÜRKÖZ
Diğer Jüri Üyeleri : Prof.Dr. Ali ZEKİ
Doç.Dr. Shahram MINAEI (D.Ü.)**

AĞUSTOS 2006

ÖNSÖZ

Bu tezin konu seçimi ve tamamlanmasına kadar geçen süreçte her zaman anlayışı ve desteğini esirgemeyen değerli tez danışmanım Prof. Dr. Sait TÜRKÖZ'e öncelikle olmak üzere, tez hazırlanması esnasında çeşitli aşamalarda yardımlarını esirgemeyen Doç. Dr. Shahram MINAEI'ye teşekkür ederim. Yüksek lisans öğrenimimin, bu tez hazırlanması da dahil her aşamasında desteklerini maddi, manevi anlamda sonuna kadar hissettiğim çok kıymetli eşim Tülay BOZKURT'a, sevgili annem ve babam Sabiha BOZKURT ile Yüksel BOZKURT'a sonsuz teşekkürü bir borç bilirim.

Ağustos, 2006

Kazım BOZKURT

İÇİNDEKİLER

TABLO LİSTESİ	v
ŞEKİL LİSTESİ	vi
ÖZET	vii
SUMMARY	viii
1. GİRİŞ	1
1.1. Giriş ve Çalışmanın Amacı	1
2. DÜŞÜK BESLEME GERİLİMİ İLE ANALOG DEVRE TASARIMI	
TEKNİKLERİNDEN GÖVDEDEN SÜRME YÖNTEMİ	2
2.1. Eşik Geriliminin Düşük Besleme Gerilimli Analog Devre Tasarımına Etkileri	2
2.2. Gövdeden Sürme Tekniğinin İncelenmesi	3
2.2.1. Gövde-kaynak gerilimi ile savak akımının kontrolü	3
2.2.2. Geçitten sürülen yapılarla karşılaştırma	5
2.2.3. Gövdeden sürülen MOSFET'in gürültüsü	8
3. GÖVDEDEN SÜRME YÖNTEMİ İLE TASARLANAN İŞLEMSEL	
KUVVETLENDİRİCİ YAPISI	9
3.1. Tasarım Çıkış Noktası Referans Devre Yapısı ve Spesifikasyonları	9
3.2. Tasarlanan İşlemsel Kuvvetlendirici Yapısı	10
3.2.1. Gövdeden sürülen giriş katı yapısı	10
3.2.2. Ara kat ve çıkış katı	13
3.2.3. Devre elemanlarının boyutları	14
4. TASARLANAN DEVRE SİMÜLASYONUNUN ANALİZİ VE REFERANS	
DEVRE İLE KARŞILAŞTIRMA SONUÇLARI	16
4.1. DC Analizler	16
4.1.1. Beslemeden beslemeye geçiş, gerilim akım karakteristikleri	16
4.1.2. Ortak işaret gerilimi karakteristiği	19
4.1.3. Kapalı çevrim karakteristiği	20
4.2. AC Analizler	21
4.2.1. Açık çevrim kazanç, faz ve frekans karakteristikleri	21
4.2.2. Kapalı çevrim kazanç, faz ve frekans karakteristikleri	22
4.3. Zaman Domeninde Analizler	23
4.4. Ortak İşaret Zayıflatma Oranı (CMRR)	26
5. SONUÇLAR	29

KAYNAKLAR	30
EKLER	31
Ek A : Kullanılan Simulasyon Spice Kodu	31
Ek B : MOSFET model parametreleri ve fabrikasyon verileri	33
ÖZGEÇMİŞ	36

TABLO LİSTESİ

	<u>Sayfa No</u>
Tablo 3.1 : Tasarlanan devrenin MOSFET boyutları	14
Tablo 3.2 : Devrenin diğer elemanlarının değerleri.....	15
Tablo 4.1 : Toplam Harmonik Distorsiyon Karşılaştırma Tablosu.....	24
Tablo 4.2 : Genel Karşılaştırma Tablosu	28

ŞEKİL LİSTESİ

	<u>Sayfa No</u>
Şekil 2.1 : Standart MOSFET için $I_D - V_{GS}$ ve V_{SB} grafiği.....	5
Şekil 2.2 : Gövdeden Sürülen MOSFET ve küçük işaret eşdeğer modeli.....	6
Şekil 3.1 : Referans olarak alınan 1-V İşlemsel Kuvvetlendirici.....	9
Şekil 3.2 : BJT'nin CMOS uyumlu gerçekleşmesi.....	10
Şekil 3.3 : Düşük Giriş Gerilimli Denetimli Akım Aynası.....	11
Şekil 3.4 : Tasarlanan Düşük Besleme Gerilimli İşlemsel Kuvvetlendirici.....	13
Şekil 4.1 : Çıkış gerilimi beslemeden beslemeye geçiş grafiği.....	16
Şekil 4.2 : Çıkış gerilimi beslemeden beslemeye geçiş grafiği (büyütülmüş).....	17
Şekil 4.3 : Diferansiyel Giriş ve Çıkış katının akım grafiği.....	18
Şekil 4.4 : Ortak giriş işareti ve çıkış gerilimi geçiş grafiği.....	19
Şekil 4.5 : Gerilim izleyici devre yapısında Giriş ve Çıkış gerilimi beslemeden beslemeye geçiş grafiği.....	20
Şekil 4.6 : Kazanç, Faz eğrisinin frekans analiz grafiği.....	22
Şekil 4.7 : Gerilim izleyici devre yapısında Kazanç, Faz eğrisinin frekans analiz grafiği.....	22
Şekil 4.8 : Gerilim izleyici devre yapısında beslemeden beslemeye sinüzoidal giriş işareti ve çıkış işareti grafiği.....	23
Şekil 4.9 : Gerilim izleyici devre yapısında beslemeden beslemeye kare dalga işaret girişi ve çıkış işareti grafiği.....	24
Şekil 4.10 : Ortak İşaret Zayıflatma Oranı Ölçüm Konfigürasyonu.....	26
Şekil 4.11 : Ortak İşaret Zayıflatma Oranı Grafiği	27

DÜŞÜK BESLEME GERİLİMLİ GÖVDEDEN SÜRMELİ İŞLEMSEL KUVVETLENDİRİCİ TASARIMI

ÖZET

Taşınabilir elektronik cihazların kullanım alanlarının yaygınlaşmasına ve fonksiyonlarının çoğalmasına paralel olarak teknoloji eğilimi daha küçük, taşınabilir besleme kaynağı ile daha uzun süre çalışabilen ve daha hafif cihazların tasarım ve üretimine kaymaktadır. Düşük besleme gerilimi ile çalışan analog yapıların tasarımında klasik analog devre tasarım teknikleri kullanıldığında, karşımıza en büyük engel olarak, genellikle doymada kullanılan MOSFET'lerin doymada kalabilmeleri maksadıyla aşılması gereken eşik gerilimi değeri çıkmaktadır. Teknolojinin gelişimiyle beraber her ne kadar MOSFET boyutları küçülmekteyse de eşik gerilimi için aynı oranda bir düşüş olduğu söylenemez. Bu tezde bahse konu problemi aşmak üzere önerilen yeni analog devre tasarım teknikleri arasında bulunan gövdeden sürme tekniği ile yeni bir işlemsel kuvvetlendirici tasarlanmıştır. İşlemsel kuvvetlendirici tasarlanırken geçmiş yıllarda yapılmış olan giriş katında gövdeden sürme tekniğini kullanan bir çalışma referans olarak alınmış, yine gövdeden sürme tekniğinin kullanıldığı yeni bir akım aynası ve yeni teknoloji ile geliştirilmiştir. Tasarlanan devre gövdeden sürülen bir diferansiyel giriş katı, bu katta yük olarak kullanılan yine gövdeden sürülerek düşük giriş gerilimleriyle rahatlıkla çalışabilen bir akım aynası, seviye yükseltici bir ara kat ve A sınıfı bir çıkış katından oluşmaktadır. Tasarlanan devre simülasyonu çeşitli analizlere tabi tutularak elde edilen sonuçlar referans devre ile karşılaştırılmıştır. Sonuç olarak tasarlanan devrenin yine 1-V besleme gerilimi ile çalışarak daha iyi işlemsel kuvvetlendirici özellikleri sunduğu gözlemlenmiştir. Ayrıca tasarlanan devrenin boyut olarak da referans devreye nazaran oldukça az yer kapladığı ve teknoloji eğilimi içerisinde yer alan küçük boyutlu cihazların tasarımında yer bulabileceği değerlendirilmektedir.

LOW VOLTAGE BULK DRIVEN OPERATIONAL AMPLIFIER DESIGN

SUMMARY

Parallel to the expansion of the field of use of portable electronic devices and increase of their functions, technological trends shift to smaller, lighter and more longer lasting devices with portable supply voltage. When classic analog circuit design techniques are used in the designation of analog structures with low voltage, we faced –as the most important obstacle- the threshold voltage value which must be surpassed to keep the MOSFETs in saturation. Although MOSFET scaling gets smaller parallel to technological developments, the threshold voltage does not decrease at the same rate. Through this thesis, a new Operational Amplifier has been designed for the tackling of the problem mentioned above with bulk driving technique which is among the new analog circuit design techniques. During the designation of Operational Amplifier, a previously done study using bulk driving technique at the input stage has been referred and it has been developed with a new current mirror and new technology. The designed circuit is composed of a bulk driven differential input stage, a bulk driven current mirror, used as active load at that stage which can easily function with low input voltage, a level shifting middle stage and a Class-A output stage. The designed circuit simulation has been subjected to various analyses and the results obtained have been compared with the reference study. As a result, it has been observed that the designed circuit which again functioned with 1-V supply voltage obtained better operational amplifier characteristics. In addition to that, the designed circuit takes up smaller dimension when compared with the reference circuit, and therefore it is evaluated that the designed circuit can involve in the designation of small sized devices in today's technological trends.

1. GİRİŞ

1.1 Giriş ve Çalışmanın Amacı

Son zamanlarda kullanım alanı ve kullanımı hayli yaygınlaşmış olan taşınabilir elektronik cihazlar ile özellikle tıp alanında insan vücudunda kullanılan küçük elektro-mekanik cihazların temel nitelikleri arasında, ilk sırada göz önünde bulundurulacak özellik olarak cihazın mevcut pil vb. güç kaynağı ile maksimum süre kullanılması öne çıkmaktadır. Bunu sağlamak için bu tür cihazların temel yapısında kullanılan analog-dijital devrelerin minimum güç kaynağı ile çalışabilir olması gerekmektedir. Dolayısıyla gelecekteki standart CMOS teknolojisi kullanan karma analog-dijital devreler, 1.5 V veya daha az güç kaynağına ihtiyaç duyacaklardır.

Klasik yöntemlerle tasarlanmış basit bir standart analog temel yapının (standart çevirici, kuvvetlendirici vb.) besleme gerilim ihtiyacının, yapı içerisinde N-kanallı ve P-kanallı MOSFET'lerin kaskod tekniği ile birlikte kullanıldığı düşünüldüğünde, minimum bir NMOS ile bir PMOS'un eşik gerilimlerinin toplamından, her iki CMOS'un doyma gerilimleri kadar fazla olacağı açıkça görülmektedir. Klasik analog devre tasarım tekniklerini gelecekte de kullanabilmek için, teknolojinin gelişmesi ile CMOS teknolojisinin daha küçük ölçeklerde gerçekleştirilmesine paralel olarak eşik geriliminin de aynı oranda küçülmesi gerekmektedir. Fakat mevcut gelişmeler göstermiştir ki eşik geriliminin aşağılara çekilmesi proses boyutlarının küçülmesinden çok daha yavaş gerçekleşmektedir. Geleceğin standart CMOS teknolojilerinin eşik gerilimlerinin, günümüz değerlerinin çok altına düşmeyeceği değerlendirilmektedir. Sonuç itibarıyla klasik analog devre tasarım teknikleri bir kenara bırakılarak, eşik gerilimi kısıtlamasını bertaraf edecek yeni düşük besleme gerilimli analog devre tasarım teknikleri geliştirilmeli ve kullanılmalıdır.

2. DÜŞÜK BESLEME GERİLİMİ İLE ANALOG DEVRE TASARIMI TEKNİKLERİNDEN GÖVDEDEN SÜRME YÖNTEMİ

Bu tez içerisinde düşük besleme gerilimli devre tasarım teknikleri arasında kabul görmüş ve çeşitli çalışmalarda da kullanılmış olan Gövde'den sürme tekniği geniş olarak ele alınacak ve ilk kullanılmaya başladığı yıllardaki devre yapılarının günümüz teknolojisiyle nasıl bir gelişim gösterdiği ayrıntılı olarak incelenecektir. Günümüz teknolojinin sağladığı gelişmeleri değerlendirebilmek için analog devrelerde sıklıkla kullanılan işlemsel kuvvetlendiriciler ele alınmış ve genel karşılaştırma referansı olarak, bu tekniği kullanan çeşitli bilimsel çalışmalarda sıklıkla atıfta bulunulan düşük besleme gerilimli bir işlemsel kuvvetlendirici incelemesi [1] seçilmiştir.

2.1. Eşik Geriliminin Düşük Besleme Gerilimli Analog Devre Tasarımına Etkileri

Eşik geriliminin, analog devre tasarımında seçilecek olan besleme gerilimine nasıl bir sınırlama getirdiğini daha ayrıntılı incelersek, bir MOSFET'in doymada çalışma şartlarına bakmak gerekir. Doymadaki bir MOSFET için,

$$V_{DD} \geq V_{GS} = V_{DSsat} + |V_T| \quad (2.1)$$

geçerlidir. Bu MOSFET'i geçit'den sürerek doymada çalıştırmak istersek,

$$V_{DD} \geq V_{GS} = V_{DSsat} + |V_T| + V_{signal} \quad (2.2)$$

denklemindeki minimum besleme gerilimine ihtiyaç duyulacaktır. Bu eşitsizlikte giriş sinyalinin salınım aralığının sınırlarını belirleyen esas değerlerin, V_{DSsat} 'ın küçük değerlere çekilebileceği göz önünde bulundurulduğunda, V_T eşik gerilimi ve V_{DD} besleme gerilimi olduğu açıkça görülmektedir. Bu durumda giriş salınım aralığını geniş tutmak için iki alternatif mevcuttur. Klasik yöntem V_{DD} besleme gerilimini arttırmak ya da V_T eşik gerilimini aşağıya çekmek belirtilen alternatiflerdir. Besleme gerilimini arttırmak esas amacın tam aksi bir hareket tarzı olacağı için klasik geçitten sürme tekniği ile tasarlanan bir devrede düşük besleme

gerilimi kullanmak için nispeten pahalı özel teknikler kullanarak eşik gerilimini düşürmekten başka alternatif yoktur.

2.2 Gövdeden Sürme Tekniğinin İncelenmesi

Tam bu noktada düşünmemiz gereken MOSFET'in I_D savak akımını geçitten farklı bir yerden uygulanan giriş işaretiyle, geçitten uygulanan giriş işaretinin kontrol karakteristiğine benzer bir şekilde kontrol edip edemeyeceğimizdir.

2.2.1. Gövde-kaynak gerilimi ile savak akımının kontrolü

Eşik gerilimi dezavantajı olmadan Gövde'den sürülerek bir MOSFET'in çalışmasını anlayabilmek için akım gerilim eşitliğini incelememiz gerekir. Sırasıyla doymada olmayan ve doymadaki transistörler için denklemler aşağıda olduğu gibidir.

$$I_D = \frac{k'W}{L}(V_{GS} - V_T - \frac{n}{2}V_{DS})V_{DS}, \quad V_{DS} \leq V_{DSsat} \quad (2.3)$$

$$I_D = \frac{k'W}{2nL}(V_{GS} - V_T)^2(1 + \lambda V_{DS}), \quad V_{DS} \geq V_{DSsat} \quad (2.4)$$

Genel tasarım düşüncesinde diğer parametrelerin sabit tutularak, V_{GS} değişimi ile savak akımının kontrol edilebileceği mantığı ile tasarım gerçekleştirilir. Bu denklemlerdeki bazı değerleri açarsak,

$$n = 1 + \frac{C_{BC}}{C_{ox}} + \frac{qNFS}{C_{ox}} = 1 + \frac{\gamma}{2\sqrt{\phi_j - V_{BS}}} = 1 + \eta = 1 + \frac{g_{mb}}{g_m} \quad (2.5)$$

$$V_{DSsat} = \frac{V_{GS} - V_T}{n} \quad (2.6)$$

ve

$$V_T = V_{T0} + \gamma\sqrt{2\phi_F - V_{BS}} - \gamma\sqrt{2\phi_F} \quad (2.7)$$

olduğuna görürüz. Buradan V_{GS} 'den farklı olarak giriş gerilimi maksadıyla kullanılabilecek, Gövde-Kaynak geriliminin (V_{BS}), Savak akımını (I_D) nasıl kontrol ettiğini görmek için (2.3) ve (2.4)'ü yeniden düzenlersek,

$$I_D = \frac{k'W}{L}(V_{GS} - V_{T0} - \gamma\sqrt{2\phi_F - V_{BS}} + \gamma\sqrt{2\phi_F} - \frac{n}{2}V_{DS})V_{DS}, \quad V_{DS} \leq V_{DSsat} \quad (2.8)$$

$$I_D = \frac{k'W}{2nL}(V_{GS} - V_{T0} - \gamma\sqrt{2\phi_F - V_{BS}} + \gamma\sqrt{2\phi_F})^2(1 + \lambda V_{DS}), \quad V_{DS} \geq V_{DSsat} \quad (2.9)$$

denklemlerini elde ederiz.

Burada kullanılan parametreler [2]'de açıklandığı üzere şöyledir,

k' : Üretim işlemi geçiş iletkenliği parametresi (Proses parametresi)

W/L : MOSFET'in kanal genişliğinin boyuna oranı

V_{T0} : V_{BS} gövde-kaynak gerilimi 0 iken ölçülen eşik gerilimi (Proses parametresi)

γ : Gövde etkisi parametresi (Proses parametresi) (Tipik olarak $\gamma \approx 0.5 \text{ V}^{1/2}$)

ϕ_F : Fermi potansiyeli (Fiziksel parametre) (Tipik olarak $2\phi_F \approx 0.6 \text{ V}$)

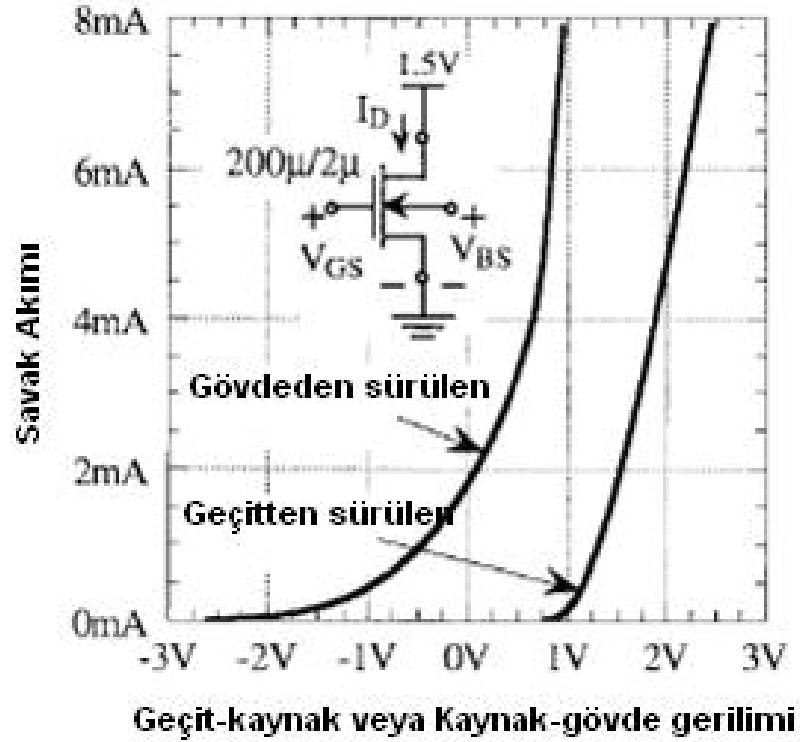
λ : Kanal boyu modülasyon parametresi (Proses parametresi) (Tipik olarak $\lambda \approx 0.005 - 0.03 \text{ V}^{-1}$)

Bu eşitliklerde (2.8)-(2.9), geçit-kaynak gerilimini (V_{GS}) sabit tuttuğumuzu varsayarsak gövde-kaynak gerilimi (V_{BS}) ile savak akımını (I_D) kontrol edebildiğimizi görebiliriz. Esas olarak amaçlanan, klasik kullanımın tersine V_{GS} geçit kaynak gerilimi sabit tutularak, gövde etkisi vasıtasıyla V_T eşik gerilimini kontrollü bir şekilde değiştirmek dolayısıyla I_D savak akımını kontrol etmektir.

MOSFET'in klasik akım-gerilim denklemlerini (2.3) ve (2.4) incelersek, I_D savak akımını kontrol eden değerler arasında V_T eşik geriliminin de bulunduğunu görebiliriz. Hesaplamalarda genellikle sabit kabul edilen bu değer (V_T) sabit olması, MOSFET'in gövde etkisine maruz kalmadığı varsayımı ile yapılmakla beraber V_{BS} gövde ile kaynak arasında gerilim farkının değişiminden kaynaklanan I_D savak akımdaki sapmalar istenmeyen etkiler arasında değerlendirilir. Oysa ki V_T eşik gerilimini belirleyen (2.7)'de görülen faktörler arasında bulunan, V_{BS} gövde-savak gerilimi ile tıpkı V_{GS} geçit-savak gerilimi ile olduğu gibi, (2.8) ve (2.9) denklemlerinden görüldüğü üzere I_{DS} savak akımı kontrol edilerek, istenmeyen etki olarak görülen bu özellik farklı bir noktada tasarımcılara avantaj sağlayabilir. V_{BS} gövde-kaynak gerilimi (2.5)'de görüldüğü gibi n değerinin belirlenmesindeki faktörlerden birisi olarak görünmesine rağmen n üzerindeki etkisinin nispeten az

olması nedeniyle I_D savak akımını kontrol aşamasında esas olarak V_T eşik gerilimi üzerindeki etkisi ön planda tutulmaktadır.

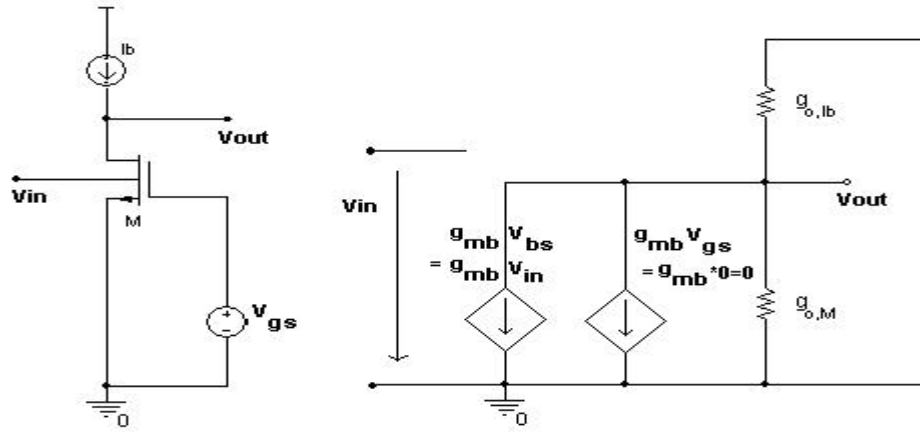
2.2.2. Geçitten sürülen yapılarla karşılaştırma



Şekil 2.1: Standart MOSFET için I_D - V_{GS} veya V_{SB} grafiği

Gerçekten de Şekil 2.1’de görülen gövdeden sürülen MOSFET’in akım (I_D)-gerilim (V_{BS}) grafiği de incelendiğinde, eşik gerilimi kısıtlaması olmadan I_D savak akımının kontrol edilebildiği ve geçitten sürülen MOSFET akım (I_D)-gerilim (V_{GS}) eğrisine nazaran linearitesi daha yüksek bir eğri elde edildiği görülmektedir.

Şekil 2.1’de de görüldüğü gibi MOSFET’in herhangi bir eşik gerilimi sınırlaması olmadan eksi değerlerden itibaren gövdeden sürülerek I_D savak akımını kontrol edebilmesi, geniş bir ortak giriş işareti aralığı sağlar. Özellikle düşük besleme gerilimi kullanan işlemsel kuvvetlendirici gibi uygulamalarda geniş bir ortak giriş işareti aralığı, düşük besleme gerilimi nedeniyle sınırlandırılmış olan giriş işareti salınım aralığının efektif kullanımını sağlar.



Şekil 2.2: Gövdeden Sürülen MOSFET ve küçük işaret eşdeğer modeli

Gövdeden sürülen MOSFET'in kazancını Şekil 2.2'de gösterilen küçük işaret eşdeğer modeli ile ayrıntılı olarak inceleyebiliriz. İşlemlerde kolaylık açısından geçit-kaynak gerilimi V_{gs} değerinin 0 olarak seçildiğini varsayarsak,

$g_{o,lb}$: Akım kaynağının çıkış admitansı,

$g_{o,M}$: MOSFET'in çıkış admitansı

olmak üzere çıkış admitansı,

$$g_o = g_{o,lb} + g_{o,M} \quad (2.10)$$

olur, küçük işaret kazancını elde etmek için çıkış gerilimini, giriş gerilimine oranlarsak

$$\frac{v_{out}}{v_{in}} = \frac{\frac{g_{mb} v_{in}}{g_{o,lb} + g_{o,M}}}{v_{in}} = \frac{g_{mb}}{g_{o,lb} + g_{o,M}} \quad (2.11)$$

elde ederiz ki çıkış direncinin (dolayısıyla admitansın) geçitten sürülen yapılarda da aynı olması nedeniyle, kazancı belirleyen efektif değerin gövdenin geçiş iletkenliği olduğunu söyleyebiliriz.

$$G_{m\text{ eff}} = g_{mb} \quad (2.12)$$

Klasik olarak geçitten sürülen MOSFET'te hesaplamalarda kullanılan geçiş iletkenliği g_m parametresinin yerini gövdeden sürülen MOSFET'lerde g_{mb}

almaktadır. İlerideki işlemlerde de kullanılacak olan $\eta = g_{mb}/g_m$ oranı yaklaşık olarak 0.2-0.4 aralığında yer alır. Dolayısıyla kazancın klasik yöntemle nazaran benzer katsayılarla azalacağı öngörülebilir.

İşlemsel kuvvetlendiricinin girişindeki MOSFET çiftini gövdeden sürmenin başlıca dezavantajı olarak frekans cevabındaki yetersizliği gösterilebilir. Bu genel itibariyle gövdeden sürülen MOSFET'in geçiş iletkenliğinin küçük olması ve özellikle de giriş kapasitesinin büyük olmasından kaynaklanır. Geçitten sürülen MOSFET ile karşılaştırmak için her iki tekniğin kesim frekansı incelenirse, geçitten sürülen MOSFET'in,

$$f_{T, \text{geçitten} - \text{sürülen}} \approx \frac{g_m}{2\pi C_{gs}} \quad (2.13)$$

ve gövdeden sürülen MOSFET'in ise,

$$f_{T, \text{gövdeden} - \text{sürülen}} \approx \frac{g_{mb}}{2\pi(C_{bs} + C_{bsub})} = \frac{\eta g_m}{2\pi(C_{bs} + C_{bsub})} \quad (2.14)$$

olduğu görülür, her iki kesim frekansını $\eta \approx 0.3$ kabul ederek kabaca karşılaştırarak olursak [3]'e göre,

$$f_{T, \text{gövdeden} - \text{sürülen}} \approx \frac{\eta}{3.8} f_{T, \text{geçitten} - \text{sürülen}} \cong 0.08 f_{T, \text{geçitten} - \text{sürülen}} \quad (2.15)$$

sonucu elde edilir. Fakat bu kabaca hesapta yer alan oran katsayısı, teknoloji gelişimine endeksli olarak küçülen boyutlar sebebiyle $\sqrt{S}$ oranında artacaktır [4]. $S > 1$ olmak üzere S 'i boyutlandırma katsayısı olarak kabul edersek, bu katsayı ile geçitten sürülen MOSFET'in giriş kapasitesi S kat artacakken, gövdeden sürülen MOSFET'inki sadece $\sqrt{S}$ kadar artacağından, (2.15)'i yeniden düzenlersek,

$$f_{T, \text{gövdeden} - \text{sürülen}} \approx \frac{\eta \sqrt{S}}{3.8} f_{T, \text{geçitten} - \text{sürülen}} \quad (2.16)$$

oranını elde ederiz. Daha ileride anlatılacak olan tezde tasarlanan işlemsel kuvvetlendiricinin, referans devreye göre daha iyi frekans cevabı vermesinin başlıca

nedenlerinden biri de (2.14)'de görüldüğü üzere kullanılan teknolojinin yeni olmasıdır.

2.2.3. Gövdeden sürülen MOSFET'in gürültüsü

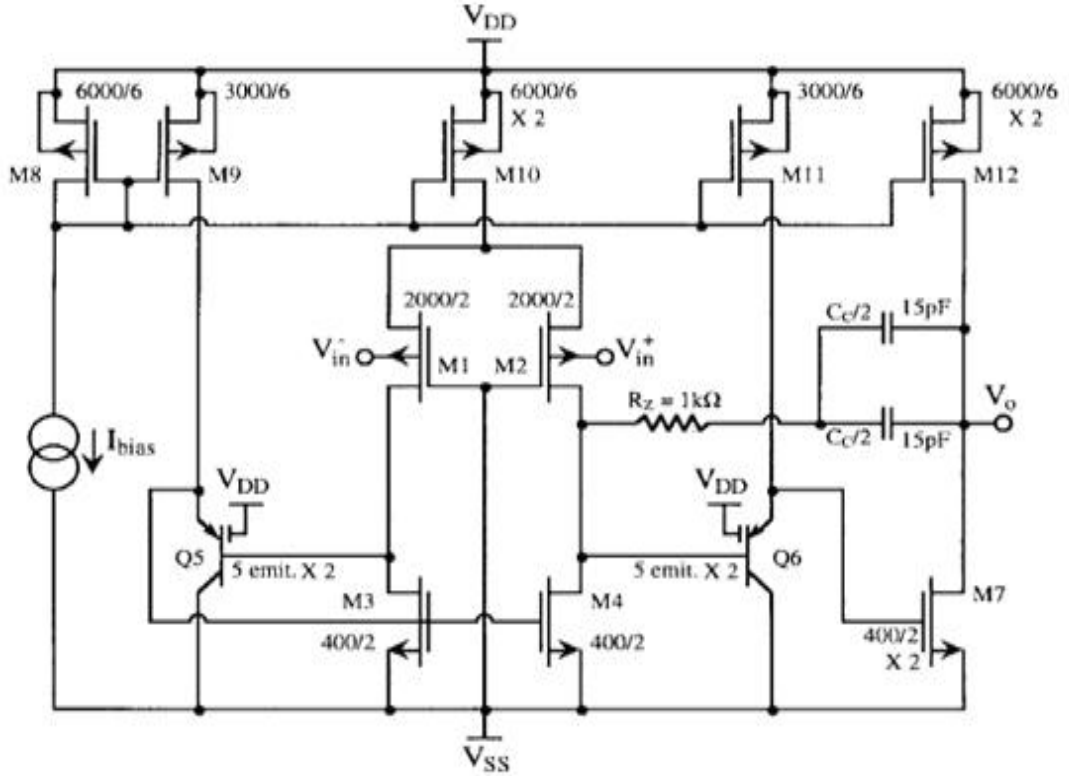
Gövdeden sürülen MOSFET'in bir diğer handikabı da meydana getirdiği gürültünün geleneksel geçitten sürülen MOSFET'e oranla fazla olmasıdır. Meydana gelen gerilim-ortalama gürültünün karesi değeri en sade haliyle [5]'e göre,

$$v^{-2}(f) = \left(\frac{g_m}{g_{mb}} \right)^2 \frac{K_f}{WLC_{ox}} \frac{1}{f} + \left(\frac{g_m}{g_{mb}} \right) \frac{8kT}{3} \frac{1}{g_{mb}} \quad (2.17)$$

şeklinde gösterilir. Burada K_f 1/f (flicker) gürültüsü sabitidir. Gürültüyü oluşturan ilk terim ile 1/f gürültüsü, diğer terim ile beyaz gürültü hesaplanmaktadır. Ek olarak taban ile geçit arasında oluşan direncin sebep olduğu termal gürültü de mevcut olmakla beraber bu gürültünün geçitten sürülen MOSFET'in gürültüsü ile benzer bir değeri olması nedeniyle formülde yer almamaktadır. Oluşan gürültünün faktörleri incelendiğinde geçiş iletkenliklerinin oranının klasik metoda oluşan gürültüyü arttırdığı görülmektedir. $g_m/g_{mb} > 1$ oranının 3-5 arası bir değer olabileceği düşünüldüğünde gürültüde oluşacak artış rahatlıkla görülebilecektir.

3. GÖVDEDEN SÜRME YÖNTEMİ İLE TASARLANAN İŞLEMSEL KUVVETLENDİRİCİ YAPISI

3.1. Tasarım Çıkış Noktası Referans Devre Yapısı ve Spesifikasyonları



Şekil 3.1: Referans olarak alınan 1-V İşlemsel Kuvvetlendirici

Bu tezde temel yapı olarak [1]'de yer alan Şekil 3.1'deki 2 μm CMOS teknolojisi kullanarak gerçekleştirilen yapı kullanılmış fakat söz konusu yapının sağlamakta yetersiz kaldığı bir takım işlemsel kuvvetlendirici özelliklerinin, günümüz CMOS teknolojisi ve farklı bir akım aynası kullanılarak geliştirilmesi amaçlanmıştır.

Düşük besleme gerilimli işlemsel kuvvetlendiricilerin genel karakteristiği olduğu üzere referans işlemsel kuvvetlendiricinin de kazancı ve band genişliği standart işlemsel kuvvetlendiricilere kıyasla daha düşüktür. İşlemsel kuvvetlendiricinin geliştirilmesi esnasında genel itibariyle, diğer özelliklerde herhangi bir kayıp olmadan DC kazancın ve band genişliğinin artırılması amaçlanmıştır.

Referans devre iki katlı bir işlemsel kuvvetlendirici olup giriş katında gövdeden sürülen bir çift P-MOS transistor ile oluşturulmuş diferansiyel kuvvetlendirici kullanılmış olup düşük besleme gerilimi uygulamalarında daha çok tercih edilen A-sınıfı bir çıkış katı ile devre tasarlanmıştır. Her iki kat arasında MOS transistorlarda parazitik olarak oluşan yatay ve düşey BJT'lerden yatay olanı kullanılarak gerçekleştirilmiş olan bir seviye yükseltme ara katı kullanılmış, simetrik olarak da bu katın benzeri diferansiyel kuvvetlendiricinin yük görevini üstlenen akım aynasının daha düşük giriş gerilimi ile çalışmasını sağlamak amacıyla kullanılmıştır. Şekil 3.1'de gösterilen BJT'lerin bağlantılarında, standart gösterimden farklı olarak fazladan bir bacağın V_{DD} pozitif besleme gerilimine bağlı gösterilmesinin sebebi, söz konusu BJT'lerin standart dört bacaklı MOSFET'ten oluşması nedeniyledir. Bu BJT'ler Şekil 3.2'deki gibi bağlanan birer CMOS ile oluşturulmuştur. Daha ayrıntılı inceleme [1]'de mevcuttur.



Şekil 3.2: BJT'nin CMOS uyumlu gerçekleştirilmesi

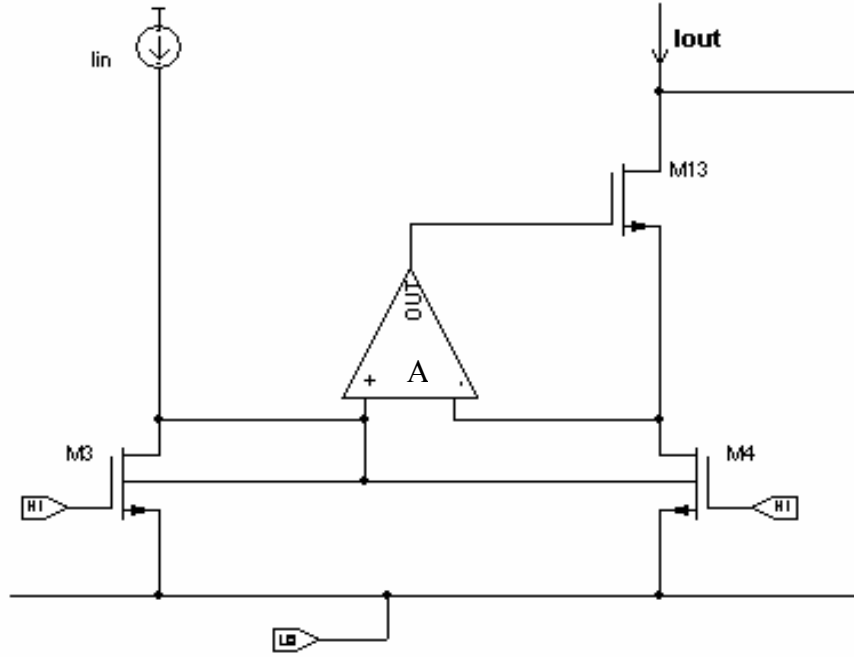
3.2. Tasarlanan İşlemsel Kuvvetlendirici Yapısı

Tez konusu düşük gerilimli işlemsel kuvvetlendirici, www.mosis.org web sitesinde yer alan, TSMC firmasının 0,18 μ m teknolojisi ile üretilen T58F (MM_NON-EPI_THK-MTL) serisi CMOS BSIM model parametreleri ile P-SPICE programında simülasyon yapılarak incelenmiş ve geliştirilmiştir. Söz konusu CMOS teknolojisinin ayrıntılı parametreleri Ek B'de yer almaktadır. Tez sonucunda tasarlanan işlemsel kuvvetlendirici, 1-V gibi düşük bir besleme gerilimi ile çalışan, tam giriş ve çıkış genlikli, ayırıcı kat maksadıyla kullanılabilecek bir işlemsel kuvvetlendiricidir.

3.2.1. Gövdeden sürülen giriş katı yapısı

Bu tezde geliştirilmiş olan Şekil 3.4'de gösterilen yapı referans devreye benzer nitelikte iki katlı bir işlemsel kuvvetlendiricidir. Giriş katı düşük besleme gerilimli

uygulamalar için tasarlanmış bir diferansiyel kuvvetlendirici olup, bu katta yük maksatlı kullanılan akım aynası haricinde referans devrede kullanılan yapı ile benzerlik göstermektedir. Tasarlanan işlemsel kuvvetlendiricinin pozitif ve negatif girişleri, önceki bölümde ayrıntılı olarak anlatıldığı üzere giriş P-MOS çiftinin gövdeleri olacak şekilde tasarlanmıştır.



Şekil 3.3: Düşük Giriş Gerilimli Denetimli Akım Aynası

Giriş katında, yine düşük besleme gerilimli uygulamalarda kullanılmak üzere tasarlanmış, [6]'da ayrıntılı olarak incelenmiş olan gövdeden sürülen denetimli akım aynasının düşey simetriği kullanılmıştır. Aktif yük maksatlı kullanılan, Şekil 3.3'de yer alan akım aynası düşük giriş gerilimi ile çalışabilmesi için tıpkı giriş katında olduğu gibi gövdeden sürülmektedir.

Akım aynasında kullanılan basit işlemsel kuvvetlendirici iki amaca hizmet etmektedir. Birincisi çıkış empedansını klasik kaskod yapıya oranla $(1+A)$ kat arttırmaktır. Buradaki A işlemsel kuvvetlendiricinin sağladığı kazancı göstermektedir. İkinci maksadı ise kurduğu negatif geri besleme çevrimi vasıtasıyla M3 ve M4 MOSFET'lerinin kaynak savak gerilimlerini karşılaştırarak eşit olmalarını sağlamaktır. Aynı boyutta, aynı kaynak-geçit, aynı kaynak-gövde ve aynı kaynak-savak gerilimine sabit olan MOSFET'ler geniş bir dinamik aralıkta, yüksek doğruluklu giriş ve çıkış akımı eşitliğine sahip olacaklardır. Burada kullanılan basit işlemsel kuvvetlendirici bir akım kuvvetlendiricisi olup yerine kullanılabilecek [7] ve

[8]'de örnekleri bulunan gerilim kuvvetlendiricilerine göre basit bir yapıya sahip olması ve geniş bir dinamik aralıkta çalışabilmesi nedeniyle seçilmiştir. Basit işlemsel kuvvetlendiricinin kazancı Şekil 3.4'de yer alan devre elemanları üzerinden,

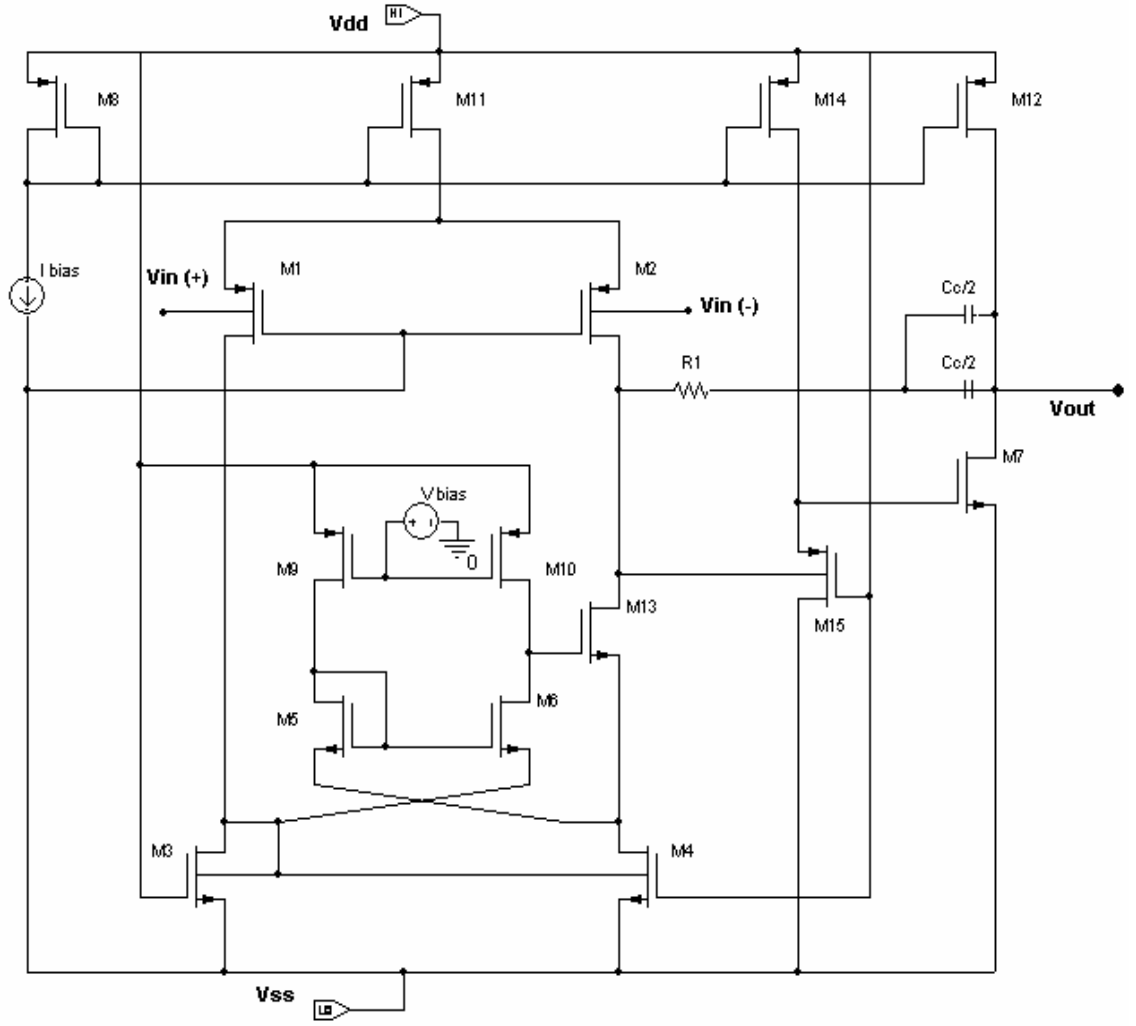
$$A = \frac{g_{m,M6}}{g_{o,M6} // g_{o,M10}} \quad (3.1)$$

olup akım aynası çıkış direnci üzerindeki etkisi de,

$$r_{out} \approx (1 + A) \frac{g_{m,M13}}{g_{o,M13} \cdot g_{o,M4}} \quad (3.2)$$

olur. Burada g_{mi} ve g_{dsi} sırasıyla M_i MOSFET'inin geçiş iletkenliği ve çıkış iletkenliğidir. Akım kuvvetlendirici aynı zamanda akım aynasının giriş iletkenliğini de $g_{in} // g_{m5}$ olacak şekilde artırır ki bu da bir önceki katta daha az yük etkisi oluşması nedeniyle bir avantajdır. Sağladığı avantajların maliyeti olarak, düzeltme maksatlı işlemsel kuvvetlendirici ekstra akım çekmekte dolayısıyla toplam güç tüketiminin artmasına sebep olmaktadır. Fakat tasarım esnasında, güç tüketiminde tespit edilen bu artışın, referans devrenin toplam güç tüketimini aşmayacak şekilde kalmasına özen gösterilmiştir.

Yapılan analizlerde kazanç-band genişliğini belirleyen faktörlerin başında kullanılan akım aynasının geldiği tespit edilmiştir. Söz konusu akım aynası ile hem band genişliğinin hem de DC kazancın giriş katında arttırılması amaçlanmıştır. Kullanılan akım aynası, işlemsel kuvvetlendiricinin giriş P-MOS çiftine benzer şekilde gövdeden sürülerek kullanıldığı için geliştirilmiş olan devrenin, esasen 1-V besleme gerilimi ile kullanımı amaçlanmış olmasına rağmen, çok daha düşük besleme gerilimleri (0.65 V'a kadar) ile çalışabildiği gözlenmiştir.



Şekil 3.4: Tasarlanan Düşük Besleme Gerilimli İşlemsel Kuvvetlendirici

3.2.2. Ara kat ve çıkış katı

Referans devrede mevcut olan seviye öteleyici ara kat (M14-M15), giriş katı olarak kullanılan diferansiyel kuvvetlendirici çıkış gerilim seviyesinin, çıkış transistörünü (M7) sürmeye yetmemesi nedeniyle tasarlanan devrede de aynı maksatla kullanılmıştır. Seviye öteleyici ara kat, M14 ile oluşturulan bir akım kaynağı ve Şekil 3.2’de gösterildiği üzere M15 ile oluşturulan bir adet yatay parazitik BJT transistordan oluşmaktadır. Ara katın maksimum akım kullanımının $1\mu A$ değerinin altında olması nedeniyle toplam güç verimliliğini neredeyse hiç etkilemediği söylenebilir.

Güç tüketimi açısından AB sınıfı bir çıkış katı kullanımının daha mantıklı olacağı düşünülmese de, AB sınıfı çıkış katını oluşturmak için kullanılması gereken olan düşük besleme gerilimli akım aynalarının çalışma band genişliğini oldukça

daraltacak olması nedeniyle bu nevi akım aynasına ihtiyaç duyulmayan A sınıfı çıkış katı tercih edilmiştir. Çıkış katı akım kaynağı yükü olarak görev yapan bir P-MOS ile çıkış katında kuvvetlendirme görevini yapan, geçitten sürülen bir N-MOS'tan oluşmaktadır. Tasarlanan işlemsel kuvvetlendirici referans devre ile birebir karşılaştırma maksadıyla 22 pF'lik bir çıkış kapasitesiyle analiz edilmiş olmasına rağmen tasarlanan işlemsel kuvvetlendiriciyi kapsayacak bir projede yine 0.18 μm teknolojisi ile tasarlanan bir yapının çıkışta sürüleceği düşünüldüğünde, çıkış yükü değerinin daha düşük değerlerde olabileceği değerlendirilmektedir. Çıkış yükünün daha küçük bir kapasitif değeri olması durumunda, kompanzasyon direnci ve kapasitesi vasıtasıyla yapılabilecek küçük bir ayarlama sayesinde daha yüksek kazanç-band genişliği elde edilebileceği öngörülmektedir.

3.2.3. Devre elemanlarının boyutları

Devre içerisinde birçok MOSFET çiftinin bulunduğu göz önüne alınarak, eşleşme problemlerini en alt seviyeye çekebilmek maksadıyla müsaade edilen minimum boyut olan 0.18 μm 'nin 3 katı olan 0.54 μm değeri, tasarımda kullanılan minimum değer olarak seçilmiştir. Tasarlanan devrenin MOSFET boyutları Tablo 3.1'de gösterilmiştir.

Tablo 3.1: Tasarlanan devrenin MOSFET boyutları

MOSFET ismi	Kanal Genişliğinin Boyuna Oranı (W/L)
M1, M2	80 μm / 0.54 μm
M3, M4	12 μm / 0.54 μm
M5, M6	15 μm / 0.54 μm
M7	50 μm / 0.54 μm
M8	20 μm / 0.54 μm
M9, M10	21 μm / 4 μm
M11	30.5 μm / 0.54 μm
M12	49.5 μm / 0.54 μm
M13	12 μm / 0.54 μm
M14	0.54 μm / 10 μm
M15	1 μm / 0.54 μm

Tasarımda kullanılan diğer elemanların değerleri de Tablo 3.2’de yer almaktadır.

Tablo 3.2: Devrenin diğer elemanlarının değerleri

Devre Elemanları	Değerleri
VDD	0.5 V
VSS	-0.5 V
Cc1, Cc2	6.5 pF
CL	22 pF
R1	1.5 k Ω
Ibias	50 μ A
Vbias	-327 mV

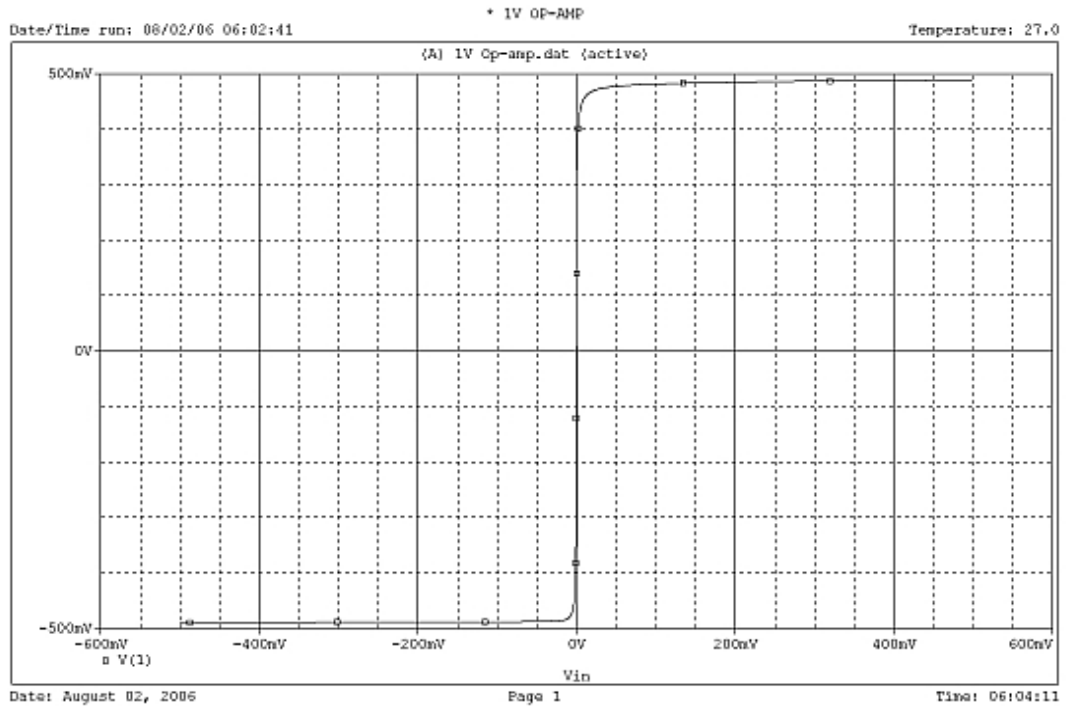
4. TASARLANAN DEVRE SİMÜLASYONUNUN ANALİZİ VE REFERANS DEVRE İLE KARŞILAŞTIRMA SONUÇLARI

Bu bölümde, yeniden tasarlanan devre simülasyonu sırasıyla açık çevrim ve kapalı çevrim gerilim izleyici devre yapılarında DC, AC ve zaman domeni analizlerine tabi tutularak elde edilen sonuçlar referans devre ile karşılaştırılacak, kayıplar ve/veya elde edilen kazanımlar hakkında değerlendirmeler yapılacaktır. Devrenin analizi maksadıyla çıkış yükü olarak referans devrede de kullanılan 22 pF değerinde bir kapasitans çıkış düğümü ile toprak arasında kullanılmıştır.

4.1. DC Analizler

4.1.1. Beslemeden beslemeye geçiş, gerilim akım karakteristikleri

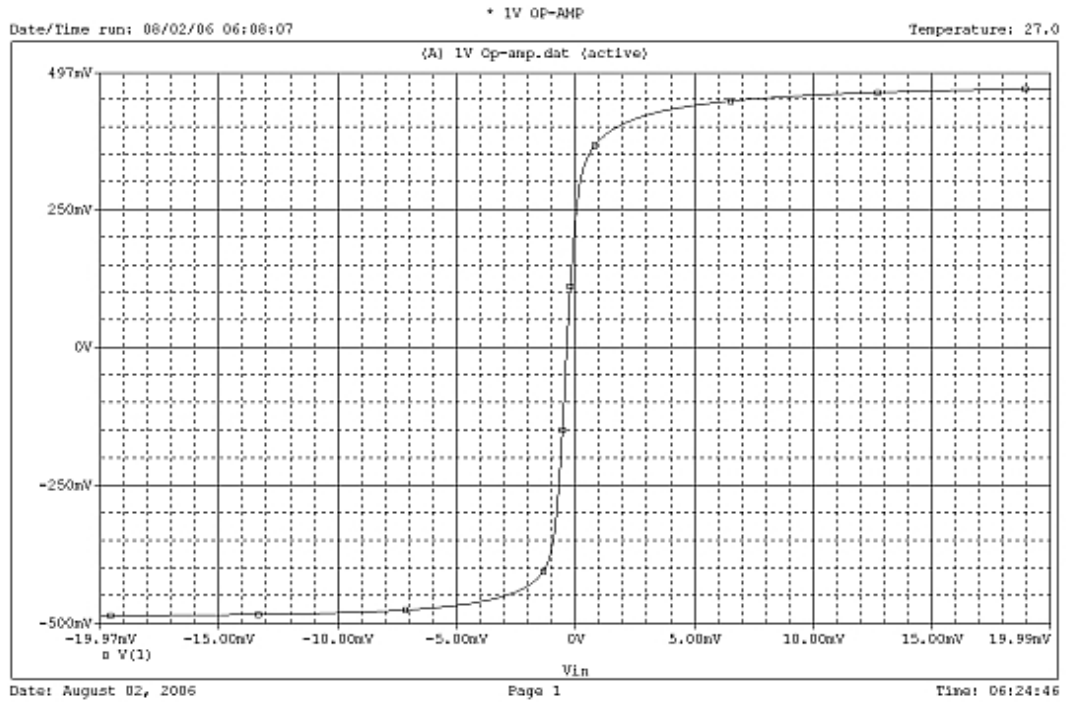
Devrenin (-) girişi topraklanıp, (+) girişi -0.5 V, +0.5 V aralığında DC gerilim ile taratılarak devrenin karakteristikleri gözlemlenmiştir.



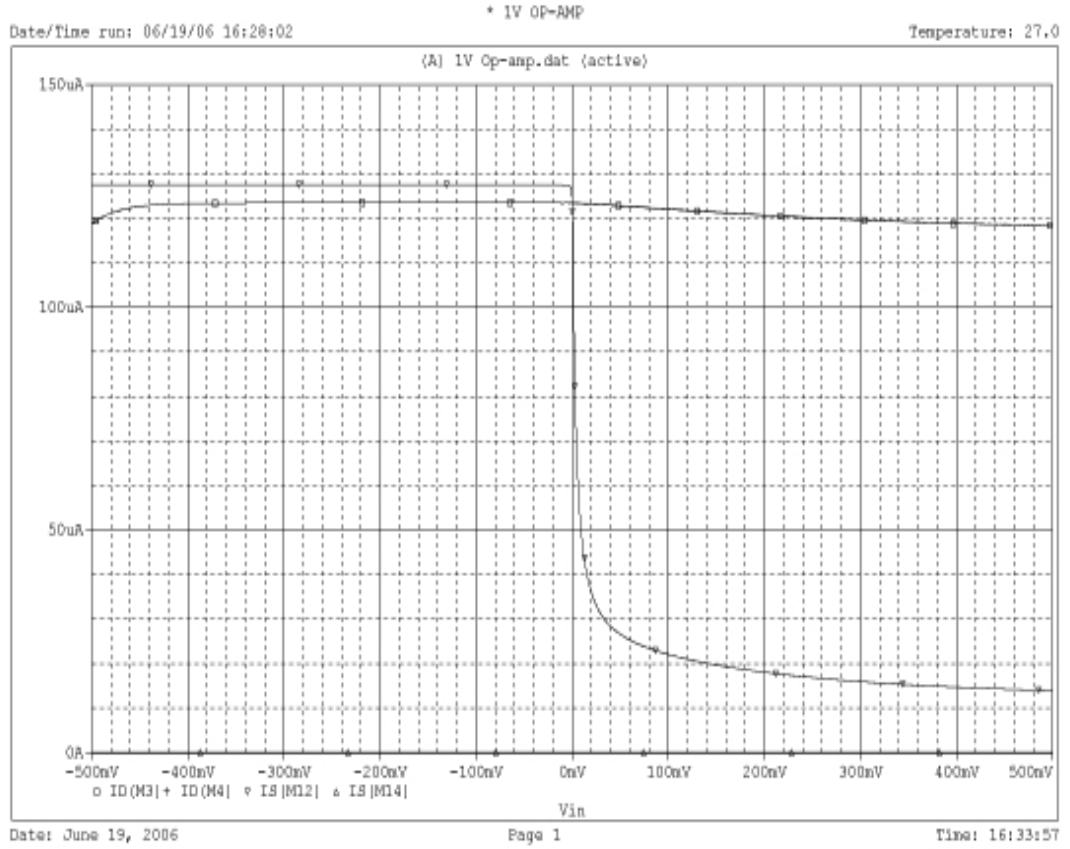
Şekil 4.1: Çıkış gerilimi beslemeden beslemeye geçiş grafiği

Şekil 4.1'deki grafikte de görüldüğü gibi devrenin çıkış salınımı referans devrede de olduğu üzere oldukça geniş bir aralıkta (-0.489 V, +0.488 V) gerçekleşebilmektedir. Referans devrenin çıkış salınımının, besleme geriliminin yaklaşık %99'u kadar olması sebebiyle, tasarım aşamasında çıkış salınım aralığının korunması amaçlanmış olup besleme geriliminin %98'i oranında bir sonuç elde edilmiştir. Çıkış salınım aralığını belirleyen değer, çıkış transistorunun savak kaynak geriliminin doyma değeridir ki doyma gerilimi ne kadar küçük olursa çıkış salınım aralığı da o oranda genişler. Bu değeri [9]'da anlatılan BSIM3 model parametreleri ile devre tasarımı yönteminde anlatıldığı üzere daha aşağıya çekmek için transistor boyutlarını (W/L oranını) arttırmak gerekir. Tasarım esnasında çıkış salınımının yanında boyutlandırma, kanal boyu modülasyonu, kullanılan akım vb. gibi diğer spesifikasyonlar da göz önünde bulundurularak optimum çıkış transistor boyutunun seçilmesine dikkat edilmiştir.

Şekil 4.1'in yakınlaştırılmış görüntüsü olan Şekil 4.2 incelenerek oda sıcaklığında (27°C) girişte 0.43 mV'luk bir sistematik ofset gerilimi olduğu görülmüştür. Referans devrede ofset gerilimi imal edilen kırmıklar üzerinde incelenmiş fakat simülasyon aşamasında incelenmemiştir.



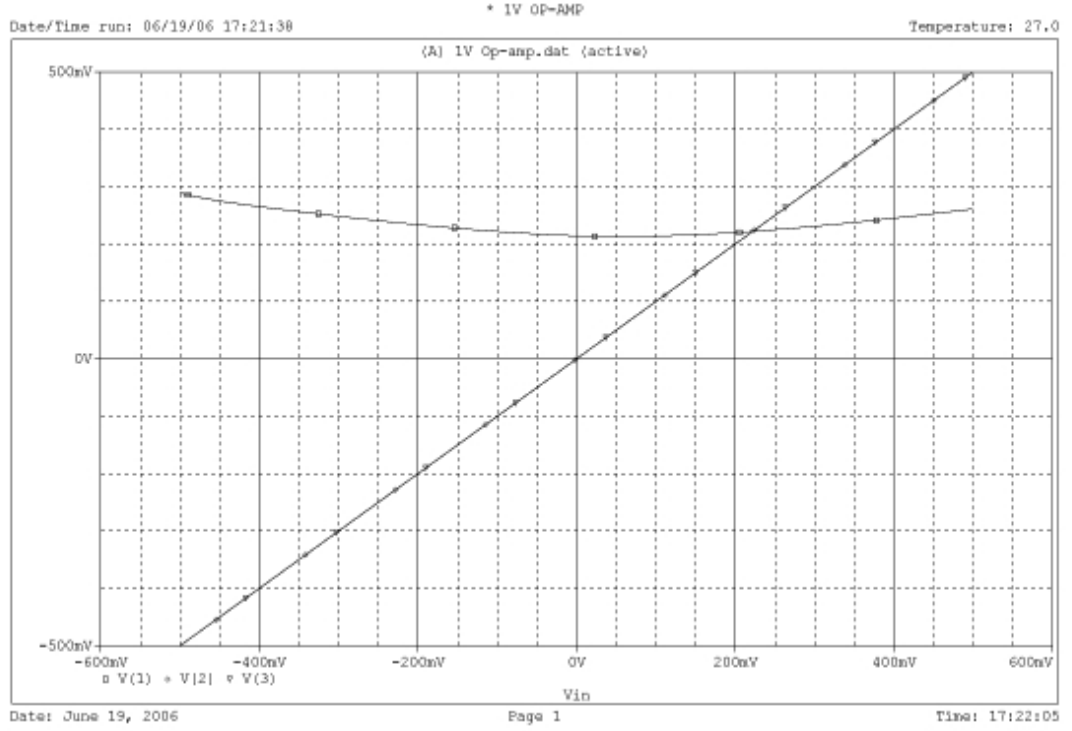
Şekil 4.2: Çıkış gerilimi beslemeden beslemeye geçiş grafiği (büyütülmüş)



Şekil 4.3: Diferansiyel Giriş ve Çıkış katının akım grafiği

Çıkış katının 0 giriş durumunda çektiği akım $127 \mu\text{A}$ değerinde olup referans devreye kıyasla %27 oranında yüksektir. Her ne kadar giriş katı kuyruk akımının referans devreye kıyasla daha düşük ($\sim 75 \mu\text{A}$) olmasına rağmen, yük maksatlı yeni kullanılan gövdeden sürülen akım aynasında yer alan basit işlemsel kuvvetlendiricinin ek bir akım ($\sim 48 \mu\text{A}$) tüketmesi nedeniyle, giriş katı da toplamda referans devrenin giriş katından fazla akım ($\sim 123 \mu\text{A}$) tüketmektedir. Fakat çok düşük seviyedeki ara kat akımını hesaba kattığımızda, toplam güç tüketiminde herhangi bir değişiklik olmadığı görülmektedir. Ara katta elde edilen güç tasarrufu, giriş ve çıkış katlarına özellikle dağıtılarak işlemsel kuvvetlendiricinin hızlandırılması amaçlanmıştır. Referans devrede 0 giriş durumunda akım kaynağı tüketimi hariç toplam güç tüketimi $250 \mu\text{W}$ iken tasarlanan yeni devrede de $250 \mu\text{W}$ olarak sabit kalmıştır.

4.1.2. Ortak işaret gerilimi karakteristiği



Şekil 4.4: Ortak işaret giriş ve çıkış gerilimi geçiş grafiği

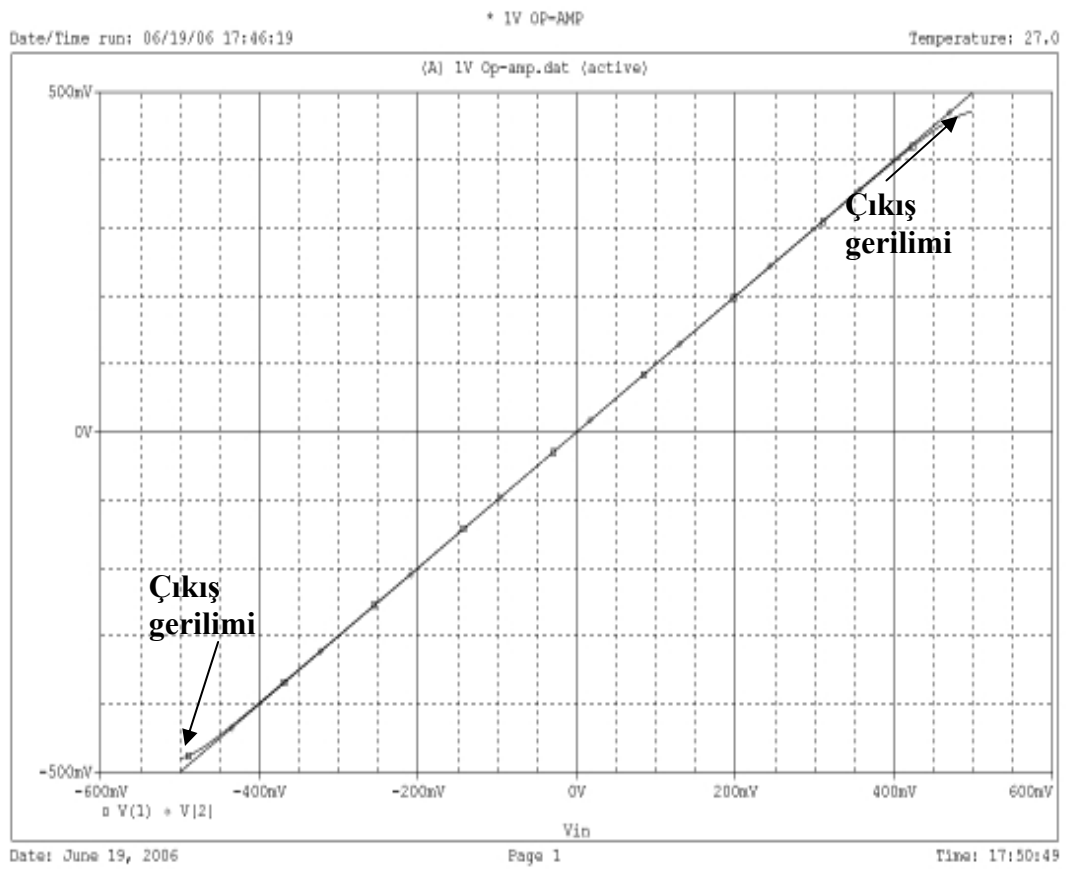
Düşük besleme gerilimli işlemsel kuvvetlendiricilerin genel problemi olan ortak giriş işareti gerilim aralığının dar olmasına çözüm olarak kullanılan giriş transistörlerini gövdeden sürme tekniği ile geniş bir ortak işaret giriş gerilim aralığı elde edilmiştir.

Bu grafiği elde etmek için girişlerden birisine her iki giriş arasında bir miktar bir fark oluşması için çok küçük bir gerilim uygulanmış olup, ortak işaret gerilimi V_{cm} aynı anda her iki girişe de uygulanmıştır. Şekil 4.4’de görüldüğü üzere ortak işaret giriş aralığının tamamı (-0.5 V, +0.5 V) taratıldığında, çıkış geriliminin, ortalama çıkış gerilimi değerine oranla en fazla %15 değişim gösterdiği görülmüştür. Sapmanın en yüksek olduğu değerlerin de sınır değerleri olduğu değerlendirildiğinde, ortak işaret giriş bandının orta bölgesinde kalan geniş bir aralıkta kazancın küçük bir değişim gösterdiği söylenebilir. Bu değer (%15) sabit geçiş iletkenliği özelliğini taşıyan düşük gerilimli işlemsel kuvvetlendiriciler için, geçiş iletkenliğinin müsaade edilebilecek değişim sınırı olarak değerlendirilebilir.

4.1.3. Kapalı çevrim karakteristiği

İşlemsel kuvvetlendirici, kapalı çevrim gerilim izleyici devre yapısı ile DC analiz edildiğinde çıkış geriliminin (-0.46 V, +0.45 V) aralığında birebir (+) giriş gerilimini takip ettiği gözlemlenmiştir. Toplam besleme geriliminin % 91'ini kapsayan bu salınım aralığı dinamik aralığın da yeterince geniş olduğunu göstermektedir.

Giriş gerilimine nazaran sınır değerlerine yaklaştıkça oluşan çıkış gerilimindeki sapmanın çok büyük değerlerde olmaması nedeniyle, çıkış transistorlarının kesime girdiği bölgeye kadar işlemsel kuvvetlendirici iyi bir performans sergilemektedir.



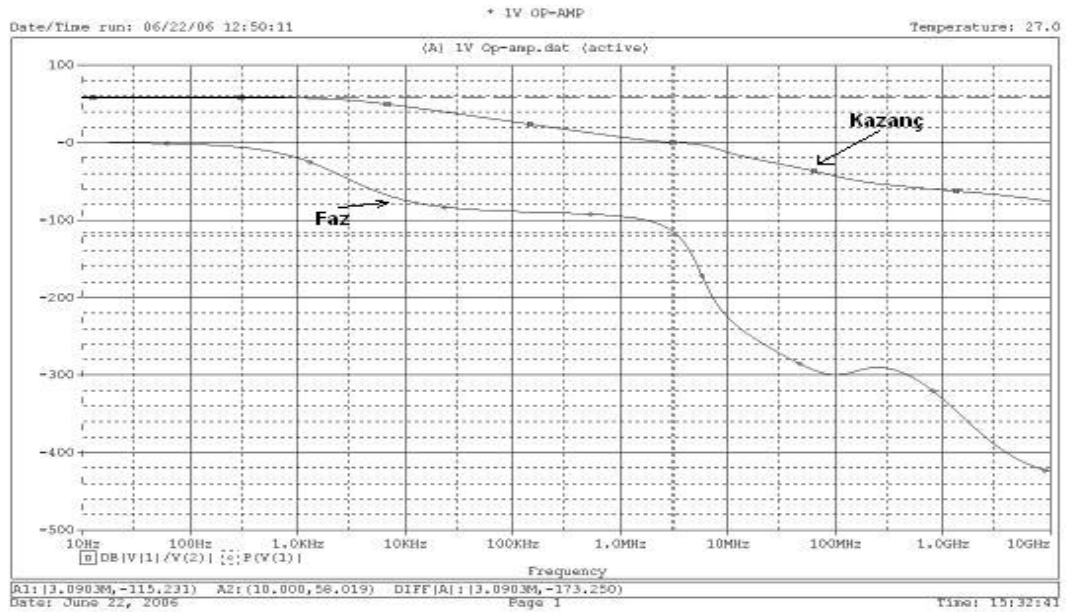
Şekil 4.5: Kapalı çevrim gerilim izleyici devre yapısında giriş ve çıkış gerilimi beslemeden beslemeye geçiş grafiği

4.2. AC Analizler

4.2.1. Açık çevrim kazanç, faz ve frekans karakteristikleri

Referans devrede yapılan değişikliklerle elde edilen kazanımlar esas olarak açık çevrim AC analizinde görülmektedir. Düşük besleme gerilimi ile çalışabilmek için girişte gövdeden sürülen devrelerin geçiş iletkenliği, geçitten sürülen devrelerin geçiş iletkenliğine göre yaklaşık $\frac{1}{4}$ oranında düşüktür. Kazancın doğrudan geçiş iletkenliği ile doğru orantılı olduğu düşünüldüğünde, bu teknik ile toplam DC kazancı klasik işlemsel kuvvetlendiricilerin ortalama değerlerine ulaştırmak yeterli görülmektedir. Bu konuda yapılmış olan çalışmalardan, maliyeti yüksek en son teknolojiler kullanan [10] ile en yüksek 68 dB DC kazanç elde edilmiştir.

Tezde geliştirilen işlemsel kuvvetlendirici ile açık çevrim konfigürasyonunda Şekil 4.6'da görüldüğü gibi 58 dB DC kazanç elde edilerek referans devrenin kazancı 13 dB arttırılmıştır. Aynı zamanda birim kazanç frekansı da 3 MHz'a çıkarılarak referans devreye göre 1.7 MHz'lık göre bir band genişliği artışı sağlanmıştır. Birim kazançtaki faz 65° olacak şekilde tasarım tamamlanmıştır. Fazın birim kazançta kabul edilebilir değerler arasında tutulması ile işlemsel kuvvetlendiricinin stabilitenin en fazla önem kazandığı gerilim izleyici devre yapısında çalışabilmesi amaçlanmıştır.

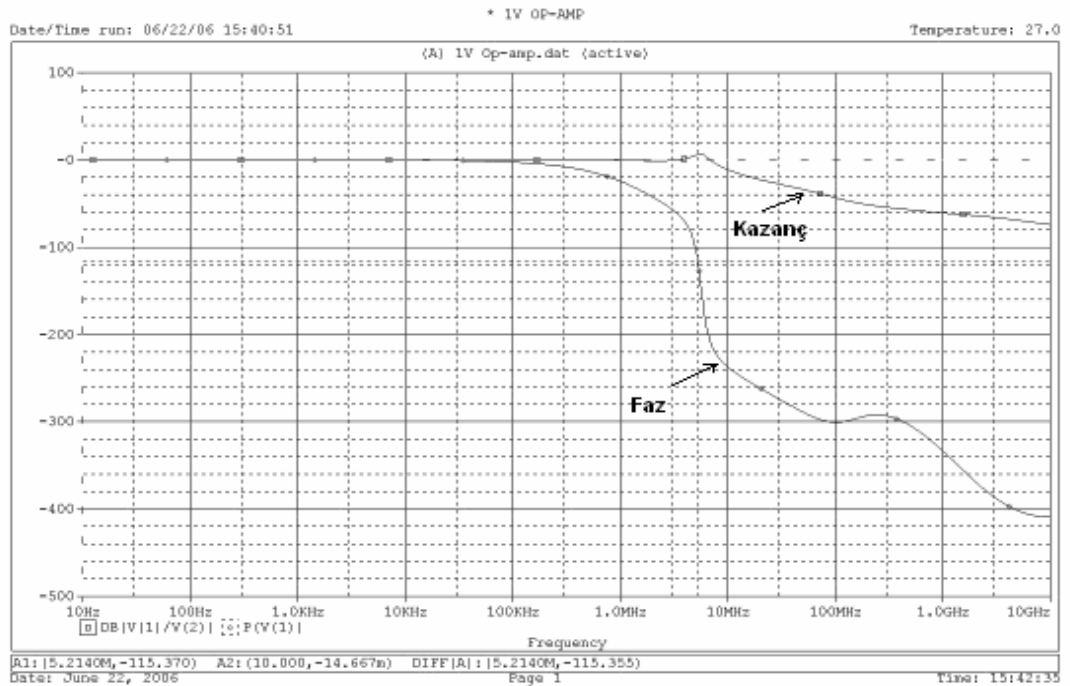


Şekil 4.6: Kazanç, Faz eğrisinin frekans analizi grafiği

Referans devrenin yer aldığı [1]'de sayısal olarak belirtilmemiş olmasına rağmen yine [1]'de yer alan Şekil-12'de 1 kHz'den düşük olduğu görülen band genişliği (-3 dB kesim frekansı), yaklaşık 1.7 kHz geliştirilerek 2.7 kHz değerine getirilmiştir. Yük olarak, mantıken kullanımının daha doğru olacağı önceden belirtilmiş olan daha küçük bir kapasitif değer kullanılması durumunda elde edilen kazanç-band genişliği parametresinin gözle görülür oranda arttığı tespit edilmiştir. Kullanılacak kapasitif yükün değerine göre çeşitli sonuçlar elde edildiği için sayısal bir veri belirtilmemiştir.

4.2.2. Kapalı çevrim kazanç, faz ve frekans karakteristikleri

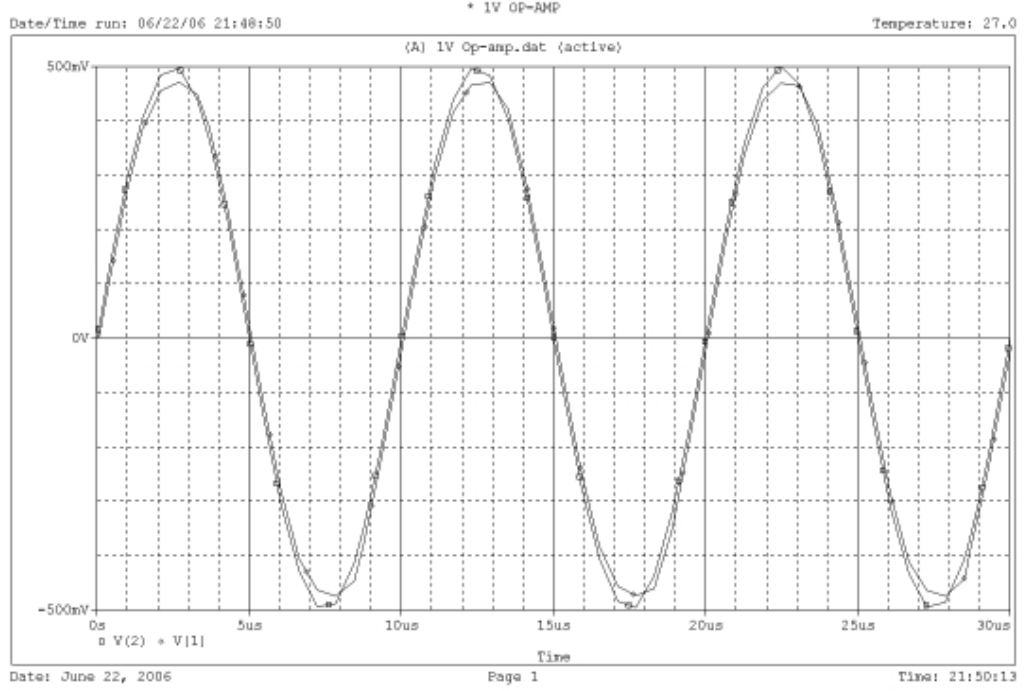
Gerilim izleyici devre yapısı ile AC analize tabi tutulduğunda işlemsel kuvvetlendiriciden, maksimum 100 kHz frekansına sahip giriş işareti ile neredeyse hiç faz farkı olmadan giriş işaretinin benzeri çıkışta elde edilebilmektedir. 100 kHz frekansına kadar işlemsel kuvvetlendirici ayırıcı kat maksadıyla kullanılabilir.



Şekil 4.7: Gerilim izleyici devre yapısında Kazanç, Faz eğrisinin frekans analizi grafiği

4.3. Zaman Domeninde Analizler

Gerilim izleyici devre yapısındaki işlemsel kuvvetlendiricinin evirmeyen (+) girişine, faz farkının etkin olmadığı 100 kHz frekanslı, beslemeden beslemeye sinüzoidal bir giriş sinyali uygulandığında çıkışın % 94 doğruluk oranı ile girişi takip ettiği görülmüştür.



Şekil 4.8: Gerilim izleyici devre yapısında beslemeden beslemeye sinüzoidal giriş işareti ve çıkış işareti grafiği

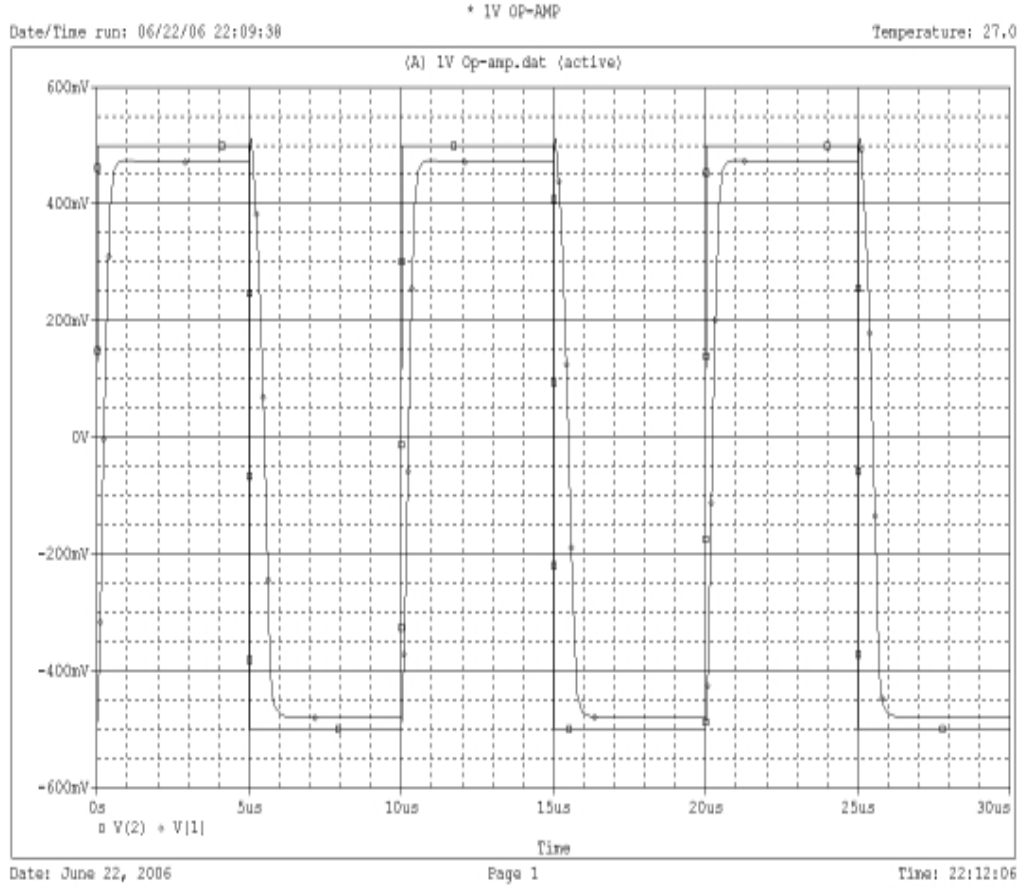
Aynı değerlerle yapılan Fourier analizinde toplam harmonik distorsiyon oranının % 2.5 olduğu, giriş sinyalinin genliğinin tepeden tepeye 0.9 V'a düşürülmesi durumunda % 1'in altına indiği tespit edilmiştir. A sınıfı bir çıkış katı ile besleme geriliminin oluşturduğu gerilim aralığını (-0.5V - +0.5V), %100 kapsayan çıkış elde etmenin teorik olarak mümkün olmaması nedeniyle, (-0.45V - +0.45V) aralığında tepeden tepeye uygulanan giriş sinyali için çıkışta tespit edilen %1'in altındaki harmonik distorsiyon makul sınırlar içerisinde.

Referans devrede giriş işareti olarak 1 kHz'lik ve 10 kHz'lik tepeden tepeye 750 mV'luk iki farklı sinüzoidal işaret kullanılarak ölçüm yapılmış ve Tablo 4.1'deki değerler elde edilmiştir. Referans devre için $A_v=-1$ kazanç sağlayan kapalı çevrim yapısında da ölçüm yapılması nedeniyle aynı ölçüm harici 1 M Ω değerinde iki adet direnç kullanılarak tasarlanan işlemsel kuvvetlendirici için de yapılmıştır.

Tablo 4.1: Toplam Harmonik Distorsiyon Karşılaştırma Tablosu

	[1] simülasyon değerleri	[1] ölçülen değerleri	Bu çalışmanın simülasyon değerleri
Toplam Harmonik Distorsiyon $A_v=-1$ V/V	1 kHz'lik sinüzoidal işaret için %0.020 10 kHz'lik sinüzoidal işaret için %0.028	1 kHz'lik sinüzoidal işaret için %0.105 10 kHz'lik sinüzoidal işaret için %0.155	1 kHz'lik sinüzoidal işaret için %0.11 10 kHz'lik sinüzoidal işaret için %0.17
Toplam Harmonik Distorsiyon $A_v=+1$ V/V	1 kHz'lik sinüzoidal işaret için %0.086 10 kHz'lik sinüzoidal işaret için %0.148	1 kHz'lik sinüzoidal işaret için %0.117 10 kHz'lik sinüzoidal işaret için %0.150	1 kHz'lik sinüzoidal işaret için %0.061 10 kHz'lik sinüzoidal işaret için %0.168

Her ne kadar sadece simülasyonu yapılabilmiş olan bu çalışmanın sonuçları, doğru bir karşılaştırma yapılabilmesi maksadıyla [1]'in simülasyon sonuçlarıyla karşılaştırılıyor olsa da [1]'de yer alan toplam harmonik distorsiyon ölçüm sonuçları göstermektedir ki gerilim izleyici devre yapısında işlemsel kuvvetlendiricinin ürettiği toplam harmonik distorsiyon, $A_v=-1$ kazançta sahip olan, eviren kapalı çevrim yapısında ürettiği distorsiyondan pek de farklı değildir. Dolayısıyla Tablo 4.1'de yer alan [1]'in simülasyon değerleri gösterdikleri büyük farklılıklar nedeniyle gerçekçi değildir. Değerlendirmenin ölçüm sonuçlarına göre yapılması daha doğru olacaktır.



Şekil 4.9: Gerilim izleyici devre yapısında beslemeden beslemeye kare dalga işaret girişi ve çıkış işaretleri grafiği

İşlemsel kuvvetlendiricinin tepki süresini dolayısıyla hızını ölçmek için kapalı çevrim konfigürasyonunda (+) girişe beslemeden beslemeye 100 kHz frekanslı bir kare dalga uygulanarak çıkış gerilimi incelenmiştir. Şekil 4.9'daki grafikte elde edilen çıkış sinyali görülmektedir. Devrenin pozitif yükselme eğimi (SR^+) 1.88 V/ μs iken negatif alçalma eğimi (SR^-) de 1.61 V/ μs olarak hesaplanmıştır. Esas olarak küçük olan yükselme eğimi değerinin göz önünde bulundurulması gerektiğinden, küçük yükselme eğimi değerleri üzerinden bir kıyaslama yapacak olursak referans devreye oranla yaklaşık % 58 oranında bir gelişme sağlanmıştır. Referans devrenin yetersiz kaldığı hızlı uygulamalar için kullanışlı bir işlemsel kuvvetlendirici olduğu görülmüştür.

4.4. Ortak İşaret Zayıflatma Oranı (CMRR)

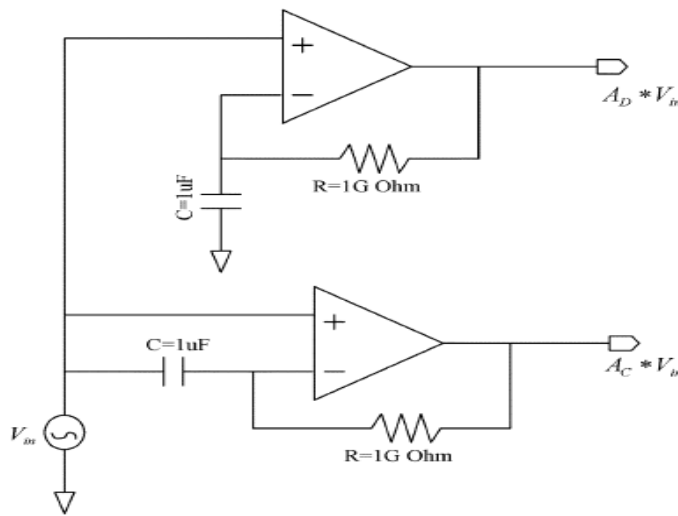
İşlemsel kuvvetlendiricilerinin en önemli performans parametrelerinden birisi de ortak işaret zayıflatma oranı (CMRR)'dır. Bu oran, işlemsel kuvvetlendiricinin her iki girişine aynı seviyede uygulanan sinyalin çıkışta ne kadar bastırıldığını gösteren bir değerdir. Her iki girişe aynı sinyalin uygulanması durumunda idealde sıfır çıkış alınması, dolayısıyla CMRR değerinin sonsuz olması gerekmektedir. Fakat devre içerisindeki asimetrik yapılar ve çıkış empedansının sonlu olması nedeniyle çıkıştan belli bir değerde sinyal alınması kaçınılmazdır. CMRR, girişte uygulanan ortak işaret sinyalinin, elde edilmesi amaçlanan çıkış sinyali üzerinde oluşturacağı bozulmayı kestirebilmek için kullanılan önemli bir parametredir.

$$CMRR(dB) = 20 \log \left(\frac{A_D}{A_C} \right) \quad (4.1)$$

veya alternatif olarak,

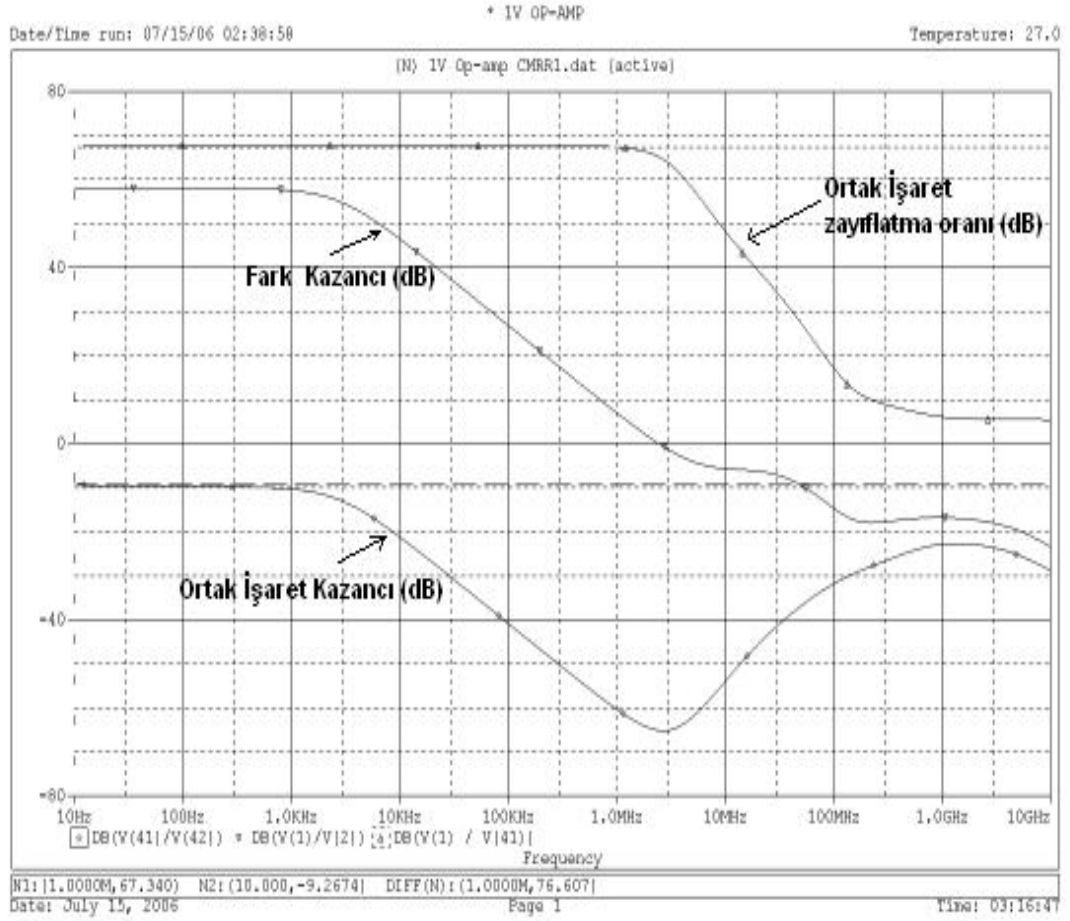
$$CMRR(dB) = 20 \log \left(\frac{\Delta V_{CM,in}}{\Delta V_{OS,in}} \right) \quad (4.2)$$

şeklinde formülize edilir. Burada sırasıyla A_D , A_C , $\Delta V_{CM,in}$, $\Delta V_{OS,in}$, diferansiyel (fark) kazancı, ortak işaret kazancı, giriş ortak işaret gerilimindeki değişim ve girişteki offset geriliminin değişim miktarıdır.



Şekil 4.10: Ortak İşaret Zayıflatma Oranı Ölçüm Konfigürasyonu

Tasarlanan işlemsel kuvvetlendiricinin CMRR değerini tespit edebilmek için [11]'de önerilen Şekil 4.10'da yer alan konfigürasyon kullanılmıştır. Bu konfigürasyonla, girişlerine aynı sinyal uygulanan birbirinin eşdeğeri iki işlemsel kuvvetlendirici vasıtasıyla, üstteki çıkıştan elde edilen gerilim farkı kazancının (A_D), alttaki çıkıştan elde edilen ortak işaret kazancına (A_C) olan oranı dB cinsinden tespit edilmeye çalışılmıştır.



Şekil 4.11: Ortak İşaret Zayıflatma Oranı Grafiği

Yapılan ölçüm ile Şekil 4.11'deki grafikte görüldüğü üzere CMRR parametresinin 1MHz frekansında 67 dB olduğu tespit edilmiştir. Referans devreye oranla CMRR parametresinde 11 dB'lik bir gelişme sağlanmıştır. Ayrıca referans devrede verilen CMRR değerinin 10 kHz frekansındaki değer olması nedeniyle frekans bandında da bir gelişme sağlandığı düşünülmektedir.

Tüm analizlerden elde edilen sonuçlar ile referans devre ve yine gövdeden sürme tekniği ile tasarlanmış aynı zamanda [1]'e göre daha güncel bir çalışma olan [12]'nin spesifikasyonları genel bir karşılaştırma yapılabilmesi açısından toplu olarak Tablo 4.2'de gösterilmiştir.

Tablo 4.2: Genel Karşılaştırma Tablosu

	[1]	[12]	Bu çalışma
DC Kazanç (dB)	44.6	45.1	58
Kazanç-Band Genişliği (MHz)	1.3	1.7	3.09
SR^+ (V/ μ s)	0.96	1.31	1.88
SR^- (V/ μ s)	3.6	2.51	1.61
CMRR (dB)	56.2@10 kHz	63	67.7@1MHz
Giriş Aralığı (V)	-0.39 ; +0.47	-0.5 ; +0.5	-0.49 ; +0.49
THD, $A_v=1$ V/V 10 kHz, $V_{p-p}=750$ mV sinüzoidal işaret için	% 0.155	Ölçülmemiş	% 0.168

5. SONUÇLAR

Teknoloji gelişimi ile her ne kadar eşik gerilimi değeri çok aşağılara çekilmese de literatürdeki diğer çalışmalarla birlikte bu çalışma da göstermiştir ki transistörler gövdeden sürülerek çok düşük giriş gerilimleri ile efektif olarak çalıştırılabilmektedir. Tasarlanan işlemsel kuvvetlendirici bu tekniğin efektif olarak kullanılabileceğinin bir örneği olarak literatüre geçecektir. Aynı zamanda gövdeden sürme tekniğinin, MOS proses boyutlarının küçülmesinin sağladığı avantajlarla uyumlu bir teknik olduğu tespit edilmiştir. Tasarlanan işlemsel kuvvetlendiricinin hem boyut olarak daha küçük hem de sağladığı özellikler açısından daha üstün bir yapı olduğu görülmüştür. Gövdeden sürme tekniği bir tasarım tekniği olması yanında transistörlerin farklı kuyulara (well) sahip olmasını gerektirdiğinden bir miktar ek maliyet getirmesinin yanında çeşitli avantajlarından ötürü ayrık kuyulara sahip proseslerin yaygınlaşması nedeniyle getirdiği ek maliyetin çok yüksek olmayacağı düşünülmektedir. Mevcut eşik gerilimlerinin çeşitli proseslerle aşağıya çekilerek klasik tasarım tekniklerinin kullanılmasının daha yüksek maliyete sebep olabileceği değerlendirilmektedir.

Tasarlanan işlemsel kuvvetlendirici, maksimum giriş ve çıkış salınım aralığına sahip, ortak işaret giriş geriliminden büyük oranda etkilenmeyen bir işlemsel kuvvetlendirici olup düşük besleme gerilimi kullanılması gereken ve yüksek frekans gerektirmeyen uygulamalarda kullanmak üzere idealdir.

KAYNAKLAR

- [1] **Blalock, B.J., Allen, P.E. and Rincon-Mora, G.A.**, 1998. Designing 1-V op amps using standart digital CMOS technology, *IEEE Transactions On Circuits And Systems-II*, Vol. **18**, No. 7
- [2] **Sedra, A. S. and Smith, K. C.**, 1998. Microelectronic Circuits, pp 353-423 Oxford University Press, New York.
- [3] **Blalock, B.J.**, 1996. A 1-V CMOS wide dynamic range operational amplifier, *Ph.D. dissertation School Elect. Comput. Eng., Georgia Inst. Technol.* Atlanta
- [4] **Uyemura, J. P.**, 1988. Fundamentals of MOS digital integrated circuits, Reading, MA: Addison-Wesley
- [5] **Carillo J. M., Torelli, G., Perez-Aloe, R. And Duque-Carillo F.**, 2005. 1-V rail to rail bulk-driven CMOS OTA with enhanced gain and gain bandwidth product, *Circuit Theory and Design, Proceedings of the 2005 European IEEE International Conference*, September
- [6] **Zang, X. and El-Masry, I.**, 2004. A regulated body-driven CMOS current mirror for low-voltage applications, *IEEE Transactions On Circuits And Systems-II*, Vol. **51**, No. 10
- [7] **Palmisano, G.**, 1998. High-drive CMOS current amplifier, 1998. *IEEE J. Of Solid State Circuits*, Vol. **33**, No. 2
- [8] **Palmisano, G.**, 2000. Solutions for CMOS current amplifiers with high-drive output stages, *IEEE Transactions On Circuits And Systems-II*, Vol. **47**, No. 10
- [9] **Çilingiroğlu, U.**, 2005. MOSFET modelling and analog circuit design with BSIM3, *Lecture Notes*, p. 29,71-78
- [10] **Rosenfeld, J., Kozak, M. and Friedman, E. G.**, 2004. A bulk-driven CMOS OTA with 68 dB DC gain, *Electronics, Circuits and Systems. ICECS 2004. Proceedings of the 2004 11th IEEE International Conference*, Dec 13-15
- [11] **Zhou, J. and Liu, J.**, 2005. On the measurement of common-mode rejection ratio, *IEEE Transactions On Circuits And Systems-II:Express Briefs*, Vol. **52**, No. 1
- [12] **Bahmani, F., Fakhraie, S. M. and Khakifirooz, A.**, 2000. A rail-to-rail, constant-Gm, 1-V CMOS opamp, *IEEE International Symposium on Circuits And Systems*, Geneva, Switzerland, May 28-31

EK-A

* 1V OP-AMP
VDD 4 0 dc 0.5V
VSS 0 6 dc 0.5V
Vbias 7 0 -.321v
Ibias 5 0 dc 50u

Cc1 12 1 6.5p
Cc2 12 1 6.5p
Rc 10 12 1.5k
CL 1 0 22p

Vin 2 0 dc 8m
*Vcm 2 0 dc 10m
*Vac 2 0 2.51u ac 0.001
*v2 2 0 dc 0u
*v3 2 0 sin(0 450m 100k)
*v4 2 0 pulse (-500m 500m 5n 5n 10n 5u 10u)

*unity gain için
*Vcon 1 3 0
* (-) girişi offset voltajı ile esitlemek için
Vneg 3 0 0.4300m

.DC Vin -500m 499m 100u
*.AC DEC 100 10 10E9
*.tran 0.0000001u 30u
*.four 100k v(1)

M1 9 6 8 3 PM w= 80u L= .54u
M2 10 6 8 2 PM w= 80u L= .54u
M7 1 15 6 6 NM w= 50u L= .54u
M8 5 5 4 4 PM w= 20u L= .54u
M11 8 5 4 4 PM w= 30.5u L= .54u
M12 1 5 4 4 PM w= 49.5u L= .54u
M14 15 5 4 4 PM w= .54u L= 10u
M15 6 4 15 10 PM w= 1u L= .54u
M3 9 4 6 9 NM w= 12u L= .54u
M4 14 4 6 9 NM w= 12u L= .54u
M5 11 11 14 14 NM w= 15u L= 1.54u
M6 13 11 9 9 NM w= 15u L= 1.54u
M9 11 7 4 4 PM w= 21u L= 4u
M10 13 7 4 4 PM w= 21u L= 4u
M13 10 13 14 14 NM w= 14u L= .54u

.MODEL NM NMOS (		LEVEL = 7
+VERSION = 3.1	TNOM = 27	TOX = 4.1E-9
+XJ = 1E-7	NCH = 2.3549E17	VTH0 = 0.3662473
+K1 = 0.5864999	K2 = 1.127266E-3	K3 = 1E-3
+K3B = 0.0294061	W0 = 1E-7	NLX = 1.630684E-7
+DVT0W = 0	DVT1W = 0	DVT2W = 0
+DVT0 = 1.2064649	DVT1 = 0.4215486	DVT2 = 0.0197749
+U0 = 273.8094484	UA = -1.40499E-9	UB = 2.408323E-18
+UC = 6.504826E-11	VSAT = 1.355009E5	A0 = 2
+AGS = 0.4449958	B0 = 1.901075E-7	B1 = 4.99995E-6
+KETA = -0.0164863	A1 = 3.868769E-4	A2 = 0.4640272
+RDSW = 123.3376355	PRWG = 0.5	PRWB = -0.197728
+WR = 1	WINT = -5E-9	LINT = 1.690044E-8
+DWG = -4.728719E-9		
+DWB = -2.452411E-9	VOFF = -0.0948017	NFACTOR = 2.1860065

+CIT = 0	CDSC = 2.4E-4	CDSCD = 0
+CDSCB = 0	ETA0 = 2.230928E-3	ETAB = 6.028975E-5
+DSUB = 0.0145467	PCLM = 1.3822069	PDIBLC1 = 0.1762787
+PDIBLC2 = 1.66653E-3	PDIBLCB = -0.1	DROUT = 0.7694691
+PSCBE1 = 8.91287E9	PSCBE2 = 7.349607E-9	PVAG = 1.685917E-3
+DELTA = 0.01	RSH = 6.7	MOBMOD = 1
+PRT = 0	UTE = -1.5	KT1 = -0.11
+KT1L = 0	KT2 = 0.022	UA1 = 4.31E-9
+UB1 = -7.61E-18	UC1 = -5.6E-11	AT = 3.3E4
+WL = 0	WLN = 1	WW = 0
+WWN = 1	WWL = 0	LL = 0
+LLN = 1	LW = 0	LWN = 1
+LWL = 0	CAPMOD = 2	XPART = 0.5
+CGDO = 8.23E-10	CGSO = 8.23E-10	CGBO = 1E-12
+CJ = 9.466429E-4	PB = 0.8	MJ = 0.3820266
+CJSW = 2.608154E-10	PBSW = 0.8	MJSW = 0.102322
+CJSWG = 3.3E-10	PBSWG = 0.8	MJSWG = 0.102322
+CF = 0	PVTH0 = -2.199373E-3	PRDSW = -0.9368961
+PK2 = 1.593254E-3	WKETA = -2.880976E-3	LKETA = 7.165078E-3
+PU0 = 6.777519	PUA = 5.505418E-12	PUB = 8.84133E-25
+PVSAT = 2.006286E3	PETA0 = 1.003159E-4	PKETA = -6.759277E-3)
.MODEL PM PMOS (	LEVEL = 7	
+VERSION = 3.1	TNOM = 27	TOX = 4.1E-9
+XJ = 1E-7	NCH = 4.1589E17	VTH0 = -0.3906012
+K1 = 0.5341312	K2 = 0.0395326	K3 = 0
+K3B = 7.4916211	W0 = 1E-6	NLX = 1.194072E-7
+DVT0W = 0	DVT1W = 0	DVT2W = 0
+DVT0 = 0.5060555	DVT1 = 0.2423835	DVT2 = 0.1
+U0 = 115.6894042	UA = 1.573746E-9	UB = 1.874308E-21
+UC = -1E-10	VSAT = 1.130982E5	A0 = 1.9976555
+AGS = 0.4186945	B0 = 1.949178E-7	B1 = 6.422908E-7
+KETA = 0.0166345	A1 = 0.4749146	A2 = 0.300003
+RDSW = 198.321294	PRWG = 0.5	PRWB = -0.4986647
+WR = 1	WINT = -5E-9	LINT = 2.94454E-8
+DWG = -2.798724E-8		
+DWB = -4.83797E-10	VOFF = -0.095236	NFACTOR = 2
+CIT = 0	CDSC = 2.4E-4	CDSCD = 0
+CDSCB = 0	ETA0 = 1.035504E-3	ETAB = -4.358398E-4
+DSUB = 1.816555E-3	PCLM = 1.3299898	PDIBLC1 = 1.766563E-3
+PDIBLC2 = 7.728395E-7	PDIBLCB = -1E-3	DROUT = 1.011891E-3
+PSCBE1 = 4.872184E10	PSCBE2 = 5E-10	PVAG = 0.0209921
+DELTA = 0.01	RSH = 7.7	MOBMOD = 1
+PRT = 0	UTE = -1.5	KT1 = -0.11
+KT1L = 0	KT2 = 0.022	UA1 = 4.31E-9
+UB1 = -7.61E-18	UC1 = -5.6E-11	AT = 3.3E4
+WL = 0	WLN = 1	WW = 0
+WWN = 1	WWL = 0	LL = 0
+LLN = 1	LW = 0	LWN = 1
+LWL = 0	CAPMOD = 2	XPART = 0.5
+CGDO = 6.35E-10	CGSO = 6.35E-10	CGBO = 1E-12
+CJ = 1.144521E-3	PB = 0.8468686	MJ = 0.4099522
+CJSW = 2.490749E-10	PBSW = 0.8769118	MJSW = 0.3478565
+CJSWG = 4.22E-10	PBSWG = 0.8769118	MJSWG = 0.3478565
+CF = 0	PVTH0 = 2.302018E-3	PRDSW = 9.0575312
+PK2 = 1.821914E-3	WKETA = 0.0222457	LKETA = -1.495872E-3
+PU0 = -1.5580645	PUA = -6.36889E-11	PUB = 1E-21
+PVSAT = 49.8420442	PETA0 = 2.827793E-5	PKETA = -2.536564E-3)
.PROBE		
.OP		
.END		

EK-B

MOSIS WAFER ACCEPTANCE TESTS

RUN: T58F (MM_NON-EPI_THK-MTL) ENDOR: TSMC
 TECHNOLOGY: SCN018 FEATURE SIZE: 0.18 microns
 Run type: SKD

INTRODUCTION: This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: DSCN6M018_TSMC

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	0.27/0.18			
Vth		0.50	-0.50	volts
SHORT	20.0/0.18			
Idss		549	-267	uA/um
Vth		0.51	-0.51	volts
Vpt		4.7	-5.4	volts
WIDE	20.0/0.18			
Ids0		17.4	-8.6	pA/um
LARGE	50/50			
Vth		0.43	-0.41	volts
Vjbkd		3.1	-4.1	volts
Ijlk		<50.0	<50.0	pA
K' (Uo*Cox/2)		172.8	-36.0	uA/V^2
Low-field Mobility		410.35	85.49	cm^2/V*s

COMMENTS: Poly bias varies with design technology. To account for mask bias use the appropriate value for the parameters XL and XW in your SPICE model card.

Design Technology	XL (um)	XW (um)
-----	-----	-----
SCN6M_DEEP (lambda=0.09)	0.00	-0.01
thick oxide	0.00	-0.01
SCN6M_SUBM (lambda=0.10)	-0.02	0.00
thick oxide	-0.02	0.00

FOX TRANSISTORS			GATE		N+ACTIVE		P+ACTIVE		UNITS	
Vth			Poly		>6.6		<-6.6		volts	
PROCESS PARAMETERS			N+	P+	POLY	N+BLK	PLY+BLK	M1	M2	UNITS
Sheet Resistance			6.7	7.7	8.2	61.3	321.5	0.08	0.08	ohms/sq
Contact Resistance			10.9	11.4	10.2				4.08	ohms
Gate Oxide Thickness			41							angstrom
PROCESS PARAMETERS			M3	POLY_HRI		M4	M5	M6	N_W	UNITS
Sheet Resistance			0.08	1006.9		0.08	0.08	0.01	933	ohms/sq
Contact Resistance			8.43			12.49	16.19	18.33		ohms

COMMENTS: BLK is silicide block.

CAPACITANCE PARAM.	N+	P+	POLY	M1	M2	M3	M4	M5	M6	R_W	D_N_W	M5P	N_W	UNITS
Area(substrate)	949	1133	106	37	18	13	8	8	3		130		130	aF/um^2
Area(N+active)			8502	51	20	14	11	9	8					aF/um^2
Area(P+active)			8278											aF/um^2
Area(poly)				60	17	10	7	5	4					aF/um^2
Area(metal1)					38	15	9	7	5					aF/um^2
Area(metal2)						39	15	9	6					aF/um^2
Area(metal3)							39	15	9					aF/um^2
Area(metal4)								37	14					aF/um^2
Area(metal5)									36			1001		aF/um^2
Area(r well)	931													aF/um^2
Area(d well)										574				aF/um^2
Area(no well)	141													aF/um^2
Fringe(substrate)	269	226		--	59	54	42	24	--					aF/um
Fringe(poly)				67	38	29	24	20	18					aF/um
Fringe(metal1)					55	35		23	20					aF/um
Fringe(metal2)						49	36	28	25					aF/um
Fringe(metal3)							54	36	31					aF/um
Fringe(metal4)								61	42					aF/um
Fringe(metal5)									71					aF/um
Overlap(P+active)			635											aF/um

CIRCUIT PARAMETERS		UNITS
Inverters	K	
Vinv	1.0	0.75 volts
Vinv	1.5	0.80 volts
Vol (100 uA)	2.0	0.08 volts
Voh (100 uA)	2.0	1.63 volts
Vinv	2.0	0.83 volts
Gain	2.0	-24.09
Ring Oscillator Freq.		
D1024_THK (31-stg,3.3V)		314.48 MHz
DIV1024 (31-stg,1.8V)		384.11 MHz
Ring Oscillator Power		
D1024_THK (31-stg,3.3V)		0.07 uW/MHz/gate
DIV1024 (31-stg,1.8V)		0.02 uW/MHz/gate

COMMENTS: DEEP_SUBMICRON

T58F SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```

* DATE: Oct 31/05
* LOT: T58F WAF: 9005
* Temperature_parameters=Default
.MODEL CMOSN NMOS (
+VERSION = 3.1 TNOM = 27 LEVEL = 49
+XJ = 1E-7 NCH = 2.3549E17 TOX = 4.1E-9
+K1 = 0.5864999 K2 = 1.127266E-3 VTH0 = 0.3662473
+K3B = 0.0294061 W0 = 1E-7 K3 = 1E-3
+DVT0W = 0 DVT1W = 0 NLX = 1.630684E-7
+DVT0 = 1.2064649 DVT1 = 0.4215486 DVT2W = 0
+U0 = 273.8094484 UA = -1.40499E-9 DVT2 = 0.0197749
+UC = 6.504826E-11 VSAT = 1.355009E5 UB = 2.408323E-18
+AGS = 0.4449958 B0 = 1.901075E-7 A0 = 2
+KETA = -0.0164863 A1 = 3.868769E-4 B1 = 4.99995E-6
+RDSW = 123.3376355 PRWG = 0.5 A2 = 0.4640272
+WR = 1 WINT = 0 PRWB = -0.197728
+XL = 0 XW = -1E-8 LINT = 1.690044E-8
+DWB = -2.452411E-9 VOFF = -0.0948017 DWG = -4.728719E-9
NFACTOR = 2.1860065

```

+CIT	= 0	CDSC	= 2.4E-4	CDSCD	= 0
+CDSCB	= 0	ETA0	= 2.230928E-3	ETAB	= 6.028975E-5
+DSUB	= 0.0145467	PCLM	= 1.3822069	PDIBLC1	= 0.1762787
+PDIBLC2	= 1.66653E-3	PDIBLCB	= -0.1	DROUT	= 0.7694691
+PSCBE1	= 8.91287E9	PSCBE2	= 7.349607E-9	PVAG	= 1.685917E-3
+DELTA	= 0.01	RSH	= 6.7	MOBMOD	= 1
+PRT	= 0	UTE	= -1.5	KT1	= -0.11
+KT1L	= 0	KT2	= 0.022	UA1	= 4.31E-9
+UB1	= -7.61E-18	UC1	= -5.6E-11	AT	= 3.3E4
+WL	= 0	WLN	= 1	WW	= 0
+WWN	= 1	WWL	= 0	LL	= 0
+LLN	= 1	LW	= 0	LWN	= 1
+LWL	= 0	CAPMOD	= 2	XPART	= 0.5
+CGDO	= 8.23E-10	CGSO	= 8.23E-10	CGB0	= 1E-12
+CJ	= 9.466429E-4	PB	= 0.8	MJ	= 0.3820266
+CJSW	= 2.608154E-10	PBSW	= 0.8	MJSW	= 0.102322
+CJSWG	= 3.3E-10	PBSWG	= 0.8	MJSWG	= 0.102322
+CF	= 0	PVTH0	= -2.199373E-3	PRDSW	= -0.9368961
+PK2	= 1.593254E-3	WKETA	= -2.880976E-3	LKETA	= 7.165078E-3
+PU0	= 6.777519	PUA	= 5.505418E-12	PUB	= 8.84133E-25
+PVSAT	= 2.006286E3	PETA0	= 1.003159E-4	PKETA	= -6.759277E-3
)					
*					
.MODEL CMOS PMOS (				LEVEL	= 49
+VERSION = 3.1	TNOM	= 27	TOX	= 4.1E-9	
+XJ = 1E-7	NCH	= 4.1589E17	VTH0	= -0.3906012	
+K1 = 0.5341312	K2	= 0.0395326	K3	= 0	
+K3B = 7.4916211	W0	= 1E-6	NLX	= 1.194072E-7	
+DVT0W = 0	DVT1W	= 0	DVT2W	= 0	
+DVT0 = 0.5060555	DVT1	= 0.2423835	DVT2	= 0.1	
+U0 = 115.6894042	UA	= 1.573746E-9	UB	= 1.874308E-21	
+UC = -1E-10	VSAT	= 1.130982E5	A0	= 1.9976555	
+AGS = 0.4186945	B0	= 1.949178E-7	B1	= 6.422908E-7	
+KETA = 0.0166345	A1	= 0.4749146	A2	= 0.300003	
+RDSW = 198.321294	PRWG	= 0.5	PRWB	= -0.4986647	
+WR = 1	WINT	= 0	LINT	= 2.94454E-8	
+XL = 0	XW	= -1E-8	DWG	= -2.798724E-8	
+DWB = -4.83797E-10	VOFF	= -0.095236	NFACTOR	= 2	
+CIT = 0	CDSC	= 2.4E-4	CDSCD	= 0	
+CDSCB = 0	ETA0	= 1.035504E-3	ETAB	= -4.358398E-4	
+DSUB = 1.816555E-3	PCLM	= 1.3299898	PDIBLC1	= 1.766563E-3	
+PDIBLC2 = 7.728395E-7	PDIBLCB	= -1E-3	DROUT	= 1.011891E-3	
+PSCBE1 = 4.872184E10	PSCBE2	= 5E-10	PVAG	= 0.0209921	
+DELTA = 0.01	RSH	= 7.7	MOBMOD	= 1	
+PRT = 0	UTE	= -1.5	KT1	= -0.11	
+KT1L = 0	KT2	= 0.022	UA1	= 4.31E-9	
+UB1 = -7.61E-18	UC1	= -5.6E-11	AT	= 3.3E4	
+WL = 0	WLN	= 1	WW	= 0	
+WWN = 1	WWL	= 0	LL	= 0	
+LLN = 1	LW	= 0	LWN	= 1	
+LWL = 0	CAPMOD	= 2	XPART	= 0.5	
+CGDO = 6.35E-10	CGSO	= 6.35E-10	CGB0	= 1E-12	
+CJ = 1.144521E-3	PB	= 0.8468686	MJ	= 0.4099522	
+CJSW = 2.490749E-10	PBSW	= 0.8769118	MJSW	= 0.3478565	
+CJSWG = 4.22E-10	PBSWG	= 0.8769118	MJSWG	= 0.3478565	
+CF = 0	PVTH0	= 2.302018E-3	PRDSW	= 9.0575312	
+PK2 = 1.821914E-3	WKETA	= 0.0222457	LKETA	= -1.495872E-3	
+PU0 = -1.5580645	PUA	= -6.36889E-11	PUB	= 1E-21	
+PVSAT = 49.8420442	PETA0	= 2.827793E-5	PKETA	= -2.536564E-3	
)					

ÖZGEÇMİŞ

Kazım BOZKURT 1978, yılında Milas/MUĞLA'da doğmuştur. Ortaöğrenimini Beşiktaş Atatürk Anadolu Lisesi'nde tamamladıktan sonra 1993 yılında Deniz Lisesi Komutanlığı/Heybeliada'da askeri eğitim kurumlarındaki öğrenim hayatına başlamıştır. 1996 yılında Deniz Lisesi Komutanlığı'ndan, müteakiben 2000 yılında da Deniz Harp Okulu Komutanlığı, Elektronik Mühendisliği, Kontrol Sistemleri lisans programından, deniz subayı ve elektronik mühendisi unvanlarıyla mezun olmuştur. 4 sene boyunca Deniz Kuvvetleri Komutanlığı'nın çeşitli gemilerinde görev yaptıktan sonra 2004 güz döneminde İstanbul Teknik Üniversitesi, Elektrik-Elektronik Fakültesi'nde başladığı Elektronik Mühendisliği yüksek lisans programını 2006 bahar döneminde tamamlamıştır. Halen Deniz Kuvvetleri Komutanlığı emrinde, subay olarak görev yapmaktadır.