

46169.

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

MRC VE AKIM TAŞIYICI ELEMANLARI
İLE DEVRE SENTEZİ

YÜKSEK LİSANS TEZİ

Müh. Cemal Alp AKBULUT

Tezin Enstitüye Verildiği Tarih : 10 Ocak 1995

Tezin Savunulduğu Tarih : 1 Şubat 1995

Tez Danışmanı : Prof. Dr. Cevdet ACAR

Diğer Jüri Üyeleri : Prof. Dr. Ergül AKÇAKAYA

Prof. Dr. Fuat ANDAY

ŞUBAT 1995

İ.T.Ü. YÜKSEKÖĞRETİM KURULU
DOĞUMANTASYON MERKEZİ

ÖNSÖZ

Bu tezde direnç elemanı olarak lineer bölgede çalışan dört tane eşdeğer boyutlardaki MOS elemanı, kapasite elemanı ve aktif eleman olarak pozitif akım taşıyıcı kullanarak transfer fonksiyonu gerçeklemeye yönelik yöntemler sunulmaktadır. Bu filtre yapılarının performansları PSPICE programı kullanarak gösterilmektedir.

Tezin hazırlanmasında emeği geçen Sayın Prof. Dr. Cevdet Acar 'a ve Dr. Herman Sedef' e teşekkürü bir borç bilirim.

İstanbul , 1995

Cemal Alp Akbulut

İÇİNDEKİLER

ÖZET	V
SUMMARY	VI
BÖLÜM 1. GİRİŞ	1
1.1. Tezin Amacı ve İncelenen Problemin Tanımı	1
1.2. Aktif ve Pasif Devre Sentezi	2
1.3. Akım Taşıyıcıya İlişkin Çalışmalar	4
1.4. CMOS Direnç Gerçekleştirmeye Yönelik Çalışmalar	10
 BÖLÜM 2. AKTİF ELEMANLARIN TANTILMASI	14
2.1. Akım Taşıyıcılar ve Modellenmesi	14
2.2. Akım Taşıyıcının CMOS ile Gerçekleştirilmesi	16
2.3. Dinamik Aralık ve Frekans Davranışının Pratik Olarak İncelenmesi	19
2.4. Teorik Olarak Dinamik Aralığın İncelenmesi	25
2.5. MRC Elemanının Tanıtılması	31
 BÖLÜM 3. SENTEZDE KULLANILAN TEMEL YAPI TAŞLARI	44
3.1. MRC ve CCII ile Gerilim Modu Yapılar	44
3.2. MRC ve CCII ile Akım Modu Yapılar	49
3.3. MRC ve CCII ile Oluşturulmuş Diğer İki Kapalı Elemanlar	52
 BÖLÜM 4. TRANSFER FONKSİYONU GERÇEKLEŞTİRİLMESİ	60
4.1. İşaret Akış Diyagramı ile Sentez	60
4.2. Basamaklı Devre ile Sentez Yöntemi	66
4.3. Basamaklı Devre Sentez Yönteminin Örnek Üzerinde Açıklanması	71
4.3.1. 4. Dereceden Alçak Geçiren Filtre Devresi	71
4.3.2. 4. Dereceden Band Geçiren Filtre	76
4.4. Basamaklı Devre Sentezine Farklı Bir Bakış	80

BÖLÜM 5.	SİMÜLASYON VE ELEMAN SAYISI	
	MINİMİZASYONU	83
5.1.	3. Dereceden Alçak Geçiren Filtre Simülasyonu	83
5.2.	Jirator Devre Elemanı ile Band Geçiren Filtre Simülasyonu	85
	SONUÇLAR VE ÖNERİLER	91
	KAYNAKLAR	92
	ÖZGEÇMİŞ	98



ÖZET

Bu tezde literatürde MOSFET-C filtre tasarımı olarak bilinen aktif filtre sentezi öne sürülmektedir. Aktif filtre elemanı olarak pozitif akım taşıyıcı bloğu ve direnç olarak Czarnul tarafından öne sürülen MRC (MOS Resistive Circuit) bloğu kullanılmaktadır. MRC elemanı esasında Tsividis tarafından öne sürülen yapının değiştirilmiş şeklidir. Tsividis 'in öne sürdüğü yapı dengeli yapıdaki işlemsel kuvvetlendiriciler ile kullanılabilmekte ve tam olarak lineer değildir, sadece tüm çift terimli tranzistor nonlineerlikleri yok edebilmektedir. Czarnul, Tsividis'in yapısına çapraz bağlı iki MOS elemanı daha ekleyerek MRC yapısını oluşturmuştur. Böylece MRC bloğu fiziksel olarak aynı ve eş boyuttaki dört MOS tranzistordan oluşan giriş fark gerilimini çıkışta fark akımına dönüştüren, iki kontrol geriliminin farkıyla orantılı bir admitans elemanı oluşturan bir yeni yapı olarak ortaya çıkmış olmaktadır. MRC elemanının akım-gerilim bağıntısından ortaya çıkan sonuçlar aşağıdaki gibi özetlenebilir :

- 1) Mobilite kanal boyunca sabit varsayılmaktadır.
- 2) Direnç değeri eşik gerilimine ve gövde etkisi terimine bağlı değildir.
- 3) Direnç sadece fark gerilimi ile ayarlanır ve dinamik aralık kontrol gerilimlerini aynı anda artırarak artırılabilir.
- 4) Direnç değeri taban gerilimine bağlı değildir.

MRC elemanı dengeli modda olmak zorunda değildir, sadece akım çıkışındaki uç gerilimlerinin aynı potansiyelde olması gerekmektedir. Bu elemanın dinamik aralığı ve küçük işaret yüksek frekans davranışının elverişliliği bu tezde tercih edilmesinin temel nedenidir. Aktif eleman olarak seçilen pozitif akım taşıyıcı tanım bağıntısı gereğince MRC ile kullanılmaya uygun olduğu için seçilmektedir. Ayrıca pozitif akım taşıyıcıların band genişliği birkaç MHz ' ler civarında olması da önemli bir avantajdır.

Bölüm 1 ' de aktif filtre tasarımının pasif filtre tasarımına karşı üstünlüğü açıklandıktan sonra akım taşıyıcı ve CMOS direnç gerçeklemeye yönelik literatürdeki çalışmalar verilmektedir.

Bölüm 2 ' de akım taşıyıcının ve MRC elemanının matematiksel modellenmesi verilmektedir. İşlemsel kuvvetlendirici temelli bir pozitif akım taşıyıcı bu bölümde verilip, bu topolojinin dinamik aralığı teorik ve pratik olarak verilmektedir.

Bölüm 3 ' te transfer fonksiyonu gerçeklerken kullanılabilecek temel yapı taşları sunulmaktadır. Bölüm 4 ' te universal filtre gerçeklemeye yönelik işaret akış diyagramı temelli bir yöntem sunulmuş ve daha sonra basamaklı devre simülasyonu için bir yöntem üzerinde yoğunlaşmaktadır. Bölüm 5 ' te ise simülasyon ve MOS sayısı minimize etme yöntemi sunulmaktadır.

SUMMARY

MOS RESISTIVE CIRCUIT AND CCII+ BASED SYNTHESIS

MOSFET-C circuits started as a Columbia University/ Bell Laboratories invention in 1981. By the time Prof. Ismail started working in the above area in 1984, Tsividis and his group had published several papers on MOSFET-C circuits (Fully integrated active RC or MOS active RC circuits). These publications elaborated the principles of MOSFET-C circuits, gave experimental results on a high-performance MOSFET-C filter chip ,and presented the analysis and compensation of nonidealities in such circuits, including intrinsic parasitic effects.

In April 1985, Prof. Czarnul invented a linear transconductor consisting of four triode-operated MOSFETs in analog continuous operation as opposed to being used as switches with two control voltages, named as four-MOSFET transconductor or MOS resistive circuit (MRC), and presented several possible applications. He showed that these four MOSFETs could advantageously replace Tsividis' two MOSFETs.

Continuous-time filters have recently received attention in the context of MOS VLSI technology. A main reason for this is that a number of drawbacks associated with switched-capacitor techniques are absent in continuous-time operation. Since continuous time filters do not employ sampling, as do switched-capacitor filters, high-frequency noise is not aliased into the baseband. The sampling process in switched-capacitor circuits also has the practical problems of clock feedthrough and switch charge injection, which are difficult to predict and eliminate, especially at high frequencies; such problems are nonexistent in continuous time filtering. At high frequencies, a switched - capacitor filter requires antialiasing and smoothing filters with sharp cutoff characteristics, due to low clock-frequency-to-baseband-frequency ratios, which makes necessary sophisticated continuous-time filtering methods. Since such methods must be developed anyway, it is then natural to consider implementing the whole filtering function with continuous-time techniques. One continuous -time technique that has provided high linearity and high precision at voice-band frequencies is the MOSFET-C technique.

Low-frequency MOSFET-C filters may be implemented with the basic integrator building block of Tsividis' balanced structure with two MOSFETs. These transistors operate in the non-saturation region and act as voltage-controlled resistors. By matching the transistors and using a balanced output op-amp, all even terms of the transistor nonlinearity cancel, provided that the inputs are also balanced. The odd terms of the transistor nonlinearity are not rejected, but they are much smaller in magnitude than the remaining linear term and can be neglected for most filter

applications. For elimination of both even and odd nonlinearities, assuming a bias-independent mobility, Czarnul 's structure with additive MOSFETs is required.

The MOS transistor is not a simple resistor as assumed, but rather can be modeled as a uniform RC transmission line for small-signal inputs. The distributed capacitance of the MOS transistor , due to the gate oxide and depletion layer capacitances, produces a phase lag at the output of the two-transistor integrator. The two-port admittance parameters for a uniform RC transmission line are given below :

$$Y = \frac{\sqrt{S\tau}}{R_t \cdot \sinh \sqrt{S\tau}} \begin{bmatrix} \cosh \sqrt{S\tau} & -1 \\ -1 & \cosh \sqrt{S\tau} \end{bmatrix}$$

$$\tau = R_t \cdot C_t \quad (1)$$

The filters operated at low frequencies relative to $1/\tau$ of the MOSFET 's , so that the transmission line nature of the MOS transistor can be modeled with approximate admittance parameters. Expanding each of the hyperbolic functions in (1) in a series and retaining only the first two terms result in the following :

$$y_{11} = y_{22} = \frac{\frac{s\tau}{2} + 1}{R_t \cdot \left(\frac{s\tau}{6} + 1 \right)} , \quad y_{12} = y_{21} = \frac{-1}{R_t \cdot \left(\frac{s\tau}{6} + 1 \right)} \quad (2)$$

Although the four-transistor integrator is superior to the two-transistor integrator in terms of quality factor, the four-transistor design has two disadvantages which must be considered. First, the thermal noise at the integrator output is higher in the four transistor case, assuming identical integrating capacitances, identical ω_o and negligible op-amp noise. Second , the sensitivity of ω_o to transistor mismatches is worse in the four-transistor design. Both effects become more severe as the difference between control voltages decreases.

To introduce the proposed MOS resistive circuit (MRC), we assume that the MOS transistors used have a long n-channel and operate in the nonsaturation region. Complete expressions describing the MOS transistor channel current I_D in nonsaturation region are given as below :

$$I_D = F(V_D, V_G) - F(V_S, V_G)$$

with $K = \frac{1}{2} \mu C'_{ox} \frac{W}{L}$, $\gamma = \frac{1}{C'_{ox}} (2qN_A \epsilon_s)^{\frac{1}{2}}$

$$F(V_X, V_G) = 2K(V_G - V_B - V_{FB} - \Phi_B)V_X - K(V_X - V_B)^2 - \frac{4}{3}K\gamma(V_X - V_B + \Phi_B)^{\frac{3}{2}} \quad (3)$$

The symbols have the following meaning :

V_D, V_S, V_G, V_B	drain, source, gate and substrate potentials with respect to the ground
L, W	length and width of the channel
V_{FB}	flat-band voltage
Φ_B	approximate surface potentials in strong inversion for zero backgate bias
μ	carrier effective mobility in the channel , assumed independent of the terminal voltages
N_A	substrate doping concentration
C'_{ox}	gate oxide capacitance per unit area
ϵ_s	silicon dielectric constant
q	electron charge

MRC is shown in Fig.1 and mathematical expression for input voltages and output currents is given below :

$$I_1 - I_2 = 2K(V_{GA} - V_{GB})(V_1 - V_2) \quad (4)$$

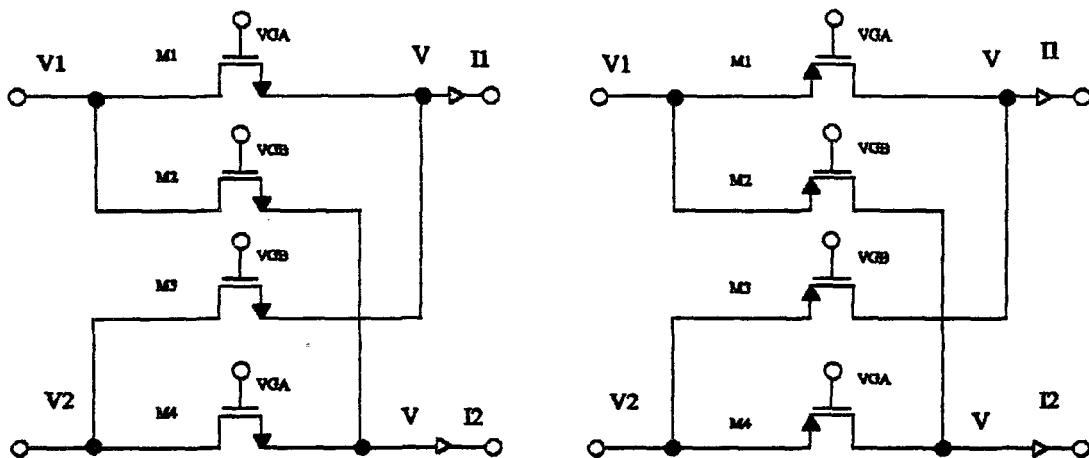


Figure 1 MOS transistors realization of MRC

To increase the versatility of the current conveyor, a second version in which no current flows in terminal Y, was introduced in 1968. The CCII is described by :

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (5)$$

Thus, terminal Y exhibits an infinite input impedance. The voltage at X follows that applied to Y, thus X exhibits a zero input impedance. The current supplied to X is conveyed to the high impedance output terminal Z where it is supplied with either positive polarity as in CCII+ or negative polarity as in CCII-.

In this thesis, the main objective is to design any kind of filter characteristics by using CCII+ and MRC blocks. Therefore, in Section 1 active and passive circuit synthesis methods are compared. After that, reference works of various authors are described in the subject of both current conveyor and CMOS based resistance implementation.

In Section 2, ideal mathematical definition of current conveyor is given as in (5). For small signal frequency performance analysis, Wilson's model is proposed for certain input and output conditions so as not to cause clipping problem. Additionally, another 100% feedback applied operational amplifier based high performance model for current conveyor is also proposed, since a 5um CMOS process current conveyor topology suitable for this model is given in this section. This current conveyor topology proposed by Sedra and Roberts has been used within the whole thesis. Due to this, dynamic range and frequency behaviour of this topology have been analysed. For dynamic range 3 main steps are used :

- 1) Connecting a resistor at Z terminal and varying the resistor at terminal X, a DC voltage between -5V and +5V is swept.
- 2) Grounding terminal Z and varying the resistor at terminal X, a DC voltage between -5V and +5V is swept.
- 3) Connecting a resistor at X terminal and varying the resistor at terminal Z, a DC voltage between -5V and +5V is swept.

PSPICE subcircuit model for this topology is also given and the practical results are taken with respect to this. After that it is searched for the dynamic region theoretically and analytical results have been obtained for this topology. At last MRC element is introduced giving its current voltage defining equation. As indicated above, MOS transistors are modelled as transmission lines for high frequency small signal operation.

In Section 3, voltage mode blocks such as multiplication block, addition block, lossless integrator block and derivative blocks are introduced. Secondly current mode structures such as current copier block, integrator block and derivative block are

introduced using MRC and current conveyor block together. This structures can be used for signal flow graph based synthesis explained in Section 4. After that two port elements consisted of MRC and CCII are obtained with the elements of voltage type generalized impedance converter (VGIC) and current type generalized impedance converter.

In Section 4 , synthesis with signal flow graph is introduced both for voltage and current mode operation. This synthesis demonstrates that quality factor and operating frequency can be adjusted independently from each other for second order realization. After that we are concentrated on synthesis based on passive ladder structure simulation. The steps that should be taken for the execution of ladder circuit synthesis as passive circuit simulation have been given systematically. It can be shown that the synthesis has been reduced to passive grounded impedance simulation. Additionally current mode ladder structures are also be introduced within the thesis, but they are likely to the voltage mode structures.

In Section 5 , simulation of 3. order low pass filter has been executed by PSPICE. Then gyrator based second order band pass filter realization is given . For the reduction of number of MOSFETs a method is proposed as below :

- 1) Since the currents of two MOS transistors, connected to the same external terminals and applied same control voltages are equal, for such MOS transistors it can be shown that both of them can be erased if one terminal of these MOS is connected to the same potential and other is connected to the V and I terminal of an INIC.
- 2) If the two MOS transistors' drain and source terminals, applied same control voltages , are connected to the same terminals, one of them can be erased and its admittance are taken as double of its nominal value.

BÖLÜM 1

GİRİŞ

1.1. TEZİN AMACI VE İNCELENEN PROBLEMİN TANIMI

Bu tezde, ikinci kuşak akım taşıyıcıları ile MRC (Mos Resistive Circuit) kullanarak aktif devre sentezi için hem işaret akış diyagramı yöntemine , hem de basamaklı devre yöntemine dayanan yöntemler sunulmaya çalışılmıştır. Bu çalışmadaki amaç tümleşik devre tasarımına elverişli ve kontrol edilebilir aktif filtreyi CMOS yapıyla gerçekleştirilebileceğini göstermektir. Özellikle, kontrol edilebilirliğin lineer olması nedeniyle, geçirme bandının kaydırılması veya değiştirilebilir olması ve kalite faktörünün ayarlanabilmesi önemli bir avantaj olmaktadır.

İkinci kuşak akım taşıyıcı kullanılması amacı bu elemanın yüksek frekans çalışma aralığının yüksek olması ve yukarıda sözlü edilen sentez yöntemleri için elverişli olmasından kaynaklanmaktadır. MRC direnç elemanı girişindeki fark gerilimini , fark akımına çeviren dört tane fiziksel olarak aynı yapı ve boyutta olan MOS transistörlerinden oluşmuş ilginç bir yapıdır. Bu elemanın dinamik aralığı ve frekans davranışının elverişliliği bu tezde tercih edilmesinin temel nedenidir.

Temel problem MRC ile topraklı veya yüzen direnç elde edilmesidir. Bu elemanın lineer çalışması için fark akım çıkış uçlarının aynı potansiyelde olması ve bu fark akımının bir devre topolojisi ile bir koldan geçen akıma çevrilmesi gerekmektedir. Bu yüzden topraklı bir direnç elemanı sunulurken çıkışta bir akım taşıyıcısına gerek duyulmaktadır. Fakat, her topraklı direnç gerçekleştirilişinde fazladan bir akım taşıyıcısının kullanılması sakıncasının önüne geçilmesi için, bir yöntem önerilecektir. Fakat yüzen direnç gerçekleştirilmesinde fazladan iki akım taşıyıcı ve iki birim kazançlı gerilim kazançlı tamponun gereksinimi duyulacağından ve ayrıca bu sakıncanın topraklı direnç probleminde olduğu gibi kolayca çözülemeyeceği için, sentezde bu tip topolojilerden kaçınılacaktır. Bu yüzden , RC: -RC ayrışımı yöntemleri

yerine duyarlılık açısından daha iyi bir performans sağlayan basamaklı devre sentezi üzerinde yoğunlaşılacak ve SPICE programı ile simülasyon ile teorik sonuçların doğruluğu test edilecektir. Bu açıdan bakıldığında öne sürülen sentez yöntemi literatürde MOSFET-C olarak bilinen sürekli zamanlı analog filtre tasarımı olarak bilinmektedir.

1.2. AKTİF VE PASİF DEVRE SENTEZİ

Belli bir amaca uygun olarak, kompleks kutuplu transfer fonksiyonlarına sahip devrelerin elde edilmesi için başlangıçta pasif devre sentezine yönelik RLC elemanları ile tasarım yapılmıştır. Fakat endüktansın aşağıdaki sakıncalarından dolayı ilk başta bipolar tranzistor jonksiyonlu aktif elemanlar kullanılmıştır :

- a) Yüksek frekanslardaki nonlineerlik
- b) Histeresis etkisi ve çekirdek kayıpları
- c) Akı dolayısıyla kuplaj etkileri
- d) Alçak frekanslarda boyut problemi ve üretim güçlüğü

Bu nedenle, BJT (Bipolar Junction Transistor) vasıtasıyla, büyük geçiş admitanslı fark kuvvetlendiricileri yardımıyla işlemsel kuvvetlendiricili yapılar gerçekleştirilmiş ve daha sonra kazanç - bandgenişliği çarpımını kompanzasyon yaparak arttıran daha geniş temel bantlı işlemsel kuvvetlendiriciler gerçekleştirilmiştir.

BJT ve daha sonra MOST üzerindeki teknolojik gelişmeler, İşlemsel kuvvetlendiriciler , Norton kuvvetlendiriciler , OTA (Operational Transconductance Amplifier) ve CC (Current Conveyor) gibi aktif elemanların üretilmesine neden olmuştur. Bu devrelerin lineerlik davranışının iyi olması nedeniyle, aktif jirator devre elemanı gerçekleştirilmiş ve bu elemanın çıkışına kapasite bağlanmasıyla endüktans gerçekleştirilmesi öne sürülmüştür. Akım taşıyıcının yüksek frekans performansının iyi olması dolayısıyla bu eleman vasıtasıyla CMOS teknolojisi ile jirator tasarımı konusu üzerinde çeşitli çalışmalar söz konusu olmuştur.

Pasif R , L , C elemanlarıyla gerçekleştirilen analog filtreler aynı zamanda aktif bir eleman ile R veya C ya da R - C birlikte kullanılarak gerçekleştirilebilir. Avantajlı yanları aşağıdaki gibi özetlenebilir :

- a) Endüktans elemanına ihtiyaç duymaksızın analog transfer fonksiyonları gerçekleştirme
- b) 1' den büyük kazanç sağlama
- c) Tümlerik devre teknolojisine uygunluk

Dezavantajlı yönleri ise aşağıdaki gibi özetlenebilir :

a) Bazı durumlarda, aktif elemanlar kompanzasyon kapasiteleri ile kararlı duruma sokulurlar ve R-C elemanları ile tasarım yapıldığında, devre kararsız hale girebilir. Bu gibi durumlarda bu tip topolojiler karşılaştırma devresi ,sinüzoidal osilatör gibi amaçlarla kullanılabilirler. Fakat, R-L-C devrelerin pozitif reel olması dolayısıyla, R , C veya L simülasyonuna dayalı sentez yöntemi ile kararlı yapılar elde edilebilir.

b) Dinamik aralık aktif elemanın lineer bölgede çalışması için gerekli giriş aralığı ile verilir. Bu yüzden, dinamik aralığın artırılması problemi aktif elemanlar için söz konusudur.

c) Çalışma frekansı ve yükselme hızı (slew-rate) problemi vardır. Bu da yüksek temel bandlı akım modunda çalışan akım taşıyıcıları ile üstesinden gelinmiştir.

Aktif devre sentezi genelde iki temel yöntemle ayrılabilir :

1) Devre modelinin öncelikle seçildiği yöntemler :

- a) Ayrıştırma yöntemi (RC : -RC ve RC : RL ayrışımı)
- b) Katsayıları eşleştirme yöntemi

2) Devre modelinin öncelikle seçilmediği yöntemler :

- a) Durum denklemleri yöntemi
- b) İşaret akış diyagramı yöntemi
- c) Basamaklı devre gibi pasif devre sentezinin uygulandığı yöntemler

Bu tezde, daha genel olduğu için, incelenecek olan devre modelinin öncelikle seçilmediği işaret akış diyagramı ve basamaklı devre yöntemidir. Özellikle basamaklı devre sentezi üzerinde durulacaktır ,çünkü bu tip devre sentezi pasif devre sentezine yani RLC sentezine dayandığı için kararlılık problemi olmayacak ve duyarlılığın düşük olması da bu sentez için bir avantaj olacaktır. Basamaklı devre sentezinde akım ve gerilim modundaki temel yapılar verilecek ve daha çok gerilim transfer fonksiyonları

ile uğraşılacaktır. Daha sonra, bu basamaklı devre sentezine pasif devre simülasyonu olarak değil de, belirli devre topolojileri kullanarak gerilim transfer fonksiyonu gerçekleyen alt işaret akış diyagramı olarak bakılacaktır.

1.3. AKIM TAŞIYICIYA İLİŞKİN ÇALIŞMALAR

Akım taşıyıcıları kavramı, ilk olarak 1968 yılında, Smith ve Sedra tarafından ortaya atılmış ve CCI ile gösterilen birinci kuşak akım taşıyıcılar ile tanıtılmıştır [1].

Sedra ve Smith [2] ,1970 yılında akım taşıyıcı kavramını, uç karakteristikleri bakımından daha farklı ve esnek olan ikinci kuşak akım taşıyıcı olarak adlandırılan CCII ile gösterilen bir devre elemanı olarak genişletmişlerdir. Sedra ve Smith bu çalışmada akım taşıyıcı , direnç ve kapasite kullanarak aktif devre sentezi için temel yapı taşları sunmuşlardır : Gerilim Kontrollü Gerilim Kaynakları (GKGK) , Gerilim Kontrollü Akım Kaynakları (GKAK) , Akım Kontrollü Gerilim Kaynakları (AKGK) , Akım Kontrollü Akım Kaynakları (AKAK) , Negatif Empedans Çeviriciler (NIC) , Jiratörler , akım kuvvetlendiricileri , akım türev alıcıları , akım integral alıcıları ve akım toplayıcıları gibi. Sedra ve Smith aynı çalışmada diyot , direnç ve CCII ' lerden oluşan genelleştirilmiş bir fonksiyon jeneratörü devresini de sunmuşlardır.

Black, Friedman ve Sedra [3], 1971 yılında , μA 749C işlemsel kuvvetlendiricisi, CA 3046 tümleşik npn tranzistor dizilerinden ve direnç elemanlarından yararlanarak CCII+ ve CCII- tipinde iki akım taşıyıcısı gerçekleştirmişlerdir.

Aronhime [4] , 1974 yılında , gerilim transfer fonksiyonlarının gerçekleştirilmesinde bir genelleme sağlamıştır. Kendi çalışmasının en genel reel , rasyonel gerilim fonksiyonlarını sentezleyebileceğini belirtmiştir.

Rathore ve Dasgupta [5] , 1975 yılında , gerilim transfer fonksiyonlarını gerçeklemek için iki sistematik sentez yöntemi vermişlerdir. Öyle ki , Soliman' ın çalışması [6] bu yöntemin özel bir hali olmuştur.

Nandi [7] , 1977 yılında Z2/Z1 biçimindeki gerilim transfer fonksiyonlarını yüksek giriş empedanslı olarak gerçekleştirmenin , akım taşıyıcılar kullanılmasıyla çok kolay bir şekilde yapılabileceğini ileri sürmüştür.

Pal [8] , 1981 yılında , iki ucu serbest ideal endüktans elemanının simülasyonunu yapan yeni bir devreyi dört akım taşıyıcı , dört direnç ve bir kapasite elemanı kullanarak gerçekleştirmiştir. Bu devrede bulunan tüm pasif devre elemanları bir ucu topraklı biçimdedir. Bunun tümleştirme tekniği açısından bir avantaj olduğunu , çünkü bir ucu topraklı elemanların tümleşik olarak daha kolay gerçekleştirilebileceğini ifade etmiştir. Pal [9] , aynı yılda yaptığı bir başka çalışmada iki ucu serbest endüktans ve kapasite simülasyonu gerçekleyen iki devre sunmuştur.

Singh [10] , 1981 yılında , bir dirençle kontrol edilebilir, kayıpsız iki ucu serbest endüktans simülasyonunu dört akım taşıyıcı , üç direnç ve bir kapasite elemanı ile gerçekleştirmiştir. Bu devrede bir direnç elemanı dışındaki tüm pasif elemanlar bir ucu topraklı biçimdedir.

Nandi [11] , 1982 yılında , frekans bağımlı negatif direnç elemanını (FDNR) , iki akım taşıyıcı , ikisi bir ucu topraklı olmak üzere üç direnç elemanı ve bir ucu topraklı iki kapasite elemanı ile gerçekleştirmiştir. Sunulan bu devrenin bir uygulaması olarak , bir ucu topraklı dirençle frekansı kontrol edilebilir bir sinüzoidal osilatör devresi tasarlanmıştır.

Senani [12] , iki ucu serbest endüktans simülasyonunu dört akım taşıyıcı ve üç pasif devre elemanı kullanarak gerçekleştirmiştir. Bu akım taşıyıcılarından biri CCI diğer üçü ise CCII . Devrede pasif devre elemanı olarak, biri bir ucu topraklı olmak üzere toplam iki direnç ve bir tane bir ucu topraklı kapasite elemanı kullanmıştır.

Nandi R. ve Nandi S. [13] , 1983 yılında akım taşıyıcıları kullanarak , tek bir dirençle kontrol edilebilir , aktif parametre değişimlerine duyarlı, ideal endüktans simülasyonu yapmıştır. Tümdevre teknolojisine de uygun olduğunu savundukları bu devrenin , tek bir dirençle kontrol edilebilmesi nedeniyle , ayarlanabilir filtre veya osilatör uygulamalarına da elverişli olduğunu belirtmişlerdir. Gerçekleştirdikleri devrede iki CCII+ , üç direnç ve bir kapasite elemanları kullanmışlardır.

Paul , Dey ve Patranabis [14] , 1983 yılında , iki ucu serbest negatif imitans dönüştürücüsünü (NIC), pasif eleman kullanmadan , iki CCII- ile gerçekleştirmişlerdir. Ayrıca , akım taşıyıcılarındaki akım transfer oranlarındaki eşitsizliklerin , devreye ek olarak konan bir direnç elemanı ile dengelenebileceğini göstermişlerdir. NIC in bir uygulaması olarak , iki ucu serbest , kayıpsız endüktans elemanının simülasyonunu gerçekleştirmişlerdir.

Senani [15] , 1984 yılında , iki ucu serbest FDNR ' yı sadece iki akım taşıyıcı kullanarak tasarlamıştır. Senani gerçekleştirdiği bu devrede iki CCII - , üç direnç ve iki kapasite elemanı kullanmıştır.

Wilson [16] , 1984 yılında yaptığı bir çalışmada , geniş bantlı , yüksek performanslı CCII+ tipindeki akım taşıyıcıyı , daha önceki çalışmalarda elde edilmiş olan , akım dönüştürücüler üzerinde bazı uyarlamalar yaparak elde etmiştir. Yüksek performanslı akım dönüştürücüler ; Wilson tarafından Op-Amp ve akım aynaları [17,18] , Fabre tarafından ise , "translinear" devreler kullanarak gerçekleştirilmiştir [19,20]. Bundan önce gerçekleştirilen akım taşıyıcıları da inceleyen Wilson , Bakhtiyar ve Aronhime ' in [21] , aşırı sayıda işlemsel kuvvetlendirici ve dirençlerle gerçekleştirdiği akım taşıyıcıların düşük bandgenişliliğine , Senani ' nin OTA , Op-Amp ve direnç [22] , Huertas ' ın Op-Amp ve dirençler kullanarak [23] , gerçekleştirdikleri akım taşıyıcıların ise yine düşük bandgenişliliğine ve çıkışı sürme yeteneklerinin zayıf olduğuna dikkat çekmiştir. İkinci kuşak akım taşıyıcıların gerçekleştirilmesinde LM301 Op-Amp ' ı ve CA3096 tümleşik tranzistor dizilerinden yararlanan Wilson bu çalışmasının , daha önceden yapılan çalışmalara göre , daha yüksek performanslı ve tümleştirmeye uygun olduğunu belirtmiştir.

Wilson [24] , 1985 yılında , CCII- yı LM301 Op-Amp ' ı ile CA3096 tümleşik tranzistor dizilerinden yararlanarak elde etmiştir. Geniş bantlı yüksek doğruluklu ve tümleştirmeye uygun olduğunu belirttiği bu akım taşıyıcıyı , daha önceki yıl gerçekleştirdiği CCII+ [16] çıkışına ikinci bir akım aynası çiftini uygun bir şekilde bağlayarak elde etmiştir. Bu ikinci kat akım evirme işlemi için kullanılmış ve giriş akımıyla çıkış akımı arasındaki 180 derecelik bir faz farkı oluşturmuştur.

Senani [25] , 1985 yılında , yüksek dereceden filtrelerin akım taşıyıcılarla tasarımına ilişkin yeni bir yöntem sunmuştur. Bu yöntem , basamaklı türden LC devrelerine yeni bir ölçekleme tekniği uygulanması ve böylelikle elde edilen devrelerin , ideal olmayan simüle endüktans elemanları ve FDNR ' lar ile gerçekleştirilmesi esasına dayanmaktadır. Bu yöntem sonucu elde edilen devreler minimum duyarlıklı bir yapıya sahip olup akım taşıyıcı sayısı , LC devrenin reaktif eleman sayısına eşittir. Bu yöntemle ilişkin bir uygulama da yapan Senani , n. dereceden gerilim transfer fonksiyonlarını sağlayan , girişi ve çıkışı dirençlerle sonlandırılmış basamaklı türden alçak geçiren LC filtreyi , CCII- tipinde tipinde akım taşıyıcılar ile birlikte R ve C elemanları kullanarak gerçekleştirmiştir. Senani bu çalışmasında, İmtans simülasyonu

yapan devrelerin minimum duyarlılık olmaları durumunda , bunlarla elde edilen simüle filtre devrelerinin de minimum duyarlılık olacağını belirtmiştir.

Wilson [26] , 1986 yılında yapmış olduğu bir çalışmada CCII+ ve CCII- ile çeşitli uygulamalar yapmıştır. Örneğin: tüm geçiren filtreler , bir ucu topraklı ve iki ucu serbest NIC 'lar , Jiratorler , FDNR ' ler ve RC osilatörleri gibi çeşitli uygulamalar. Wilson böylelikle, Op-Amp , OTA ve Norton kuvvetlendiricisi gibi aktif elemanlarla yapılan tüm uygulamaların , akım taşıyıcılar kullanılarak da yapılabileceğini ve bu devrelerin çok daha geniş bir frekans bandında çalışabileceğini belirtmiştir.

Higashimaru ve Fukui [27] , 1986 yılında , iki akım taşıyıcı ve bir birim kazançlı gerilim sürücü katı kullanarak ayarlanabilir, iki ucu serbest , kayıpsız, yeni bir FDNR simulasyonu yapmışlar ve iki devre sunmuşlardır. Gerçekleştirilen FDNR 'nın aktif parametre değişimlerine karşı pratik olarak duyarsız olduğunu ve bu aktif duyarlılığın [28] 'de yapılan çalışmadaki kadar az olduğunu belirtmişlerdir.

Chong ve Smith [29] , 1986 yılında alçak geçiren , yüksek geçiren ,ve band geçiren gerilim transfer fonksiyonlarını sağlayan bikuadratik filtreyi , bir akım taşıyıcı ve pasif elemanlar kullanarak kullanarak gerçekleştirmişlerdir. Bu filtrelerin pasif elemanlara karşı duyarlılığının düşük olduğunu , w_0 ve Q ' nun bağımsız olarak ayarlanabileceğini belirten Chong ve Smith , ayrıca iki yeni akım taşıyıcı tanıtarak , akım taşıyıcılar arasında bir sınıflandırma yapmışlar ve bunları CCII+1 , CCII-1 , CCII+2 ve CCII-2 olarak simgelemişlerdir.

Wilson [30] , 1988 yılında , akım taşıyıcıları kullanarak , değişik kazanç değerlerinde bandgenişliği sabit kalan gerilim kuvvetlendirici devresini gerçekleştirmiştir. Bu devrede akım geribeslemesi kullanan Wilson , başka aktif elemanlarla gerçekleştirilen gerilim kuvvetlendiricilerinde kazanç-bandgenişliği çarpımının sabit olmasından kaynaklanan sınırlamayı ortadan kaldırmıştır.

Wilson [31] , 1989 yılında , akım taşıyıcılarına dayalı enstrumentasyon kuvvetlendiricisini gerçekleştirmiştir. Fark gerilim ve akım ölçülmesinde kullanılan bu devre yüksek CMRR 'ye ve kazançtan bağımsız bandgenişliğine sahiptir. Gerçekleştirilen bu devrede iki CCII+ ve üç direnç elemanı kullanılmıştır.

Wilson aynı yıl yaptığı başka bir çalışmada [32] , akım taşıyıcıların performanslarıyla ilgilenmiş ve akım taşıyıcıların yüksek frekans davranışlarını

incelemeye uygun , bilgisayar destekli analizlerde kullanılabilecek bir model sunmuştur.

Roberts ve Sedra [33] , 1989 yılında , analog sinyallerin filtrelenmesini sağlayan yeni bir yöntem sunmuşlardır. Lineer devrelerde "interreciprocal" özelliğine dayalı bu yöntemde ; gerilim kuvvetlendiricili filtre devreleri , akım kuvvetlendiricili filtre devrelerine dönüştürülmektedir. Bu devrelerin dönüştürülen devrelerle aynı duyarlığa sahip olduğunu ifade eden Roberts ve Sedra akım modundaki bu filtre devrelerinde daha yüksek bandgenişliği , daha büyük lineerlik ve daha geniş dinamiklik özellikleri elde edilebileceğini ifade etmişlerdir.

Svoboda [34] , 1989 yılında , akım taşıyıcıları içeren devrelerin analizi için kolay hesaplanıp programlanabilir basit bir yöntem sunmuştur. Ayrıca bu yöntemin ideal olmayan akım taşıyıcılardan oluşmuş devrelerde de kullanılabileceğini ifade eden Svoboda, Tow-Thomas alçak geçiren filtresi ile Wien köprülü osilatör devresine ait analizleri bu yöntemle yapmıştır.

Sedra , Roberts ve Gohh [35] , 1990 yılında akım taşıyıcıların tarihini , gelişimini ve elde edilen yeni sonuçları içeren bir çalışma yapmışlardır. Bu çalışmada birinci ve ikinci kuşak akım taşıyıcıların CMOS ' larla gerçekleştirilmesine yönelik devreler ile CCII ile yapılan uygulamaları sunmuşlardır.

Liu , Tsao , Wu ve Lin [36] , 1990 yılında , yüksek frekanslarda tümleşik filtre uygulamalarına elverişli yeni CMOS akım taşıyıcıyı ve sürekli - zaman integratörlerini sunmuşlardır. Bu yöntem bir örnek olarak üçüncü dereceden , basamaklı türden , alçak geçiren bir filtreyi tasarlamışlardır. Ayrıca elde ettikleri sonuçların, yüksek frekanslarda tümleşik MOSFET-C filtrelerinin gerçekleştirilmelerine faydalı olacağını belirtmişlerdir.

Liu , Tsao ve Wu [37] , 1991 yılında , bazı yeni MOSFET - C integratörler ve CMOS akım taşıyıcılardan yararlanarak basamaklı türden filtreleri simüle etmişlerdir. Kullandıkları integratörlerin bilinen diğer integratörlere göre daha küçük değerlerde kapasite elemanlarına ihtiyaç duyduğunu, ayrıca genlik ve faz hatalarına bağlı olarak, yüksek frekanslardaki performansının daha iyi olduğunu belirtmişler ve çeşitli uygulamalar yapmışlardır.

Liu , Kuo , Tsao , Wu ve Tsay [38] , 1991 yılında , CMOS CCII'lerden oluşan MOSFET-C türev alıcılarını tanıtmışlar ve bunlara ilişkin filtre uygulamalarını sunmuşlardır. Ayrıca , bir bıküadratik filtre tasarlayarak ; parametreleri bağımsız olarak ayarlanabilir alçak-geçiren , band-geçiren ve yüksek -geçiren gerilim transfer fonksiyonlarını gerçekleştirmişlerdir.

Surakamponorn , Riewruja ve Cheevasuvit [39] , 1991 yılında , analog fonksiyonları sağlayan yeni CMOS devrelerin geliştirilmesi için oldukça yoğun bir çabının olduğunu ve bunun nedeni olarak ise kompleks ve esnek tümdevrelerin üretilmesine olanak sağlayan CMOS teknolojisinin hızlı bir biçimde gelişmesini göstermişlerdir. Kendileri de, CCII+ ve CCII- akım taşıyıcılarını CMOS larla gerçekleyen iki devre sunmuşlar ve bu devrelerin tümleştirmeye uygun olduklarını ifade etmişlerdir. Bu devreleri CD4007 tümdevresi içindeki CMOS tranzistörlerle deneysel olarak gerçekleştirmişler ve sundukları bu akım taşıyıcıların performansının bütün dinamik bölgede oldukça iyi ve lineer olduğunu belirtmişlerdir.

Mucha I. [40] , 1993 yılında gerilim modunda tamamen farksal CMOS işlemsel kuvvetlendiricisi sunmuştur. Yükselme süresi sınırlaması olmayan iki akım geribeslemeli işlemsel kuvvetlendiricilerin kullanılması geniş bir birim-kazanç band genişliğinin doğmasına neden olmuştur. İşlemsel kuvvetlendirici standart CMOS teknolojisi ile gerçekleştirilmiş ve sayısal fonksiyonlarla beraber tümleştirilmeye uygun olduğu Mucha tarafından öne sürülmüştür.

Hou , Chen , Wu ve Hu [41] , 1993 yılında topraklı ve serbest uçlu imitans fonksiyon simülatörlerinin gerçekleştirilmesine yönelik iki genelleşmiş yapı öne sürmüştür. Sadece açık sol yarı düzlemindeki sıfırları ve kutupları ile verilen rasyonel ve reel gerilim transfer fonksiyonu imitans simülatörüne çevrilebileceğini belirtmişlerdir. İki kapılı devreyi uygun seçerek her iki simülatör tümleşik devre teknolojisinde gerçekleştirilebilir olduğu ve geniş bir frekans aralığında iyi sonuçlar verdiği belirtilmiştir. Devrelerin aktif devre uyumluluğu gösterme gereksinimi olmadığı ve bu simülatörler üzerindeki deneysel sonuçlar çalışmalarında eklenmiştir.

1.4. CMOS DİRENÇ GERÇEKLEŞTİRMeye YÖNELİK ÇALIŞMALAR

CMOS direnç gerçektelemeye yönelik çalışmalar, Tsividis Y. ve Banu M. 'nin , 1986 yılında , çok geniş geniş çapta tümleştirmede (Very Large Scale Integration - VLSI) sürekli zamanda MOSFET-C filtreleri sunmasıyla başlamıştır [42]. Bu çalışmada, integrator elemanını gerçekleştirirken farksal giriş ve farksal çıkışlı işlemsel kuvvetlendirici , çift sayıda MOS direnç elemanı ve kapasite kullanarak dengeli yapı (balanced structure) birimler kullanmışlardır. Bu çalışmada MOS direnç elemanlarının lineer bölgede (triode region) çalıştıklarını ifade etmişlerdir. Bu filtrelerin ilgi çekici özelliklerinin kesin frekans cevabı, düşük gürültülü çalışma ve geniş genlikli işaretlerle çalışabilme yeteneği olduğunu belirtmişlerdir. Bu çalışmalarında, Tsividis ve Banu çeşitli filtrelerin mukayesesini yapmışlar ve belirli durumlarda, MOSFET-C filtrelerin anahtarlı-kapasite filtreler ,sayısal filtreler ve sürekli zamanlı filtrelerle gerçekleştirilen tekniklere karşı avantajlar sağladığını belirtmişlerdir. Özellikle yüksek frekanslara çıktığında giriş örtüşme ve çıkış düzgünleştirme filtrelerinin tasarımındaki uygulamadaki güçlükler MOSFET-C filtrelerin avantajlı yönü olduğunu bu çalışmalarında ifade etmişlerdir. Burada sunulan tekniklerin filtrelerden başka , osilatör, gerilim kontrollü kuvvetlendiriciler, otomatik kazanç kontrol devreleri ve modülatörler gibi devrelere uygulanabileceğini ifade etmişlerdir.

Czarnul Z. ,1986 yılında , Banu-Tsividis ' in [42] sürekli zamanlı integrator yapısının değiştirilmiş şeklini sunmuştur [43]. Bu makalede Czarnul önceki yapıda sunulan integrator yapısındaki MOS direnç elemanlarının fark akımlarını giriş gerilimi ile verilen analitik ifadeyi vermiş ve buradaki nonlineerliğe işaret etmiştir. Kendisi iki fazlı MOS elemanını giriş ile çıkış arasına çapraz bağlayarak ve bunlara farklı bir kontrol gerilimi uygulayarak Tsividis - Banu integrator yapısının değişik şeklini ve MOS direnç yapısının fark akımını giriş gerilimi ile verilen ifadeyi analitik olarak sunmuştur. Bu yapıda iletkenlik iki kontrol geriliminin farkıyla lineer olarak orantılı olduğunu belirtmiş aşağıdaki hususları ifade etmiştir :

- a) Sunduğu yapıda mobilite kanal boyunca sabit kabul edilmektedir.
- b) Eşik gerilimi ve gövde etkisi terimine bağımlı olmamaktadır.
- c) Fark gerilimi ile sadece ayarlanır ve dinamik aralık iki kontrol gerilimini aynı anda artırarak arttırılabilmektedir.
- d) Direnç değeri gövde gerilimine bağlı değil, oysa öbür yapıda bundan kaçınmak için kutuplama gerekmektedir.

Czarnul , gene 1986 yılında , [43] de sunduğu MOS direnç elemanını MRC (Mos Resistive Circuit) olarak tanıtarak tamamen tümleşik sürekli zamanlı filtrelerin sentezi için kullanılabilineceğini ifade etmiştir [44] . Bu çalışmasında , MOS dengeli lineer devre yapılarının nonlineerliği minimize veya ortadan kaldırdığını, fakat güç tüketimini arttıran farksal çıkışlı bir işlemsel kuvvetlendiriciye gereksinme duyduğunu belirtmiştir. Aktif RC filtre protipinde olduğu gibi , bu devre temelli filtrelerin giriş-çıkış davranışının nonlineerlik olmaksızın aynı olduğu ve yeni MOS direnç devresinde yukarıda sözü edilen dezavantajdan kaçınıldığı Czarnul tarafından ifade edilmiştir. Czarnul sırasıyla dinamik aralık için koşulları, MRC ile integrator, toplama, kayıplı integrator için dengeli olmayan işlemsel kuvvetlendiricili yapıları makalesinde vermiş ve mobilite sabit kabul edildikçe R.C çarpımının yani zaman sabitinin gerilim kontrollu ve önceden belirli bir değere otomatik olarak tümdevre üzerinde bir otomatik kontrol sistemi vasıtasıyla ayarlanabileceğini belirtmiştir.

Khoury J. ve Tsividis Y. , 1987 yılında, tümleşik MOSFET-C sürekli zamanlı filtrelerde yüksek frekans etkilerinin kompanzasyonu ve analizi konusunda bir çalışma yapmışlardır [45] . Integratorların performansındaki , işlemsel kuvvetlendiricinin sonlu kazanç-bandgenişliği çarpımının ve MOS tranzistorun dağılmış kapasite etkilerine bağlı düşüş karakterize edilmiştir. Pasif ve aktif kompanzasyon ile bu etkilerin minimize edilmesi için bir çözüm sunulmuş ve pratik tasarımlar için değerlendirilmişlerdir. Yüksek frekanslardaki iyi lineerlik başarımı için işlemsel kuvvetlendirici gereksinimleri çıkarılmıştır. Czarnul 'un sunduğu dört tranzistorlu integrator iki tranzistorlu yapıya göre kalite faktörü bakımından daha üstün olmasına karşın, dört tranzistorlu tasarımın dikkate alınması gereken iki sakıncası bu çalışmada aşağıda özetlenmiştir :

- a) Integrator çıkışındaki termal gürültü dört tranzistorlu yapıda daha yüksektir.
- b) Tranzistor uyumsuzluklarına göre duyarlık dört tranzistorlu tasarımda daha kötüdür.

Bu etkilerin kontrol fark gerilimi azaldıkça daha önemli olduğu da bu çalışmada belirtilmiştir. Filtre gerçekleştirilmesi için seçilen gerek iki tranzistorlu gerekse dört tranzistorlu yaklaşımlarda yukarıdaki hususların dikkate alınması belirtilmiştir.

Acar C. ve Ghausi M.S. [46] , 1987 yılında, tamamen tümleşik aktif RC filtrelerin , MOS ve dengeli olmayan yapı kullanarak gerçekleştirilmesine yönelik bir çalışma yapmışlardır. Nonlineerliği minimize eden bu teknikte aktif eleman olarak giriş empedansı büyük -1 " kazançlı kuvvetlendirici ve herhangi bir aktif eleman

kullanılmıştır. "-1" kazançlı kuvvetlendirici MOS direnç elemanının savak ve kaynak uçlarına bağlanmıştır. Analitik olarak direncin ifadesi Tsividis-Banu yapılarının aynısı olduğu ifade edilmiştir. Çeşitli filtre uygulamaları ve MOS direnç elemanının çalışma aralığı grafikler ile sunulmuştur.

Wilson G. ve Chan P. K. [47], 1989 yılında, yeni bir gerilimle kontrol edilen topraklı direnç devresi öne sürmüşlerdir. Lineer bölgede (triode region) çalışan tek bir MOS tranzistor geçit ucuna savak ve kaynak gerilimlerinin geribeslemesi vasıtasıyla lineerleştirilmiştir. Geçit gerilimini belirli bir aralıkta lineerliğin sağlanacak şekilde kutuplamak için iki uzun kuyruklu MOS eleman kullanılmıştır. İkinci dereceden alçak geçiren filtre yapısı dengeli olmayan iki integrator çevriminin gerilim kontrollu topraklı direnç kullanarak gerçekleştirilmesi ile sunulmuştur. Simülasyon sonuçları göstermiştir ki öne sürülen direnç elemanını kullanarak gerçekleştirilen bikuadratik kısım tepeden tepeye 1V luk giriş işaretleri için % 0.4 den az ve 4V tepeden tepeye giriş işaretleri için % 1 ' e çıkan toplam harmonik distorsiyon içermektedir. Öne sürülen direnç devresinde iki kontrol gerilimi uygulanmaktadır ki, bunlardan biri kuyruk akımı için doğru akım kutuplamasını, diğeri direnç değerini değiştirmek için kullanılmıştır.

Tsividis Y. ve Vavelidis K. [48], 1992 yılında, bir MOSFET ' i yüksek lineerlikli elektronik olarak ayarlanabilir bir dirence çevirmek için anahtarın tüm kanal boyunca geçit-kanal ve gövde-kanal gerilimleri sabit kalacak şekilde geçit ve gövdeye gerilimlerin uygulanmasına dayandığını belirtmiştir. Ölçümler tepeden tepeye 6V ' luk işaret genlikleri için -75dB den daha küçük seviyelerde distorsiyon gösterdiğini göstermiştir. MOS elemanına işaret uygulandığı zaman savak ve kaynak gerilimleri farklıdır ve böylece geçit-kanal ve gövde-kanal potansiyellerinin kanal boyunca değişim göstermesinden kaynaklanan mobilitenin sabit olmaması ve gövde etkisini çözmek için Tsividis ve Vavelidis kanal-geçit ve kanal - gövde arasına hem savak hem de kaynak tarafına simetrik olarak konan tamponlar aracılığıyla seviye kaydırıcılar kullanmışlardır. Böylece teorik olarak iki sınır koşulu ile tüm kanal boyunca geçit-kanal geriliminin ve gövde-kanal gerilimlerini iki seviye kaydırıcı ile sabit kılmışlardır. Böylece lineer direncin bu seviye kaydırıcılar ile kontrol edilebileceğini ifade etmişlerdir. Her iki uçtan geçit-kanal 'a uygulanan seviye kaydırıcının kontrol etkisinin daha baskın olduğunu ifade etmişlerdir.

Wilson G. ve Chan P. K. ,1993 yılında, iki ucu serbest CMOS direnç gerçeklemeye yönelik bir çalışma yapmışlardır [49]. Lineerleştirme yöntemi dört MOS 'tan oluşan ortak mod üreticisi ve bir de seviye kaydırıcı görevini üstlenen bir

MOS vasıtasıyla sadece lineer bölgede çalışması arzu edilen bir MOS ' un geçit ucuna uygun ağırlıklı ortak mod işaretin uygulanmasına dayanmaktadır. SPICE çalışmaları öne sürülen bu direncin 3:1 ayarlama aralığında düşük distorsiyon gösterdiğini çalışmalarında belirtmişlerdir. Bu yapıda düşük mertebeli dirençlere imilebildiğini ve bu tasarım yönteminin tamamen dengeli topolojilere karşı ekonomik bir alternatif sunduğu belirtilmiştir.

Bu tezde mobilitenin kanal boyunca sabit olduğu varsayılan Czarnul tarafından öne sürülen ve Liu S. -I , Tsao H. W- ve Wu J. [37,38] ' nin akım taşıyıcılar ile beraber kullandıkları MRC elemanı üzerinde yoğunlaşılacaktır. [37,38] ' de verilmeyen gerilim veya akım kuvvetlendiricisi ve toplayıcıları öne sürülecek ve pasif devre elemanlarının simülasyonuna yönelik basamaklı devre sentezi klasik akım taşıyıcı, direnç ve kapasite elemanlarıyla verilen yöntemden daha az elemana gereksinim duyarak ve otomatik olarak ayarlanabilen bir şekilde, ilerleyen bölümlerde sunulacaktır.

BÖLÜM 2

AKTİF ELEMANLARIN TANITILMASI

2.1 AKIM TAŞIYICILAR VE MODELLENMESİ

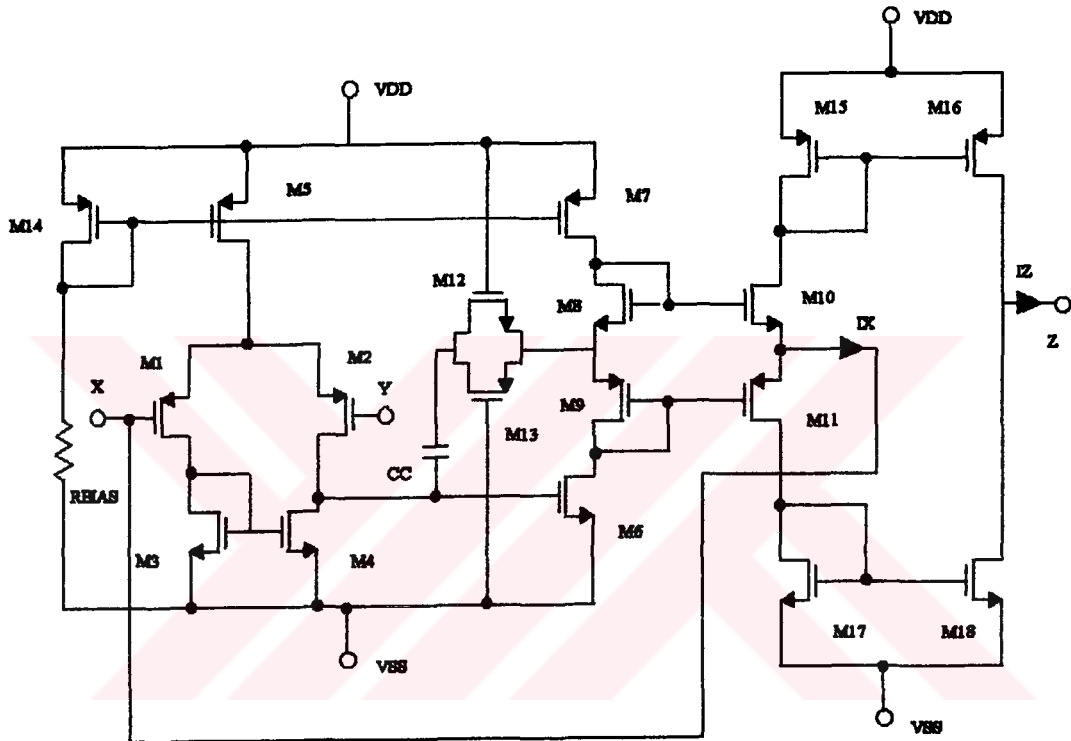
İkinci kuşak bir akım taşıyıcısı, X ucundaki akımın bir kopyasını Z ucunda bir akım çıkışı üretecek şekilde birtakım iç akım kopyalama devresi formundaki yapılarla X ve Y uçları arasında bağlı yüksek giriş empedanslı gerilim izleyiciden oluşur ve ideal olarak aşağıdaki gibi tanımlanır :

$$\begin{aligned} I_y &= 0 \\ V_x &= V_y \\ I_z &= \beta \cdot I_x \end{aligned} \quad (2.1)$$

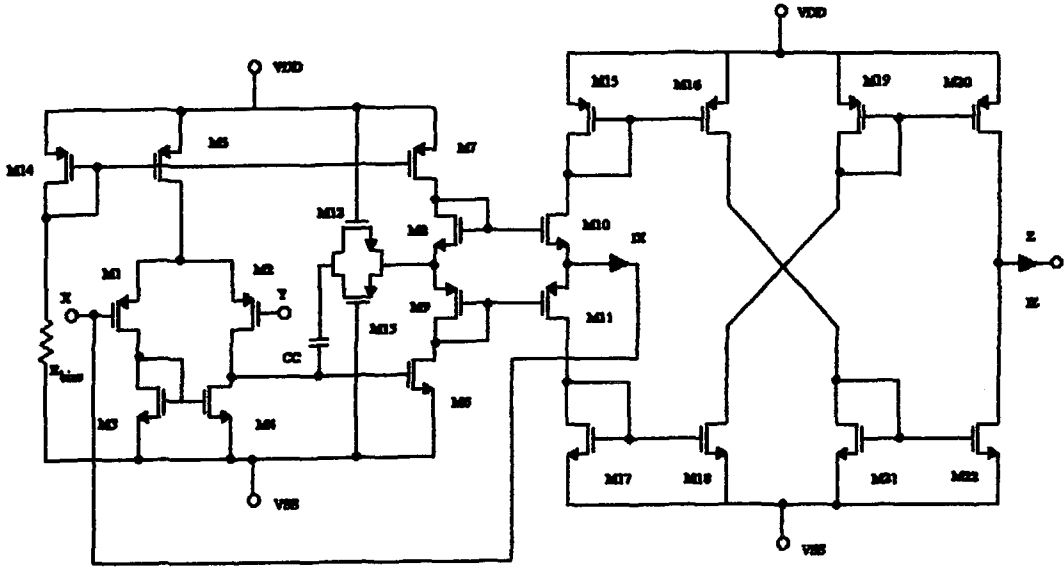
β parametresi akım taşıyıcısının transfer oranını ifade etmektedir. Akım için referans yönleri X , Y ve Z düğümlerinden dışarıya doğru seçildiğinde (2.1) ifadesi ile verilen eleman elektronik olarak kontrol edilebilen ikinci kuşak akım taşıyıcısı olarak literatürde bilinmektedir. β parametresinin "+1" olması CCII+ , "-1" olması CCII- elemanına karşı düşmektedir. Bu tezde sentez için önerilen temel yapı taşlarında sadece CCII+ kullanılacaktır. Genelde, CCII- için mutlak akım hatası CCII+ 'ya nazaran daha fazla olduğundan CCII+ ile tasarım bir avantaj olarak görülebilir.

Şekil 2.1 , pozitif ve negatif akım taşıyıcıların sembollerini göstermektedir. Belirli giriş ve çıkış şartları için, akım taşıyıcısının lineer davranışını varsayarak Wilson 1989 yılında, akım taşıyıcıların performans analizine yönelik Şekil 2.2 'de gösterilen modeli sunmuştur [32]. Burada, R_y ve C_y elemanları kaynak direnci ile birlikte bir giriş kutbu oluşturur. R_a ve C_a , çıkış direnci R_x ve kapasitesi C_x olan V_{ox} üreticisi ile sunulan bir çıkış katı ile beraber giriş gerilim izleyicisi için tek kutuplu bir cevaba modellemek için kullanılmıştır. X ucundan Z ucuna I_m akım

aynaları vasıtasıyla X ucundaki akımı Z ucuna kopyalamaktır. Fark kuvvetlendiricili yapı vasıtasıyla Y ve X uçlarındaki gerilim izleme özelliği korunmuş olmaktadır. Negatif akım taşıyıcısındaki tek fark , pozitif akım taşıyıcıya nazaran akımı 180 derece faz döndürmek için fazladan kullanılan NMOS ve PMOS akım kaynaklarıdır. Bu yüzden bundan sonra devreyi analiz ederken pozitif akım taşıyıcılı yapı üzerinde açıklamalar yapılacaktır.



Şekil 2.4 Sedra ve Roberts 'in sunduğu pozitif akım taşıyıcı (CCII+)



Şekil 2.5 Sedra ve Roberts'in önerdiği negatif akım taşıyıcısı (CCII-)

Akımın kopyalanması için basit akım aynaları kullanılmıştır. Daha iyi bir performans elde etmek için CMOS teknolojisinde değişik tipte akım aynaları vardır :

- 1) Basit akım aynaları
- 2) Kaskat akım aynaları
- 3) Wilson akım aynaları
- 4) Geliştirilmiş Wilson akım aynaları
- 5) Değiştirilmiş kaskat akım aynaları

Bu temel bilgilerden sonra, şimdi akımın X ucundan Z ucuna taşınmasını inceleyebiliriz. M10'dan akan akım PMOS akım aynası vasıtasıyla M16'dan ve M11'den akan akım NMOS akım aynası vasıtasıyla M18'den akmaktadır. Bu yüzden X ve Z ucunda Kirchhoff akımlar yasası uyarınca I_z , I_x akımına eşit olmaktadır. Akımların referans yönlerini dışarıya doğru seçip, X ucuna R_x direnci bağlandığını varsayıp, Z ucunu topraklayıp, Y yüksek empedanslı girişten gerilim modunda bir işaret uygulayalım. Gerilim sıfır iken $I(R_x) = 0$ olur ve PMOS ve NMOS akım aynalarından aynı akım akar, ki bu akım sükunet akımı olarak isimlendirilebilir. Girişi pozitif yönde artırdığımızda, M10 tranzistörünün akımı artarken, M11 tranzistörünün akımı azalır. Gerilim pozitif yönde arttığında, M15'deki akım arttığından, bu tranzistörün V_{SG} gerilimi artar, ki bu da M10

tranzistörünün savak-kaynak geriliminin düşmesi anlamına gelmektedir. Öyle bir pozitif giriş gerilimi vardır ki , artık bu değerden sonra M10 doymalı bölgede çalışmaktan çıkacak, bu tranzistörün akımı sabit kalacak , M11 tranzistörü kesime gidecek ve Z ucundaki çıkış akımı tamamen PMOS akım aynasından sağlanacaktır. Bu çıkış akımının sınır değeri X ucundaki dirence bağlıdır. Bu bağımlılık , PSPICE ile CCII+ için bir sonraki bölümde verilecek ve teorik olarak bu sınır değer için yaklaşık bir ifade elde edilecektir. Y ucundaki giriş gerilimi negatif yönde arttığında ise, M11 tranzistörünün akımı artarken, M10 tranzistörünün akımı azalacaktır. Gene, belirli bir giriş geriliminin üstünde, bu sefer M11 doymalı bölgeden çıkacak ve NMOS ' un akımı artık bu giriş geriliminin mutlak olarak artmasıyla artamayacak , sabit bir değere ulaşacak ve PMOS akım aynası tamamen kesime gidecektir.

Sonuç olarak, belirli bir R_x direnci için, çıkış akımının lineer olarak X ucundaki akımı izlemesi için izlenmesi gereken yol, pozitif giriş gerilimi ve negatif giriş gerilimi için bulunan çıkış sınır akımlarının mutlak değerce küçüğü alınarak , çıkışta kırılma olmasına izin vermeyecek şekilde giriş gerilim dinamiği belirlenmesidir.

2.3 DİNAMİK ARALIK VE FREKANS DAVRANIŞININ PRATİK OLARAK İNCELENMESİ

Bu bölümde amaç, PSPICE programı yardımıyla CCII+ ' nın performans analizini yapmaktır. CCII+ olarak Sedra ve Roberts ' in sunduğu topoloji incelenecektir.

Dinamik aralığın pratik olarak bulunması için 3 temel adım kullanılmıştır :

1) Z çıkış ucuna $R_z = 10k\Omega$ bağlanıp, X ucundaki R_x direnci değiştirilerek, yüksek empedanslı Y ucuna DC Sweep (Doğru akım taraması) -5V - +5V uygulanmaktadır. Bu deneyin amacı çıkıştaki yükleme etkisinin, önceki bölümde sözü edilen çıkış akımının lineer değişime aralığına bağımlılığını belirlemektir. Aşağıdaki sonuçlar, negatif ve pozitif girişler için sınır değerler bulunup mutlak değerce en küçüğü alınarak elde edilmiştir.

$R_x = 100\Omega$	$ V_x = 0.2V$	$V_{zsat} = 4.490V$	$I_{zsat} = 449\mu A$
$R_x = 1k\Omega$	$ V_x = 1.3V$	$V_{zsat} = 4.251V$	$I_{zsat} = 425.1\mu A$
$R_x = 10k\Omega$	$ V_x = 3V$	$V_{zsat} = 3.025V$	$I_{zsat} = 302.5\mu A$
$R_x = 20k\Omega$	$ V_x = 3.3V$	$V_{zsat} = 1.718V$	$I_{zsat} = 171.8\mu A$
$R_x = 50k\Omega$	$ V_x = 3.6V$	$V_{zsat} = 755mV$	$I_{zsat} = 75.5\mu A$
$R_x = 100k\Omega$	$ V_x = 3.7V$	$V_{zsat} = 384mV$	$I_{zsat} = 38.4\mu A$

2) Bu adımdaki inceleme 1. adımın benzeridir. Tek farklılık çıkış yüklenmeyip, topraklamıyor ; yani $V_z = 0$ yapıyor. Burada Z ucundaki çıkış akımının sınır değerlerinin maksimum olduğu gözleniyor. Yüklenme halinde bu akımlarda düşme oluyor ve bazı durumlarda V_z öyle yükseliyor ki, çıkıştaki NMOS ve PMOS akım aynalarındaki M16 veya M18 tranzistorları doymadan çıkıyorlar ve çıkış gerilimi bu sefer sınırlamıyor. 3. adımda ise bu incelenecektir.

Sonuçlar aşağıda verilmiştir :

$R_x = 1k\Omega$	$ V_x = 1.3V$	$I_z \cong I_x = 1.332mA$
$R_x = 10k\Omega$	$ V_x = 3V$	$I_z \cong I_x = 314\mu A$
$R_x = 100k\Omega$	$ V_x = 3.7V$	$I_z \cong I_x = 38.71\mu A$

3) Bu adımda, $R_x = 10k\Omega$ seçilip , R_z direnci değiştiriliyor. Kazanç yükseldikçe, çıkış akımında önemli bir düşüş olmaktadır ve Z ucundaki gerilim kritik bir sınır değere erişerek M16 ve M18 tranzistorlarını doymadan çıkarmaktadır. Buradaki ilginç sonuç, çıkıştaki yüklemeye bağlı olmaksızın, X ucundaki gerilim Y ucundaki gerilimi $3V$ ' luk tepeden tepeye gerilime kadar takip etmektedir. Oysa , kazanç arttıkça, bu aralıktaki giriş geriliminden çok daha küçük bir gerilimde çıkış akımı X ucundaki akım takip edememektedir, çünkü Z ucundaki gerilimin bu kritik değeri bunu sınırlamaktadır. Elde edilen SPICE sonuçları aşağıda sunulmuştur :

$R_z = 1k\Omega$	$ V_x = 3V$	$I_z = 298.5\mu A$	$V_z = 298.5mV$
$R_z = 5k\Omega$	$ V_x = 3V$	$I_z = 296.2\mu A$	$V_z = 1.481V$
$R_z = 10k\Omega$	$ V_x = 3V$	$I_z = 292.6\mu A$	$V_z = 2.926V$
$R_z = 20k\Omega$	$ V_x = 3V$	$I_z = 216.0\mu A$	$V_z = 4.32V$
$R_z = 50k\Omega$	$ V_x = 3V$	$I_z = 92.2\mu A$	$V_z = 4.61V$
$R_z = 100k\Omega$	$ V_x = 3V$	$I_z = 46.9\mu A$	$V_z = 4.69V$
$R_z = 500k\Omega$	$ V_x = 3V$	$I_z = 9.5\mu A$	$V_z = 4.75V$

Sonuç olarak , pratik açıdan bakıldığında, geniş giriş dinamik aralığı sağlamak için aşağıdaki hususlara dikkat etmek gerekir :

- 1) X ucundaki gerilimin, giriş gerilimini yeteri kadar geniş bir aralıkta izlemesi için X ucundaki direnç yeteri kadar büyük seçilmelidir.
- 2) Z ucundaki çıkış akımının geniş bir aralıkta, X ucundaki akımı, $V_Z = 0$ iken, izlemesi için Z ucundaki çıkış akımının X ucundaki dirence bağlılığı incelenmelidir. Küçük değerlerde dirençler için çıkış akımı aralığı geniş olmaktadır.
- 3) Z ucundaki çıkış geriliminin devrenin doymada çalışmasını engellememesi için Z ucundaki çıkış gerilimi sınırı belirlenmelidir.

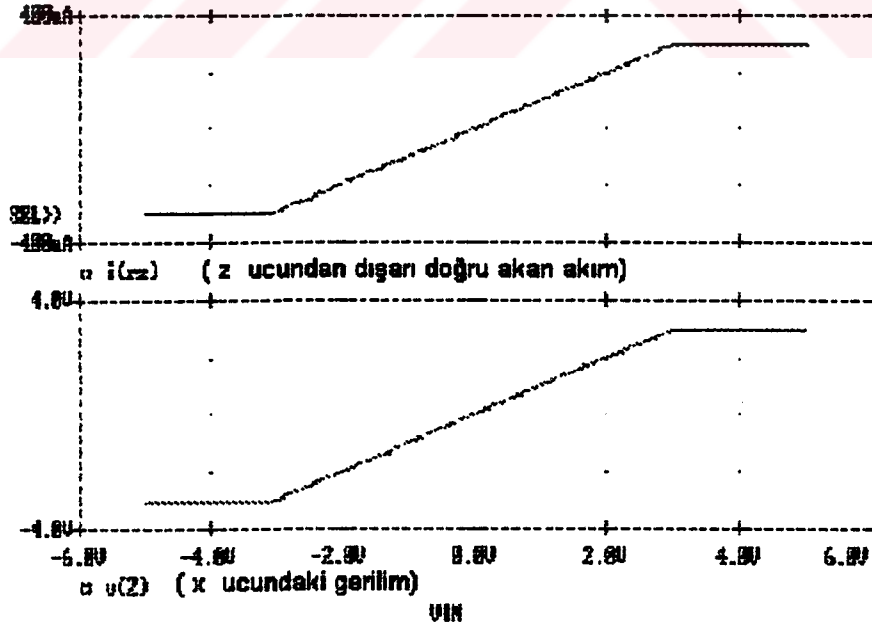
CCII+ ' lı devrenin yüksek frekans performansını belirlemek için , pozitif akım taşıyıcının X ucuna R_X direnci, Z ucuna ise R_Z direnci bağlanarak, Y ucundan gerilim ile sürülecektir.

İlk önce, $R_X = 10k\Omega$ olacak şekilde sabit kalması sağlanıp, Z ucundaki R_Z direnci değiştirilerek, X ucundaki gerilimin Y ucundaki gerilimi ve Z ucundaki akımın X ucundaki akımı izlemesi için frekans aralığı çıkarılacaktır. PSPICE ile yapılan analizler, gerilimin takip edilmesi olayında Z ucundaki direncin hemen hemen etkisi olmadığını göstermiştir. Bu, Wilson ' un Şekil 2.3 ' deki modelinin uygunluğunu göstermektedir. Akımın takip edilmesi olayında ise , R_Z 'nin küçük değerleri için Şekil 2.3 ' deki C_m ve R_m 'in etkisi, R_Z büyüdükçe ise T_m ile beraber Z ucundaki eşdeğer kapasite ve dirençten oluşan kutup etkili oluyor ve akım transferi için frekans aralığı önemli ölçüde düşüyor. Akım transfer fonksiyonunda , R_Z direnci küçük iken daha belirgin olmak üzere yaklaşık 25Mhz civarında bir tepe oluşuyor ve R_Z artıkça bu etki daha çok azalmasına rağmen akım transfer fonksiyonundaki baskın kutup önemli ölçüde düşüyor. SPICE programı ile analiz sonuçlarına göre kritik frekanslardaki gerilim ve akımın dB olarak düşüşleri aşağıda verilmiştir :

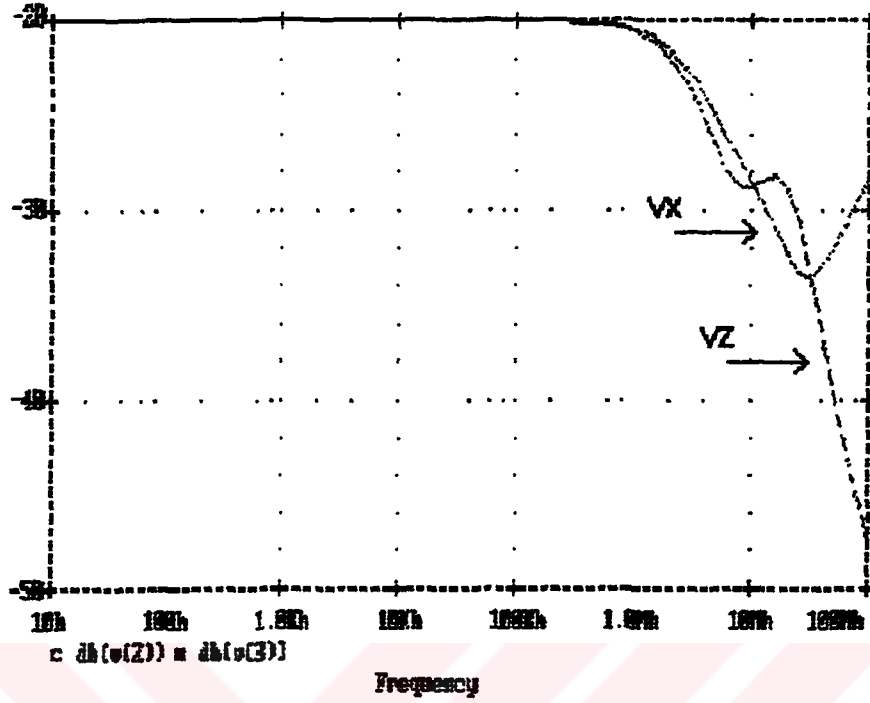
$R_Z = 1k\Omega$	$f(V_X) = 3.162Mhz$, - 2.934 dB	$f(I_Z) = 2.512Mhz$, - 2.677 dB
$R_Z = 5k\Omega$	$f(V_X) = 3.162Mhz$, - 2.934 dB	$f(I_Z) = 2.512Mhz$, - 2.692 dB
$R_Z = 10k\Omega$	$f(V_X) = 3.162Mhz$, - 2.934 dB	$f(I_Z) = 2.512Mhz$, - 2.713 dB
$R_Z = 20k\Omega$	$f(V_X) = 3.162Mhz$, - 2.935 dB	$f(I_Z) = 2.512Mhz$, - 2.762 dB
$R_Z = 50k\Omega$	$f(V_X) = 3.162Mhz$, - 2.935 dB	$f(I_Z) = 2.512Mhz$, - 2.959 dB
$R_Z = 100k\Omega$	$f(V_X) = 3.162Mhz$, - 2.936 dB	$f(I_Z) = 2.512Mhz$, - 3.398 dB
$R_Z = 500k\Omega$	$f(V_X) = 3.162Mhz$, - 2.937 dB	$f(I_Z) = 2.512Mhz$, - 6.886 dB

İkinci adım olarak ise, $R_z = 10k\Omega$ olacak şekilde sabit seçilip, bu sefer R_x direnci değiştirilerek gerilim ve akım izleme için kritik frekans sınırları PSPICE programı ile elde edilecektir. Gerilim transfer fonksiyonundaki etkin kutup, R_x direncinin artmasıyla beraber artmaktadır. Fakat, akım transfer fonksiyonundaki etkin kutup, R_x direncinin yaklaşık olarak $10k\Omega$ 'a erişinceye kadar artar ve bundan sonra, $20k\Omega$ değeriyle beraber hem düşer hem de önceden sözü edildiği gibi yaklaşık 25Mhz civarında tepe oluşturur. Öyle ki, $R_x = 100k\Omega$ iken akım kazancı için etkin kutup bir hayli düşer ve yaklaşık 25Mhz civarında akım kazancı tepe yaparak temel band akım kazancı olan +1 'in üstüne çıkıp bundan sonra düşüşe geçer. Buradaki akımın frekans eğrisindeki tepe, önceki adımda oluşan tepeden çok daha belirgin olarak kendini gösterir. Elde edilen kritik frekanslardaki, dB olarak gerilim ve akım transfer oranındaki düşüş aşağıda sunulmuştur :

$R_x = 100\Omega$	$f(V_x) = 251.2Khz, -3.132\text{ dB}$	$f(I_z) = 251.2Khz, -3.135\text{ dB}$
$R_x = 1k\Omega$	$f(V_x) = 1.585Mhz, -3.076\text{ dB}$	$f(I_z) = 1.585Mhz, -3.206\text{ dB}$
$R_x = 10k\Omega$	$f(V_x) = 3.162Mhz, -2.934\text{ dB}$	$f(I_z) = 3.162Mhz, -3.858\text{ dB}$
$R_x = 20k\Omega$	$f(V_x) = 3.162Mhz, -2.716\text{ dB}$	$f(I_z) = 2.512Mhz, -2.919\text{ dB}$
$R_x = 50k\Omega$	$f(V_x) = 3.162Mhz, -2.587\text{ dB}$	$f(I_z) = 2.512Mhz, -3.981\text{ dB}$
$R_x = 100k\Omega$	$f(V_x) = 3.162Mhz, -2.545\text{ dB}$	$f(I_z) = 2.512Mhz, -6.314\text{ dB}$



Şekil 2.6 $R_x = R_z = 10k\Omega$ için Z ucundan akan akım ve X ucundaki gerilimin, Y ucundan uygulanan giriş gerilimiyle değişimini, doğru akım taraması yaparak göstermektedir.



Şekil 2.7 $R_x = R_z = 10k\Omega$, $V_y = 100mV$ için V_x ve V_z gerilimlerini dB olarak gösteren PSPICE çıktısı

Şekil 2.6 dinamik giriş aralığını belirleme amacıyla analiz edilen akım taşıyıcı devrenin, $R_x = R_z = 10k\Omega$ için, giriş gerilimine göre X ucundaki gerilimi ve Z ucundaki akımını sırasıyla vermektedir. Şekil 2.7 ise aynı akım taşıyıcı topolojinin bu kez gerilim ve akım izlemeye yönelik frekans cevabını göstermektedir. Yukarıdaki verilerin elde edilmesinde kullanılan pozitif akım taşıyıcıya ilişkin model parametrelerini içeren PSPICE modulu aşağıdaki gibidir :

***** CMOS AKIM TASIYICI ***

***** POSITIV AKIM TASIYICI

* UC BAĞINTILARI Y X Z VDD VSS

* DUGUM NO : 1 2 3 13 14

.SUBCKT CCII 1 2 3 13 14

M1 4 2 7 7 P L=7U W=120U

M2 5 1 7 7 P L=7U W=120U

M3 4 4 14 14 N L=10U W=50U

M4 5 4 14 14 N L=10U W=50U

```

M5 7 6 13 13 P L=10U W=150U
M6 11 5 14 14 N L=10U W=95U
M7 10 6 13 13 P L=10U W=150U
M8 10 10 9 9 N L=5U W=135U
M9 11 11 9 9 P L=5U W=207.5U
M10 15 10 2 2 N L=5U W=135U
M11 16 11 2 2 P L=5U W=402.5U
M12 8 13 9 9 N L=15U W=7.5U
M13 8 14 9 9 P L=5U W=7.5U
M14 6 6 13 13 P L=10U W=150U

```

```

RBIAS 6 14 250K
CCOMP 8 5 5.1p

```

```

M15 15 15 13 13 P L=10U W=365U
M16 3 15 13 13 P L=10U W=365U
M17 16 16 14 14 N L=10U W=200U
M18 3 16 14 14 N L=10U W=200U

```

```

.MODEL N NMOS LEVEL=2 LD=0.25U TOX=400E-10 NSUB=1.85E16 VTO=.80
+UO=650 UEXP=0.13 UCRIT=7E4 DELTA=1.5 VMAX=5E4 XJ=0.2U NEFF=3.0
+RSH=34 CGDO=2.25E-10 CGSO=2.25E-10 CJ=2.41E-4 MJ=0.65 CJSW=4.7E-10
+MJSW=0.3 PB=0.7

```

```

.MODEL P PMOS LEVEL=2 LD=0.25U TOX=400E-10 NSUB=6.0E15 VTO=-.80
+UO=245 UEXP=0.35 UCRIT=9E4 DELTA=1.0 VMAX=3E4 XJ=0.1U NEFF=1.5
+RSH=121 CGDO=2.15E-10 CGSO=2.15E-10 CJ=2.88E-4 MJ=0.50
+CJSW=4.0E-10 MJSW=0.3 PB=0.7

```

```

.ENDS

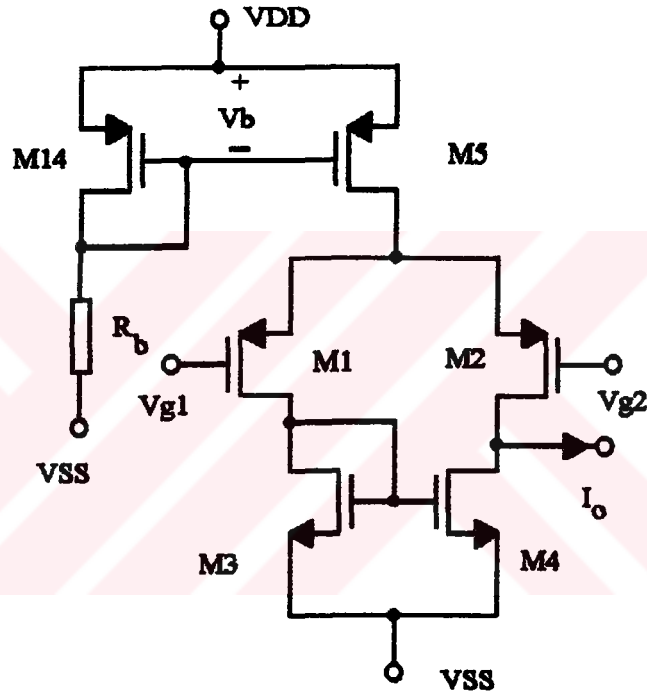
```

PMOS ve NMOS için SPICE model parametreleri tipik bir 2 μ m prosesinden çıkarılmıştır [50]. NMOS için $\mu_{Cox} = 56\mu A/V$, $V_{TO} = 0.8V$, $\gamma = 0.9 V^{1/2}$ ve $\phi_B = 0.6V$ olduğu bu çalışmada verilmiştir. Yukarıdaki modul bir alt devre olarak çağrılıp, $V_{DD} = 5V$ ve $V_{SS} = -5V$ seçilerek, yukarıdaki analizler yapılmıştır.

2.4 TEORİK OLARAK DİNAMİK ARALIĞIN İNCELENMESİ

Bu bölümdeki inceleme, giriş gerilimi, çıkış akımı ve çıkış gerilimi aralığını belirlemek amacıyla üç adımda yürütülecektir. İncelemeler Şekil 2.4 deki pozitif akım taşıyıcısı için yapılacaktır.

Birinci adım olarak, akım taşıyıcı OP-AMP temelli olduğundan, giriş ortak mod aralığı incelenecektir. Bu inceleme için, kullanılan topolojideki giriş katı Şekil 2.8 'de tekrar çizilmiştir.



Şekil 2.8 Pozitif akım taşıyıcının giriş katı

Şekil 2.8 'deki MOS transistörlerin doymalı bölgede çalışmaları halinde lineerlik belirli şartlar altında sağlanmaktadır. Doymalı bölgede çalışan bir MOS transistörü için akım bağıntısı aşağıdaki gibidir :

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$$

$$\beta = \left(\frac{W}{L} \right) \cdot \mu \cdot C_{ox} \quad (2.2)$$

Lincer çalışma bölgesinde M1 ve M3 doymalı bölgede olacağından :

$$\begin{aligned}
 V_{SD1} &\geq V_{SG1} - |V_{T1}| \\
 V_{G1} &= V_{GD1} + V_{GS3} + V_{SS} \\
 \Rightarrow V_{G1}(\min) &= -|V_{T1}| + V_{GS3} + V_{SS}
 \end{aligned} \tag{2.3}$$

M1 ve M3 tranzistorlarından geçen akım ise (2.1) uyarınca :

$$\Rightarrow 2.I_{D1} = 2.I_{D3} = I_{SS} \cong \beta_3 \cdot (V_{GS3} - V_{T3})^2 \tag{2.4}$$

(2.4) bağıntısından V_{GS3} çekilerek, (2.3) bağıntısında yerine konursa :

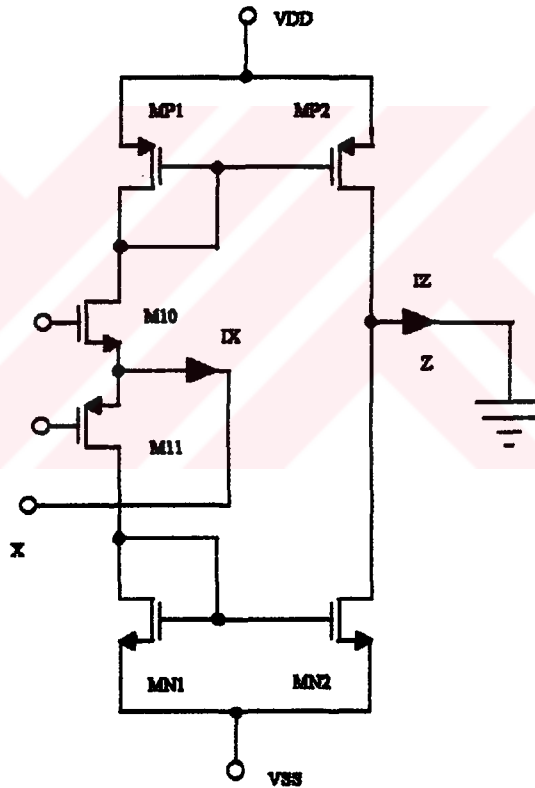
$$\Rightarrow V_{G1}(\min) = -|V_{T1}| + \sqrt{\frac{I_{SS}}{\beta_3}} + V_{T3} + V_{SS} \tag{2.5}$$

Maksimum seviyeyi bulmak için M1 ve M5 üzerinden gerilim düşümlerini göz önüne alırsak:

$$\begin{aligned}
 V_{G1} &= -V_{SG1} - V_{SD5} + V_{DD} \\
 2.I_{D1} &= \beta_1 (V_{SG1} - |V_{T1}|)^2 = I_{SS} \\
 \Rightarrow V_{G1} &= V_{DD} - \sqrt{\frac{I_{SS}}{\beta_1}} - |V_{T1}| - V_{SD5}
 \end{aligned} \tag{2.6}$$

V_{SD5} 'in minimum değeri için V_{G1} maksimum olur ve M5 'in de lincer çalışmada doymada olacağını (2.6) bağıntısı ile beraber kullanırsak :

$$\begin{aligned}
 V_{SD5} &\geq V_{SG5} - |V_{T5}| = V_b - |V_{T5}| \\
 V_{SD5}(\min) &= V_b - |V_{T5}| > 0
 \end{aligned}$$



$$I_{D,P1} = \frac{\beta_{P1}}{2} (V_{SG,P1} - |V_{T,P1}|)^2 = I_{D,I0} \quad (2.8)$$

(2.8) bağıntıları ile M10 tranzistorunun doymalı çalışma koşulunu kullanırsak :

$$V_{DS,I0} \geq V_{GS,I0} - V_{T10}$$

$$\Rightarrow V_{DD} - V_{SG,P1} - V_X \geq \sqrt{\frac{2 \cdot I_{D,I0}}{\beta_{10}}}$$

$$\Rightarrow V_{DD} - \left(\sqrt{\frac{2 \cdot I_{D,I0}}{\beta_{P1}}} + |V_{T,P1}| \right) - V_X \geq \sqrt{\frac{2 \cdot I_{D,I0}}{\beta_{10}}}$$

$$\Rightarrow I_{D,I0} \leq \frac{1}{2} \cdot \left(\frac{V_{DD} - V_X - |V_{T,P1}|}{\frac{1}{\sqrt{\beta_{P1}}} + \frac{1}{\sqrt{\beta_{10}}}} \right)^2, \quad V_X > 0 \quad (2.9)$$

Benzer analiz $I_X < 0$ için yapılırsa :

$$V_X = V_{GS,N1} + V_{SD,I1} + V_{SS}$$

$$I_{D,I1} = \frac{\beta_{11}}{2} (V_{SG,I1} - |V_{T11}|)^2$$

$$I_{D,N1} = \frac{\beta_{N1}}{2} (V_{GS,N1} - V_{T,N1})^2 = I_{D,I1} \quad (2.10)$$

M11 'in doymada olduğu (2.10) bağıntıları ile beraber kullanılırsa aşağıdaki bağıntılar elde edilir:

$$V_{SD,I1} \geq V_{SG,I1} - |V_{T11}|$$

$$\Rightarrow -V_{SS} - V_{GS,N1} + V_X \geq \sqrt{\frac{2 \cdot I_{D,11}}{\beta_{11}}}$$

$$\Rightarrow -V_{SS} - \left(\sqrt{\frac{2 \cdot I_{D,11}}{\beta_{N1}}} + V_{T,N1} \right) + V_X \geq \sqrt{\frac{2 \cdot I_{D,11}}{\beta_{11}}}$$

$$\Rightarrow I_{D,11} \leq \frac{1}{2} \cdot \left(\frac{-V_{SS} + V_X - V_{T,N1}}{\frac{1}{\sqrt{\beta_{N1}}} + \frac{1}{\sqrt{\beta_{11}}}} \right)^2, \quad V_X < 0 \text{ için} \quad (2.11)$$

(2.9) ve (2.11) ifadelerinin minimum olan çıkış akımı için bir sınır değeri oluşturmaktadır. Her iki ifadeden görülmektedir ki, V_X arttıkça akım için sınır değeri düşmektedir. X ucuna R_X direnci bağlandığı dikkate alınırsa, R_X direnci arttıkça akım için sınır değeri azaldığı görülebilir. Bu pratik sonuçların teorik sonuçlarla uyuştuğunu göstermektedir.

Üçüncü adımda ise, Şekil (2.9) 'daki devrenin çıkışı, yani Z ucu sonlu bir R_Z direnci ile sonlandırıldığını düşünelim.

$V_X > 0$ için ;

$$V_{DD} = V_{SD,P2} + V_Z$$

$$I_{D,P1} = I_{D,P2} = \frac{\beta_{P1}}{2} (V_{SG,P1} - |V_{T,P1}|)^2 \quad (2.12)$$

(2.12) bağıntılarını, MP1 ve MP2 transistörlerinin doymalı çalışma koşulu ile beraber kullanırsak :

$$V_{DD} - V_Z \geq V_{SG,P1} - |V_{T,P1}|$$

$$V_{DD} - V_Z \geq \sqrt{\frac{2 \cdot I_{D,P1}}{\beta_{P1}}}$$

$$\Rightarrow V_Z \leq V_{DD} - \sqrt{\frac{2 \cdot I_{D,P1}}{\beta_{P1}}} \quad (2.13)$$

Benzer şekilde, $V_X < 0$ için ;

$$V_Z = V_{DS,N2} + V_{SS}$$

$$I_{D,N1} = I_{D,N2} = \frac{\beta_{N1}}{2} (V_{GS,N1} - V_{T,N1})^2 \quad (2.14)$$

(2.14) bağıntılarını, MN1 ve MN2 tranzistorlarının doymalı çalışma koşulu ile beraber kullanırsak :

$$-V_{SS} + V_Z \geq V_{GS,N1} - V_{T,N1}$$

$$-V_{SS} + V_Z \geq \sqrt{\frac{2 \cdot I_{D,N1}}{\beta_{N1}}}$$

$$\Rightarrow V_Z \geq V_{SS} + \sqrt{\frac{2 \cdot I_{D,N1}}{\beta_{N1}}} \quad (2.15)$$

(2.13) ve (2.15) bağıntılarından mutlak değerce küçük olan Z ucundaki gerilimin tepe değeri için bir üst sınır oluşturur. Bu üç sınır aşağıdaki gibi özetlenebilir :

$$|V_{G1}| = \min \left(\left| -|V_{T1}| + \sqrt{\frac{I_{SS}}{\beta_3}} + V_{T3} + V_{SS} \right|, \left| V_{DD} - \sqrt{\frac{I_{SS}}{\beta_1}} - |V_{T1}| - V_b + |V_{T5}| \right| \right)$$

$$|I_Z| = \min \left(\frac{1}{2} \cdot \left(\frac{V_{DD} - V_X - |V_{T,P1}|}{\frac{1}{\sqrt{\beta_{P1}}} + \frac{1}{\sqrt{\beta_{I0}}}} \right)^2, \frac{1}{2} \cdot \left(\frac{-V_{SS} + V_X - V_{T,N1}}{\frac{1}{\sqrt{\beta_{N1}}} + \frac{1}{\sqrt{\beta_{I1}}}} \right)^2 \right)$$

$$|V_Z| = \min \left(\left| V_{DD} - \sqrt{\frac{2 \cdot I_{D,P1}}{\beta_{P1}}} \right|, \left| V_{SS} + \sqrt{\frac{2 \cdot I_{D,N1}}{\beta_{N1}}} \right| \right) \quad (2.16)$$

2.5 MRC ELEMANININ TANITILMASI

MRC (Mos Resistive Circuit) elemanın incelemeye geçmeden evvel, bu elemanı oluşturan MOS tranzistorlarını ve bu elemanın tanım bağıntısı üzerinde durulacaktır. MOS tranzistorlarının uzun n veya p - kanallı olduğunu ve doymasız bölgede çalıştıkları kabul edilecektir. Doymasız bölgede, NMOS tranzistorunun savak akımını veren ifade aşağıdaki gibidir [43,44] :

$$I_D = F(V_D, V_G) - F(V_S, V_G)$$

$$F(V_X, V_G) = 2 \cdot K(V_G - V_B - V_{FB} - \Phi_B)V_X - K(V_X - V_B)^2 - \frac{4}{3}K\gamma(V_X - V_B + \Phi_B)^{\frac{3}{2}}$$

$$K = \frac{1}{2} \mu C'_{ox} \frac{W}{L} \quad , \quad \gamma = \frac{1}{C'_{ox}} (2qN_A \epsilon_s)^{\frac{1}{2}} \quad (2.17)$$

(2.17) bağıntısında kullanılan sembollerin anlamı aşağıda verilmiştir :

V_D, V_S, V_G, V_B	: Sırasıyla, toprağa göre savak, kaynak, geçit ve taban gerilimleri
L, W	: Kanallın uzunluğu ve genişliği
V_{FB}	: Düz band gerilimi
Φ_B	: Kuvvetli evrimde yaklaşık yüzey gerilimleri
μ	: Uç gerilimlerinden bağımsız varsayılan, kanaldaki efektif taşıyıcı mobilitesi

N_A	: Taban katkılama yoğunluğu
C'_{ox}	: Birim alandaki geçit oksit kapasitesi
ϵ_s	: Silikon dielektrik katsayısı
q	: Elektronun yükü
γ	: Gövde etkisi parametresi

(2.17) deki akım ifadesini savak ile kaynak , geçit ile kaynak ve taban ile kaynak arasındaki gerilime bağlı olarak ifade edersek , akımın değişimini incelemek daha kolay olacaktır. Bundan sonra (2.17) bağıntısının geçerli olması için sağlanması gereken koşullar incelenecektir.

(2.17) deki akım bağıntısı aşağıdaki gibi yazılabilir :

$$I_D = 2K \left[(V_{GS} - V_{FB} - \Phi_B) V_{DS} - \frac{1}{2} V_{DS}^2 - \frac{2}{3} \gamma \left((\Phi_B + V_{SB} + V_{DS})^{\frac{3}{2}} - (\Phi_B + V_{SB})^{\frac{3}{2}} \right) \right] \quad (2.18)$$

Geçit ve taban gerilimleri sabit tutulup (2.18) bağıntısındaki akımın savak-kaynak arasındaki gerilime göre değişimi incelenirse, akımın artarak bir maksimum yapıp düştüğü görülür. İşte, bu gerilim değerine kadar MOS elemanı doymasız bölgede çalışır ve bundan sonra doymalı bölgeye girer. Bu gerilim değeri (2.18) bağıntısını V_{DS} ye göre türevini alıp, sıfıra eşitleyerek bulunur :

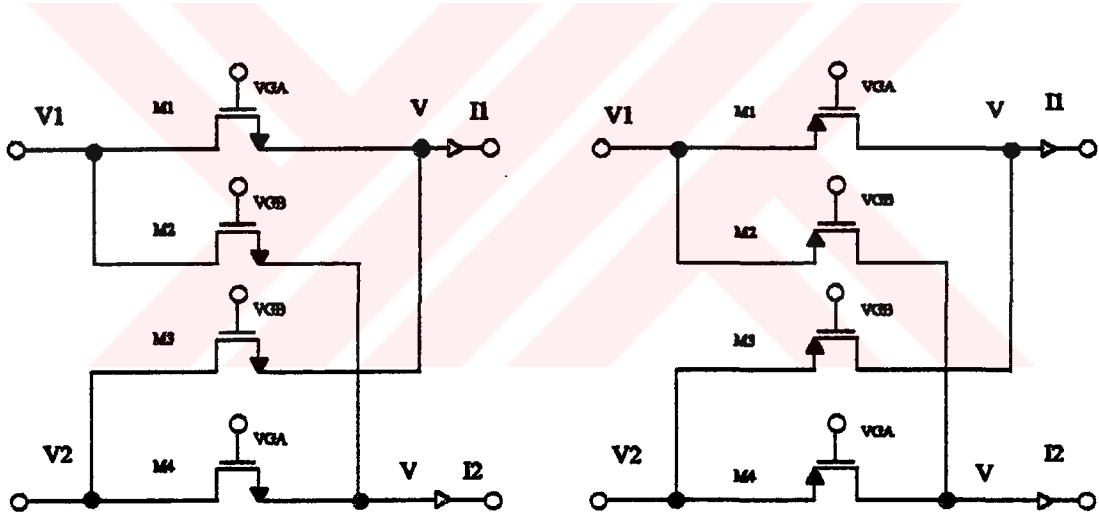
$$V'_{DS} = \left(V_{GS} - V_{FB} - \Phi_B + \frac{\gamma^2}{2} \right) - \gamma \sqrt{\frac{\gamma^2}{4} + V_{GS} - V_{FB} + V_{SB}} \quad (2.19)$$

Doymasız bölgede çalışma için :

$$-V_{SB} \leq V_{DS} \leq V'_{DS} \quad (2.20)$$

Yukarıdaki bağıntıların tümü NMOS için geçerlidir. PMOS için de bağıntıları elde etmek için, gerilim ve akımlar -1 ile çarpılıp düzenlemeler yapılabilir.

MRC elemanı Czarnul tarafından sunulmuş, Banu - Tsividis 'in sürekli zamanlı integrator yapısındaki MOS elemanlarının değiştirilmiş şeklidir [42, 43]. Banu - Tsividis MOSFET-C filtre tasarımında, dengeli yapılı, simetrik, çift giriş çıkışlı işlemsel kuvvetlendiriciler kullanmış ve kullandığı MOS elemanların akım farkı yaklaşık olarak simetrik giriş ile lineer değişmektedir. Oysa, Czarnul 'un MRC yapısı, mobilite sabit kabul edildiği varsayımıyla, tamamen lineerdir ve tasarımda dengeli yapılı aktif elemanlara ihtiyaç duymamaktadır. Şekil (2.10) 'da MRC elemanı NMOS ve PMOS tipinde transistörler kullanılarak gösterilmiştir. Bu yapıdaki çapraz bağlı MOS elemanlarını çıkarıp girişe simetrik gerilim işareti uygularsak Banu - Tsividis 'in yapısına geçiş oluruz.



Şekil 2.10 MRC elemanının NMOS ve PMOS ile gerçekleştirilmesi

(2.17) bağıntısındaki $F(\cdot)$ fonksiyonu için aşağıdaki bağıntı elde edilebilir :

$$F(V_X, V_{GA}) - F(V_X, V_{GB}) = 2KV_X(V_{GA} - V_{GB}) \quad (2.21)$$

(2.21) bağıntısını kullanarak MRC için akım gerilim ilişkisi aşağıdaki gibi çıkarılabilir :

$$\begin{aligned}
I_1 - I_2 &= (I_{D1} + I_{D3}) - (I_{D2} + I_{D4}) \\
&= F(V_1, V_{GA}) - F(V_1, V_{GB}) - [F(V_2, V_{GA}) - F(V_2, V_{GB})] \\
&= 2KV_1(V_{GA} - V_{GB}) - 2KV_2(V_{GA} - V_{GB}) \\
&= 2K(V_1 - V_2)(V_{GA} - V_{GB})
\end{aligned} \tag{2.22}$$

MRC elemanının tanım bağıntısı, çıkış aym potansiyelde için geçerlidir ve elemanın admitansı aşağıdaki gibi ifade edilebilir :

$$G_{MRC} = \left(\frac{W}{L} \right) \cdot \mu C'_{ox} \cdot (V_{GA} - V_{GB}) \tag{2.23}$$

(2.19) ve (2.20) bağıntıları tek bir MOS elemanı için, doymasız bölgede çalışma koşulunu verdiği için, MRC elemanındaki dört tranzistorun da doymasız bölgede çalışmasını garanti etmek için aşağıdaki koşullar sağlanmalıdır :

$$\max\{V_1, V_2, V\} < V_M$$

$$\min\{V_1, V_2, V\} > V_B$$

$$V_M = \min\{V_{GA} - V_{KA}, V_{GB} - V_{KB}\}$$

$$V_{KA} = V_{FB} + \Phi_B - \frac{\gamma^2}{2} + \gamma \sqrt{V_{GA} - V_B - V_{FB} + \frac{\gamma^2}{4}}$$

$$V_{KB} = V_{FB} + \Phi_B - \frac{\gamma^2}{2} + \gamma \sqrt{V_{GB} - V_B - V_{FB} + \frac{\gamma^2}{4}} \tag{2.24}$$

Buradaki MOS tranzistorlar kuvvetli evirtim doymasız bölgede çalıştıklarında, bunlar küçük işaretler için düzgün transmisyon hattı olarak modellenebilir [45]. Buradaki R_t basitçe küçük işaret savak - kaynak kanal direnci ve C_t ise kanal-geçit oksit kapasitesi ve kanal - taban kapasitesinin paralelinden oluşur. Bu transmisyon hattı , $1/(R_t.C_t)$ ye göre küçük frekanslar için yaklaşık olarak y - parametreleri ile aşağıdaki gibi ifade edilebilir :

$$R_t = \frac{1}{\mu \cdot C'_{ox} \cdot \frac{W}{L} (V_G - V_{TB})} \quad , \quad V_{TB} = V_{FB} + \Phi_B + \gamma \sqrt{\Phi_B - V_B} \quad , \quad \tau = R_t \cdot C_t$$

ile sırasıyla savak-kaynak direnci, taban gerilimine bağlı eşik gerilimi ve R.C zaman sabiti tanımlanırsa :

$$y_{11} = y_{22} = \frac{\frac{s\tau}{2} + 1}{R_t \cdot \left(\frac{s\tau}{6} + 1 \right)}$$

$$y_{12} = y_{21} = \frac{-1}{R_t \cdot \left(\frac{s\tau}{6} + 1 \right)} \quad (2.25)$$

Şekil (2.10) daki devrenin küçük işaret frekans modeli (2.25) vasıtasıyla çıkartılırsa :

$[y_{ij}]$: Seri koldaki MOS 'lara ilişkin Y parametreleri

$[y'_{ij}]$: Çapraz bağı MOS 'lara ilişkin Y parametreleri

olmak üzere :

$$I_1 = -y_{21}V_1 - y_{22}V - y'_{21}V_2 - y'_{22}V$$

$$I_2 = -y'_{21}V_1 - y'_{22}V - y_{21}V_2 - y_{22}V$$

$$\Rightarrow I_1 - I_2 = (y'_{21} - y_{21}) \cdot (V_1 - V_2)$$

$$\Rightarrow G_{MRC}(s) = y'_{21} - y_{21}$$

$$= G_{MRC} \cdot \frac{1 + s \left(\frac{\tau_1 + \tau_2}{6} \right)}{1 + s \left(\frac{\tau_1 + \tau_2}{6} \right) + s^2 \cdot \frac{\tau_1 \cdot \tau_2}{36}} \quad (2.26)$$

G_{MRC} (2.23) 'de tanımlanan MRC elemanın admitansdır, τ_1 ve τ_2 sırasıyla seri ve çapraz koldaki MOS 'lara ilişkin zaman sabitleridir. (2.26) 'dan MRC elemanın daha iyi bir yüksek frekans performansına sahip olduğu görülebilir [45].

MRC elemanın dinamik aralığını ve toplam harmonik distorsiyonun incelenmesi PSPICE vasıtasıyla yapılmıştır. Bu simülasyonda hem NMOS hem de PMOS için incelemeler yapılmıştır. Simülasyonda aktif eleman olarak INIC (Akım türü negatif empedans çevirici) olarak ideal CCII+ modeli kullanılarak akımın kısa devre olan bir kol üzerinden akması gözlenmiştir.

NMOS için PSPICE devre dosyası ve 1MHz temel frekansı etrafındaki harmonikleri 1.5V tepe işaretli sinüzoid için 9. harmoniğe kadar veren çıktı aşağıda verilmiştir.

```
.OPTIONS RELTOL=0.001
```

```
.SUBCKT CCII 1 2 3
```

```
RY 1 0 100MEG
```

```
EBUF 2 4 1 0 1.0
```

```
VK 4 0 0V
```

```
FZ 3 0 VK 1.0
```

```
.ENDS CCII
```

```
.SUBCKT MRC 1 2 3 4 5 6 7
```

```
M1 1 5 3 7 N W=10U L=60U
```

```
M2 1 6 4 7 N W=10U L=60U
```

```
M3 2 6 3 7 N W=10U L=60U
```

```
M4 2 5 4 7 N W=10U L=60U
```


.ENDS MRC

X1 1 0 3 4 5 6 7 MRC

X2 3 4 3 CCIIP

VZ 3 0 0

VGA 5 0 5V

VGB 6 0 3.35V

VSB 7 0 -3V

VIN 1 0 SIN(0 1.5 1MEGHZ 0 0)

.MODEL N NMOS LEVEL=2 LD=0.414747U TOX=505.0E-10 NSUB=1.35634E16

+VTO=0.864893 KP=44.9E-6 GAMMA=0.981 PHI=0.6 UO=656 UEXP=0.211012

+UCRIT=107603 DELTA=3.53172 VMAX=100000 XJ=0.4U

+LAMBDA=0.0107351 NFS=1E11 NEFF=1.001 NSS=1E12 TPG=1 RSH=9.925

+CGDO=2.83588E-10 CGSO=2.83588E-10 CGBO=7.968E-10 CJ=0.0003924

+MJ=0.456300 CJSW=5.284E-10 MJSW=0.3199 PB=0.7 XQC=1

.DC VIN -4 4 .1

.TRAN 2.5NS 3US 0 5NS

.FOUR 1MEGHZ I(VZ)

.PROBE

.END

DC COMPONENT = 6.950941E-07

NO	(HZ)	GENLİK	NORMALİZE GENLİK	FAZ (DEG)	NORMALİZE FAZ (DEG)
1	1.000E+06	1.450E-05	1.000E+00	-1.397E-03	0.000E+00
2	2.000E+06	4.797E-07	3.307E-02	-9.001E+01	-9.001E+01
3	3.000E+06	1.877E-07	1.294E-02	-2.886E-03	-1.489E-03
4	4.000E+06	2.017E-07	1.391E-02	-9.001E+01	-9.000E+01
5	5.000E+06	8.323E-08	5.738E-03	1.800E+02	1.800E+02
6	6.000E+06	6.141E-09	4.234E-04	8.990E+01	8.990E+01
7	7.000E+06	2.923E-09	2.015E-04	1.799E+02	1.799E+02
8	8.000E+06	2.291E-09	1.580E-04	9.016E+01	9.016E+01
9	9.000E+06	1.403E-08	9.670E-04	1.543E-02	1.682E-02

TOTAL HARMONIC DISTORTION = 3.858480E+00 PERCENT

PMOS için PSPICE devre dosyası ve 1MHz temel frekansı etrafındaki harmonikleri 1.5V tepe işaretli sinüzoid için 9. harmoniğe kadar veren çıktı aşağıda verilmiştir.

.OPTIONS RELTOL=0.001

.SUBCKT CCIP 1 2 3

RY 1 0 100MEG

EBUF 2 4 1 0 1.0

VK 4 0 0V

FZ 3 0 VK 1.0

.ENDS CCIP

.SUBCKT MRC 1 2 3 4 5 6 7

M1 3 5 1 7 P W=10U L=60U

M2 4 6 1 7 P W=10U L=60U

M3 3 6 2 7 P W=10U L=60U

M4 4 5 2 7 P W=10U L=60U

.ENDS MRC

X1 1 0 3 4 5 6 7 MRC

X2 3 4 3 CCIP

VZ 3 0 0

VGA 5 0 -5V

VGB 6 0 -3.35V

VSB 7 0 3V

VIN 1 0 SIN(0 1.5 1MEGHZ 0 0)

.MODEL P PMOS LEVEL=2 LD=0.580687U TOX=432.0E-10 NSUB=1E16

+VTO=-0.944048 KP=18.5E-6 GAMMA=0.435 PHI=0.6 UO=271 UEXP=0.242315

+UCRIT=20581.4 DELTA=4.32096E-5 VMAX=33274.4 XJ=0.4U

+LAMBDA=0.0620118 NFS=1E11 NEFF=1.001 NSS=1E12 TPG=-1 RSH=10.25

+CGDO=4.8311E-10 CGSO=4.83117E-10 CGBO=1.293E-9 CJ=0.0001307

+MJ=0.4247 CJSW=4.613E-10 MJSW=0.2185 PB=0.75 XQC=1

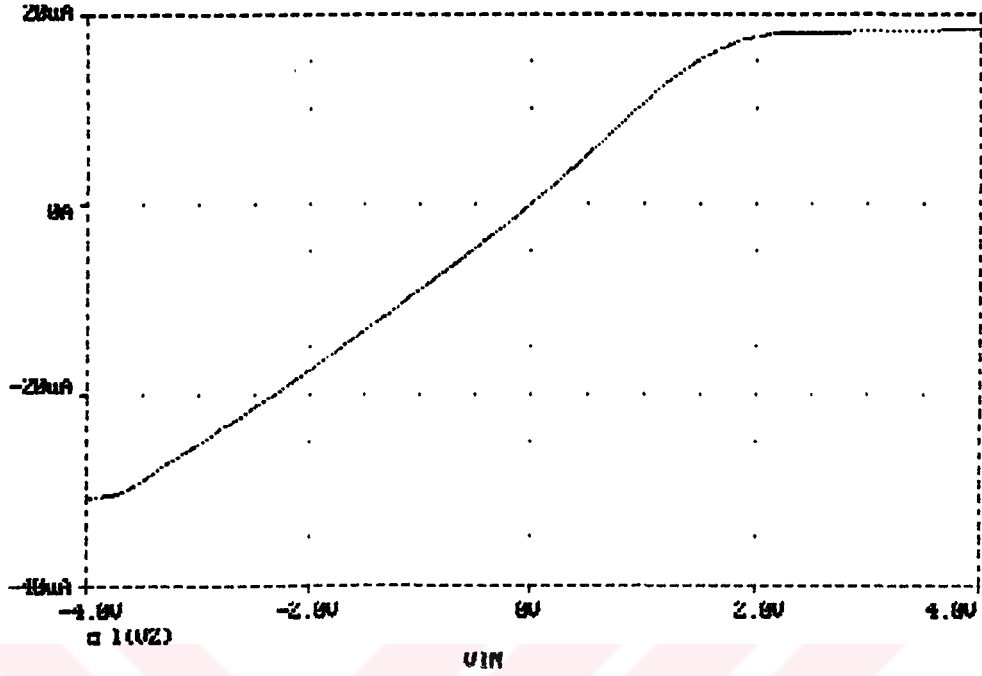
```
.DC VIN -4 4 .1
.TRAN 2.5NS 3US 0 5NS
.FOUR 1MEGHZ I(VZ)
.PROBE
.END
```

DC COMPONENT = -1.446721E-07

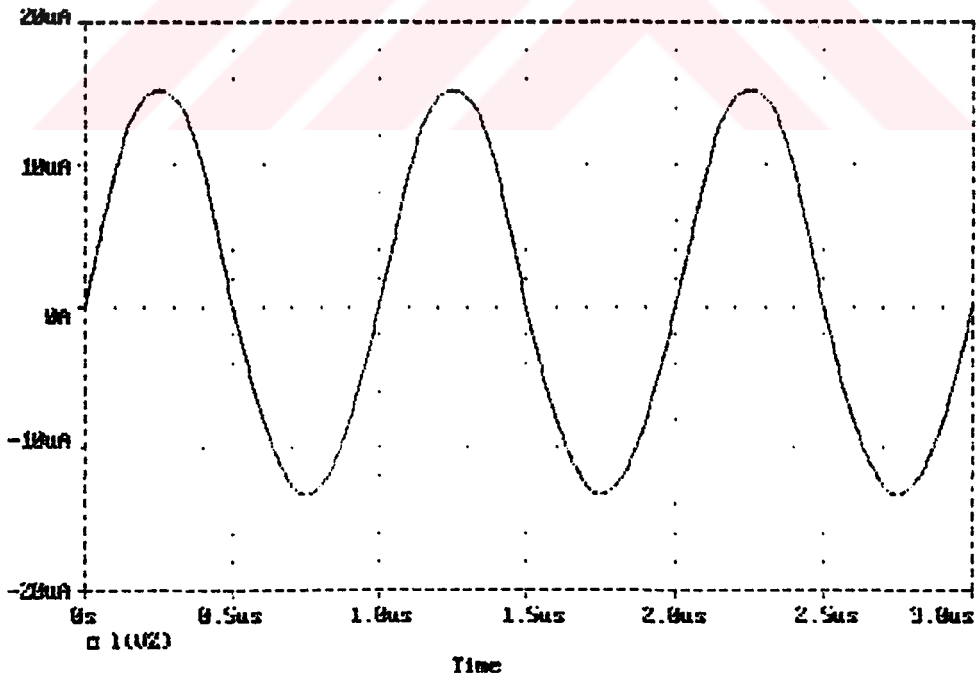
NO	(HZ)	GENLİK	NORMALİZE GENLİK	FAZ (DEG)	NORMALİZE FAZ (DEG)
1	1.000E+06	3.722E-06	1.000E+00	-1.858E-03	0.000E+00
2	2.000E+06	1.472E-07	3.954E-02	9.000E+01	9.001E+01
3	3.000E+06	7.603E-08	2.043E-02	-1.800E+02	-1.800E+02
4	4.000E+06	2.043E-09	5.488E-04	-8.979E+01	-8.979E+01
5	5.000E+06	9.173E-09	2.464E-03	1.800E+02	1.800E+02
6	6.000E+06	3.166E-10	8.504E-05	-8.931E+01	-8.931E+01
7	7.000E+06	3.143E-09	8.443E-04	1.799E+02	1.799E+02
8	8.000E+06	1.075E-10	2.887E-05	-8.922E+01	-8.922E+01
9	9.000E+06	1.439E-09	3.865E-04	1.799E+02	1.799E+02

TOTAL HARMONIC DISTORTION = 4.458917E+00 PERCENT

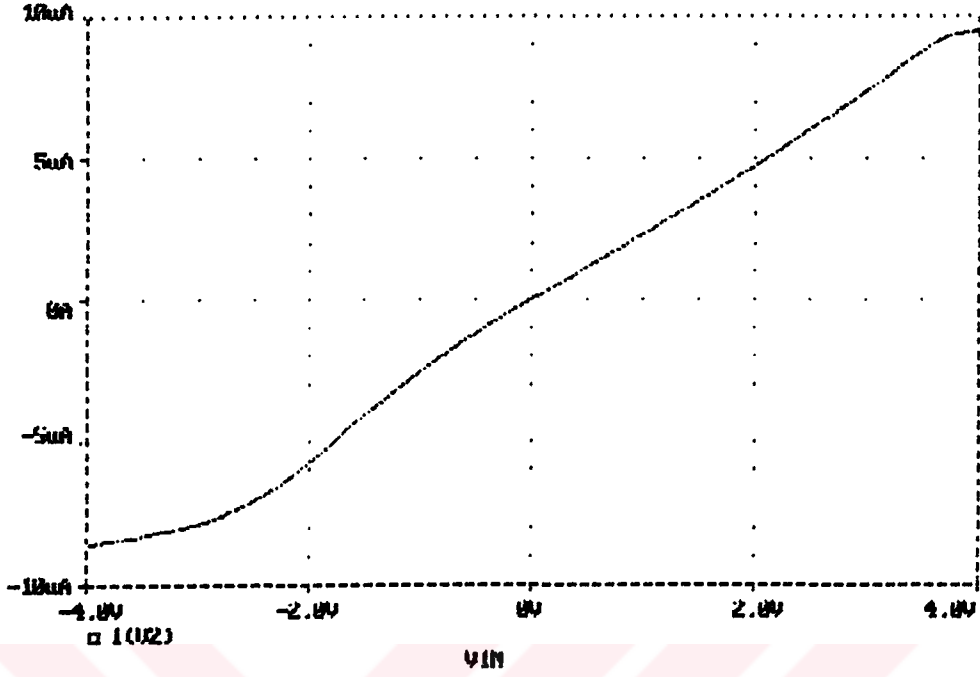
Şekil (2.11) PSPICE devre dosyasındaki NMOS türlü MRC yapısı için akımın giriş gerilimiyle değişimini DC süpürme yaparak gösterir. Şekil (2.12) ise aynı devrede akımın geçici analizini 1.5 V genlikli ve 1MHz sinüzoidal işaretli giriş gerilimine göre veren eğriyi göstermektedir. Şekil (2.13) ve (2.14) ise PMOS türlü MRC yapısı için akımın DC süpürme ve 1.5V genlikli ve 1 MHz sinüzoidal için akımın geçici analizinden elde edilen eğrileri sırasıyla göstermektedir.



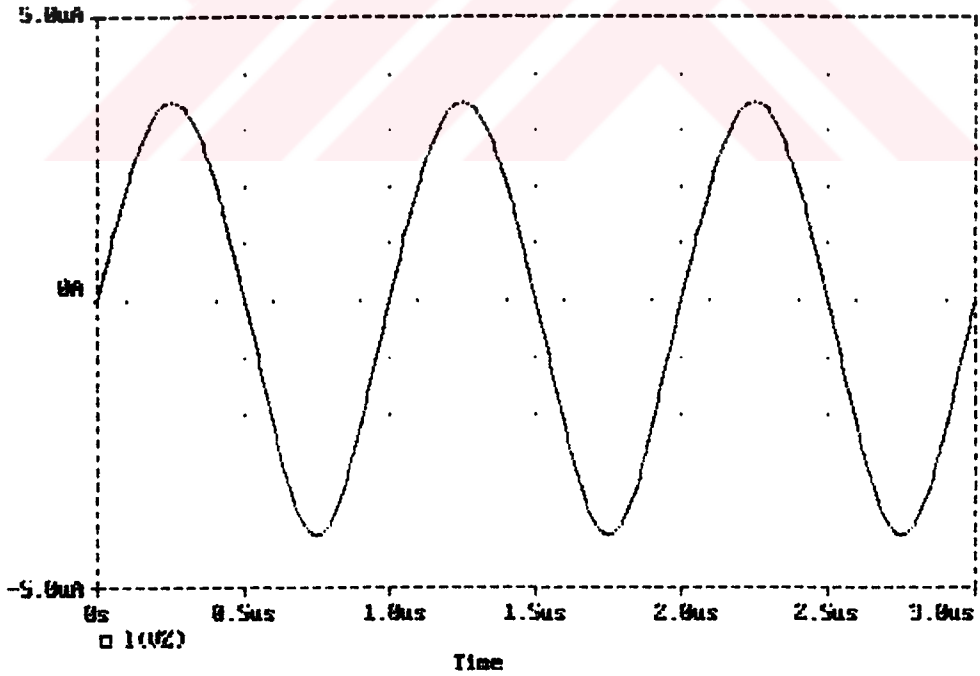
Şekil 2.11 NMOS türü MRC için $V_{GA} = 5V$, $V_{GB} = 3.35V$, $V_{SB} = -3V$ ve $W = 10\mu m$ ve $L = 60\mu m$ için fark akımını giriş gerilimi cinsinden veren DC süpürme eğrisi



Şekil 2.12 NMOS türü MRC için $V_{GA} = 5V$, $V_{GB} = 3.35V$, $V_{SB} = -3V$ ve $W = 10\mu m$ ve $L = 60\mu m$ için 1.5V tepe değerli 1MHz frekanslı sinüzoid giriş gerilimine karşı çıkış fark akımı



Şekil 2.13 PMOS türü MRC için $V_{GA} = -5V$, $V_{GB} = -3.35V$, $V_{SB} = 3V$ ve $W = 10\mu m$ ve $L = 60\mu m$ için fark akımını giriş gerilimi cinsinden veren DC süpürme eğrisi

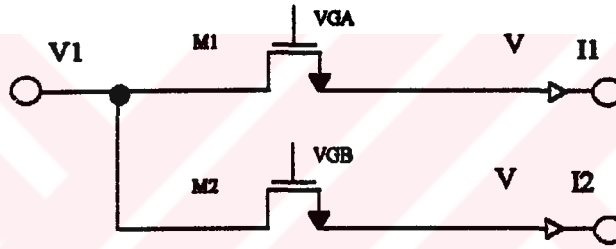


Şekil 2.14 PMOS türü MRC için $V_{GA} = -5V$, $V_{GB} = -3.35V$, $V_{SB} = 3V$ ve $W = 10\mu m$ ve $L = 60\mu m$ için 1.5V tepe değerli 1MHz frekanslı sinüzoid giriş gerilimine karşı çıkış fark akımı

MRC elemanının akım - gerilim bağıntısındaki önemli hususlar aşağıda sıralanmıştır :

- 1) Mobilite μ sabit varsayılmıştır.
- 2) Direnç değeri eşik gerilimine ve gövde etkisi terimine bağılı değildir.
- 3) Direnç sadece fark gerilimi ile ayarlanır ve dinamik aralık kontrol gerilimlerini aynı anda artırarak artırılır.
- 4) Direnç değeri taban gerilimine bağılı değildir.

Şimdi MRC devresinden yola çıkarak , topraklı direnç oluşturmaya yönelik aşağıdaki yapı analiz edilecektir.



Şekil 2.15 Direnç gerçeklemeye yönelik NMOS yapı

$$I_1 = F(V_1, V_{GA}) - F(V, V_{GA})$$

$$I_2 = F(V_1, V_{GB}) - F(V, V_{GB})$$

$$\Rightarrow I_1 - I_2 = F(V_1, V_{GA}) - F(V_1, V_{GB}) - (F(V, V_{GA}) - F(V, V_{GB}))$$

$$= 2.K.(V_1 - V).(V_{GA} - V_{GB}) \quad (2.27)$$

(2.27) bağıntısından görüldüğü üzere direnç ifadesi MRC 'nin direnç ifadesi ile aynıdır, fakat fark akımı, giriş gerilimi ile MOS 'ların kaynak gerilimi farkıyla orantılıdır. Çıkışa INIC bağlayıp, V1 ucu topraklanarak akımın V potansiyelli noktadan dışarı tek bir koldan akması sağlanırsa topraklı direnç elde edilmiş olur.

Bu yapının yüksek frekans küçük işaret modeli MOS tranzistorun transmisyon hattını yaklaşık olarak modelleyen y - parametrelerinden yararlanarak aşağıdaki gibi bulunur :

$$\Rightarrow I_1 - I_2 = (y'_{21} - y_{21}) \cdot V_1 + (y'_{22} - y_{22}) \cdot V \quad (2.28 - a)$$

$$\Rightarrow y'_{21} - y_{21} = G_{MRC} \cdot \frac{s \cdot \left(\frac{\tau + \tau'}{6} \right) + 1}{s^2 \frac{\tau \cdot \tau'}{36} + s \cdot \left(\frac{\tau + \tau'}{6} \right) + 1} \quad (2.28 - b)$$

$$\Rightarrow y'_{22} - y_{22} = -G_{MRC} \cdot \frac{s^2 \frac{\tau \cdot \tau'}{12} + s \cdot \left(\frac{\tau + \tau'}{6} \right) + 1}{s^2 \frac{\tau \cdot \tau'}{36} + s \cdot \left(\frac{\tau + \tau'}{6} \right) + 1} \quad (2.28 - c)$$

(2.28) bağıntılarındaki $(.)'$ değişkenleri M2 ve $(.)$ değişkenleri ise M1 tranzistoruna ait parametrelerdir.

Sonuç olarak, Şekil (2.15) deki yapı MRC elemanın bir alt devresi olduğundan bu eleman aktif filtre devrelerinde kullanılmaya uygundur. Bundan sonraki bölümde ise MRC elemanı ve Şekil (2.15) ' deki yapı ile sentezde kullanılabilecek temel yapılar sunulacaktır.

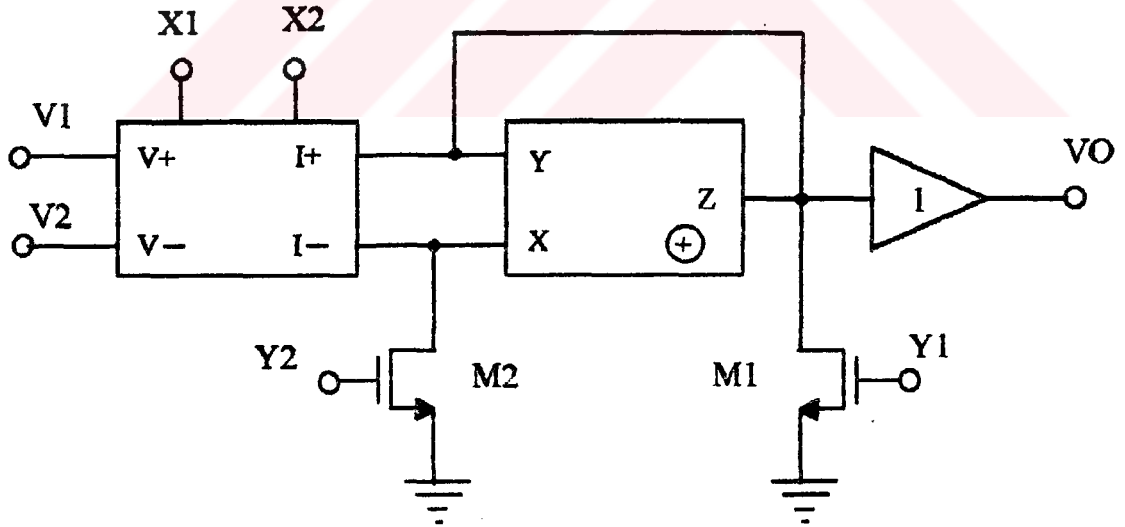
BÖLÜM 3

SENTEZDE KULLANILAN TEMEL YAPI TAŞLARI

3.1 MRC VE CCII İLE GERİLİM MODU YAPILAR

Bu alt bölümde gerilim transfer fonksiyonlarına yönelik, çarpma, toplama, integrator ve türev alıcı bloklar MRC, CCII ve kapasite elemanlarını kullanarak tanımlanacaktır.

Çarpma devresi için Şekil 3.1 deki yapı kullanılacaktır.



Şekil 3.1 Çarpma Bloğu

Devrenin analizine geçmeden evvel akımların referans yönleri, MRC için dışarıya doğru ve M1 - M2 NMOS tranzistorları için savaktan kaynak uçlarına doğru seçilecektir. Aşağıdaki analizlerin hepsinde bu referans yönleri esas alınacaktır.

Buradaki $X_1 - X_2$ ve $Y_1 - Y_2$ gerilimleri kontrol gerilimleridir ve bunlar tranzistorları doymasız bölgede kutuplayacak şekilde pozitif seçilmelidir. Eğer PMOS tranzistorlar kullanılsaydı bu sefer kontrol gerilimleri negatif seçilmesi gerekirdi. Şekil 3.1 'de taban gerilimleri basitlik açısından çizilmemiştir ; zira bu gerilim NMOS tranzistor için devrenin negatif gerilimler için dinamiğini önceki bölümde anlatıldığı üzere belirleyen negatif bir gerilimdir.

Kazanç ifadesi aşağıdaki gibidir :

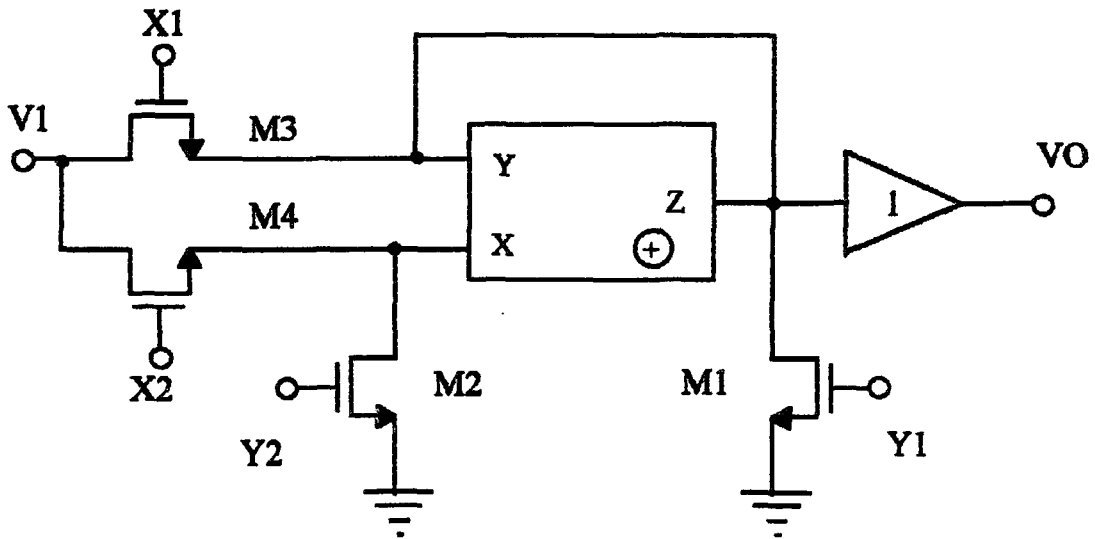
$$I_+ - I_- = 2.K_1.(X_1 - X_2).(V_1 - V_2)$$

$$I_{M1} - I_{M2} = 2.K_2.(Y_1 - Y_2).V_o$$

$$K = \frac{1}{2} \cdot \frac{W}{L} \cdot \mu \cdot C'_{ox}$$

$$\Rightarrow V_o = \frac{\left(\frac{W}{L}\right)_{MRC} \cdot (X_1 - X_2)}{\left(\frac{W}{L}\right)_{M1,2} \cdot (Y_1 - Y_2)} \cdot (V_1 - V_2) \quad (3.1)$$

(3.1) bağlantısından görüldüğü üzere kazanç iki admitansın oranı şeklindedir. Şekil 3.2 de farklı bir çarpma devresi daha sunulmuştur :



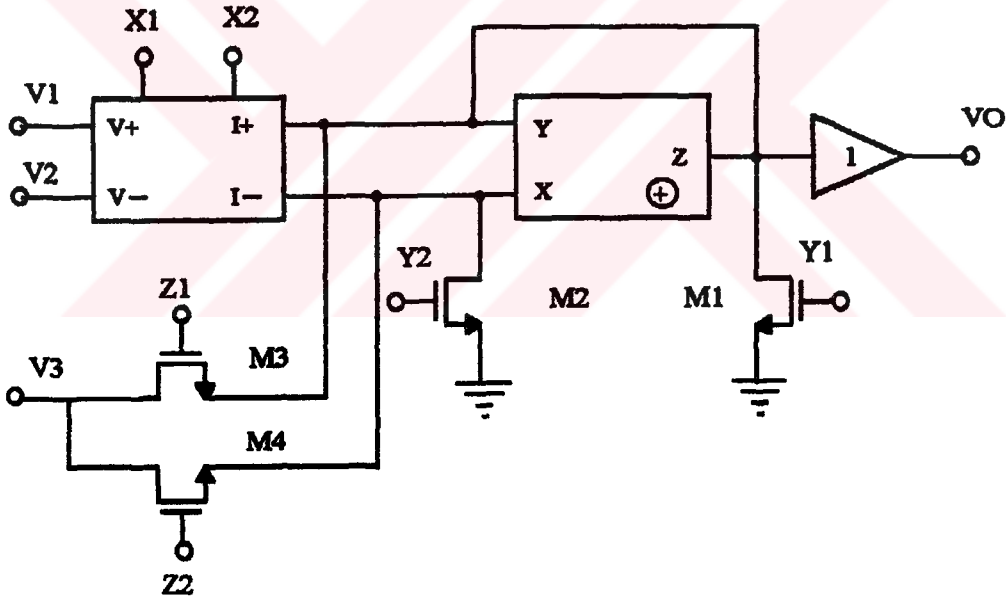
Şekil 3.2 Gerilim modunda çarpma devresi

$$I_{M3} - I_{M4} = 2.K_1.(X_1 - X_2).(V_1 - V_o)$$

$$I_{M1} - I_{M2} = 2.K_2.(Y_1 - Y_2).V_o$$

$$\Rightarrow V_o = \frac{\left(\frac{W}{L}\right)_{M3,4} .(X_1 - X_2)}{\left(\frac{W}{L}\right)_{M1,2} (Y_1 - Y_2) + \left(\frac{W}{L}\right)_{M3,4} .(X_1 - X_2)} . V_1 \quad (3.2)$$

Şekil 3.1 ve Şekil 3.2 deki topolojilerde çıkıştaki M1 -M2, CCII ve birim kazançlı tampondan oluşan kısım aynıdır. Fark girişte kullanılan MOS yapılarındadır. Bölüm 2 ' de incelediğimiz girişteki bu yapıları beraber kullanarak toplama elemanı için genel bir yapı aşağıda Şekil 3.3 ' de görüldüğü gibi verilebilir



Şekil 3.3 Toplama bloğu

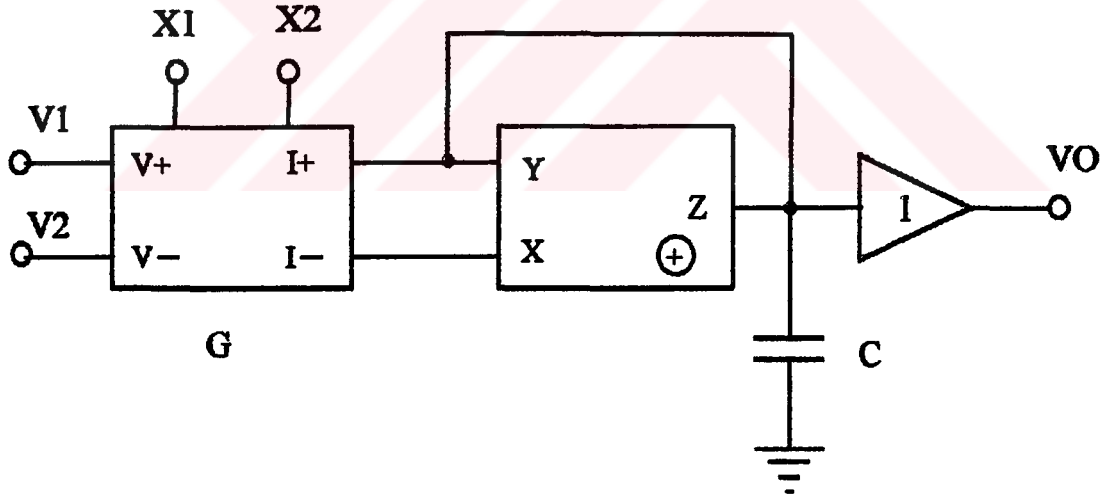
$$I_+ - I_- = 2.K_1.(X_1 - X_2).(V_1 - V_2)$$

$$I_{M3} - I_{M4} = 2.K_2.(Z_1 - Z_2).(V_3 - V_o)$$

$$I_{M1} - I_{M2} = 2.K_3.(Y_1 - Y_2).V_o$$

$$\Rightarrow V_o = \frac{\left(\frac{W}{L}\right)_{MRC} \cdot (X_1 - X_2)}{\left(\frac{W}{L}\right)_{M1,2} (Y_1 - Y_2) + \left(\frac{W}{L}\right)_{M3,4} \cdot (Z_1 - Z_2)} \cdot (V_1 - V_2) + \frac{\left(\frac{W}{L}\right)_{M3,4} \cdot (Z_1 - Z_2)}{\left(\frac{W}{L}\right)_{M1,2} (Y_1 - Y_2) + \left(\frac{W}{L}\right)_{M3,4} \cdot (Z_1 - Z_2)} \cdot V_3 \quad (3.3)$$

İntegrator yapısı Şekil (3.4) de gösterilmiştir. Burada, Şekil 3.1 'deki M1 - M2 çifti çıkarılıp akım taşıyıcının çıkışına kapasite konulmaktadır.



Şekil 3.4 Kayıpsız İntegrator Bloğu

Kapasitenin akımı toprağa doğru seçilirse :

$$I_+ - I_- = 2 \cdot K_1 \cdot (X_1 - X_2) \cdot (V_1 - V_2)$$

$$I_c = sC \cdot V_o$$

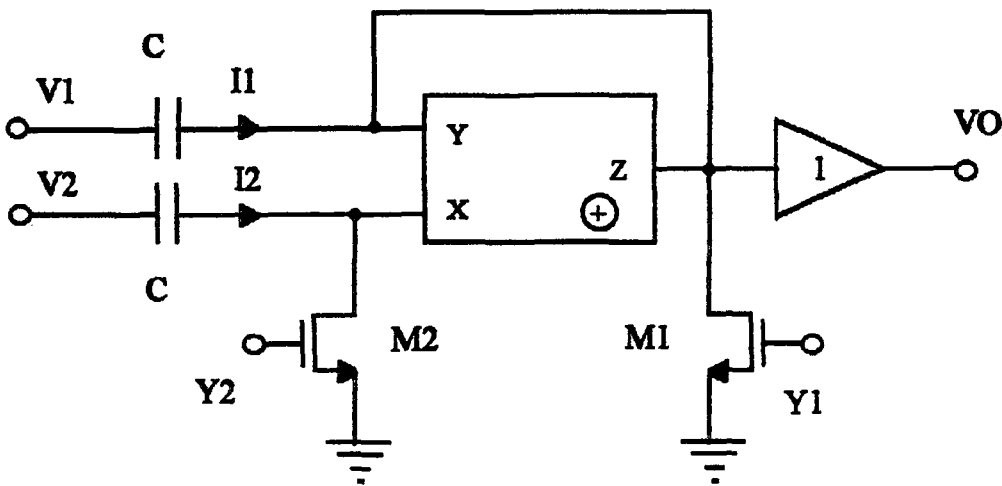
$$\Rightarrow V_o = \frac{2.K_1.(X_1 - X_2)}{sC} . (V_1 - V_2) \quad (3.4)$$

Küçük işaret analizi için önceki bölümde kullanılan, MOS tranzistorun RC transmisyon hattı gibi davranışını yaklaşık olarak modelleyen y - parametrelerini yukarıdaki integrator devresi için kullanırsak :

$$\begin{aligned} \Rightarrow I_+ - I_- &= (y'_{21} - y_{21}).(V_1 - V_2) + (y'_{22} + y_{22}).(V_x - V_y) \\ \Rightarrow s.C.V_o &= (y'_{21} - y_{21}).(V_1 - V_2) + (y'_{22} + y_{22}).(V_x - V_y) \end{aligned} \quad (3.5)$$

(3.5) ifadesinin ikinci toplam kısmı hata terimi ile ilgilidir ve akım taşıyıcıdaki gerilim izleme hatasının çıkışa etkisini vermektedir. Kullanılan akım taşıyıcı %100 geribesleme uygulanmış işlemsel kuvvetlendirici temelli olduğundan bu terim kolaylıkla ihmal edilebilir. İlk terim ise, MRC elemanın s-domenindeki, Bölüm 2 ' de incelenen, admitans ifadesini vermektedir. (.)' lü terimler çapraz bağlı, (.)' lı terimler ise seri bağlı kollarındaki MOS 'lara ilişkin parametreleri ifade etmektedir.

Son olarak ise, türev alıcı devre Şekil 3.5 ' te gösterildiği üzere incelenecektir. Aşağıdaki devrede eşdeğer iki kapasite kullanılmıştır.



Şekil 3.5 Türev alıcı bloğu

Şekil 3.5 ' deki devrenin analizi yapılırsa :

$$I_1 = s.C.(V_1 - V_o)$$

$$I_2 = s.C.(V_2 - V_o)$$

$$\Rightarrow I_1 - I_2 = s.C.(V_1 - V_2)$$

$$\Rightarrow I_{M1} - I_{M2} = 2.K_1.(Y_1 - Y_2).V_o$$

$$\Rightarrow V_o = \frac{s.C}{2.K_1.(Y_1 - Y_2)}.(V_1 - V_2) \quad (3.6)$$

Yukarıdaki devrelerin tümünde, negatif direnç kontrol gerilimlerini değiştirerek elde edilebildiğinden, eviren türden kazanç, integrator ve türev blokları kolayca oluşturulabilir. Bu yüzden bunları fazladan incelemeye gerek kalmamaktadır.

3.2. MRC VE CCII İLE AKIM MODU YAPILAR

Bu alt bölümde fark akımı için çarpma, toplama, integral ve türev alma blokları tanıtılacaktır. Sentezde kullanılabilecek olan akım kopyalama bloğu ise sadece çarpma devresi için verilmektedir ve diğer blokların da çıkışına benzer olarak konulabilmektedir.

Şekil 3.6 'da çarpma devresi, çıkışındaki akım kopyalama bloğu ile beraber gösterilmiştir. Bu devre analiz edilirse :

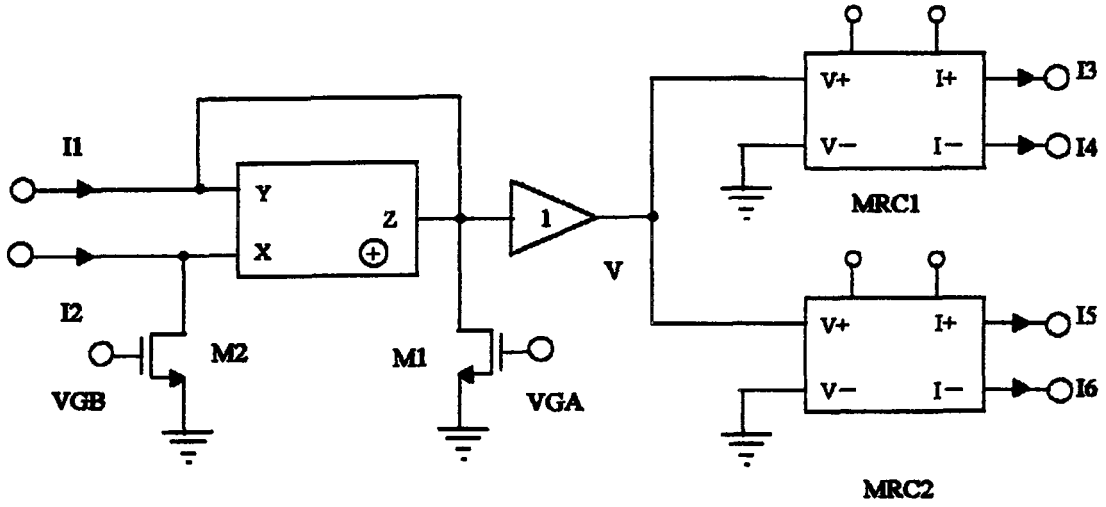
$$I_1 - I_2 = G_{M1,2} \cdot V$$

$$I_3 - I_4 = G_{MRC1} \cdot V$$

$$I_5 - I_6 = G_{MRC2} \cdot V$$

$$\Rightarrow I_3 - I_4 = \frac{G_{MRC1}}{G_{M1,2}} \cdot (I_1 - I_2) \quad (3.7 - a)$$

$$\Rightarrow I_5 - I_6 = \frac{G_{MRC2}}{G_{M1,2}} \cdot (I_1 - I_2) \quad (3.7 - b)$$



Şekil 3.6 Akım modundaki bu çarpma devresinde çıkıştaki MRC elemanlarından biri akım kopyalama amacıyla kullanılmaktadır.

(3.7) bağlantılarından görüldüğü üzere, kopyalanacak olan akım esas akımın herhangi bir çarpım şeklinde oluşturulabilmektedir. MRC elemanlarının kontrol gerilimlerini eşit seçer ve benzer şekilde bağlantı yapılırsa, akımın bir kopyası elde edilmiş olmaktadır.

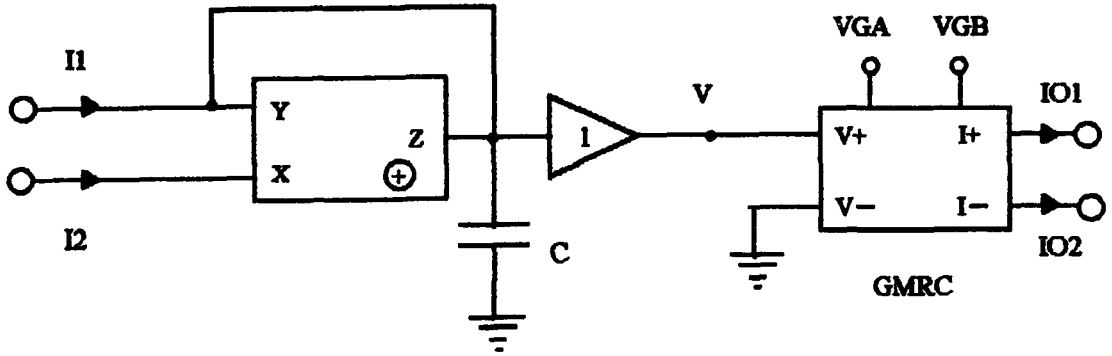
Akımların belirli ağırlıklarla çarpılıp toplanması gereken uygulamalarda, Şekil 3.6 'daki topoloji giriş akımı sayısı kadar tekrarlanarak MRC elemanlarının çıkış uçları birbirlerine bağlanması gerekmektedir. Bu yüzden ağırlıklı toplama bloğunu incelemenin bir anlamı olmamaktadır.

Şekil 3.7 'de giriş fark akımını integre ederek çıkışta akım farkı oluşturan bir devre sunulmuştur. Bu yapıyı analiz edersek :

$$I_1 - I_2 = s \cdot C \cdot V$$

$$I_{o1} - I_{o2} = G_{MRC} \cdot V$$

$$\Rightarrow I_{o1} - I_{o2} = \frac{G_{MRC}}{s \cdot C} \cdot (I_1 - I_2) \quad (3.8)$$



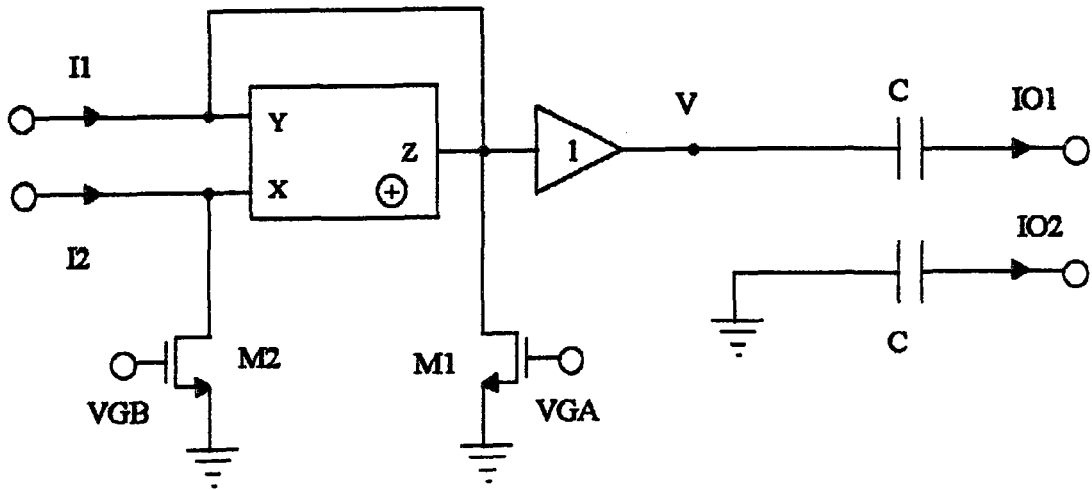
Şekil 3.7 Kayıpsız integrator bloğu

Şekil 3.8 'de ise girişteki akımın türevini çıkışta oluşturan türev alıcı blok sunulmuştur. Çıkışta iki tane eşdeğer kapasite kullanılmasının sebebi çıkışta akım farkı oluşturmaktır. Devreyi analiz edersek :

$$I_1 - I_2 = G_{M1,2} \cdot V$$

$$I_{o1} - I_{o2} = s \cdot C \cdot V$$

$$\Rightarrow I_{o1} - I_{o2} = \frac{s \cdot C}{G_{M1,2}} \cdot (I_1 - I_2) \quad (3.9)$$



Şekil 3.8 Akım modunda türev alıcı blok

Akım modundaki yukarıdaki yapıları incelediğimiz zaman, tüm yapıların ortak özelliği, girişe uygulanan akım çiftinin bir ucu akım taşıyıcının Y ucuna, diğeri X ucuna bağlanmasıdır. Diğer bir ortak özellik ise, tamım bağıntıların geçerli olması, çıkış akımlarının bağlandığı ucun eş potansiyelde olmasına bağlı olduğudur. Tasarımda bir bloğun çıkışı, diğer bloğun girişine bağlı olduğu düşünülürse, çıkıştaki eş potansiyelin oluşturulması kolaylıkla sağlanır. İşaret akış grafına göre bu yöntemle akım modunda filtre sentezi yapılırken, en son katta akım farkının tek bir koldan geçen akıma dönüştürülmesi gerekebilir ve bunun içinde çıkışta bir akım taşıyıcıyı akım türünde negatif empedans çevirici (INIC) olarak kullanarak bu sorun giderilmiş olur.

3.3 MRC VE CCII İLE OLUŞTURULMUŞ DİĞER İKİ KAPILI ELEMANLAR

Şekil 3.9 ' da gerilim türünde genelleştirilmiş empedans dönüştürücüsü (VGIC) gösterilmiştir [41]. Bu iki kapılı devre elemanında CCII+ yerine CCII - kullanılmış olsaydı, tek değişen akımın yönü olacaktı. T(s) gerilim modunda çalışan, yüksek giriş empedanslı bir kuvvetlendiricinin, çıkışı açık devre iken gerilim transfer fonksiyonunu ifade etmektedir. VGIC devre elemanın tamım bağıntısı aşağıda verildiği gibidir :

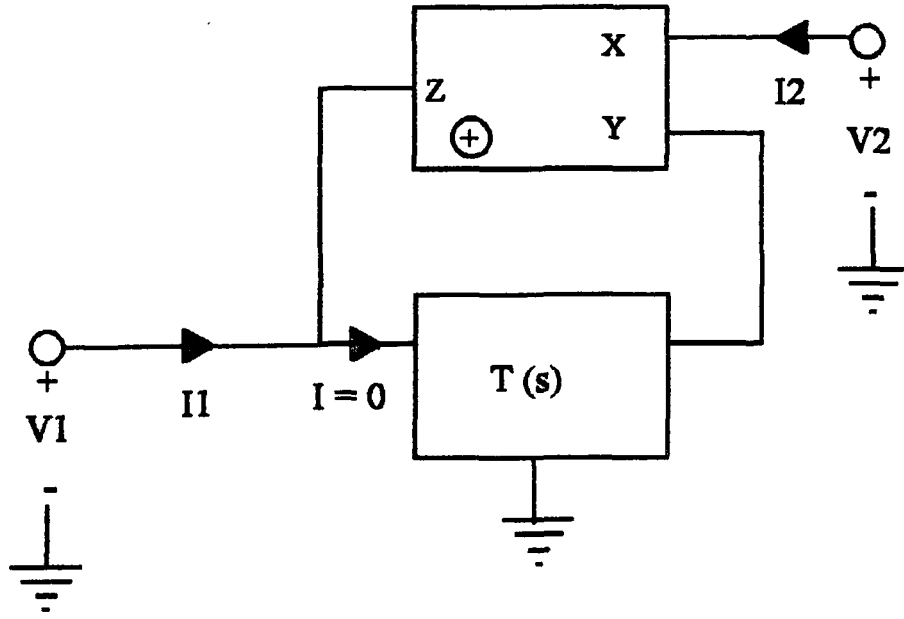
$$I_1 = I_2$$

$$V_1 = \frac{1}{T(s)} \cdot V_2 \quad (3.10)$$

Şekil 3.9 'daki devre gerilimle sürülebilir ve eğer akım ile sürmek gerekirse, 2 nolu uca akım kaynağı bağlanıp, çıkış 1 nolu uç olarak alınmalıdır. Bu yapının uygulama alanlarından biri, gerilim modunda çalışıldığı düşünülürse, çıkışı bir topraklı bir admitansla yükleyerek, girişte bir admitans fonksiyonu oluşturulmasıdır. Çıkışı Y_L ile yüklersek aşağıdaki ifade elde edilmektedir :

$$\Rightarrow Y_1 = -T(s) \cdot Y_L \quad (3.11)$$

Şekil 3.9 'daki yapıyı kullanarak, topraklı indüktans ve frekansa bağımlı negatif direnç (Frequency Dependent Negative Resistor) elemanları sırayla simüle edilecektir.



Şekil 3.9 VGIC (Voltage Type Generalized Impedance Converter) bloğu

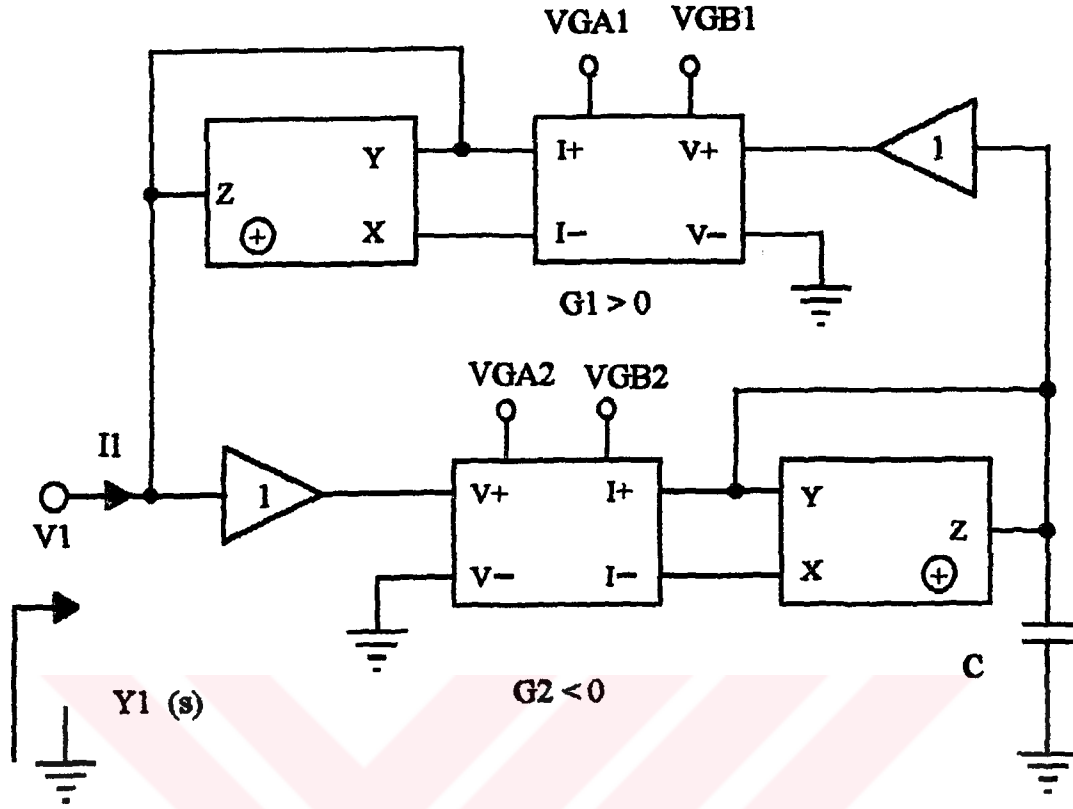
Çıkışa direnç elemanı olarak kullanılabilen MRC elemanını bağlayıp, gerilim transfer fonksiyonu olarak faz çeviren integrator kullanılırsa, topraklı indüktans elemanı Şekil 3.10 'da gösterildiği üzere aşağıdaki gibi ifade edilebilir :

$$Y_L = G_1$$

$$T(s) = -\frac{|G_2|}{s.C}$$

$$\Rightarrow Y_1 = \frac{G_1 \cdot |G_2|}{s.C} \quad , \quad L = \frac{C}{G_1 \cdot |G_2|} \quad (3.12)$$

Şekil 3.10 'daki devre elde edilirken, çıkışa , yani akım taşıyıcının X ucuna bağlanan topraklı direnç ve CCII+ elemanları, gerilimden akıma dönüştüren bir devre elemanları gibi davrandığı için, bu ikili yerine bu bölümde sunulan MRC ve CCII+ 'dan oluşan devre kullanılarak eleman sayısı minimizasyonu sağlanmıştır. Şekil 3.10 'daki devre iki OTA ve bir kapasite ile oluşturulan topraklı indüktans yapısına benzemektedir ; zira, tampon , MRC ve INIC gibi çalışan CCII+ 'dan oluşan üçlünün tanım bağıntısı OTA 'ya benzemektedir. Bu benzerlik G_2 'yi negatif seçerek Şekil 3.10 'da sağlanmıştır



Şekil 3.10 Topraklı indüktans yapısı

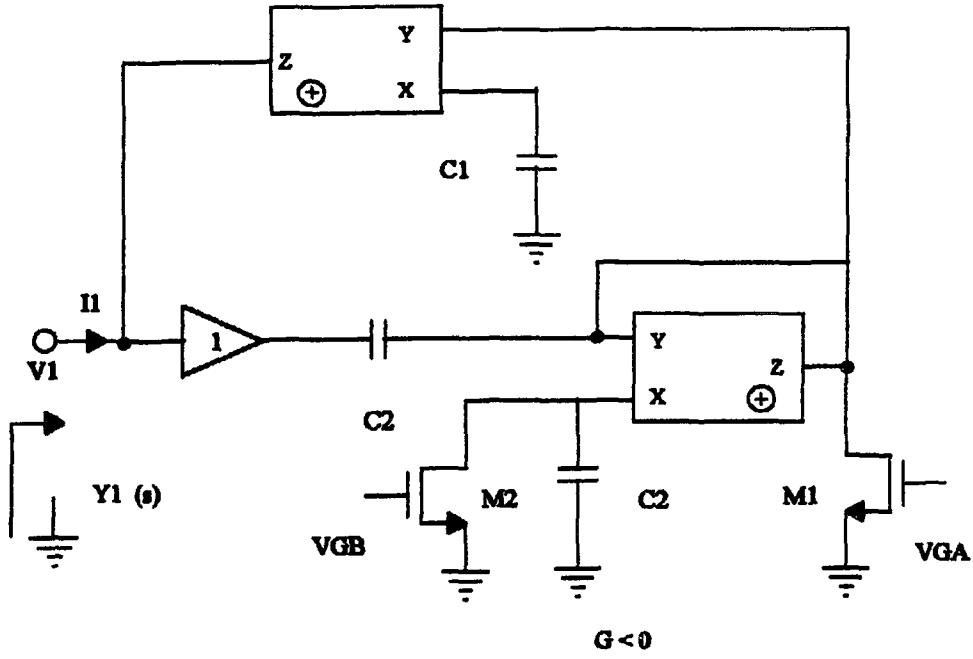
Topraklı FDNR ise, çıkışa kapasite bağlayıp, gerilim transfer fonksiyonu olarak faz çeviren türev alıcı seçilerek, Şekil 3.11 'de gösterildiği gibi, aşağıdaki gibi ifade edilebilir :

$$Y_L = s C_1$$

$$T(s) = -\frac{s C_2}{|G|}$$

$$\Rightarrow Y_1 = s^2 \cdot \frac{C_1 \cdot C_2}{|G|} \quad , \quad D = \frac{C_1 \cdot C_2}{|G|} \quad (3.13)$$

Şekil 3.11 'de, C1 çıkıştaki yük olmak üzere, G negatif seçilerek faz çeviren türev alıcı devresi kullanılmaktadır.

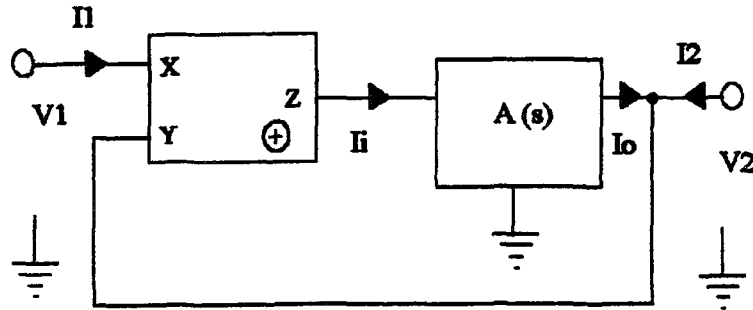


Şekil 3.11 Topraklı FDNR devresi

Şekil 3.12 'de topraklı empedans fonksiyonu gerçeklemeye yönelik akım tipinde genelleştirilmiş empedans dönüştürücü olarak bilinen IGIC (Current Type Generalized Impedance Converter) sunulmaktadır ve bu elemanın tanım bağıntısı aşağıdaki gibidir :

$$V_1 = V_2$$

$$I_1 = \frac{1}{A(s)} \cdot I_2 \quad (3.14)$$



Şekil 3.12 IGIC devre elemanı

Şekil 3.12 'de gösterilen akım yönleri esas alındığında, $A(s)$ akım transfer fonksiyonunu ifade etmektedir. Devre akım ile sürülmemektedir ve gerilim ile sürmek gerektiğinde 2 nolu uca gerilim kaynağı bağlanıp çıkış 1 nolu uçtan alınması gerekmektedir. Burada devre akım kaynağı ile sürülüp, 2 nolu çıkışa Z_L empedansı bağlandığında aşağıdaki ifade elde edilir :

$$\Rightarrow Z_1 = -A(s) \cdot Z_L \quad (3.15)$$

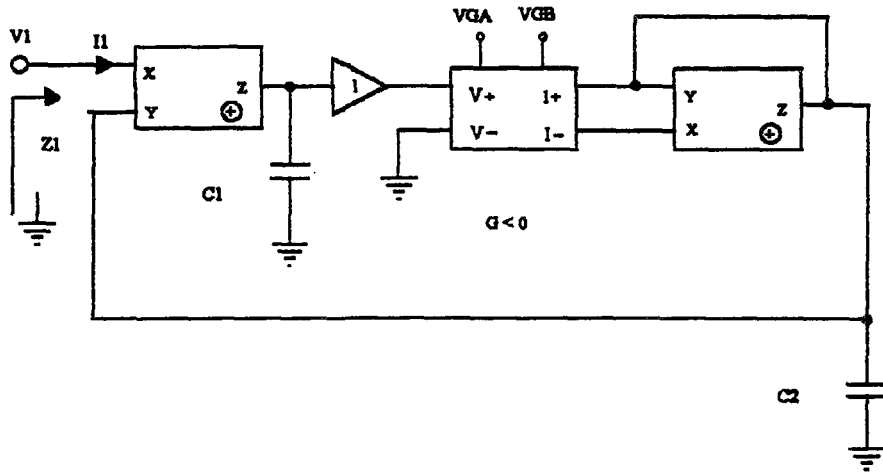
$A(s) = 1$ için INIC elde edilmektedir. Benzer şekilde sırayla topraklı FDNR ve indüktans simülasyonu yapılırsa :

Şekil 3.13 'de gösterilen topraklı FDNR elemanın analizi yapılırsa :

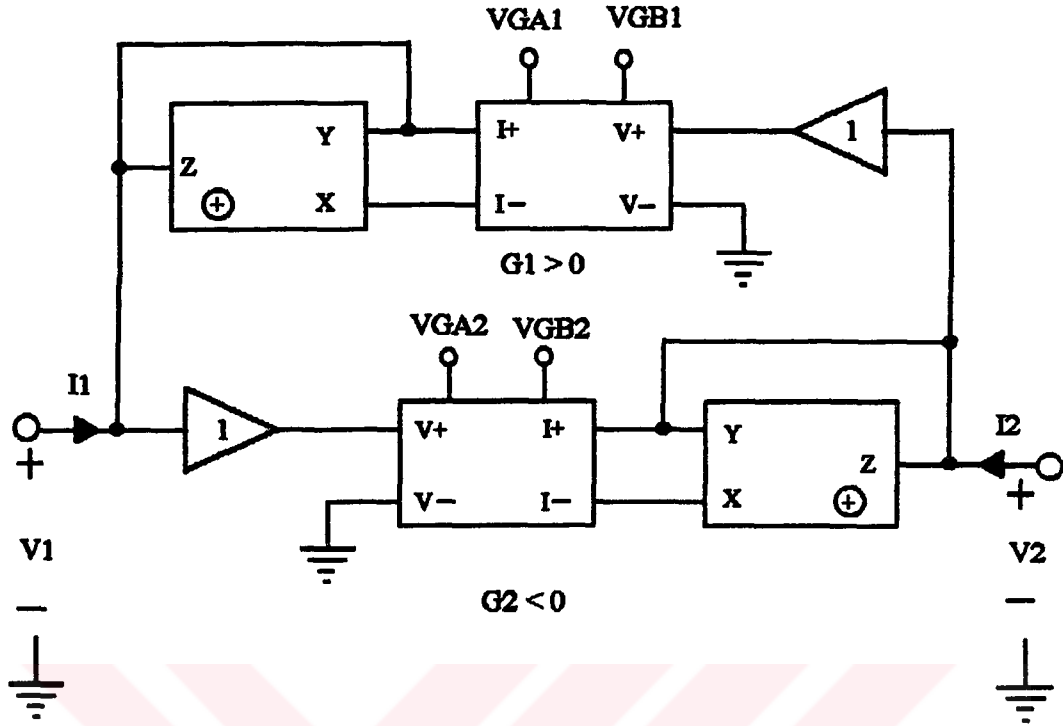
$$Z_L = \frac{1}{s \cdot C_2}$$

$$A(s) = -\frac{|G|}{s \cdot C_1}$$

$$\Rightarrow Z_1(s) = \frac{|G|}{s^2 \cdot C_1 \cdot C_2}, \quad D = \frac{C_1 \cdot C_2}{|G|} \quad (3.16)$$



Şekil 3.13 Topraklı FDNR devresi



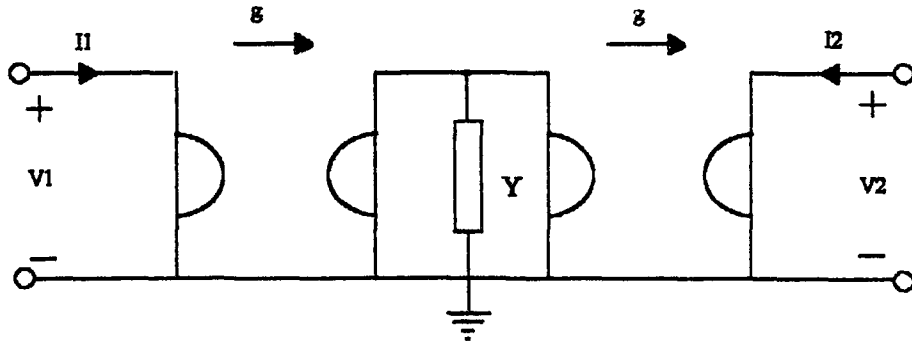
Şekil 3.15 Gerilimle sürülen jirator devresi

İki ucu serbest empedans fonksiyonlarını, topraklı türden empedans fonksiyonları kullanarak elde etmek Şekil 3.16 'da gösterilen yapı yardımıyla mümkün olmaktadır. Bu devreyi analiz edersek aşağıdaki ifade elde edilmektedir :

$$I_1 = -I_2$$

$$I_1 = g^2 \cdot Z \cdot (V_1 - V_2)$$

$$\Rightarrow Y_f = g^2 \cdot Z \quad (3.20)$$



Şekil 3.16 İki ucu serbest admitans fonksiyonu için jiratorlu bir yapı

Şekil 3.16 'da Y yerine topraklı bir kapasite konulursa, iki ucu serbest bir indüktans elemanı elde edilmiş olur.

İki ucu serbest FDNR elde etmek için Higashimura 'nın önerdiği devre yapısındaki iki ucu serbest direnç elemanı olarak MOS direnç elemanı Şekil 3.17 'de gösterildiği gibi konulmuştur [27]. Bu yapının tercih ediliş sebebi akım taşıyıcılarının akımı takip etme hatasına bağlı D 'nin duyarlılığının oldukça düşük olmasıdır. Aşağıdaki devre analiz edilirse :

$$I_1 = -I_2$$

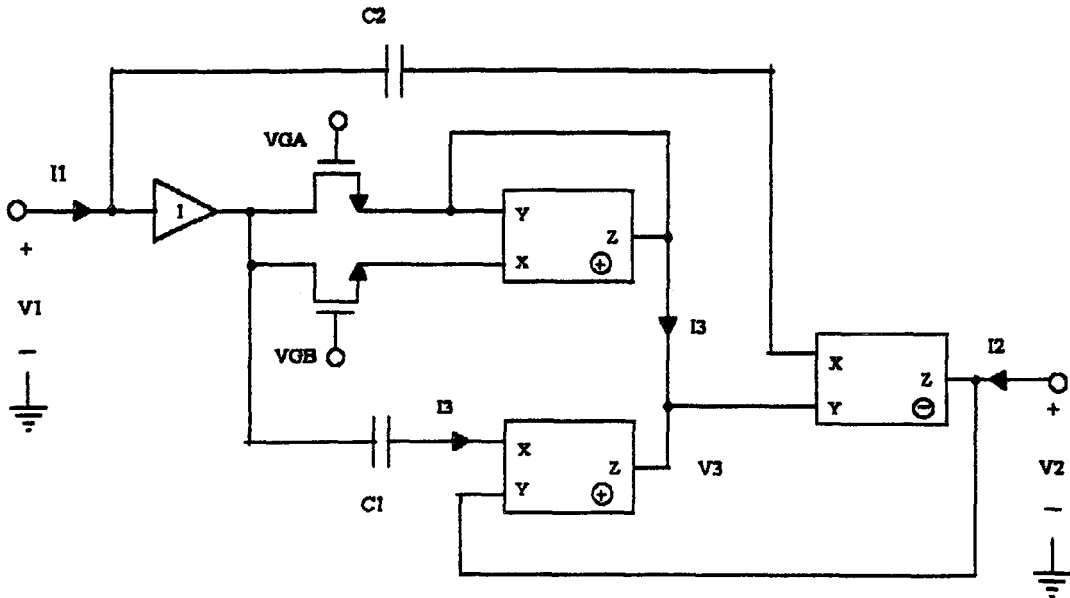
$$I_1 = s \cdot C_2 \cdot (V_1 - V_3)$$

$$I_3 = G \cdot (V_1 - V_3)$$

$$I_3 = s \cdot C_1 \cdot (V_1 - V_2)$$

$$G = \frac{W}{L} \cdot \mu \cdot C'_{ox} \cdot (V_{GA} - V_{GB})$$

$$\Rightarrow I_1 = \frac{s^2 \cdot C_1 \cdot C_2}{G} \cdot (V_1 - V_2) \quad (3.21)$$



Şekil 3.17 İki ucu serbest FDNR devresi

BÖLÜM 4

TRANSFER FONKSİYONU GERÇEKLEŞTİRİLMESİ

4.1. İŞARET AKIŞ DİYAGRAMI İLE SENTEZ

Bu kısımda, sırasıyla gerilim ve akım transfer fonksiyonu gerçeklemeye yönelik, işaret akış diyagramı yöntemine dayanan bir yöntem, Bölüm 3' deki yapıları kullanarak sunulacaktır.

Gerilim transfer fonksiyonları gerçeklemek için kullanılacak temel birimler aşağıda verilmiştir :

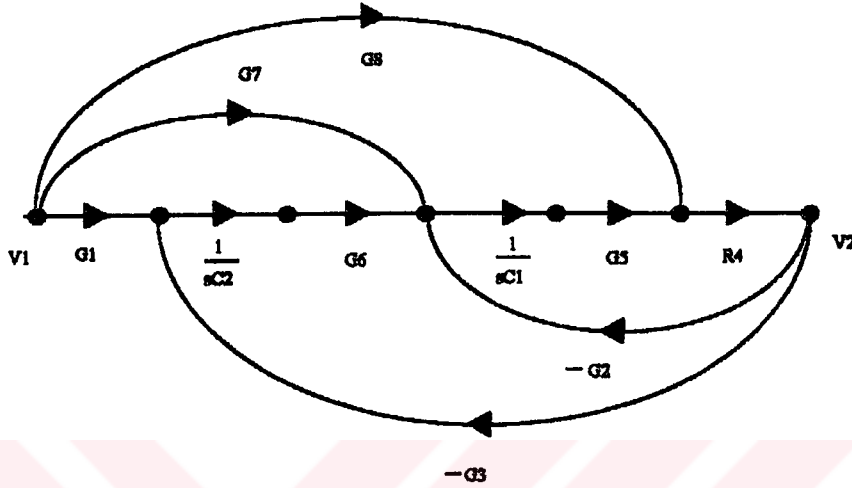
- 1) Ağırlıklı gerilim toplama yapısı
- 2) Gerilim integrator yapısı
- 3) Gerilimleri belirli ağırlıklarla toplayıp integral alan yapı

(3) nolu yapıyı kullanırken dikkat edilmesi gereken husus, işaret akış diyagramında bir alt grafi bu şekilde gerçeklerken, bu alt grafın içinde ağırlıklı gerilimlerin toplamından oluşan düğümden diğer dış birimlere -dışarıya doğru- bir kol uzanmamasıdır; çünkü bu (3) nolu yapıdaki iç düğüm bir gerilim düğümü değil, akım düğümüdür.

Bu yöntemle dayanarak, 2. dereceden genel bir gerilim transfer fonksiyonu için Şekil 4.1' deki işaret akış diyagramı gösterilmiştir :

$$\Delta = 1 + \frac{G_2 \cdot R_4 \cdot G_5}{s \cdot C_1} + \frac{G_3 \cdot R_4 \cdot G_5 \cdot G_6}{s^2 \cdot C_1 \cdot C_2}$$

$$\frac{V_2}{V_1} = \frac{R_4 \cdot G_8 + \frac{R_4 \cdot G_5 \cdot G_7}{s \cdot C_1} + \frac{G_1 \cdot R_4 \cdot G_5 \cdot G_6}{s^2 \cdot C_1 \cdot C_2}}{\Delta} \quad (4.1)$$



Şekil 4.1 2. derece gerilim transfer fonksiyonu için bir işaret akış diyagramı

Şekil 4.1' den yararlanarak sentez yapıldığında, çıkışta 1 adet ağırlıklı gerilim toplama devresi ve 2 adet yukarıda sözlü edilen (3) nolu gerilimleri belirli ağırlıklarla toplayıp integral alan birimler kullanılırsa en genel 2. derece filtre elde edilmiş olur. Şekil 4.1 için transfer fonksiyonu aşağıdaki gibi de yazılabilir :

$$K = R_4 \cdot G_8$$

$$\frac{\omega_z}{Q_z} = \frac{R_8 \cdot G_5 \cdot G_7}{C_1}$$

$$\frac{\omega_p}{Q_p} = \frac{G_2 \cdot R_4 \cdot G_5}{C_1}$$

$$\omega_z^2 = \frac{G_1 \cdot R_8 \cdot G_5 \cdot G_6}{C_1 \cdot C_2}$$

$$\omega_p^2 = \frac{G_3 \cdot R_4 \cdot G_5 \cdot G_6}{C_1 \cdot C_2}$$

$$\Rightarrow \frac{V_2}{V_1} = K \cdot \frac{s^2 + \frac{\omega_z}{Q_z} \cdot s + \omega_z^2}{s^2 + \frac{\omega_p}{Q_p} \cdot s + \omega_p^2} \quad (4.2)$$

(4.2) bağıntısından görüldüğü üzere, 2. mertebeden herhangi bir gerilim transfer fonksiyonu bu yöntemle gerçekleştirilebilir. Pay ve payda polinomlarındaki kalite faktörleri, sıfır-kutup frekansları ve kazanç miktarı bağımsız olarak ayarlanabilir. MRC ile negatif direnç elde edilebildiğinden pay polinomunun katsayıları negatif seçilebilir, fakat bu esnada payda polinomunun katsayıları pozitif olmalıdır ki sistem kararlı olsun.

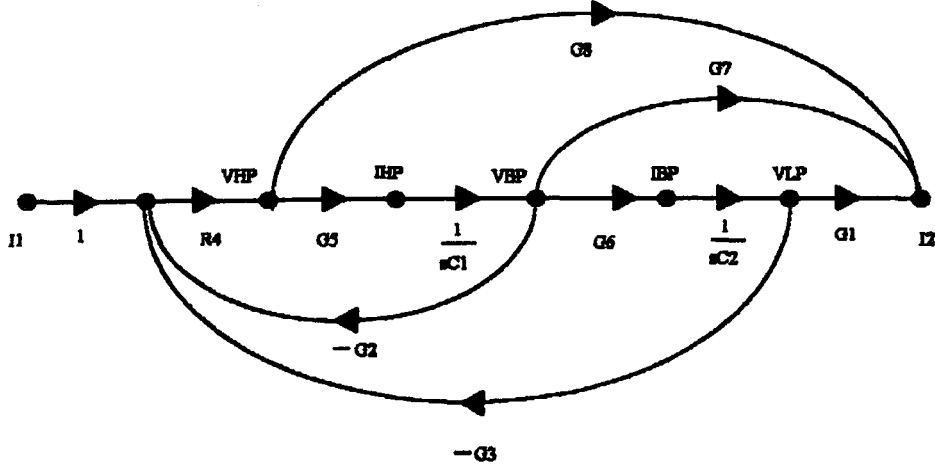
Şekil 4.1 ' de kapasite gerilimleri durum değişkenleri olarak seçilmiştir. Bu sistemdeki durum değişkeni, sistemin girişi ve çıkışı tarafından tek olarak belirlenebilmektedir. Bu yüzden bu sistem literatürde gözetlenebilir formda olarak bilinir, yani durum değişkenlerinin giriş ve çıkış ile kestirimi probleminde kontrol teorisinde önemli olmaktadır. Bu işaret akış diyagramı en genel halde n. mertebe gerilim transfer fonksiyonu için genelleştirilebilir.

Akım transfer fonksiyonu sentezi için kullanılacak temel yapılar ise aşağıda verilmiştir :

- 1) Ağırlıklı giriş akımı dağıtıcısı
- 2) Akım integratörü
- 3) Akımın ağırlıklı olarak integralini alıp dağıtan yapı

Akım transfer fonksiyonunun gerilim transfer fonksiyonu sentezinden tek farkı toplama elemanı yerine akım dağıtma biriminin kullanılmasıdır. Toplama işlemi alt devrelerin çıkış düğümlerini birbirine paralel bağlayarak yapılabilen bir yapıdır, oysa işaret akış diyagramında bir düğümdeki akımın başka bir yere aktarılması için akım dağıtıcısına ihtiyaç duyulmaktadır.

Şekil 4.2 ' de 2. mertebeden akım transfer fonksiyonu sentezi için uygun bir işaret akış diyagramı verilmiştir :



Şekil 4.2 Akım transfer fonksiyonu için işaret akış diyagramı

$$\Delta = 1 + \frac{G_2 \cdot R_4 \cdot G_5}{s \cdot C_1} + \frac{G_3 \cdot R_4 \cdot G_5 \cdot G_6}{s^2 \cdot C_1 \cdot C_2}$$

$$\frac{I_2}{I_1} = \frac{R_4 \cdot G_8 + \frac{R_4 \cdot G_5 \cdot G_7}{s \cdot C_1} + \frac{G_1 \cdot R_4 \cdot G_5 \cdot G_6}{s^2 \cdot C_1 \cdot C_2}}{\Delta} \quad (4.3)$$

(4.3) ifadesi kalite faktörleri ve kutup-sıfır frekansları cinsinden aşağıdaki gibi ifade edilebilir :

$$K = R_4 \cdot G_8$$

$$\frac{\omega_z}{Q_z} = \frac{R_8 \cdot G_5 \cdot G_7}{C_1}$$

$$\frac{\omega_p}{Q_p} = \frac{G_2 \cdot R_4 \cdot G_5}{C_1}$$

$$\omega_z^2 = \frac{G_1 \cdot R_8 \cdot G_5 \cdot G_6}{C_1 \cdot C_2}$$

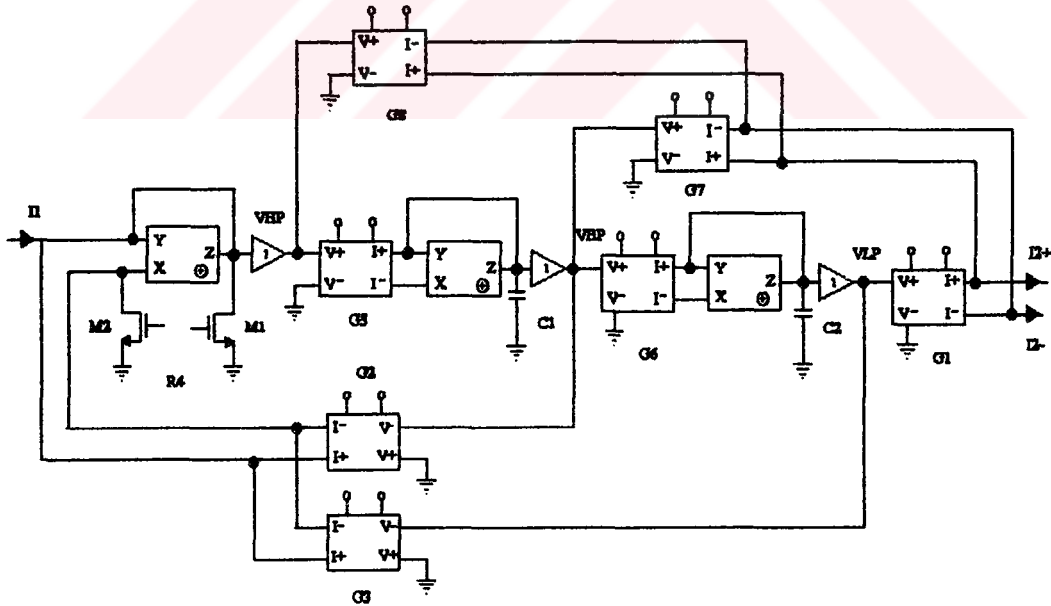
$$\omega_p^2 = \frac{G_3 \cdot R_4 \cdot G_5 \cdot G_6}{C_1 \cdot C_2}$$

$$\Rightarrow \frac{I_2}{I_1} = K \cdot \frac{s^2 + \frac{\omega_z}{Q_z} \cdot s + \omega_z^2}{s^2 + \frac{\omega_p}{Q_p} \cdot s + \omega_p^2} \quad (4.4)$$

(4.4) ve (4.2) ifadeleri tamamen aynıdır. Şekil 4.2 'den yararlanarak sentez yapıldığında, 1 adet ağırlıklı akım dağıtıcı ve 2 adet ağırlıklı olarak integralini alıp dağıtıcı birimler kullanılmaktadır. Bölüm 3 'de incelendiği üzere akım modundaki elemanların giriş kısmında akım taşıyıcının eş potansiyelli uçları olduğundan ve bunlar bir önceki katın çıkışına bağlandıklarından MRC elemanlarının lineer çalışması için çıkış uçlarının aynı potansiyelde olması otomatik olarak sağlanmış olacaktır.

Şekil 4.2 'deki işaret akış diyagramı kontrol edilebilir form olarak literatürde bilinir. Kontrol teorisinde kontrol edilebilirlik girişe uygulanan bir işaretle durumun önceki değerinden istenen bir değere geçmesini yeteri kadar küçük sonlu bir zaman sonra sağlayabilme yeteneği olarak kullanılmaktadır. Bu yüzden , Şekil 4.2 incelenecek olursa girişin durumu, yani kapasite gerilimlerini tek olarak belirlediği görülmüştür. Çıkış ise giriş işareti ve bu iki durum değişkeninin ağırlıklı toplamından oluşmaktadır. Bu şekilde HP indisi yüksek geçiren, BP indisi band geçiren ve LP indisi ise alçak geçiren filtre karakteristiğini gerçeklemektedir.

Şekil 4.3 'de ise Şekil 4.2 'deki işaret akış diyagramına karşı düşen devre topolojisi verilmiştir :



Şekil 4.3 2. mertebeden genel akım transfer fonksiyonu

(4.4) bağıntısında, $R_3 = R_4$ ve $R_5 = R_6$ seçilirse sıfır - kutup frakansları , kalite faktörleri ve kazanç aşağıdaki gibi ifade edilebilir :

$$K = R_4 \cdot G_8$$

$$\omega_p^2 = \frac{G_5 \cdot G_6}{C_1 \cdot C_2}$$

$$\omega_z^2 = G_1 \cdot R_8 \cdot \omega_p^2$$

$$Q_p^2 = \frac{C_1 \cdot G_3^2}{C_2 \cdot G_2^2}$$

$$Q_z^2 = \frac{C_1 \cdot G_1 \cdot G_8}{C_2 \cdot G_7^2} \quad (4.5)$$

MOS elemanların admitansları kontrol gerilimleri ile lineer olarak ayarlanabildiğinden, (4.5) ifadesindeki parametrelerin ayarlanması kontrol gerilimleri ile mümkün olmaktadır. Kapasite değerleri ise çalışılacak belirli bir frekans aralığı için birbirine eşit ve sabit olarak seçilir ve MRC elemanları ile sıfır- kutup frekansı ve kalite faktörleri ayarlanabilmektedir.

Yukarıdaki 5 parametrenin birbirinden bağımsız olarak ayarlanabilmesi için en az 5 kontrol gerilimine ihtiyaç varsa da bu tümleştirme açısından pek pratik değildir. Bu yüzden filtrenin hangi uygulamaya yönelik kullanıldığına bağlı olarak, sadece kritik parametreler kontrol edilebilir.

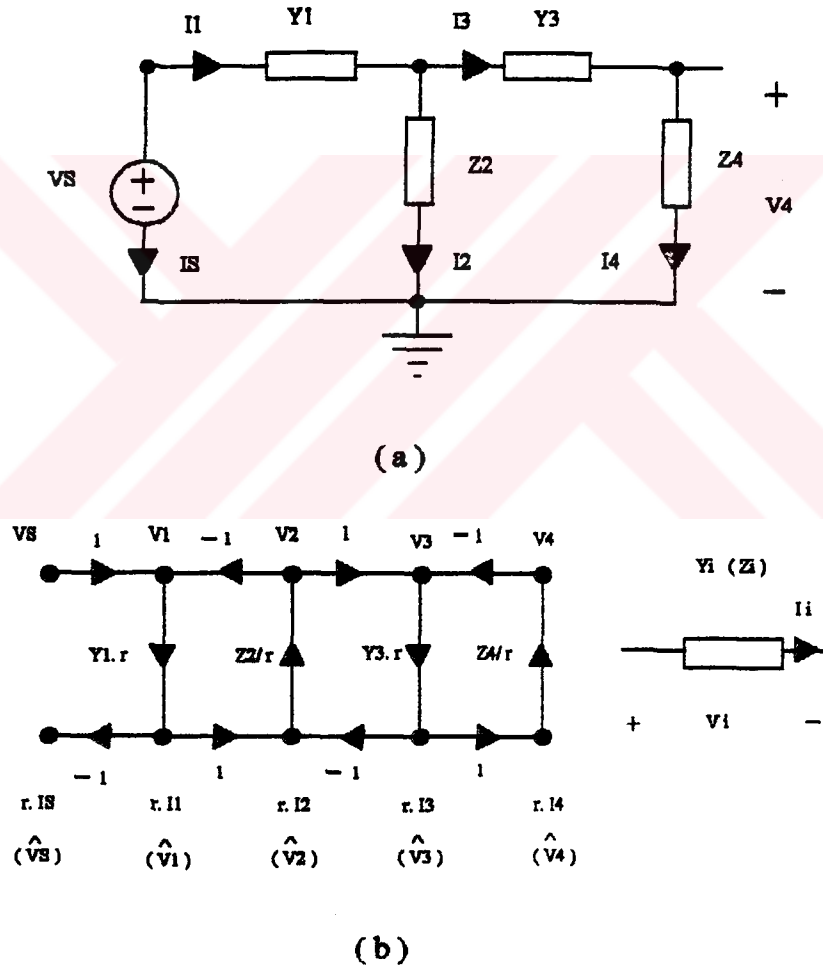
Örneğin, ileri yolu oluşturan G_7 ve G_8 admitanslarına ilişkin MRC elemanları kaldırılırsa, universal filtre olarak bilinen tek giriş yüksek geçiren, band geçiren ve alçak geçiren üç çıkışlı filtre elde edilir. Bu yapıda G_1 admitanslı MRC 'deki fark akımı alçak geçiren, C_2 'deki akım band geçiren ve C_1 'deki akım ise yüksek geçiren çıkışı olarak alınır, eş MOS tranzistörler kullanılıp, kontrol gerilimleri eşit seçilip G_2 'deki kolun bağlı olduğu düğüme G_2' 'yi oluşturan MRC elemanından önce seri olarak bir gerilim çarpma/bölme devresi bağlanırsa, (Bölüm 3 'deki gerilim kazanç devresi) bu çarpma/bölme devresinin kontrol gerilimlerine bağlı olarak Q_p ayarı ve diğer eş MOS 'ların kontrol gerilimleri ile ω_p ayarlanmış olur. Benzer kontrol, G_2 ve G_3 'ün kontrol gerilimlerini ayarlayıp Q_p kontrolü ve diğer MRC elemanlarının kontrol gerilimi ile kutup frekansı ω_p kontrolü yapılabilinmektedir.

Şekil 4.2 'deki işaret akış grafiğinde $G_7 = G_8 = G_1 = 0$ alınır ve girişe bir MRC elemanı bağlanırsa, işaret akış diyagramı universal tipten gerilim transfer fonksiyonu gerçeklemeye uygun olmaktadır. Burada C_2 'deki gerilim alçak geçiren, C_1 'deki band geçiren ve G_5 'i oluşturan MRC 'nin giriş ucundaki yüksek geçiren filtre karakteristiğini taşımaktadır. Bu düğümler Şekil 4.3 'de gösterilmiştir.

4.2 BASAMAKLI DEVRE İLE SENTEZ YÖNTEMİ

Bu bölümde basamaklı yapıda olan pasif RLC elemanlarının simülasyonuna yönelik bir sentez yöntemi sunulacaktır. Buradaki çıkış noktası basamaklı devre topolojisinden işaret akış diyagramına geçmektir. Gerilim ve akım transfer fonksiyonlarına ilişkin işaret akış diyagramları sırayla aşağıda sunulacaktır.

Şekil 4.4 'de gerilim kaynağı ile sürülen bir pasif basamaklı devre ve buna karşı düşen işaret akış diyagramı verilmiştir. Buradaki " r " empedans boyutunda bir normalizasyon katsayısıdır.



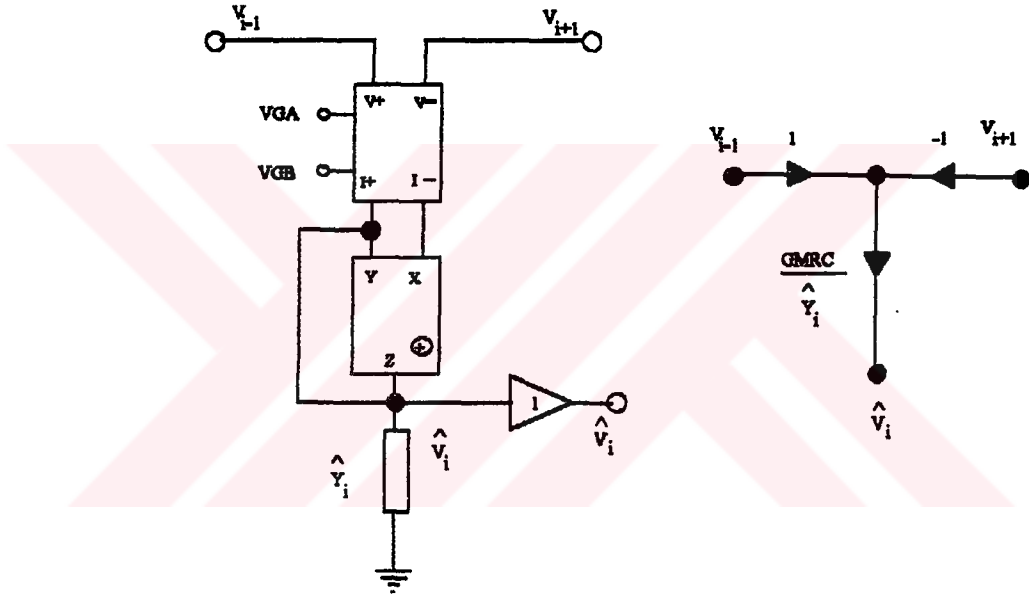
Şekil 4.4

(a) Gerilimle sürülen pasif basamaklı devre
(b) Pasif devreye karşı düşen işaret akış grafi

($\hat{\cdot}$) 'lı düğümler pasif elemanların Şekil 4.4 'deki referans yönleri ile belirli akımları ile orantılı gerilim düğümleridir. Şekil 4.4 (b) deki işaret akış diyagramı modüler bir yapıdadır. Bu işaret akış diyagramından pasif devreyi simüle etmek için iki temel yapı taşı kullanılabilir :

- 1) Çıkışta, girişteki iki gerilim farkının s-domeninde bir fonksiyonunu oluşturan yapı
- 2) Admitans veya empedans fonksiyonlarının tersini alan jirator yapısı

Şekil 4.5 ' de basamaklı devrenin işaret akış diyagramını aktif elemanlarla gerçeklemede kullanılacak olan alt işaret akış diyagramı sunulmuştur :



Şekil 4.5 Basamaklı yapıda gerilim transfer fonksiyonu için alt devre

Şekil 4.5 'deki yapı analiz edilirse :

$$\Rightarrow \hat{V}_i = \frac{G_{MRC}}{\hat{Y}_i} \cdot (V_{i-1} - V_{i+1}) \quad (4.6)$$

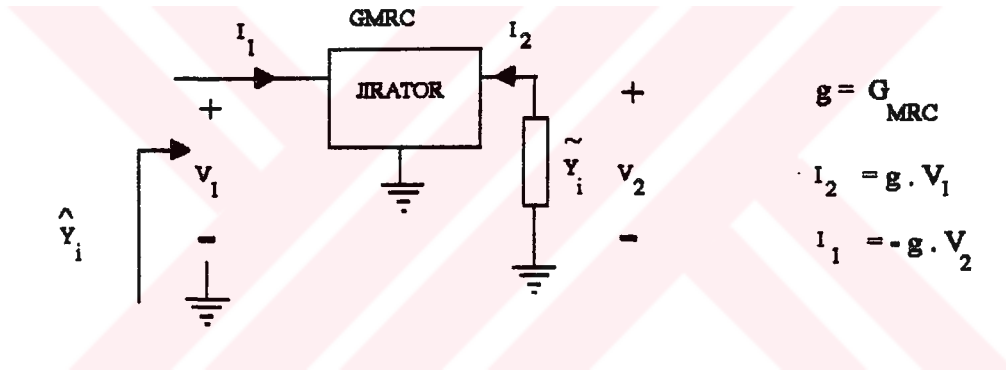
(4.6) bağıntısındaki $\hat{Y}_i$ admitansı Şekil 4.5 'deki alt devrede gösterilen admitans fonksiyonudur ve pasif devrenin simülasyonunda kullanılan bu admitansın, seri ve paralel kollarındaki pasif devredeki admitans ve empedans fonksiyonu cinsinden ifadesi ise aşağıda verildiği gibidir :

$$\hat{Y}_i = \frac{G_{MRC} \cdot g}{Y_i} \quad , \text{ Seri koldaki admitanslar için} \quad (4.7 - a)$$

$$\hat{Y}_i = G_{MRC} \cdot r \cdot Y_i \quad , \text{ Paralel koldaki empedanslar için} \quad (4.7 - b)$$

Böylece basamaklı devre sentezi $\hat{Y}_i(s)$ admitans fonksiyonu gerçekleştirme sentezine indirgenmiş olur. Fakat bu transfer fonksiyonunu gerçeklerken endüktans elemanı kullanmaktan kaçınılıp, endüktans elemanını Jirator devre elemanı ile simüle etme yolu tercih edilecektir.

Şekil 4.6 ' da Jirator elemanını kullanarak ters admitans fonksiyonu gerçekleştirme yöntemi gösterilmiştir :



Şekil 4.6 Ters admitans fonksiyonu gerçekleyen jiratorlu alt devre

$$\Rightarrow \hat{Y}_i(s) = \frac{(G_{MRC})^2}{\hat{Y}_i(s)} \quad (4.8)$$

Sistematik olarak, basamaklı devre sentezini pasif devre simülasyonu olarak yürütmek için atılması gereken adımlar aşağıdaki gibidir:

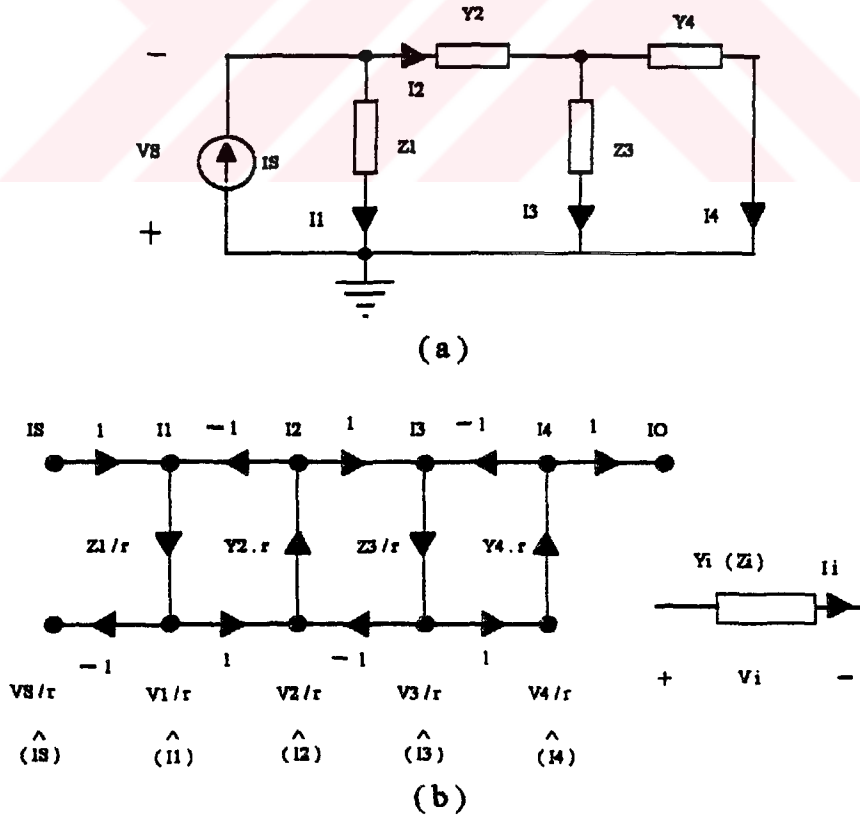
1. ADIM : Basamaklı pasif devredeki admitans ve empedans değerleri $\omega = 1$ rad/sn açısal frekansına göre istenilen filtre yaklaşımına göre normalize edilir.

2. ADIM : (4.7) bağıntısını - gerektiğinde (4.8) bağıntısını da kullanarak - $r = g = 1$ seçerek empedans normalizasyonu da yaparak tasarım bağıntıları elde edilir. (4.7) deki admitans fonksiyonları s-domaininde yüksek dereceden rasyonel bir

fonksiyonsa bu rasyonel fonksiyonun Cauer tipi sürekli kesirlere açılımı yapıp, (4.8) bağıntısı da kullanılarak tasarım bağıntıları elde edilmesi gerekebilir.

3. ADIM : Tasarım bağıntıları elde edildikten sonra Şekil 4.5 'deki alt devre Şekil 4.4 'deki basamaklı devreye ilişkin işaret akış diyagramına göre tekrarlanır ve simüle admitans elemanını oluşturan gerekiyorsa jirator, kapasite ve direnç olarak kullanılan MOS elemanlar yerleştirilerek ilgili filtre topolojisi elde edilmiş olur.

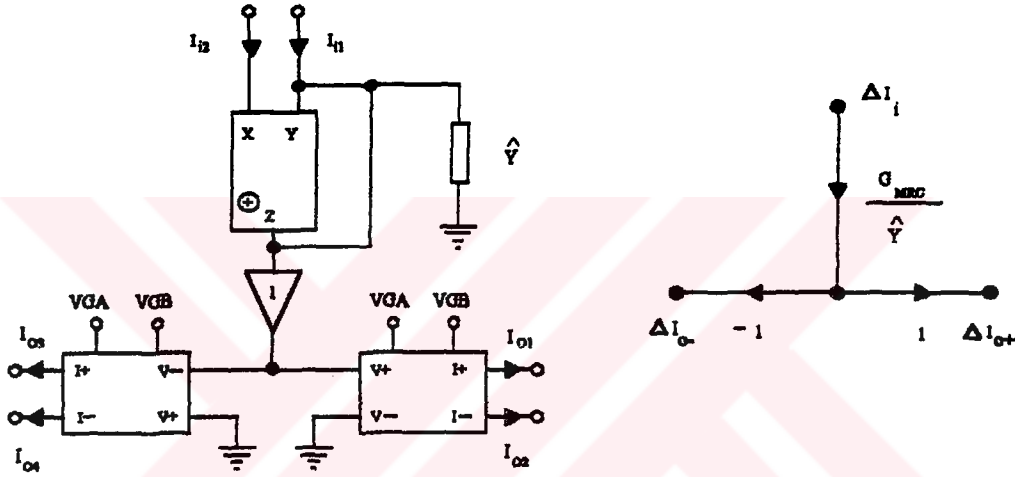
4. ADIM : Son olarak gerilim transfer fonksiyonu istenilen frekans aralığında çalışması için gerekli empedans ve frekans normalizasyonları yapılır. Direnç MOS olarak gerçekleştirildiği için bu elemanın değeri pratik sınırlarda tutularak (100 k Ω ve daha yukarısı) kapasite değerleri seçilir. Kalite faktörünün önemli ölçüde büyük olduğu band geçiren filtre gibi dar frekans bölgesi gerektiren uygulamalarda dirençler eşit seçildiğindeki kapasite değerlerinin arasındaki oran çok büyük olabilmektedir. Bu yüzden kapasiteler eşit seçilip, MRC elemanları farklı seçilerek bu elemanların dağılım oranı önemli ölçüde azalacak şekilde Jirator admitansı ile ölçekleme yapılarak ayarlanabilmektedir. Bir sonraki kısımda bu özellik bir örnek üzerinde verilecektir.



Şekil 4.7 Akım transfer fonksiyonu için pasif basamaklı devre ve işaret akış grafi

Akım kaynağı ile sürülen pasif devre simülasyonu için izlenen yol gerilim kaynağı ile sürülen basamaklı devre sentezine önemli ölçüde benzemektedir. Tek fark Şekil 4.7 'de verilen pasif devreye ilişkin işaret akış diyagramından seçilen alt grafin girişin s-domeninde bir fonksiyonunu çıkışta akım dağıtıcı ile bir pozitif ve bir de negatif akım olarak dağıtmasıdır.

Şekil 4.8 'de akım transfer fonksiyonu için verilen, pasif basamaklı devreye ilişkin işaret akış diyagramından seçilen bir alt işaret akış grafına ilişkin alt devre verilmiştir :



Şekil 4.8 Akım modunda basamaklı devre sentezi için alt devre

Şekil 4.8 'deki giriş ve çıkış büyüklüklerinin fark akımları olduğu ve her iki MRC elemanının çıkışları aynı potansiyelde olması gerektiği dikkate alınmalıdır. Bu MRC elemanları diğer alt devrelerin akım taşıyıcılı eşit potansiyeldeki Y ve X uçlarını oluşturan giriş uçlarına bağlanılarak, aynı potansiyelde olma koşulu sağlanmaktadır. Bu bağlantı, Y ucuna MRC elemanın I+ çıkışı ve X ucuna MRC elemanının I- çıkışı bağlanarak gerçekleştirilmektedir. Aşağıda giriş ve çıkış fark akımlarının ifadeleri verilmiştir :

$$\Delta I_i = I_{i1} - I_{i2}$$

$$\Rightarrow \Delta I_{o+} = I_{o1} - I_{o2} = \frac{G_{MRC}}{\hat{Y}} \cdot \Delta I_i$$

$$\Rightarrow \Delta I_{o-} = I_{o3} - I_{o4} = -\Delta I_{o+}$$

(4.9)

Akım modunda, basamaklı devre sentezi için tutulan adımlar ve yöntem gerilim modu için anlatılanın aynısıdır. Burada da, akım transfer fonksiyonu sentezi topraklı empedans veya admitans fonksiyonu sentezine indirgenmektedir. Topraklı empedans veya admitans fonksiyonu sentezi için Bölüm 3 ' te anlatılan VGIC veya IGIC tipinde sentez yaklaşımları veya başka yaklaşımlar da mümkündür.

Bundan sonraki kısımda, Jirator bloğu kullanılarak modüler yapıda filtre devreleri sunulacaktır. Akım modunda transfer fonksiyonu sentez yönteminin, algoritmik olarak gerilim modu transfer fonksiyonu sentezine benzemesi yüzünden, gerilim transfer fonksiyonları üzerinde metod adım adım anlatılacaktır.

4.3 BASAMAKLI DEVRE SENTEZ YÖNTEMİNİN ÖRNEK ÜZERİNDE AÇIKLANMASI

Bu kısımda, 4. dereceden alçak geçiren ve 4. dereceden band geçiren gerilim modu filtre devreleri verilip, genel olarak topraklı empedans (admitans) fonksiyonu gerçekleştirme metodu verilmektedir.

4.3.1 4. Dereceden Alçak Geçiren Filtre Devresi

4. derece alçak geçiren, pasif basamaklı devre Şekil 4.9 ' da işaret-akış grafi ile beraber verilmektedir :

Şekil 4.9 analiz edilirse, gerilim transfer fonksiyonu aşağıdaki gibi bulunur :

$$a_0 = \frac{R_6 \cdot G_1}{C_2 \cdot L_3 \cdot C_4 \cdot L_5}$$

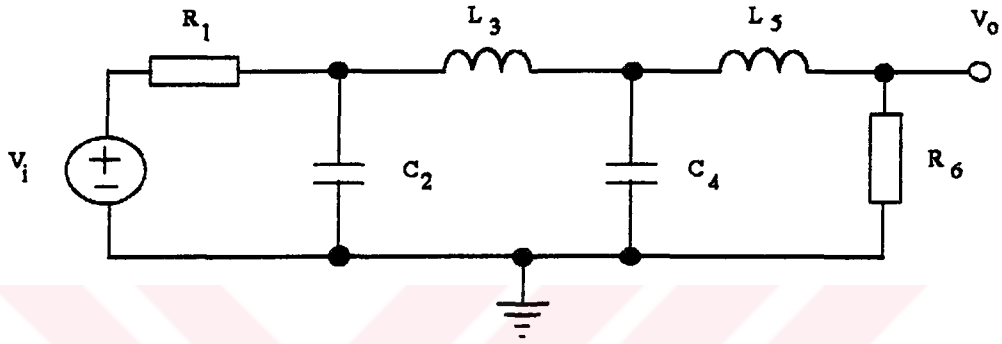
$$b_3 = \frac{1}{R_1 \cdot C_2} + \frac{R_6}{L_5}$$

$$b_2 = \frac{1}{C_2 \cdot L_3} + \frac{1}{L_3 \cdot C_4} + \frac{1}{C_4 \cdot L_5} + \frac{R_6 \cdot G_1}{C_2 \cdot L_5}$$

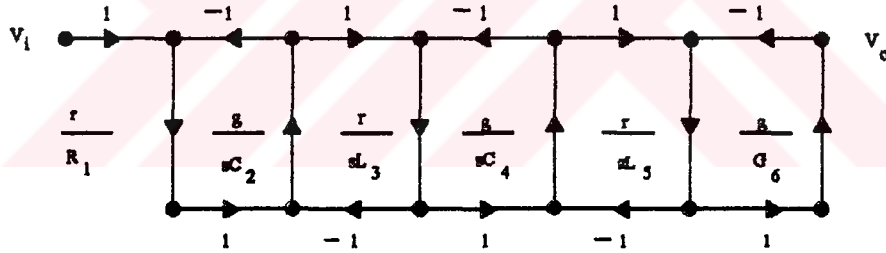
$$b_1 = \frac{1}{R_1 \cdot C_2 \cdot L_3 \cdot C_4} + \frac{1}{R_1 \cdot C_2 \cdot C_4 \cdot L_5} + \frac{R_6}{C_2 \cdot L_3 \cdot L_5} + \frac{R_6}{L_3 \cdot C_4 \cdot L_5}$$

$$b_0 = \frac{1}{C_2 \cdot L_3 \cdot C_4 \cdot L_5} + \frac{R_6 \cdot G_1}{C_2 \cdot L_3 \cdot C_4 \cdot L_5}$$

$$H(s) = \frac{V_o(s)}{V_i(s)} = \frac{a_0}{s^4 + b_3 \cdot s^3 + b_2 \cdot s^2 + b_1 \cdot s + b_0} \quad (4.10)$$



(a)



(b)

Şekil 4.9 Alçak geçiren pasif basamaklı devre ve işaret-akış grafi

(4.10) bağıntısında Butterworth filtre yaklaşımı kullanılıp, $s_{1,2} = e^{\pm j\frac{\pi}{4}}$ ve $s_{3,4} = e^{\pm j\frac{3\pi}{4}}$ kompleks kutuplu $\omega = 1$ rad/sn lik 3 dB kesim frekansı için normalize empedans ve admitanslar aşağıdaki gibi bulunabilir :

$$R_1 = R_6 = 1$$

$$C_2 = L_5 = 0.765$$

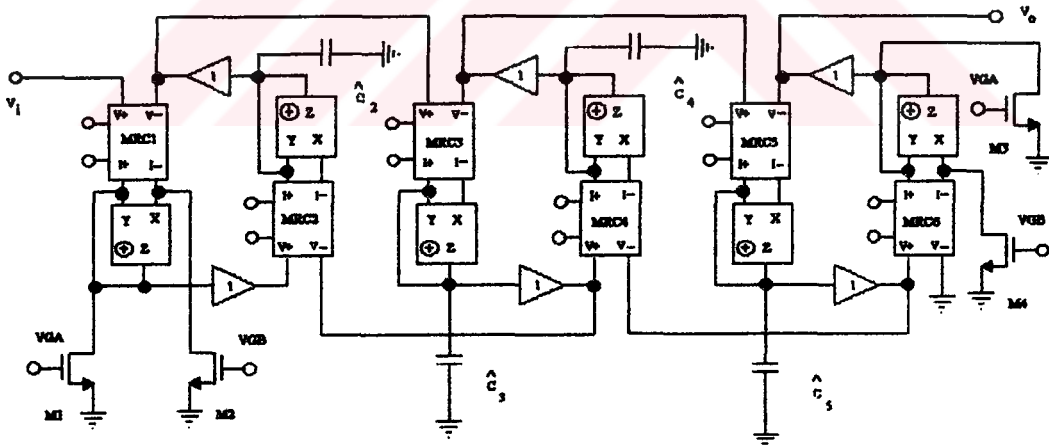
$$L_3 = C_4 = 1.848$$

$$H(s) = \frac{\frac{1}{2}}{(s^2 + 0.765s + 1)(s^2 + 1.848s + 1)} \quad (4.11)$$

Basamaklı pasif devrenin, $w = 1 \text{ rad / sn}$ için normalize empedans ve admitans değerleri (4.11) ile belirlendikten sonra, $r = g = 1$ için (4.7) bağıntılarında pasif devrenin normalize değerlerini veren (4.11) ifadesi yerleştirilirse aşağıdaki tasarım bağıntıları bulunur :

$$\begin{aligned} \hat{R}_1 &= R_{MRC1} & \hat{C}_3 &= G_{MRC3} \cdot 1.848 & \hat{C}_5 &= G_{MRC5} \cdot 0.765 \\ \hat{C}_2 &= G_{MRC2} \cdot 0.765 & \hat{C}_4 &= G_{MRC4} \cdot 1.848 & \hat{R}_6 &= R_{MRC6} \end{aligned} \quad (4.12)$$

(4.12) tasarım bağıntıları $w = 1 \text{ rad / sn}$ için geçerlidir. Frekans normalizasyonu yaparak 3 dB kesim frekansını değiştirmek mümkündür. Frekans normalizasyonundan sadece kapasiteler etkilendiğinden kesim frekansını B kat artırmak için kapasite değerleri B ' ye bölünmelidir. Böylece alt devrelerde kullanılacak olan direnç ve kapasite değerleri belirlenmiş olmaktadır.



Şekil 4.10 Alçak geçiren filtreye yönelik basamaklı devre sentezi ile elde edilen devre

Şekil 4.10 ' da verilen, basamaklı devre sentezi sonucu elde edilen alçak geçiren filtrenin kesim frekansı $w = 100K \text{ rad / sn}$ seçilirse eleman değerleri aşağıda verildiği gibi seçilmelidir :

$$\hat{C}_2 = \hat{C}_5 = 76.5\text{pF}$$

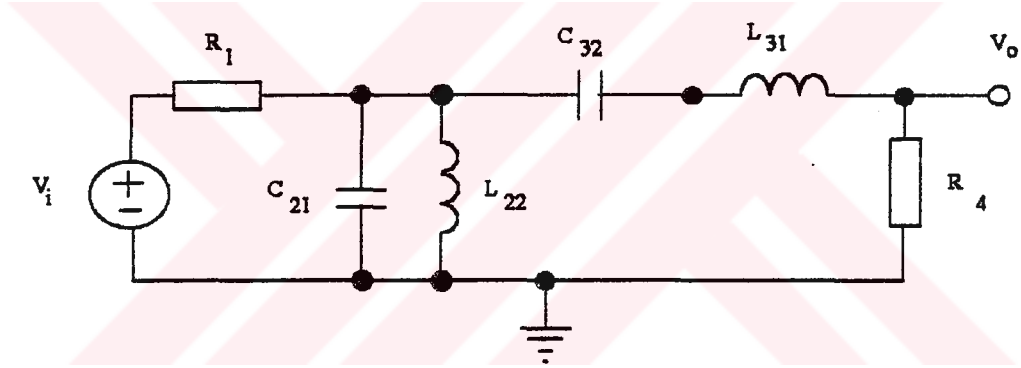
$$\hat{C}_3 = \hat{C}_4 = 185\text{pF}$$

$$R_{M1,2} = R_{M3,4} = R_{MRCi} = 100\text{K}\Omega$$

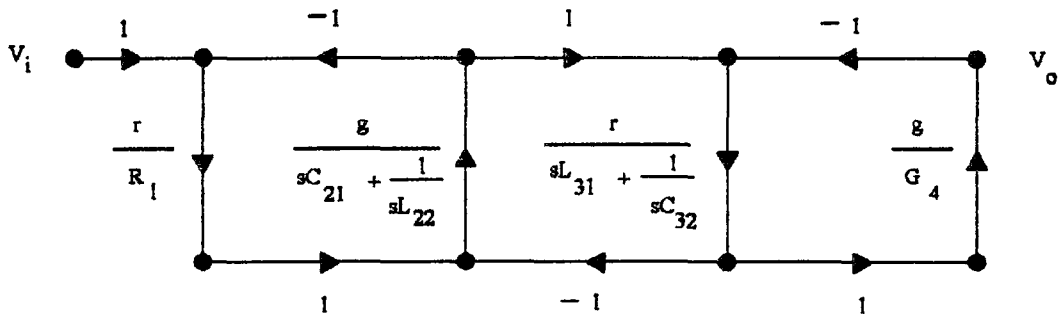
$$(V_{GA} = 5\text{V} \text{ , } V_{GB} = 3.35\text{V} \text{ , } V_{SB} = -5\text{V} \text{ ve } \left(\frac{W}{L}\right)_i = \frac{10\mu}{60\mu} \text{ için })$$

4.3.2 4. Dereceden Band Geçiren Filtre

2. dereceden alçak geçiren filtre yapısında, klasik frekans dönüştürme uygulanarak, 4. dereceden band geçiren filtre karakteristiği veren pasif basamaklı devre Şekil 4.12 'de verildiği gibi elde edilmektedir.

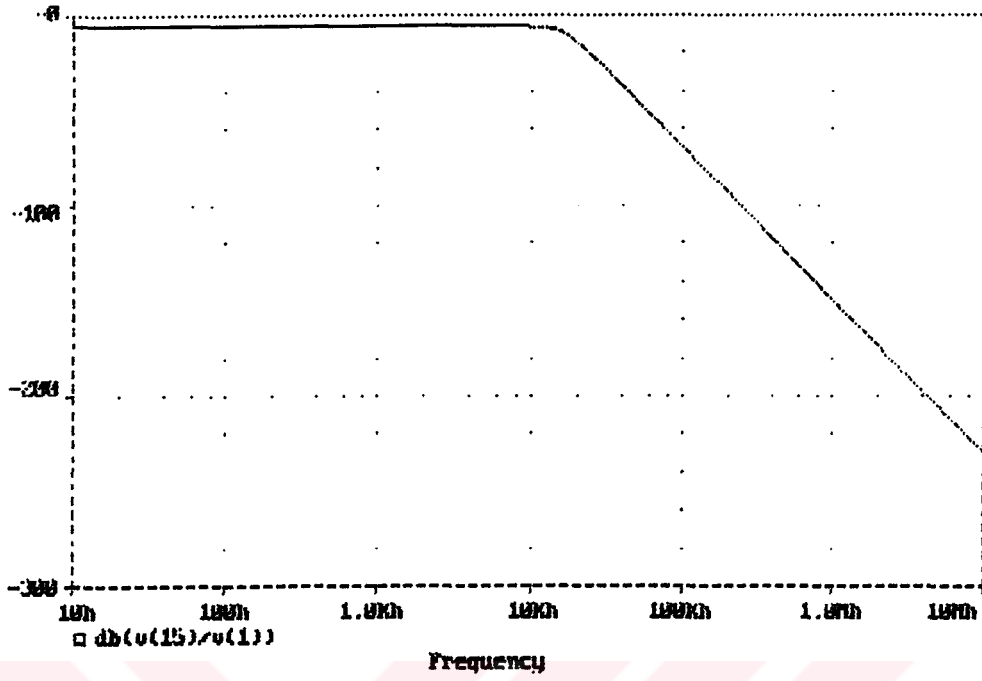


(a)

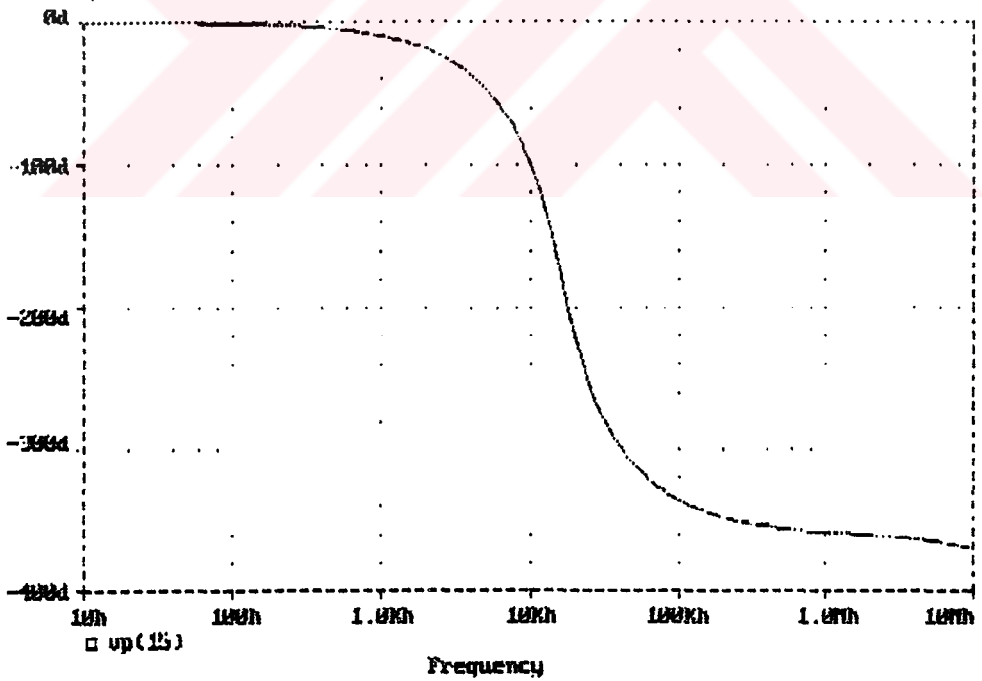


(b)

Şekil 4.12 Band geçiren filtre karakteristiğinde pasif basamaklı devre



(a)



(b)

Şekil 4.11 İdeal akım taşıyıcılar ile simüle edilen alçak geçiren filtre için $V_i = 1V$ iken, çıkıştaki genlik ve faz cevabını gösteren PSPICE çıktısı

Şekil 4.12 'deki işaret-akış grafindan görüldüğü üzere topraklı empedans ve admitans fonksiyonları CAUER tipi sürekli kesir formundadır. Şekildeki "r" ve "g" çarpanları "1" olarak alınabilir ; zira bunlar pasif devredeki elemanlar için empedans veya admitans için genlik normalizasyonu çarpanlarıdır ve gerilim transfer fonksiyonu genlik normalizasyonundan etkilenmemektedir. $r=g=1$ ve $w=1$ rad / sn için 4. dereceden band geçiren filtre karakteristiği, Butterworth tipinde 2 . derece alçak geçiren filtre katsayıları ile band geçiren frekans dönüşümü kullanılarak aşağıdaki gibi elde edilebilir :

$$H_{BP}(s) = \frac{\frac{1}{2}}{s^2 + \sqrt{2}.s + 1} \Bigg|_{s \rightarrow \frac{s^2+1}{0.2s}} \quad (4.13)$$

Pasif devredeki elemanlar için normalize değerler aşağıdaki gibi - (4.13) bağıntısını kullanarak - elde edilmektedir :

$$\begin{aligned} R_1 &= R_4 = 1 \\ C_{21} &= L_{31} = 5\sqrt{2} \\ L_{22} &= C_{32} = \frac{1}{5\sqrt{2}} \end{aligned} \quad (4.14)$$

(4.14) 'deki normalize değerleri (4.7) ve (4.8) bağıntılarında yerine koyarak aşağıdaki tasarım bağıntıları elde edilmektedir :

$$\begin{aligned} \hat{R}_1 &= R_{MRC1} & \hat{C}_{21} &= G_{MRC2} \cdot 5\sqrt{2} \\ \hat{C}_{22} &= \left(\frac{R_{MRC2}}{R_{MRC21}} \right)^2 \cdot G_{MRC2} \cdot \frac{1}{5\sqrt{2}} & \hat{C}_{31} &= G_{MRC3} \cdot 5 \cdot \sqrt{2} \\ \hat{C}_{32} &= \left(\frac{R_{MRC3}}{R_{MRC31}} \right)^2 \cdot G_{MRC3} \cdot \frac{1}{5\sqrt{2}} & \hat{R}_4 &= R_{MRC4} \end{aligned} \quad (4.15)$$

(4.15) bağıntısında MOS elemanlarının admitansları eşit seçilirse, kapasite elemanlarının değerlerinin dağılımı 50 olmaktadır. Oysa kapasite değerleri yaklaşık olarak eşit seçilip, R_{MRC2} ve R_{MRC3} diğer MRC ve çiftli NMOS elemanların direnç değerlerinin 7 katı seçilirse , kapasite dağılımı yaklaşık olarak 1 ve direnç elemanı dağılımı 7 olmaktadır. Bu şekilde eleman değerleri seçilip, 3 dB kesim

frekansı $\omega = 100k \text{ rad / sn}$ olarak belirlendiğinde kapasite ve direnç değerleri aşağıdaki gibi seçilmektedir :

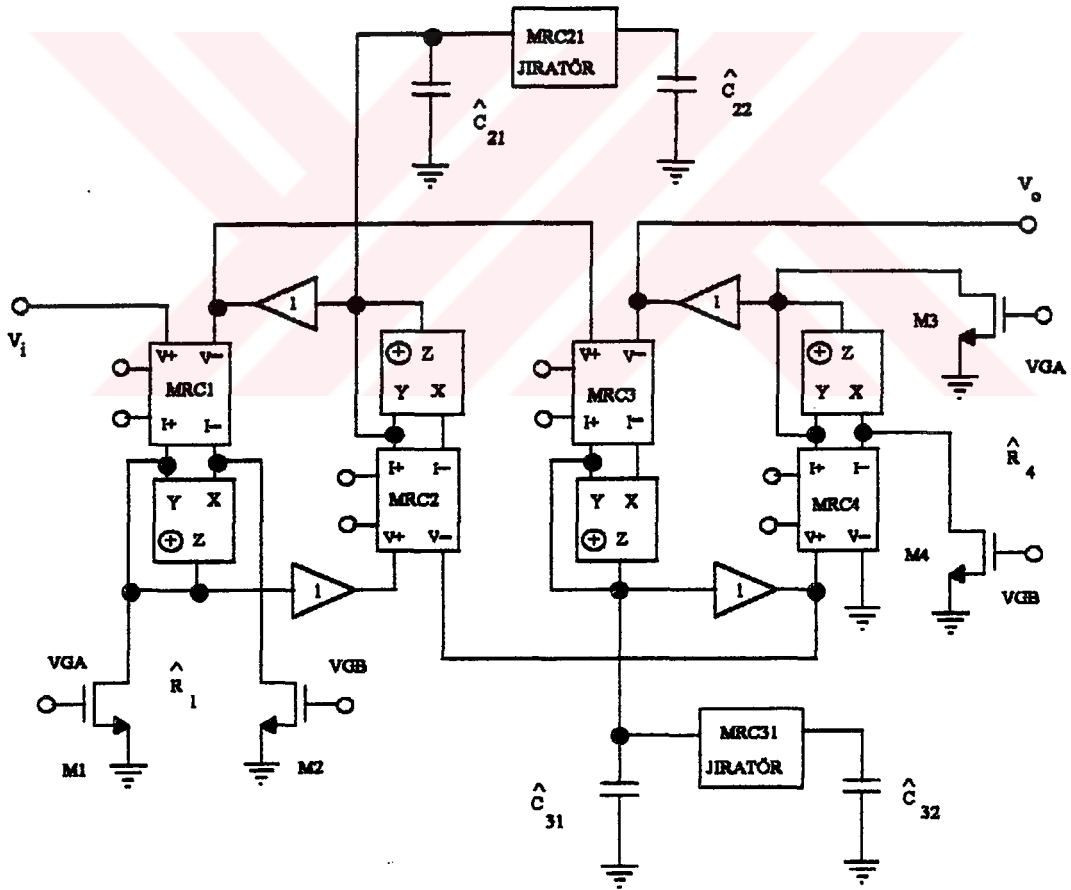
$$\hat{C}_{21} = \hat{C}_{31} = 101\text{pF}$$

$$\hat{R}_1 = \hat{R}_4 = R_{MRC1} = 100k\Omega \quad ; i \neq 2,3$$

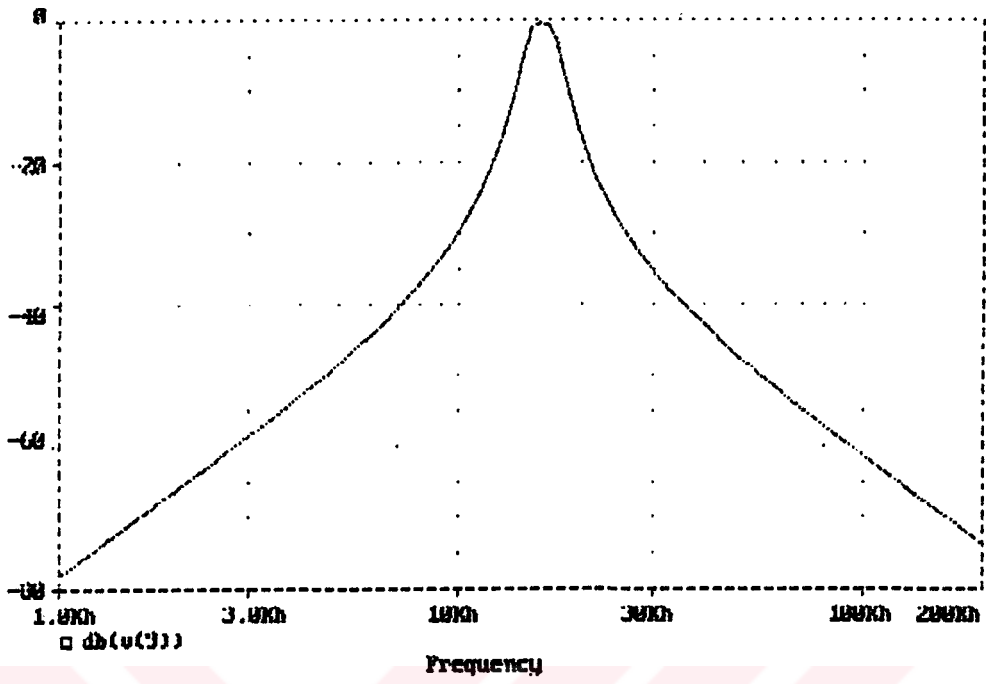
$$\hat{C}_{22} = \hat{C}_{32} = 99\text{pF}$$

$$R_{MRC2} = R_{MRC3} = 700k\Omega$$

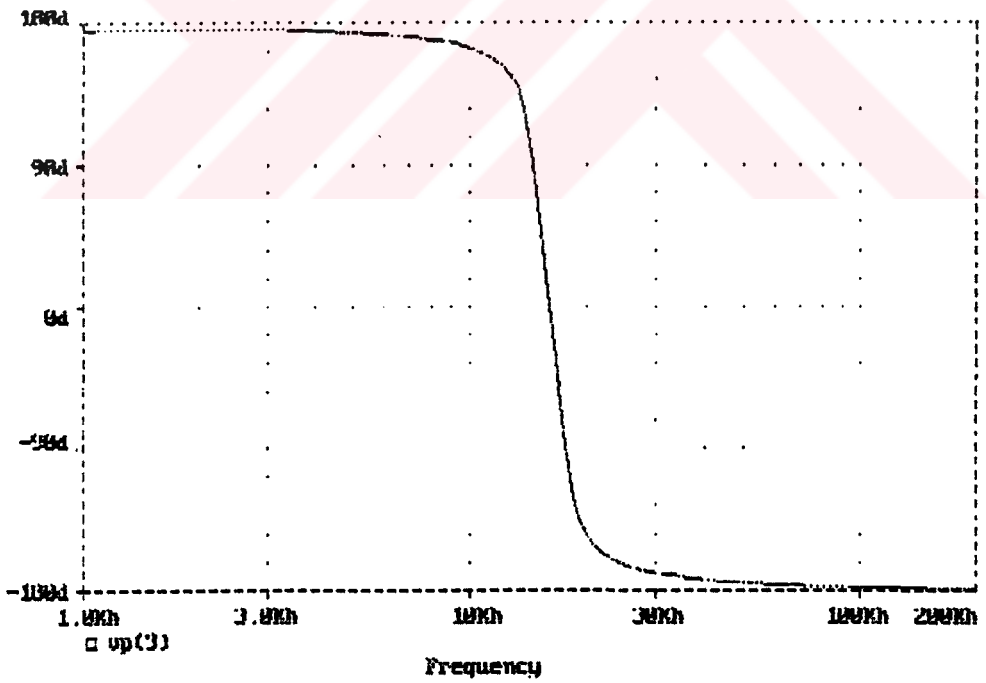
Şekil 4.13 'de 4. derece band geçiren basamaklı devre verilmektedir. Burada MRC21 ve MRC31 elemanı Jiratorün tanım bağıntısında gözükken geçiş admitansını belirleyen temel NMOS tranzistorlardan oluşmaktadır. İndisler seri koldaki admitans ve paralel koldaki empedansı oluşturan elemanları girişten çıkışa sırayla numaralandırarak ifade edilmektedir.



Şekil 4.13 Band geçiren karakteristiğinde basamaklı devre yapısı



(a)



(b)

Şekil 4.14 İdeal akım taşıyıcılar ile simüle edilen band geçiren filtre için $V_i = 2V$ iken, çıkıştaki genlik ve faz cevabını gösteren PSPICE çıktısı

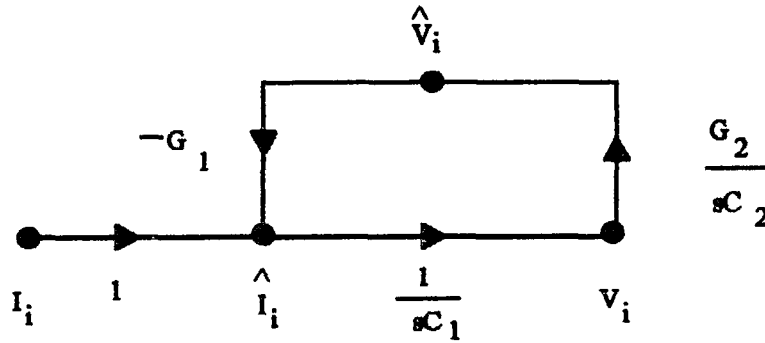
$$\Rightarrow H(s) = \frac{V_o}{V_i} = \frac{\frac{G^3}{C_1^2 \cdot C_2}}{\left(s + \frac{G}{C_1}\right) \left(s^2 + \frac{G}{C_1} \cdot s + 2 \cdot \frac{G^2}{C_1 \cdot C_2}\right)} ; C_1 = C_3 \text{ için} \quad (4.16)$$

(4.16) bağıntısında Butterworth yaklaşığı kullanılırsa $\omega = 1 \text{ rad / sn}$ için aşağıdaki normalize değerler elde edilir :

$$C_1 = C_3 = 1 \quad C_2 = 2 \quad R = 1 \text{ için ;}$$

$$\Rightarrow H(s) = \frac{\frac{1}{2}}{(s+1)(s^2+s+1)} \quad (4.17)$$

6. dereceden band geçiren filtre devresini elde etmek için, Şekil 4.15 ' teki gerilim integratörü yerine - gerekli frekans dönüşümü yapılarak - aşağıda Şekil 4.16 'da verilen alt işaret-grafi kullanılarak tasarım bağıntıları çıkarılabilir.



Şekil 4.16 Band geçiren filtre uygulaması için alt işaret - akış grafi

Şekil 4.16 'daki işaret - akış grafinin geçiş empedans fonksiyonu aşağıdaki gibidir :

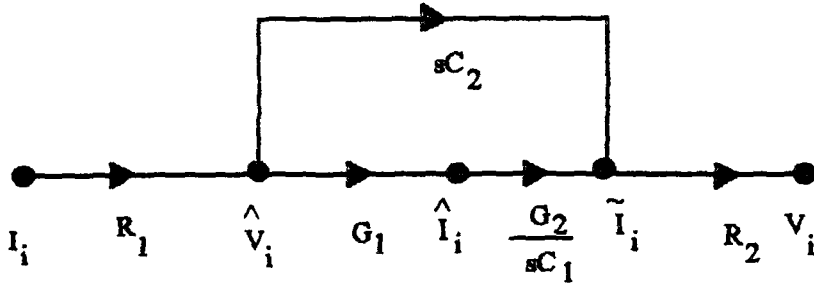
$$\Rightarrow Z(s) = \frac{V_i(s)}{I_i(s)} = \frac{\frac{1}{C_1} \cdot s}{s^2 + \frac{G_1 \cdot G_2}{C_1 \cdot C_2}} \quad (4.18)$$

(4.18) bağıntısı, Şekil 4.15 'de verilen 3. derece alçak geçiren filtre karakteristiğindeki kapasiteler yerine kullanılan, band geçiren filtre karakteristiğine geçmek için yapılan frekans dönüşümü sonucu elde edilen, geçiş empedans fonksiyonunu ifade etmektedir. Şekil 4.16 'daki alt devre 3 kez tekrarlanarak 6. dereceden band geçiren filtre karakteristiğini elde etmek mümkün olmaktadır.

Yüksek geçiren filtre karakteristiğini elde etmek için, yukarıdaki alçak geçiren filtre için verilen işaret akış grafında gerekli frekans dönüşümü yapıldıktan sonra elde edilen türev alıcı yapılarından oluşan, Bölüm 3 'de verilen türev alıcı alt devreleri kullanmak gerekmektedir.

Band söndüren filtre uygulaması için Şekil 4.17 'teki alt işaret - akış grafi kullanılabılır. Bu alt devreye ilişkin geçiş empedansı aşağıda verilmektedir :

$$\Rightarrow Z(s) = \frac{V_i(s)}{I_i(s)} = \frac{1}{s \cdot C_1} + s \cdot R_1 \cdot R_2 \cdot C_2 = \frac{s^2 + \frac{G_1 \cdot G_2}{C_1 \cdot C_2}}{s \cdot \frac{G_1 \cdot G_2}{C_2}} \quad (4.19)$$



Şekil 4.17 Band söndüren filtre için alt işaret akış grafi

Bu sentez yönteminde temel problem alt işaret-akış graflarının seçimi olduğu için bunların MRC, kapasite ve akım taşıyıcı ile gerçekleştirilmesi üzerinde durmak gereksizdir ; çünkü Bölüm 3 ' te sentezde gerekli olan akım ve gerilim modunda çalışan tüm yapılar üzerinde durulmuştur. Bu temel yapılar, uygulamaya göre belirlenen alt işaret-akış grafini gerçeklemek için yeterli olmaktadır



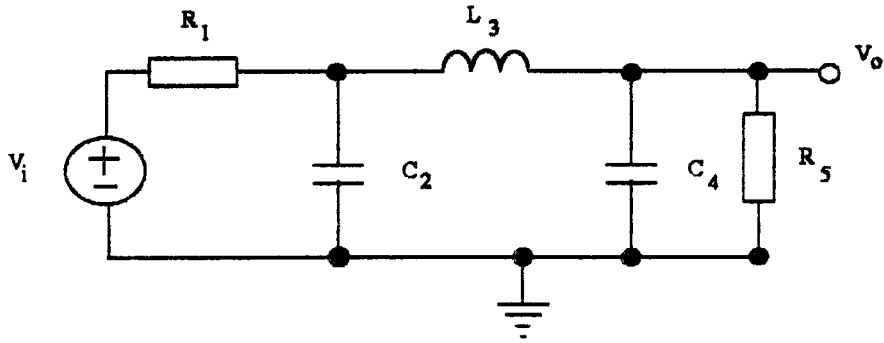
BÖLÜM 5

SİMÜLASYON VE ELEMAN SAYISI MİNİMİZASYONU

5.1 3. DERECE ALÇAK GEÇİREN FİLTRE SİMÜLASYONU

Bu alt bölümde basamaklı devre simülasyonuna uygun ve PSPICE programı ile analiz edilebilecek filtrenin 3. dereceden seçilmesinin sebebi bilgisayar destekli simülasyona olanak sağlayan PSPICE programının sadece geleneksel hafıza bölümünü kullanabilmesinden kaynaklanmaktadır. Maksimum bellek alanı geleneksel hafıza için 640K byte olduğundan daha yüksek dereceden alçak geçiren filtre analizi yoluna gidilmemiştir. Yapının modüler olması dolayısıyla pratikte n. dereceden alçak geçiren filtre için bir problem çıkmamaktadır.

Şekil 5.1 'de pasif basamaklı devre gösterilmiştir :



Şekil 5.1 3. dereceden pasif basamaklı türden alçak geçiren filtre

Şekil 5.1 'deki devre için gerilim transfer fonksiyonu aşağıdaki gibi bulunmaktadır :

$$H(s) = \frac{V_o}{V_i} = \frac{1}{a_3.s^3 + a_2.s^2 + a_1.s + a_0}$$

$$\begin{aligned} a_3 &= R_1.C_2.L_3.C_4 \\ a_2 &= L_3.C_4 + R_1.C_2.L_3.G_5 \\ a_1 &= R_1.C_2 + L_3.G_5 + R_1.C_4 \\ a_0 &= G_5.R_1 + 1 \end{aligned} \quad (5.1)$$

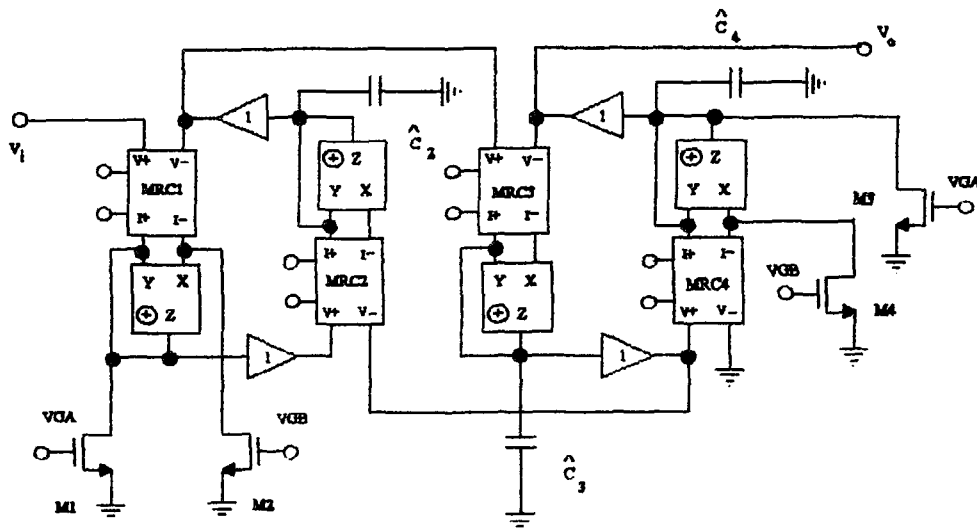
Butterworth yaklaşıklığı burada da kullanılırsa aşağıdaki normalize değerler bulunabilir :

$$R_1 = C_2 = C_4 = R_5 = 1 \quad , \quad L_3 = 2 \quad (5.2)$$

Tasarım bağıntıları ise aşağıdaki gibi Bölüm 4 ' de anlatıldığı üzere bulunabilir:

$$\begin{aligned} \hat{R}_1 &= R_{MRC1} & \hat{C}_3 &= G_{MRC3}.2 & \hat{R}_5 &= R_{MRC5} \\ \hat{C}_2 &= G_{MRC2} & \hat{C}_4 &= G_{MRC4} \end{aligned} \quad (5.3)$$

Şekil 5.2 ' de ise INIC olarak kullanılan pozitif türden akım taşıyıcılar, tampon elemanlar ve MRC tipi yapılar kullanılarak Şekil 5.1 ' deki pasif basamaklı devre simüle edilmiştir. Elemanlar 3dB kesim frekansı $\omega_o = 100k$ rad / sn olacak şekilde seçilmiştir.



Şekil 5.2 Simüle edilmiş aktif basamaklı türden alçak geçiren filtre

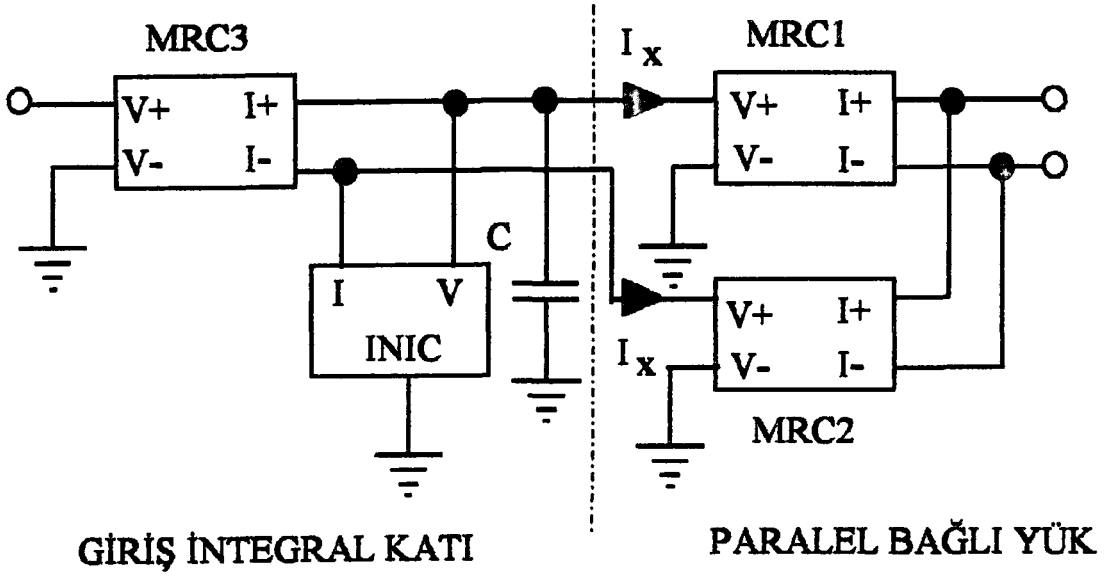
Şekil 5.2 'deki M1-M2 MOS tranzistörleri R1 direncinin , M3-M4 MOS tranzistörleri ise R5 direncinin yerini almaktadır.

5.2 JİRATÖR DEVRE ELEMANI İLE BAND GEÇİREN FİLTRE SİMÜLASYONU

Bölüm 3 ' de, Şekil 3.15 ' de gerilimle sürülen bir jirator devre elemanı verilmiştir. Bu temel yapı taşı ikişer adet INIC olarak kullanılan CCII+, MRC elemanı ve tampon elemanlarından oluşmaktadır. Buradaki amaç, tampon devre elemanını kullanmaksızın, MRC elemanının sayısını iki katına çıkarıp - fazladan bir MRC elemanını Şekil 3.15 ' de sunulan topolojideki her bir MRC elemanına uygun şekilde paralel bağlayarak - eleman sayısı minimizasyonu yapmaktır. Bu paralel bağlama işlemini yaptıktan sonra, her bir MRC elemanı yerine bunu oluşturan dörtlü MOS yapı yerleştirilip, en sonunda eleman sayısı minimize edilmiş jirator devre elemanı sunulacaktır.

Yukarıda sözü edilen " uygun şekilde paralel bağlama " eyleminde yatan düşünce, S. Takagi ve N. Fujii 'nin 1994 yılında yayınlanan NIC kullanarak yüksek lineerlikli MOS integrator yapısını sunduğu makalesinden alınmıştır [54]. Bu makaledeki temel düşünce şudur : NIC elemanının gerilimle sürülen ucundan bir hat alıp bunu MRC elemanlarından birinin faz çevirmeyen veya faz çeviren ucuna ve akımla sürülen ucundan bir hat alınarak bunu paralel bağlı diğer bir MRC elemanının faz çevirmeyen veya faz çeviren ucuna bağlamaktır. Sözü edilen temel düşünce Şekil 5.3 ' de sunulmaktadır.

Şekil 5.3 ' de MRC3, kapasite ve INIC elemanından oluşan blok giriş katındaki integral yapısıdır. MRC1 ve MRC2 elemanları uç gerilimleri aynı potansiyelde olduğu için paralel bağlı olarak düşünülebilir. Bu yüzden toplam admitans iki katına çıkmaktadır ; zira MRC1 ve MRC2 elemanlarının kontrol gerilimleri eş olarak seçilmiştir. Paralel bağlı, iki eşdeğer bloktaki akım ve gerilimler aynı olduğundan MRC1 ve MRC2 ' nin faz çevirmeyen girişindeki I_x akımları aynıdır. INIC elemanının tamam bağıntısı uyarınca kapasiteden geçen akım MRC3 ' ün çıkışındaki fark akımı ile paralel olarak bağlı MRC1 ve MRC2 ' den oluşan yükün girindeki I_x akımlarının farkının toplamına eşittir. Bu yüzden farksal akım ve gerilimler ile çalışan bu tip modüller yapılar için paralel bağlı yük aynı zamanda tampon görevi üstlenir ve kapasiteden geçen akım sadece MRC3 elemanının çıkış fark akımına eşit olmaktadır.



Şekil 5.3 Tampon elemanı yerine paralel bağlı iki MRC elemanı kullanılması

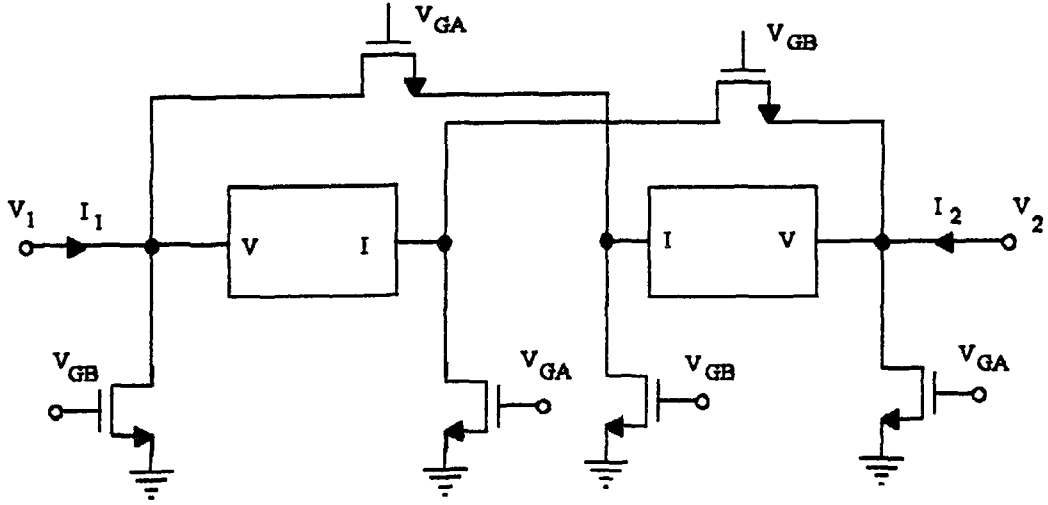
Bu düşünce tarzı, Şekil 3.15 ' de verilen jirator devre elemanına uygulanır ve MRC elemanları için dörtlü MOS yapısı kullanılırsa Şekil 5.4 ' de verilen devre teorisindeki graf yapısı elde edilir, ki bu yapı Şekil 3.15 'deki jirator yapısına giriş ve çıkış uçlarından bakıldığında eşdeğerdir.

Şekil 5.4 ' de ok ile gösterilen referans yönlü her bir alt graf elemanı bir MOS elemanını temsil etmektedir. Okun yönü ise gerilim farkı ve akım yönü için bir referans teşkil etmektedir. Kontrol gerilimleri ise ok üzerinde ifade edilmiştir. Eleman minimizasyonu için aşağıdaki iki basit kurala uymak yeterli olmaktadır :

1) Aynı uç gerilimlere bağlı , kontrol gerilimleri aynı olan iki MOS tranzistorun akımları birbirine eşit olduğundan, bu tür MOS ' ların bir uçları aynı potansiyele diğer uçları ise INIC ' nin V ve I terminallerine sırasıyla bağlı ise bu iki MOS devreden atılabilir.

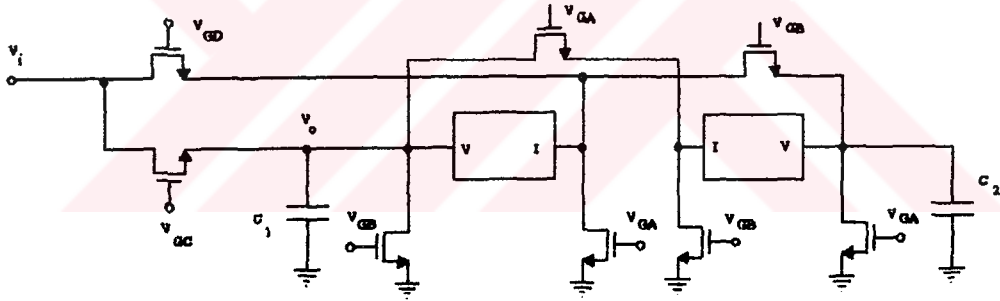
2) Kontrol gerilimleri aynı olan iki MOS tranzistorun savak ve kaynak uçları aynı terminale bağlı ise bunlardan biri devreden atılır ve devrede kalan MOS tranzistorun admitansı gerçek değerinin iki katı olarak alınır.

Yukarıdaki kurallara uyulduğunda, içi boş olan oklara ilişkin MOS ' lar devreden atılır ve kalan MOS tranzistorlar da ikili olarak aynı uca bağlı olduğundan



Şekil 5.5 Minimum elemanlı jirator devresi

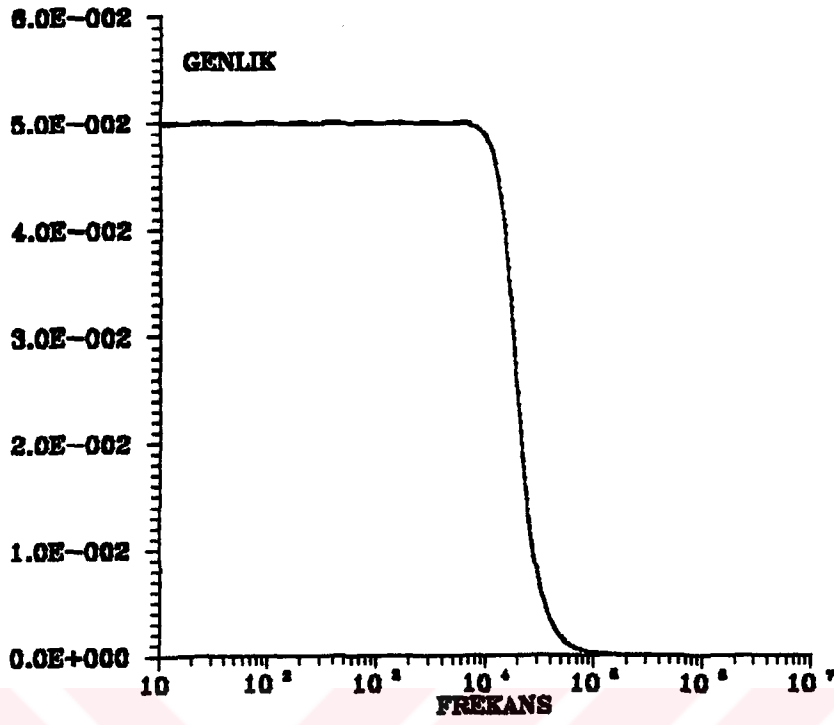
Şekil 5.5 'deki jirator yapısını kullanarak endüktans içeren pasif devreler simüle edilebilir. İkinci dereceden band geçiren filtre Şekil 5.6 'da görüldüğü gibi simüle edilmiştir.



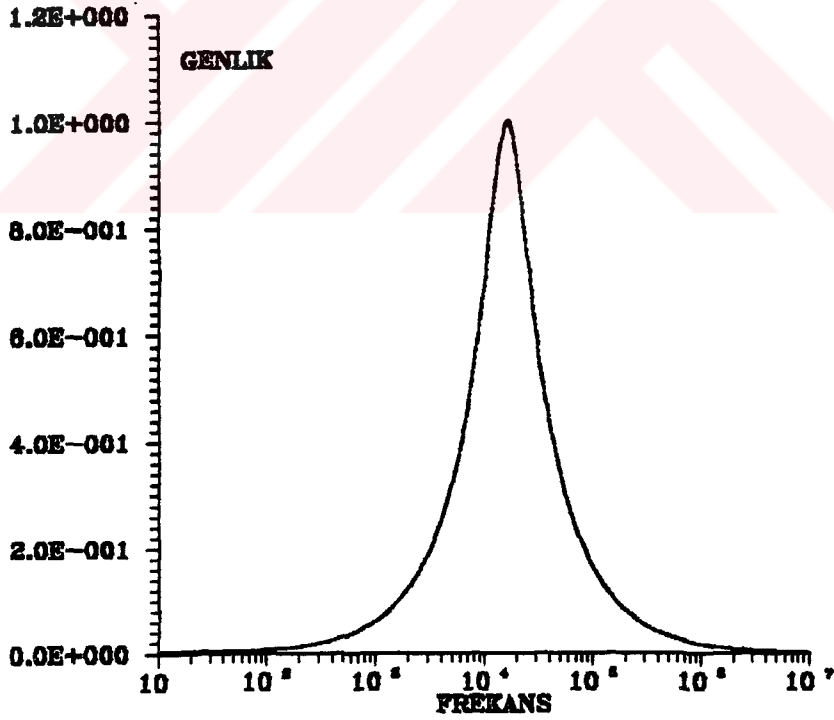
Şekil 5.6 Jirator devre elemanı kullanılarak 2. derece band geçiren filtre

Şekil 5.6 için gerilim transfer fonksiyonu aşağıdaki gibi bulunabilir :

$$H(s) = \frac{\frac{1}{R_1 \cdot C_1} \cdot s}{s^2 + s \cdot \frac{1}{R_1 \cdot C_1} + \frac{1}{R_{gyr}^2 \cdot C_1 \cdot C_2}}$$



(a)



(b)

Şekil 5.7.

- (a) $\omega=100\text{krad/sn}$ için 3. dereceden alçak geçiren filtre
 (b) $\omega=100\text{krad/sn}$ için 2. dereceden band geçiren filtre

$$G_1 = \left(\frac{W}{L} \right)_1 \cdot \mu \cdot C'_{ox} \cdot (V_{GC} - V_{GD})$$

$$G_{gyr} = \left(\frac{W}{L} \right)_{gyr} \cdot \mu \cdot C'_{ox} \cdot (V_{GA} - V_{GB}) \quad (5.5)$$

VGA ve VGB kontrol gerilimleri jiratorün geiş admitansını, VGC ve VGD ise jiratoré seri baėlı yüzen direncin deėerini belirlemektedir. C2 ve Jiratoré elemanları topraklı endüktans elemanını simüle etmektedir.



SONUÇLAR VE ÖNERİLER

Bu tezde, MRC direnç elemanı ve CCII+ kullanarak transfer fonksiyonu gerçeklemeye yönelik işaret akış grafi ve basamaklı devre yapısı metodları sistematik olarak anlatılmaktadır.

İşaret akış grafi yöntemiyle ikinci dereceden genel bikuadratik devre sunulmaktadır. Bu devrenin en büyük avantajı çalışma frekansının değiştirilmesi ve kalite faktörünün ayarlanması işlemlerinin birbirinden bağımsız olarak yapılmasıdır. Bu yöntem için temel yapı taşları Bölüm 3 'de verilmektedir.

Basamaklı devre sentezi için bir yöntem bu tezde sunulmaktadır. Sonuç olarak bu yöntem topraklı empedans fonksiyonu gerçeklemeye indirgenmektedir. Bu tezde 4. dereceden alçak geçiren filtre ve 4. dereceden band geçiren filtre için akım taşıyıcıları ideal kabul edilerek PSPICE ile analizine başvurulmaktadır.

Son bölümde yapılan 3. derece alçak geçiren ve 2. derece band geçiren devrelerinin simülasyonu PSPICE ile yapılmış ve sonuçların teorik sonuçlarla uyumlu olduğu gösterilmektedir. Ayrıca bu bölümde MOS sayısı minimizasyonu için bir yöntem verilmektedir.

Simülasyon için yüksek dereceden filtre karakteristiklerinin seçilememesinin sebebi PSPICE programının geleneksel hafıza bloğu olan sadece 640K ' yı kullanabilmesidir. Bu yüzden band geçiren karakteristik için 2.derece yapı seçilmektedir.

Bütün tez boyunca aktif eleman olarak CCII+ kullanılmaktadır. Negatif akım taşıyıcıya ihtiyaç duyulmaması bir avantaj olarak nitelendirilebilir, çünkü bu elemanın akım izleme hatası genel olarak pozitif akım taşıyıcıya oranla daha yüksek olmaktadır. Bu tez akım türü negatif empedans çevirici olan INIC ile de yürütülebilirdi, çünkü tez boyunca pozitif akım taşıyıcının Z ucundan Y ucuna birim geribesleme uygulanarak INIC olarak çalışması sağlanmaktadır.

KAYNAKLAR

- [1] SMITH K.C. , SEDRA A. , " The Current Conveyor - A New Circuit Building Block ". Proc. IEEE (Letters), Vol. 56, pp. 1368-1369, August, 1968
- [2] SEDRA A., SMITH K. C., " A Second Generation Current Conveyor And Its Applications ", IEEE Transactions on Circuit Theory, Vol CT-17, pp. 132-134, February 1970
- [3] BLACK G., FRIEDMANN R., SEDRA A., " Gyrator Implementation With Integrable Current Conveyors ", IEEE Journal Of Solid-State Circuits, Vol. SC-6, No.6, 1971
- [4] ARONHIME P., " Transfer Function Synthesis Using A Current Conveyor", IEEE Trans. On Circuits And Systems, Vol. CAS-21, pp. 312-313, March 1974
- [5] RATHORE T. S. , DASGUPTA S.M. , " Current Conveyor Realization Of Transfer Function", IEE Proc. G., Vol. 122, pp 1119-1120, 1975
- [6] SOLIMAN A. M., " Inductorless Realization Of An All-Pass Transfer Function Using The Current Conveyor", IEEE Tran. on Circuit Theory, Vol. CT-20, pp 80-81, Jan. 1973
- [7] KUMAR U., IIEE, SHUKLA S., " Recent Developments In Current Conveyors and their applications ", Microelectronics Journal, Vol.16, No.1, pp 47-52, January 1985
- [8] PAL K., " Novel Floating Inductance Using Current Conveyor", Electronics Letters, Vol. 17, pp 638, 1981

- [9] PAL K., " New Inductance And Capacitor Floatation Schemes Using Current Conveyors", Electronics Letters, Vol. 17 ,No.21 , pp 807-808, October 1981
- [10] SINGH V., " Active RC Single - Resistance- Controlled Lossless Floating Inductance Simulation Using Single Grounded Capacitor", Electronics Letters, Vol. 17, No. 21 , pp 920-921, November 1981
- [11] NANDI R. , " Novel Grounded-Capacitor Ideal FDNR And Oscillator Using Current Conveyors", Electronics Letters, Vol. 18, No. 3, pp 145-146, 1982
- [12] SENANI R. , " Novel Lossless Synthetic Floating Inductor Employing A Grounded Capacitor", Electronics Letters, Vol. 18, No. 10, pp 413-414, 1982
- [13] NANDI R., NANDI S., " New Insensitive Active Ideal Inductance With Single Resistor Control Using Current Conveyors", Microelectronics Journal , Vol. 14, No.2, pp 73-74, 1983
- [14] PAUL A. N., DEY A. N., PATRANABIS D., " A Floating NIC Without Constraint And Its Application ", IEEE Tran. on Circuits and Systems, Vol. CAS-30, No.3, 1983
- [15] SENANI R., " Floating Ideal FDNR Using Only Two Current Conveyors", Electronics Letters. Vol. 20, No.5 , 1984
- [16] WILSON B., " High - Performance Current Conveyor Implementation", Electronics Letters, Vol.20. No. 24, pp 990-991, 1984
- [17] WILSON B. , " Low Distortion Feedback Voltage - Current Conversion Technique". Electronics Letters. Vol.17, pp 157-159, 1981
- [18] WILSON B., " A Low Distortion Bipolar Feedback Current Amplifier Technique", Proc. IEEE , Vol.69, pp 1514-1515, 1981

- [19] FABRE A., "Dual Translinear Voltage- Current Converter", Electronics Letters, Vol.19, pp 1030-1031, 1983
- [20] FABRE A. , " Wideband Translinear Current Converter ", Electronics Letters Vol. 20, pp 242-244, 1984
- [21] SHARIF- BAKHTIAR M., ARONHIME P., " A Current Conveyor Realization Using Operational Amplifier", Int. Journal of Electronics, Vol. 45, pp 283-288, 1978
- [22] SENANI R., " A Novel Circuit Implementation of Current Conveyors Using An OA And OTA", Electronics Letters, Vol.16, pp 2-3, 1980
- [23] HUERTAS J. L. , " Circuit Implementation Of Current Conveyor ", Electronics Letters, Vol. 16, pp 225-226, 1980
- [24] WILSON B., "Floating FDNR Employing New CCII- Conveyor Implementation", Electronics Letters, Vol. 21, No: 21, pp 996-997, 1985
- [25] SENANI R., " Novel Higher-Order Active Filter Design Using Current Conveyors", Electronics Letters, Vol. 21, No. 22, pp 1055-1056, 1985
- [26] WILSON B., " Using Current Conveyors", Electronics and Wireless World, pp 28-32, April 1986
- [27] HIGASHIMURA M., " Novel Lossless Tunable Floating FDNR Simulation Using Two Current Conveyors And A Buffer", Electronics Letters, Vol. 22, No. 18, pp 938-939, August 1986
- [28] NANDI S., JANA P. ,NANDI R., " Floating Ideal FDNR Using Current Conveyors", Electronics Letters, Vol. 19, No. 7, March 1983
- [29] CHONG C. P. , SMITH K.C., " Biquadratic Filter Sections Employing A Single Current Conveyor", Electronics Letters, Vol. 22 No. 22, pp 1162- 1164, October 1986

- [30] WILSON B., " Constant Bandwidth Voltage Amplification Using Current Conveyors", Int. J. Electronics, Vol. 65, No. 5, pp 983-988, May 1988
- [31] WILSON B., " Universal Conveyor Instrumentation Amplifier ", Electronics Letters, Vol. 25, No.7, pp 470-471, March 1989
- [32] WILSON B., " Performance Analysis Of Current Conveyors", Electronics Letters, Vol. 25, No. 23, pp 1596-1598, November 1989
- [33] ROBERTS W., SEDRA A. S., " All Current Mode Frequency Selective Circuits", Electronics Letters, Vol. 25, No. 12, pp 759-761, June 1989
- [34] SWOBODA J. A., " Analysing Networks Containing Current Conveyors", Int. J. Electronics, Vol 67, No. 6, pp 899-906, 1989
- [35] SEDRA A., ROBERTS G.W., GOHH F., " The Current Conveyor : History, Progress and New Results" IEE Proc. G, Vol. 137, No. 2, pp 78-87, April 1990
- [36] LIU S. I., TSAO H. W., WU J., LIN T.K., " Mosfet Capacitor Filters Using Unity Gain CMOS Current Conveyors", Electronics Letters, Vol. 26, No. 18, pp 1430-1431, August 1990
- [37] LIU S. -I., TSAO H. -W., WU J., " CCII- Based Continuous-Time Filters With Reduced Gain Bandwidth Sensitivity", IEE Proc. -G, Vol. 138, No.2, pp 210-216, April 1991
- [38] LIU S., KUO J, TSAO H., WU J., TSAY J., " New CCII-Based Differentiator And Its Applications", Int. J. Electronics, Vol. 71, No. 4, pp 645-652, 1991
- [39] SURAKAMPONTORN W., RIEWRUJA V., CHEEVASUVIT F., "Integrable CMOS - based Realization Of Current Conveyors ", Int. J. Electronics, Vol.71 No. 5 pp. 793-798, 1991

- [40] MUCHA I., " Fully Differential , Current Conveyor Based CMOS Operational Amplifier ", Int. J. Electronics , Vol. 74, No.5, pp 697-703, 1993
- [41] HOU C., CHEN R., WU Y., IIU P., " Realization Of Grounded And Floating Immittance Function Simulators Using Current Conveyors", Int J. Electronics, Vol 74, No.6, pp 917-923, 1993
- [42] BANU M., TSIVIDIS Y., " Continuous-time MOSFET-C Filters in VLSI ", IEEE Trans., CAS-33, pp 125-139, 1986
- [43] CZARNUL Z. , " Modification Of The Banu - Tsividis Continuous - time Integrator Structure ", IEEE Trans. Circuits Syst., Vol. CAS-33 , pp 714-716, 1986
- [44] CZARNUL Z., " Novel MOS Resistive Circuit For Synthesis Of Fully Integrated Continuous Filters", IEEE Tran., CAS-33, pp 718-721, 1986
- [45] KHOURY J., TSIVIDIS Y., " Analysis And Compensation Of High-frequency effects in Integrated MOSFET-C Continuous-time Filters", IEEE Trans. on Circuits and Systems, Vol CAS-34, No. 8, pp 862-875, 1987
- [46] ACAR C. , GHAUSI M.S., " Fully Integrated Active RC Filters Using MOS And Non-balanced Structure", Int. J. Circuit Theory and Applications, Vol. 15, pp 105-121, 1987
- [47] WILSON G., CHAN P.K., " Novel Voltage-controlled grounded resistor", Electronics Letters, Vol. 25, No. 25, pp 1725-1726, 1989
- [48] TSIVIDIS Y., VAVELIDIS K., " Linear-electronically Tunable Resistor", Electronics Letters, Vol. 28, No. 25, pp 2303-2305, 1992
- [49] WILSON G., CHAN P.K., " Floating CMOS Resistor". Electronics Letters, Vol. 29, No. 3, pp 306-307, 1993

- [50] TOUMAZOU C., LIDGEY F. J., HAIGH D. G., " Analogue IC Design : The Current-mode Approach", IEE Circuits and Systems Series 2, Peter Peregrinus Ltd., 1990
- [51] ALLEN P. E., HOLBERG D. R., " CMOS Analog Circuit Design", Holt, Rinehart and Winston, Inc., 1987
- [52] TSIVIDIS Y., " Operation And Modelling Of The MOS Transistor ", McGraw Hill, New York, 1987
- [53] ANTOGNETTI P., MASSOBRIO G., " Semiconductor Device Modelling with SPICE", Mc Graw Hill, 1988
- [54] TAKAGI S., FUJII N., " Novel Highly Linear MOS Integrator Using A NIC", Electronics Letters, Vol 30, No.10, pp 746-748, 1994
- [55] BRENNAN R. L., VISWANATHAN T. R., HANSON J. V., " The CMOS Negative Impedance Converter", IEEE Journal of Solid-state Circuits, Vol. 23, No. 5, pp 1272-1275, October 1988

ÖZGEÇMİŞ

Cemal Alp Akbulut, 1969 yılında İstanbul ' da doğmuştur. İlkokul öğrenimini Bursa Namık Kemal İlkokulu ' nda tamamladıktan sonra , orta öğrenimini Bursa Anadolu Lisesi ' nde tamamlamıştır. 1987 ' de Kadıköy Anadolu Lisesi ' nden mezun olduktan sonra aynı yıl İstanbul Teknik Üniversitesi Elektronik ve Haberleşme Mühendisliği bölümünü kazanmıştır. 1991 ' de aynı üniversiteden mezun olarak mühendis ünvanını kazanmıştır. Bu yıllarda Durko Endüstri Ürünleri A. Ş. ' nde elektronik mühendisi olarak çalışmıştır. Gene aynı yıl İ.T.Ü. Fen Bilimleri Enstitüsünün açtığı yüksek lisans sınavını kazanıp burada öğrenimine devam etmektedir.

