

**DİFERENSİYEL FARK AKIM TAŞIYICISI TASARIMI
VE BU ELEMANLA ENDÜKTANS SİMÜLASYONU**

100566

YÜKSEK LİSANS TEZİ

Müh. Alper DURUK

504970001011

100566

Tezin Enstitüye Verildiği Tarih : 31 Mayıs 1999

Tezin Savunulduğu Tarih : 16 Haziran 1999

Tez Danışmanı : Prof.Dr. Hakan KUNTMAN

Diğer Jüri Üyeleri : Prof.Dr. Cevdet ACAR

Doç.Dr. Özcan KALENDERLİ

HAZİRAN 1999

ÖNSÖZ

Bu çalışmanın ortaya çıkmasında değerli yardımlarını esirgemeyen sayın hocam Prof. Dr. Hakan Kuntman'a ve Yrd. Doç. Dr. Ali Toker'e, Araş. Gör. Ercan Altuntaş'a ve Elektronik Anabilim Dalı'ndaki diğer araştırma görevlisi arkadaşlara, her zaman destek olan aileme teşekkür ediyorum. Tezimi, bana çok emekleri geçmesine rağmen bu günleri göremeyen dedem ve babaanneme ithaf ediyorum.

HAZİRAN 1999

Alper DURUK



İÇİNDEKİLER

KISALTMALAR	v
TABLO LİSTESİ	vi
ŞEKİL LİSTESİ	vii
SEMBOL LİSTESİ	xv
ÖZET	xvi
SUMMARY	xviii
1. GİRİŞ	1
2. AKIM TAŞIYICILAR	5
2.1. Birinci Kuşak Akım Taşıyıcılar (CCI)	6
2.2. İkinci Kuşak Akım Taşıyıcılar (CCII)	7
2.3. Üçüncü Kuşak Akım Taşıyıcılar (CCIII)	9
3. DDCC ELEMANININ GENEL TANITIMI	12
3.1 Basit DDCC+ Elemanının Tanıtılması	14
3.1.1 Devre performansı analizi	16
3.2 Önerilen DDCC+ Elemanının Tanıtılması	18
3.2.1 MOS tranzistörünün temel bağlantıları	20
3.2.1.1 MOS tranzistörde gövde etkisi	21
3.2.2 DDCC+ elemanının giriş katının tasarımı	22
3.2.3 DDCC+ elemanının çıkış katının tasarımı	27
3.2.3.1 MOS tranzistörlerde eşleşme problemi	27
3.2.3.1.1 Eşik gerilimi eşleşme hatası	28
3.2.3.1.2 İletkenlik parametresi eşleşme hatası	28
3.2.3.1.3 Akım değerinde eşleşme hatası	28
3.2.3.2 Aktif geribeslemeli kaskod akım aynasının incelenmesi	29
3.2.3.3 Aktif kazanç akım aynasının incelenmesi	32
3.2.3.4 Çıkış katlarının Pspice analiz sonuçları	34
3.3 DDCC+ Yapılarının Karakterizasyonu ve Karşılaştırılmaları	54
4. DDCC İLE ENDÜKTANS SİMÜLATÖRÜ TASARIMI	59
4.1 Aktif Devre Sentezi	59
4.2 Konuya İlişkin Çalışmalar	60
4.3 DDCC+ ile $Z = as$ ve $Z = as+b$ Simülatörü Topolojileri	63
4.4 Endüktans Simülatörlerinin İncelenmesi	69
4.5 Endüktans Simülatörlerinde İdealsizlik Etkileri	104
5. DDCC İLE FİLTRE TASARIMI	107
5.1 Aktif Filtreler	107
5.2 Alçak Geçiren Filtre	110

5.3 Yüksek Geçiren Filtre	118
5.4 Band Geçiren Filtre	123
6. DDCC İLE OSİLATÖR TASARIMI	128
6.1 Aktif LC Osilatör Tasarımı	128
7. SONUÇLAR VE TARTIŞMA	132
KAYNAKLAR	134
EKLER	144
ÖZGEÇMİŞ	186



KISALTMALAR

A/D, D/A	: Analog/Digital, Digital/Analog
BiCMOS	: Bipolar Complementary Metal-Oxide Semiconductor
CC	: Current Conveyor
CCI	: Current Conveyor - 1 st Generation
CCII	: Current Conveyor - 2 nd Generation
CCIII	: Current Conveyor - 3 rd Generation
CDBA	: Current Differential Buffered Amplifier
CFA	: Current Feedback Amplifier
CM	: Current Mirror
CMOS	: Complementary Metal-Oxide Semiconductor
DDA	: Differential Difference Amplifier
DDCC	: Differential Difference Current Conveyor
DO-OTA	: Differential Output Operational Transconductance Amplifier
DO-CCII	: Differential Output Current Conveyor - 2 nd Generation
DVCC	: Differential Voltage Current Conveyor
FDNR	: Frequency Dependent Negative Resistor
FTFN	: Four Terminal Floating Nullor
GIC	: Generalized Impedance Convertor
JFET	: Junction Field Effect Transistor
MOS	: Metal-Oxide Semiconductor
NIC	: Negative Impedance Convertor
NMOS	: n-type Metal-Oxide Semiconductor
OP-AMP	: Operational Amplifier
OTA	: Operational Transconductance Amplifier
PMOS	: p-type Metal-Oxide Semiconductor
RGC	: Regulated Gate Cascode

TABLO LİSTESİ

	<u>Sayfa No</u>
Tablo 3.1. Önerilen CMOS DDCC+ devresindeki MOS tranzistor boyutları	18
Tablo 3.2. CM1 ve CM2 akım aynalarında kullanılan tranzistor boyutları	35
Tablo 3.3. CM1 ve CM2 akım aynalarının Pspice analiz sonuçları.....	53
Tablo 3.4. CM1 ve CM2 akım aynalarının %2 eşleşme problemi olduğu durumda Pspice analiz sonuçları.....	53
Tablo 3.5. Basit DDCC+ devresinde kullanılan tranzistorların boyutları.....	54
Tablo 3.6. DDCC+ devrelerinin karşılaştırılması	58
Tablo 4.1. DDCC+ ile oluşturulmuş endüktans topolojilerinde Y1 ve Y2 giriş uçları arasından görülen empedans fonksiyonları.....	66
Tablo 4.2. İncelenen endüktans simülatörlerinin toplu analiz sonuçları.....	103

ŞEKİL LİSTESİ

	<u>Sayfa No</u>
Şekil 2.1. Birinci kuşak akım taşıyıcı.....	7
Şekil 2.2. İkinci kuşak akım taşıyıcı.....	8
Şekil 2.3. Üçüncü kuşak akım taşıyıcı.....	10
Şekil 3.1. DDCC+ Sembolü	12
Şekil 3.2. DDA Sembolü	13
Şekil 3.3. DDCC+ elemanının literatürde ilk oluşturulan basit yapısı	14
Şekil 3.4. Önerilen CMOS DDCC+ devresi.....	19
Şekil 3.5. Önerilen CMOS DDCC+ kullanılan geçiş iletkenliği devresi	23
Şekil 3.6. Basit diferensiyel kuvvetlendirici.....	23
Şekil 3.7. Kullanılan geçiş iletkenliği devresinin çıkış akımının giriş fark gerilimi ile değişimi.....	26
Şekil 3.8. Aktif geribeslemeli kaskod akım aynası (CM2)	29
Şekil 3.9. Aktif kazanç akım aynası (CM1)	33
Şekil 3.10. Aktif kazanç akım aynasının ayrıntılı şekli (CM1)	34
Şekil 3.11. CM2 devresinin farklı giriş akımlarında akım modunda band genişliği	35
Şekil 3.12. CM1 devresinin farklı giriş akımlarında akım modunda band genişliği	36
Şekil 3.13. CM2 devresinin farklı giriş akımlarında çıkış empedansının frekansla değişimi.....	37
Şekil 3.14. CM1 devresinin farklı giriş akımlarında çıkış empedansının frekansla değişimi.....	37
Şekil 3.15. CM1 ve CM2 devrelerinin farklı giriş akımlarında çıkış akımının çıkış gerilimiyle değişimi.....	38
Şekil 3.16. CM1 ve CM2 devrelerinin $I_{IN} = 100\mu A$ iken çıkış akımının çıkış gerilimiyle değişimi	39
Şekil 3.17. CM1 ve CM2 devrelerinin $I_{IN} = 500\mu A$ iken çıkış akımının çıkış gerilimiyle değişimi	39
Şekil 3.18. CM1 ve CM2 devrelerinin $I_{IN} = 1mA$ iken çıkış akımının çıkış gerilimiyle değişimi.....	40

Şekil 3.19.	CM1 ve CM2 devrelerinin akım transfer hatalarının I_{IN} giriş akımıyla değişimi	41
Şekil 3.20.	CM1 ve CM2 devrelerinin farklı giriş akımlarında akım transfer hatalarının V_O çıkış gerilimiyle değişimi	42
Şekil 3.21.	CM1 ve CM2 devrelerinin $I_{IN} = 100\mu A$ iken akım transfer hatalarının V_O çıkış gerilimiyle değişimi	42
Şekil 3.22.	CM1 ve CM2 devrelerinin $I_{IN} = 500\mu A$ iken akım transfer hatalarının V_O çıkış gerilimiyle değişimi	43
Şekil 3.23.	CM1 ve CM2 devrelerinin $I_{IN} = 1mA$ iken akım transfer hatalarının V_O çıkış gerilimiyle değişimi	43
Şekil 3.24.	CM2 devresinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında akım modunda band genişliği	44
Şekil 3.25.	CM1 devresinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında akım modunda band genişliği	45
Şekil 3.26.	CM2 devresinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında çıkış empedansının frekansla değişimi.....	46
Şekil 3.27.	CM1 devresinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında çıkış empedansının frekansla değişimi.....	46
Şekil 3.28.	CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında çıkış akımının çıkış gerilimiyle değişimi	47
Şekil 3.29.	CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 100\mu A$ iken çıkış akımının çıkış gerilimiyle değişimi.....	48
Şekil 3.30.	CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 500\mu A$ iken çıkış akımının çıkış gerilimiyle değişimi.....	48
Şekil 3.31.	CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 1mA$ iken çıkış akımının çıkış gerilimiyle değişimi.....	49
Şekil 3.32.	CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda akım transfer hatalarının I_{IN} giriş akımıyla değişimi.....	50
Şekil 3.33.	CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında akım transfer hatalarının V_O çıkış gerilimiyle değişimi.....	51
Şekil 3.34.	CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 100\mu A$ iken akım transfer hatalarının V_O çıkış gerilimiyle değişimi	51
Şekil 3.35.	CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 500\mu A$ iken akım transfer hatalarının V_O çıkış gerilimiyle değişimi	52
Şekil 3.36.	CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 1mA$ iken akım transfer hatalarının V_O çıkış gerilimiyle değişimi	52

Şekil 3.37.	Basit DDCC+ devresinin ideal akım kaynağı kullanılmadan gerçekleşmesi	55
Şekil 4.1.	DDCC+'ya ait 6 düğüm +toprak devre yapısı	64
Şekil 4.2.	D1 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	70
Şekil 4.3.	Gerçekleştirilen D1 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.	71
Şekil 4.4.	100 mH olarak tasarlanan D2 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	73
Şekil 4.5.	Gerçekleştirilen 100mH'lik D2 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.	74
Şekil 4.6.	10 mH olarak tasarlanan D2 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	75
Şekil 4.7.	Gerçekleştirilen 10mH'lik D2 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.	76
Şekil 4.8.	1H olarak tasarlanan D2 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri. ...	77
Şekil 4.9.	Gerçekleştirilen 1H'lik D2 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.	79
Şekil 4.10.	D3 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	79
Şekil 4.11.	Gerçekleştirilen D3 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.	80
Şekil 4.12.	D4 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	82
Şekil 4.13.	Gerçekleştirilen D4 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.	82
Şekil 4.14.	D5 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	84
Şekil 4.15.	Gerçekleştirilen D5 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri	85
Şekil 4.16.	D6 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	87

Şekil 4.17.	Gerçekleştirilen D6 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.....	87
Şekil 4.18.	D7 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	89
Şekil 4.19.	Gerçekleştirilen D7 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.....	90
Şekil 4.20.	D8 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	92
Şekil 4.21.	Gerçekleştirilen D8 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.....	92
Şekil 4.22.	D9 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	94
Şekil 4.23.	Gerçekleştirilen D9 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.....	95
Şekil 4.24.	D14 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	97
Şekil 4.25.	Gerçekleştirilen D14 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.....	97
Şekil 4.26.	D15 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	99
Şekil 4.27.	Gerçekleştirilen D15 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.....	100
Şekil 4.28.	D16 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.	102
Şekil 4.29.	Gerçekleştirilen D16 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.....	102
Şekil 5.1.	Endüktans simülatörü kullanılan 2.dereceden aktif alçak geçiren filtre devresi	111
Şekil 5.2.	Endüktans simülatörü kullanılan 2.dereceden aktif alçak geçiren filtre devresinin kazancının frekansla değişimi	113
Şekil 5.3.	Endüktans simülatörü kullanılan 2.dereceden aktif alçak geçiren filtre devresinin fazının frekansla değişimi	113
Şekil 5.4.	Endüktans simülatörü kullanılan 2.dereceden aktif alçak geçiren filtre devresinin 10KHz'lik 2.8V'luk sinüs girişine oluşturduğu çıkış işareti.....	114

Şekil 5.5.	4.dereceden basamaklı alçak geçiren Butterworth filtresi.....	115
Şekil 5.6.	4.dereceden basamaklı alçak geçiren Butterworth filtresinin endüktans simülatörü ile gerçekleşmesi.....	115
Şekil 5.7.	Endüktans simülatörü kullanılan 4.dereceden basamaklı alçak geçiren aktif Butterworth filtresinin kazancının frekansla değişimi	117
Şekil 5.8.	Endüktans simülatörü kullanılan 4.dereceden basamaklı alçak geçiren aktif Butterworth filtresinin fazının frekansla değişimi .	117
Şekil 5.9.	Endüktans simülatörü kullanılan 4.dereceden basamaklı alçak geçiren aktif Butterworth filtresinin 100KHz'lik 3V'luk sinüs girişine oluşturduğu çıkış işareti.....	118
Şekil 5.10.	Endüktans simülatörü kullanılan 2.dereceden aktif yüksek geçiren filtre devresi	119
Şekil 5.11.	Endüktans simülatörü kullanılan 2.dereceden aktif yüksek geçiren filtre devresinin kazancının frekansla değişimi	121
Şekil 5.12.	Endüktans simülatörü kullanılan 2.dereceden aktif yüksek geçiren filtre devresinin fazının frekansla değişimi	122
Şekil 5.13.	Endüktans simülatörü kullanılan 2.dereceden aktif yüksek geçiren filtre devresinin 100KHz'lik 1.6V'luk sinüs girişine oluşturduğu çıkış işareti.....	122
Şekil 5.14.	Endüktans simülatörü kullanılan 2.dereceden aktif band geçiren filtre devresi.....	123
Şekil 5.15.	Endüktans simülatörü kullanılan 2.dereceden aktif band geçiren filtre devresinin kazancının frekansla değişimi.....	126
Şekil 5.16.	Endüktans simülatörü kullanılan 2.dereceden aktif band geçiren filtre devresinin fazının frekansla değişimi	126
Şekil 5.17.	Endüktans simülatörü kullanılan 2.dereceden aktif band geçiren filtre devresinin 100KHz'lik 1.6V'luk sinüs girişine oluşturduğu çıkış işareti.....	127
Şekil 6.1.	D1 endüktans simülatörü ile oluşturulan aktif LC osilatör devresi	129
Şekil 6.2.	D1 endüktans simülatörü ile oluşturulan aktif LC osilatör devresinin 1.88Hz'lik osilatör çıkış işareti	130
Şekil 6.3.	D1 endüktans simülatörü ile oluşturulan aktif LC osilatör devresinin 253.55KHz'lik osilatör çıkış işareti	131
Şekil A.1.	Basit DDCC+ yapısında I_x akımının V_{y1} gerilimiyle değişimi ...	144
Şekil A.2.	Basit DDCC+ yapısında I_x akımının V_{y2} gerilimiyle değişimi ...	145
Şekil A.3.	Basit DDCC+ yapısında I_x akımının V_{y3} gerilimiyle değişimi ...	145
Şekil A.4.	Basit DDCC+ yapısında I_z akımının V_{y1} gerilimiyle değişimi ...	146
Şekil A.5.	Basit DDCC+ yapısında I_z akımının V_{y2} gerilimiyle değişimi ...	146
Şekil A.6.	Basit DDCC+ yapısında I_z akımının V_{y3} gerilimiyle değişimi ...	147

Şekil A.7.	Basit DDCC+ yapısında V_x geriliminin V_{y1} gerilimiyle değişimi	147
Şekil A.8.	Basit DDCC+ yapısında V_x geriliminin V_{y2} gerilimiyle değişimi	148
Şekil A.9.	Basit DDCC+ yapısında V_x geriliminin V_{y3} gerilimiyle değişimi	148
Şekil A.10.	Basit DDCC+ yapısında V_x geriliminin çeşitli V_{y3} değerlerinde $V_{y1} - V_{y2}$ ile değişimi	149
Şekil A.11.	Basit DDCC+ yapısında V_z geriliminin V_{y1} gerilimiyle değişimi	149
Şekil A.12.	Basit DDCC+ yapısında V_z geriliminin V_{y2} gerilimiyle değişimi	150
Şekil A.13.	Basit DDCC+ yapısında V_z geriliminin V_{y3} gerilimiyle değişimi	150
Şekil A.14.	Basit DDCC+ yapısında X ucundaki gerilim modunda band genişliği	151
Şekil A.15.	Basit DDCC+ yapısında Z ucundaki gerilim modunda band genişliği	151
Şekil A.16.	Basit DDCC+ yapısında I_z/I_x 'in frekansla değişimi	152
Şekil A.17.	Basit DDCC+ yapısında I_z ve I_x 'in frekansla değişimleri	152
Şekil A.18.	Basit DDCC+ yapısında I_z akımının ve $I_x - I_z$ akım hatasının I_x akımı ile değişimi	153
Şekil A.19.	Basit DDCC+ yapısında V_x/V_{y1} 'in frekansla değişimi	153
Şekil A.20.	Basit DDCC+ yapısında V_x/V_{y2} 'nin frekansla değişimi	154
Şekil A.21.	Basit DDCC+ yapısında V_x/V_{y3} 'ün frekansla değişimi	154
Şekil A.22.	Basit DDCC+ yapısında V_z/V_{y1} 'in frekansla değişimi	155
Şekil A.23.	Basit DDCC+ yapısında V_z/V_{y2} 'nin frekansla değişimi	155
Şekil A.24.	Basit DDCC+ yapısında V_z/V_{y3} 'ün frekansla değişimi	156
Şekil A.25.	Basit DDCC+ yapısında Z_x giriş direncinin frekansla değişimi (y eksenini logaritmiktir.)	156
Şekil A.26.	Basit DDCC+ yapısında Z_z çıkış direncinin frekansla değişimi (y eksenini logaritmiktir.)	157
Şekil A.27.	Basit DDCC+ yapısında Z_{y1} direncinin frekansla değişimi (y eksenini logaritmiktir.)	157
Şekil A.28.	Basit DDCC+ yapısında Z_{y2} direncinin frekansla değişimi (y eksenini logaritmiktir.)	158
Şekil A.29.	Basit DDCC+ yapısında Z_{y3} direncinin frekansla değişimi (y eksenini logaritmiktir.)	158
Şekil A.30.	Basit DDCC+ yapısında X ucundaki yükselme eğimini gösteren çıkış işareti	159

Şekil A.31.	Basit DDCC+ yapısında Z ucundaki yükselme eğimini gösteren çıkış işareti.....	159
Şekil B.1.	Önerilen DDCC+ yapısında I_x akımının V_{y1} gerilimiyle değişimi	160
Şekil B.2.	Önerilen DDCC+ yapısında I_x akımının V_{y2} gerilimiyle değişimi	161
Şekil B.3.	Önerilen DDCC+ yapısında I_x akımının V_{y3} gerilimiyle değişimi	161
Şekil B.4.	Önerilen DDCC+ yapısında I_z akımının V_{y1} gerilimiyle değişimi	162
Şekil B.5.	Önerilen DDCC+ yapısında I_z akımının V_{y2} gerilimiyle değişimi	162
Şekil B.6.	Önerilen DDCC+ yapısında I_z akımının V_{y3} gerilimiyle değişimi	163
Şekil B.7.	Önerilen DDCC+ yapısında V_x geriliminin V_{y1} gerilimiyle değişimi	163
Şekil B.8.	Önerilen DDCC+ yapısında V_x geriliminin V_{y2} gerilimiyle değişimi	164
Şekil B.9.	Önerilen DDCC+ yapısında V_x geriliminin V_{y3} gerilimiyle değişimi	164
Şekil B.10.	Önerilen DDCC+ yapısında V_x geriliminin çeşitli V_{y3} değerlerinde $V_{y1} - V_{y2}$ ile değişimi	165
Şekil B.11.	Önerilen DDCC+ yapısında V_z geriliminin V_{y1} gerilimiyle değişimi	165
Şekil B.12.	Önerilen DDCC+ yapısında V_z geriliminin V_{y2} gerilimiyle değişimi	166
Şekil B.13.	Önerilen DDCC+ yapısında V_z geriliminin V_{y3} gerilimiyle değişimi	166
Şekil B.14.	Önerilen DDCC+ yapısında X ucundaki gerilim modunda band genişliği	167
Şekil B.15.	Önerilen DDCC+ yapısında Z ucundaki gerilim modunda band genişliği	167
Şekil B.16.	Önerilen DDCC+ yapısında akım modunda band genişliği	168
Şekil B.17.	Önerilen DDCC+ yapısında I_z ve I_x 'in frekansla değişimleri	168
Şekil B.18.	Önerilen DDCC+ yapısında I_z akımının ve $I_x - I_z$ akım hatasının I_x akımı ile değişimi	169
Şekil B.19.	Önerilen DDCC+ yapısında V_x/V_{y1} 'in frekansla değişimi.....	169
Şekil B.20.	Önerilen DDCC+ yapısında V_x/V_{y2} 'nin frekansla değişimi.....	170
Şekil B.21.	Önerilen DDCC+ yapısında V_x/V_{y3} 'ün frekansla değişimi.....	170
Şekil B.22.	Önerilen DDCC+ yapısında V_z/V_{y1} 'in frekansla değişimi.....	171

Şekil B.23.	Önerilen DDCC+ yapısında V_z/V_{y2} 'nin frekansla değişimi.....	171
Şekil B.24.	Önerilen DDCC+ yapısında V_z/V_{y3} 'ün frekansla değişimi.....	172
Şekil B.25.	Önerilen DDCC+ yapısında Z_x giriş direncinin frekansla değişimi (y eksenli logaritmiktir.)	172
Şekil B.26.	Önerilen DDCC+ yapısında Z_z çıkış direncinin frekansla değişimi (y eksenli logaritmiktir.)	173
Şekil B.27.	Önerilen DDCC+ yapısında Z_{y1} direncinin frekansla değişimi (y eksenli logaritmiktir.)	173
Şekil B.28.	Önerilen DDCC+ yapısında Z_{y2} direncinin frekansla değişimi (y eksenli logaritmiktir.)	174
Şekil B.29.	Önerilen DDCC+ yapısında Z_{y3} direncinin frekansla değişimi (y eksenli logaritmiktir.)	174
Şekil B.30.	Önerilen DDCC+ yapısında X ucundaki yükselme eğimini gösteren çıkış işareti	175
Şekil B.31.	Önerilen DDCC+ yapısında Z ucundaki yükselme eğimini gösteren çıkış işareti	175
Şekil C.1.	D1 endüktans devresi	176
Şekil C.2.	D2 endüktans devresi	176
Şekil C.3.	D3 endüktans devresi	177
Şekil C.4.	D4 endüktans devresi	177
Şekil C.5.	D5 endüktans devresi	177
Şekil C.6.	D6 endüktans devresi	178
Şekil C.7.	D7 endüktans devresi	178
Şekil C.8.	D8 endüktans devresi	178
Şekil C.9.	D9 endüktans devresi	179
Şekil C.10.	D10 endüktans devresi	179
Şekil C.11.	D11 endüktans devresi	179
Şekil C.12.	D12 endüktans devresi	180
Şekil C.13.	D13 endüktans devresi	180
Şekil C.14.	D14 endüktans devresi	180
Şekil C.15.	D15 endüktans devresi	181
Şekil C.16.	D16 endüktans devresi	181
Şekil C.17.	D17 endüktans devresi	181
Şekil C.18.	D18 endüktans devresi	182

SEMBOL LİSTESİ

a_1	: Filtrelerde kazanç değeri
A_0	: Kuvvetlendiricinin açık çevrim kazancı
C_{ox}	: MOS tranzistorlarda birim alandaki geçit oksit kapasitesi
f_o	: Filtrelerde kesim frekansı
g_m	: MOS tranzistorun geçiş iletkenliği
g_d	: MOS tranzistorun savak iletkenliği
I_{in}	: Giriş akımı
I_{out}	: Çıkış akımı
I_x	: Aktif elemanların X terminalindeki akımı
$I_y, I_{y1}, I_{y2}, I_{y3}$	: Aktif elemanların Y terminalindeki akımı
I_z	: Aktif elemanların Z terminalindeki akımı
K	: MOS tranzistorlarda iletkenlik parametresi
L	: MOS tranzistorlarda kanal boyu
Q	: Filtrelerde değer katsayısı
R_o	: Aktif elemanlarda çıkış direnci
R_x	: Aktif elemanların X ucundan görülen direnç
R_z	: Aktif elemanların Z ucundan görülen direnç
V_{DD}, V_{SS}	: Besleme gerilimleri
V_{DSsat}	: MOS tranzistorlarda minimum doyma gerilimi
V_{in}	: Diferensiyel giriş gerilimi
V_o	: Çıkış gerilimi
V_{os}	: Giriş ofset gerilimi
V_T	: MOS tranzistorun eşik gerilimi
V_x	: Aktif elemanların X terminalindeki gerilimi
V_y	: Aktif elemanların Y terminalindeki gerilimi
V_z	: Aktif elemanların Z terminalindeki gerilimi
W	: MOS tranzistorlarda kanal genişliği
ω_o	: Filtrelerde açısal kesim frekansı
Z_{in}	: Giriş empedans fonksiyonu
ϵ_i	: Diferensiyel fark akım taşıyıcıda akım izleme hatası
$\epsilon_{v1}, \epsilon_{v2}, \epsilon_{v3}$	: Diferensiyel fark akım taşıyıcıda gerilim izleme hataları
λ	: MOS tranzistorda kanal boyu modülasyonu
μ	: MOS tranzistorlarda elektron hareket yeteneği
γ	: MOS tranzistorlarda gövde etkisi faktörü
ϕ_F	: Fermi potansiyeli

DİFERENSİYEL FARK AKIM TAŞIYICISI TASARIMI VE BU ELEMANLA ENDÜKTANS SİMÜLASYONU

ÖZET

Son zamanlarda, akım modlu yeni aktif elemanların tasarlanması oldukça ilgi çekmektedir. Bu konuda yapılan son çalışmalardan biri de 1996 yılında tanıtılan diferensiyel fark akım taşıyıcı (DDCC) elemanıdır. Bu eleman, ikinci kuşak akım taşıyıcısı ve diferensiyel fark kuvvetlendiricisi elemanlarının özelliklerinin birleştirilmesiyle oluşturulmuştur. Fakat oluşturulan CMOS DDCC+ yapısının giriş, çıkış dirençleri ile band genişliği ve diferensiyel giriş gerilimi salınım aralığı yeteri kadar iyi değildir.

Bu tezde ikinci bölümde, birinci, ikinci ve üçüncü kuşak akım taşıyıcılar hakkında genel bilgiler verilmiş, literatürdeki konu üzerine yapılan çalışmalara değinilmiştir.

Üçüncü bölümde, literatürde verilen ilk ve tek CMOS DDCC+ yapısı tanıtılmış ve elemanın karakterizasyonu Pspice benzetim programı aracılığıyla yapılmıştır. Bundan sonra önerilen CMOS DDCC+ yapısı tanıtılmış, giriş ve çıkış katlarının tasarımı ayrı ayrı ele alınmıştır. Bu bölümler yeniden tasarlanarak elemanın daha geniş bir diferensiyel giriş gerilimi salınım aralığına sahip olması, giriş direncinin çok düşük, çıkış direncinin ise çok büyük olması sağlanmıştır. Ayrıca bu bölümde MOS tranzistorlardaki eşleşmeme problemi ele alınmış, bunun çıkış katlarında devrenin performansına nasıl etki yaptığı incelenmiştir. Daha sonra önerilen yeni CMOS DDCC+ elemanın da karakterizasyonu yapıp basit DDCC+ yapısıyla karşılaştırılmıştır.

Dördüncü bölümde, aktif devre sentezinden bahsedilmiş, pasif endüktans elemanın uygulamada getirdiği zorluklar ortaya konmuştur. Literatürde endüktans elemanını aktif elemanlarla gerçekleyen çalışmalara değinilmiştir. Daha sonra önerilen CMOS DDCC+ yapısıyla 18 tane iki ucu serbest endüktans simülatörü tasarımı verilmiş, bunlardan 12 tanesinin karakteristikleri Pspice benzetim programı aracılığıyla incelenmiştir. Bu incelenen endüktans simülatörü devrelerine ait giriş empedans

fonksiyonları da CMOS DDCC+ 'nin idealsizlikleri gözönüne alınarak yeniden çıkarılmıştır.

Beşinci bölümde, oluşturulan endüktans simülatörü yapıları kullanılarak biri basamaklı türden 4. dereceden Butterworth tipi, biri de 2. dereceden, 2 adet alçak geçiren filtre, birer tane de 2. dereceden yüksek geçiren ve band geçiren olmak üzere toplam 4 tane filtre topolojisi sunulmuş ve bunların analizleri yapılmıştır.

Altıncı bölümde, oluşturulan endüktans simülatörü yapılarından biri kullanılarak aktif LC osilatörü tasarlanmış ve bu osilatörün çalışma frekansları ve genlikleri tespit edilmiştir.



IMPLEMENTATION OF DIFFERENTIAL DIFFERENCE CURRENT CONVEYOR AND INDUCTANCE SIMULATIONS USING THIS ELEMENT

SUMMARY

Recently, design of new current mode active elements attracted certain attention. One of the last work about this subject is the differential difference current conveyor (DDCC) which has been introduced in 1996. This element, has been designed with combining the properties of second generation current conveyor and differential difference amplifier. But the implemented CMOS DDCC+'s input resistance, output resistance, bandwidth and differential input voltage swing haven't got enough performance.

In this thesis in the second section, general information about first, second and third generation current conveyor are given, and told about the works in the literature upon this subject.

In the third section, the characterisation of the one and the only CMOS DDCC+ structure in the literature has done with Pspice simulation programme and information about this element is given. After this, information about the proposed CMOS DDCC+ structure, and the design of the input and the output stage are given separately. By redesigning these stages, element has got very low input resistance, very high output resistance, a wider differential input voltage swing. Also in this section, it is told about the mismatch problem of the MOS transistor, and its effects on the performance of the output stages. The characterisation of the proposed CMOS DDCC+ structure has done and compared with the simple DDCC+ structure.

In the fourth section, it is told about active circuit synthesis, and the problems of passive inductance element in the circuit design. It is told about the works in the literature upon the simulation of inductance with active elements. After this 18 floating inductance simulators using CMOS DDCC+ are given, and 12 of them are analysed with Pspice simulation programme. The input impedance functions of these active elements with nonidealities of the CMOS DDCC+ are also given.

In the fifth section, 2 low pass filter, which one is 4th order ladder Butterworth type low pass and the other is 2nd order low pass, 1 high pass and 1 band pass filter, totally 4 filters are given with the simulation results.

In the sixth section, by using one of the inductance simulator topologies, an active LC oscillator is designed and its working frequencies and the voltages are found.



1. GİRİŞ

İşlemsel kuvvetlendiricinin tümdevre olarak ortaya çıkması ve kabul görmesi sonucu 1960'lı yıllar boyunca lineer analog tümdevre uygulamaları büyük bir ilerleme kaydetmiştir. Bunun sonucu olarak, ayırık benzerleri kadar, hatta daha iyi performanslı tümdevre işlemsel kuvvetlendirici tasarımları, daha ekonomik fiyatlarla ortaya çıkmıştır. Maliyet, 1965'te 70\$'dan, 1970'te 2\$'dan daha az bir rakama inmiştir. O zamandan beri, işlemsel kuvvetlendirici tümdevreleri, piyasada üretilen ürünler içerisinde en fazla kullanılan lineer elemanlar olmuşlardır. Analog/sayısal ve sayısal/analog çeviriciler, gerilim referans kaynakları, analog çarpma devreleri, dalga şekillendirici devreler, osilatörler ve dalga üreteçleri gibi pek çok alanda uygulama imkanı bulmuşlardır. İşaret işlemenin gerilim değişkenleri aracılığıyla düşünülmesi alışkanlığının sonucu olarak, gerilim transfer fonksiyonu gerçekleyen filtreler gibi gerilim modlu işaret işleme devreleri ortaya çıkmıştır. Bugün, yüksek kaliteli işlemsel kuvvetlendirici devreleri 0.1\$ mertebelerinde maliyete sahiptir. Bunun sonucu olarak, yapısından kaynaklanan yükselme eğimi - kazanç bant genişliği ikilemine rağmen, kullanışlı olması, işlemsel kuvvetlendiriciyi gerilim modlu tasarımların vazgeçilmez elemanlarından birisi yapmıştır.

Aynı dönemlerde, bu gelişmelere paralel olarak tümdevre tasarımında da önemli aşamalar kaydedilmiştir. İşlemsel kuvvetlendiricinin ortaya çıkıp yaygın bir hal almaya başladığı dönemlerde, analog devre tasarımı, çoğunlukla bipolar ve hibrit teknolojileriyle gerçekleştirilmekteydi. 1980'lerin başlarında NMOS teknolojisi ortaya çıktı; ancak eşlenik elemanların olmaması, CMOS teknolojisini, sayısal olduğu kadar analog tasarımlar için de temel üretim teknolojisi haline getirdi. Son on yılda, tasarımcıya bipolar ve MOS teknolojilerinin avantajlarını birleştirme olanağı sağlayan BiCMOS teknolojisi ortaya çıkmıştır. Bu şekilde, bugünün yüksek performanslı, çok geniş ölçekli tümleştirilmiş, analog ve sayısal devre tasarımları mümkün hale gelebilmektedir. Öte yandan, henüz nispeten pahalı ve az rastlanılır

olmasına rağmen GaAs teknolojisi, bazı ticari olmayan tasarımlarda kullanılmaktadır.

Son dönemde, elektronik devre tasarımı, yüksek performanslı, işlemsel kuvvetlendiricilere her zamankinden daha çok ihtiyaç duymuştur. Bu arada, işaretlerin işlendikleri ortamın empedans seviyesinin, yeni ortaya çıkan teknolojilerin olanaklarından hakkıyla yararlanabilmek açısından önem taşıdığı fark edilmiştir. Ayrıca, bugünün en yaygın teknolojisi olan CMOS teknolojisi, mikronaltı boyutlara inmekte ve 3.3 V ve 1.8 V standartlarının ortaya çıkmalarında görüldüğü gibi düşük besleme gerilimlerine eğilim göstermektedir. Bu faktörler, yüksek lineerlikte ve geniş dinamik aralıklı gerilim modlu devrelerin tasarımını zorlaştırdığından, gerilim yerine akımın temel işaret ortamı olduğu düşük empedanslı analog devreler dikkat çekmeye başlamışlardır. Bu tür akım modlu devreler, düşük empedanslı düğümlerdeki düşük gerilim salınımları nedeniyle, düşük besleme gerilimlerinde çalışabilmektedir. Bu sayede, küçük işaret geçiş frekansına yakın geniş bantlı frekans cevapları elde edilebilmektedir.

Bütün bu gelişmelerin doğal sonucu olarak, gerilim modlu devrelerin temel elemanı olan işlemsel kuvvetlendirici yerine akım modlu devrelere ait bir temel işlem bloğu ihtiyacı ortaya çıkmaktadır. Buna yönelik çalışmalar yirmi yıldır sürmektedir. Ses bandının üzerindeki frekanslarda çalışan tümdevre aktif RC filtrelerin tasarımına yönelik çalışmalar, önceleri ilgiyi işlemsel geçiş iletkenliği kuvvetlendiricisine (OTA) yöneltmiştir. İşlemsel kuvvetlendirici giriş katının çekirdeğini oluşturduğu bu eleman, bir gerilim kontrollü akım kaynağı olarak düşünülebilir. Daha sonraki dönemlerde en önemli rakiplerinden akım geribeslemeli kuvvetlendirici (CFA) ve akım taşıyıcı ortaya çıkmış (CC) ve tümdevre olarak piyasaya sürülmüşlerdir. Bugünün aktif elemanları, kuvvetlendirmeyi sağlamak üzere empedans dönüşümü yaparak işareti ileten, kontrollü çıkış akımına sahip geçiş iletkenliği elemanları olarak düşünülebilir. Bunun sonucu olarak, pek çok işaret işleme dalında, gerilim modlu devreler yerlerini akım modlu tasarımlara bırakmaktadır. Dinamik akım aynaları, analog/sayısal çeviriciler, anahtarlamalı MOS işaret işleme devreleri, analog hesaplama ve nöral devreler, şu anda uygulama alanı buldukları tasarım örneklerinden sadece bazılarıdır. Yüksek hızlı GaAs devrelerdeki son gelişmeler, akım modlu devrelerin uygulama alanlarını mikrodalga ve optik haberleşmeye kadar

geniřletmiřtir. Grnen o ki, monolitik iřlemsel kuvvetlendirici elemanı yeni ve geliřmiř řekillerde ortaya ıkmaya devam edecektir.

Bu yeni yapılar arasında akım tařıyıcı, potansiyel olarak pek ok akım modlu iřaret iřleme uygulamasının gerektirdiđi yksek dođruluk ve bant geniřliđi, dřk giriř empedansı ve yksek ıkıř empedansı karakteristiklerini sađlayacak yetenektedir. 1968'de ilk ortaya atılması, 1970'te yeniden formle edilerek ikinci kuřak akım tařıyıcı olarak adlandırılması, 1995'te ise birinci kuřak akım tařıyıcısındaki giriř akımları arasındaki iliřkiyi ters evirerek oluřturulan ($I_y = -I_x$) nc kuřak akım tařıyıcısından beri bu eleman olduka dikkat ekmiř ve sayısız uygulamada rol almıřtır. İřlemsel esneklik ve basitliđi nedeniyle gnmzde akım tařıyıcıyı, akım modlu devrelerin temel iřlem blođu olarak dřnmek yerinde olur. Oysa yksek performanslı devre rnekleri sadece son on yılda ortaya ıkmıř ve akım tařıyıcıların; aktif filtreler, kuvvetlendiriciler, osilatrler ve imitans simlatrleri gibi klasik iřlemsel kuvvetlendirici uygulamalarında bu elemana meydan okumasına olanak sađlamıřlardır [1].

Akım modlu devrelere gsterilen bu ilginin bir sonucu olarak, 1996 yılında Chiu, Liu, Tsao ve Chen tarafından yayınlanan bir makalede DDCC (*differential difference current conveyor*) ya da Trke karřılıđıyla *diferensiyel fark akım tařıyıcısı* elemanı tanıtılmıř ve literatre girmesi sađlanmıřtır [2]. Bu yeni eleman akım tařıyıcıların temel zelliklerini tařımakla birlikte, akım tařıyıcılardan farklı olarak yksek empedanslı tek bir giriř ucu yerine  tane yksek empedanslı giriř ucu iermektedir. Bu elemanın akım tařıyıcıya gre fazladan iki tane yksek empedanslı giriř ucuna sahip olması zellikle fark iřaretlerin iřlendiđi analog iřlem bloklarında iřlemin tek bir aktif elemanla yapılabilmesine olanak vermektedir. Bu tezde, 1996 yılında ilk olarak sunulan basit CMOS DDCC+ yapısı geliřtirilerek, yksek performanslı bir CMOS DDCC+ devresi oluřturulmuřtur. Her iki devrenin karakterizasyonu yapılıp devre performansları ortaya konduktan sonra CMOS DDCC+ yapısıyla analog yapı bloklarında ve zellikle filtre yapılarında ok sık kullanılan endktans yapısını simle eden 18 adet endktans simlatr yapısı sunulmuřtur. Bunlardan seilen 12 tanesinin devre performansları Pspice analiz programıyla incelenmiřtir. Daha sonra bu incelenen yapıların simle ettiđi empedans fonksiyonları idealsizlik etkilerinin de katılmasıyla yeniden ıkarılmıřtır.

Elektronik yapılarda pasif eleman olarak kullanılan endüktans elemanının boyutları alçak frekanslı düzenlerde daha da büyümektedir. Bu boyut artışı tümdevre üzerinde fazla yer kaplaması sorununu ortaya çıkarmaktadır. Ayrıca pasif endüktans elemanının histerisiz etkisi, çekirdek kayıpları, istenmeyen kuplajları, üretim güçlüğü gibi çeşitli olumsuz yanları da vardır. Bu yüzden çalışmalar tasarımcıları, endüktans yapısını aktif elemanlarla oluşturmaya itmiştir. Bu yüzden sunulan yeni CMOS DDCC+ yapısıyla da çeşitli aktif endüktans simülatörü yapıları oluşturulmuştur.

DDCC+ elemanı ile oluşturulan endüktans simülatörü yapılarının uygulaması olarak da bu elemanlarla alçak geçiren, yüksek geçiren ve band geçiren aktif filtre yapıları ile aktif LC osilatörü yapısı oluşturulmuş ve gene Pspice analiz programı aracılığıyla devre performansları ortaya konmuştur.



2. AKIM TAŞIYICILAR

Akım taşıyıcı, 1968 yılında Smith ve Sedra tarafından tanıtılmış, 1970 yılında yine Smith ve Sedra tarafından yapısı değiştirilerek daha fonksiyonel ve çok yönlü bir hale getirilmiş aktif bir elemandır [3,4].

Akım taşıyıcı kavramının ortaya çıktığı yıllarda, elektronik endüstrisinde ilk monolitik işlemsel kuvvetlendiricilerin tasarımı konusundaki çalışmalara henüz başlanmış ve işlemsel kuvvetlendirici kavramının pek çok analog devre tasarımcının zihninde yer etmiş olması, akım taşıyıcıların getireceği yararların ve işlemsel kuvvetlendiricilere göre olan üstünlüklerinin anlaşılmasını engellemiş ve bu nedenle yaygın bir şekilde kullanılmasını geciktirmiştir. Sonradan, tasarımcıların işlemsel kuvvetlendiricilerle yapılan bütün uygulamaların akım taşıyıcılarla yapılabileceğini göstermeleri ve bu konuda çalışmalar yapmaları, akım taşıyıcıların yararlarının ve üstünlüklerinin anlaşılmasına neden olmuştur [5,6]. Bu çalışmalar sonucunda, akım taşıyıcılarla gerçekleştirilen devrelerin önemli avantajları ortaya çıkmıştır. Örneğin küçük veya büyük işaretlerde, geniş bir frekans bandında, daha yüksek gerilim kazancı sağlamaları, enstrümantasyon kuvvetlendiricilerinin geliştirilmesinde oldukça başarılı olmaları bu avantajlardan bazıları olarak verilebilir.

Akım taşıyıcılar, ilk ortaya atılışlarından bu yana uzunca bir süre geçmiş olmasına rağmen, ancak son yıllarda büyük ölçüde önem kazanmışlardır. Türev alıcı devre, integral alıcı devre gibi işlem blokları, osilatör yapıları, süzgeç devreleri gibi işlemsel kuvvetlendirici ile gerçekleştirilen blokların akım taşıyıcılı alternatifleri ve bu alternatiflerin tümleştirilmeye uygun şekilde gerçekleştirilmesine yönelik topolojiler üzerine yayınlar hızla artmaktadır. Son yıllarda akım taşıyıcının tümdevre olarak piyasaya çıkması bu ilginin bir göstergesidir.

Elektronik teknolojisinde gerilim modlu devrelerin ezici üstünlüğü bu devrelerin sınırlı çalışma bandı genişliği nedeniyle zayıflama göstermeye başlamıştır.

Gerilim modlu devrelerde yüksek değerli direnç elemanları ve kaçak kapasiteler göreceli olarak düşük frekans değerinde bir baskın kutup yaratmakta bu da çalışma bandını sınırlamaktadır. Bu baskın kutbun sonucunda bir devrede kazanç band genişliği çarpımı sabittir gibi literatürde yaygın olarak kullanılan yerleşmiş bir sonuç çıkmıştır. Gerilim modlu devreler için özel bir durum olan bu sonuç bütün devrelere özgü genel bir kural gibi kabul görmüştür.

Akım modlu devrelerde genel olarak düğüm empedansları düşük ve gerilim salınımları küçüktür. Büyük gerilim salınımları için problem olan parazitik kapasitelerin dolma boşalma süreleri ve bunun getirdiği zaman sabiti ve dolayısıyla yükselme eğimi problemi minimumdur. Bunlara ek olarak akım modlu devrelerin yapısı CMOS teknolojisiyle tümleştirmeye de elverişli olmaları, elektronik sistem tasarımında gittikçe yaygınlaşarak kullanılmalarının başlıca nedenlerini oluşturmaktadır.

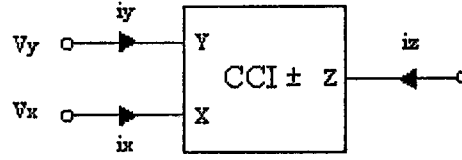
Aktif devre bloğu olarak akım taşıyıcı elemanı yüksek frekanslardaki performansı, yüksek doğrusallığı ve geniş dinamik çalışma aralığı ile ön plana çıkmaktadır. Bazı işlem bloklarının CCII ile gerçekleştirilenleri tamamen bir ucu topraklı kapasite ve dirençler içerdiklerinden tümleştirilmeye daha elverişlidirler. Bu özellikleri de bu işlem bloklarının işlemsel kuvvetlendiricilerle gerçekleştirilen karşılıklarına göre ilave bir üstünlük sağlamaktadır.

2.1 Birinci Kuşak Akım Taşıyıcılar (CCI)

1968 yılında Smith ve Sedra tarafından tanıtılan [3] birinci kuşak akım taşıyıcı elemanı matematiksel olarak,

$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \quad (2.1)$$

Şekil 2.1'deki sembol ile gösterilmektedir.



Şekil 2.1: Birinci kuşak akım taşıyıcı

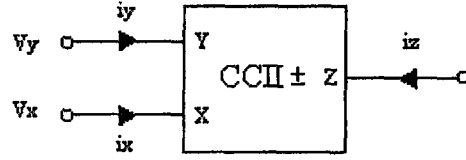
Tanım bağıntısı uyarınca, y giriş ucuna ilişkin V_y gerilimi, x ucuna ilişkin V_x gerilimine eşit, benzer şekilde, I_x giriş akımı, I_y akımına eşittir. Buna ek olarak I_x akımı, I_z çıkış akımına da eşit olmaktadır. Görüldüğü gibi V_x gerilimi, I_x akımından bağımsız olarak V_y gerilimi tarafından, benzer şekilde I_y akımı, V_y geriliminden bağımsız olarak I_x akımı tarafından belirlenir. Böylece eleman, x ucundan görünürde kısa devre giriş karakteristiği ve y ucunda görünürde açık devre karakteristiği gösterir. Birinci kuşak akım taşıyıcı, $I_z = I_x$ olması halinde pozitif birinci kuşak akım taşıyıcı (CCI+), $I_z = -I_x$ olması halinde de negatif birinci kuşak akım taşıyıcı (CCI-) adını alır.

Birinci kuşak akım taşıyıcı ile yapılan ilk uygulamalardan biri, akım taşıyıcı ile negatif empedans çeviricisinin elde edilmesidir [7].

Birinci kuşak akım taşıyıcılarda, kuvvetli distorsiyonlar, çıkış empedansı kısıtlamaları ve temel akım hatalarına bağlı olarak doğruluk sınırlamaları bulunmaktadır [8]. Bu durum, çalışmaları daha doğru tasarımlar elde etmek için, temel akım hatalarını kompanze etmek ve çıkış direncini geliştirme konularına yönlendirmiştir. Böylece 1970 yılında, birinci kuşak akım taşıyıcıların geliştirilmesiyle ikinci kuşak akım taşıyıcılar (CCII) elde edilmiştir [9].

2.2 İkinci Kuşak Akım Taşıyıcılar (CCII)

Şekil 2.2'deki sembol ile gösterilen ikinci kuşak akım taşıyıcılar, uygun devre yapılarında, analog işaret işleme fonksiyonlarından pek çoğunu gerçekleştiren, çok yönlü dört uçlu elemanlardır [4].



Şekil 2.2: İkinci kuşak akım taşıyıcı

CCII' nin tanım bağıntısı,

$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \quad (2.2)$$

biçiminde verilebilir. Buna göre, V_x gerilimi V_y gerilimine eşittir. Çıkış akımı I_z ' de, I_x akımına eşit olmaktadır. I_y giriş akımı sıfır olduğundan, y terminali sonsuz giriş empedansı gösterir. Bu nedenle, ikinci kuşak akım taşıyıcılar, empedans uyumlaştırıcı devreye gerek kalmadan kaskad yapıda bağlanabilirler. (2.2) eşitliğindeki (-) veya (+) işareti aktif elemanın tipini belirler. Eğer işaret (+) ise eleman pozitif ikinci kuşak akım taşıyıcı (CCII+), (-) ise negatif ikinci kuşak akım taşıyıcı (CCII-) olarak adlandırılır.

Birinci ve ikinci kuşak akım taşıyıcıların devre modelleri veya tanım bağıntıları incelendiğinde, aralarındaki benzerlikler ve farklılıklar kolayca anlaşılmaktadır. CCII' nin CCI' dan farklı olan tek yanı Y girişine ilişkin akımın sıfır olmasıdır. Yani bu uç açık devre gibi davranmaktadır. Bu da CCII'yi CCI'dan daha farklı, daha esnek ve kullanışlı yapan bir özelliktir.

İkinci kuşak akım taşıyıcıların, bazı özellikleri nedeniyle diğer aktif elemanların yerine kullanılması bir seçenek olarak ortaya çıkmıştır. Örneğin, geribesleme, işlemsel kuvvetlendiricilerde yüksek gerilim kazancı sağlamak için kullanılan bir yöntemdir. Ancak, bunun çok önemli bir sakıncası vardır. İşlemsel kuvvetlendirici ile gerçekleştirilen bir gerilim kuvvetlendiricinin band genişliği, yüksek gerilim kazançlarında kazanç-band genişliği çarpımı sabit kalacak şekilde azalır. İkinci kuşak akım taşıyıcılarla elde edilen gerilim kuvvetlendiricilerde ise kazanç, band genişliğinden bağımsızdır. Sonuç olarak, bir akım taşıyıcılı devre, işlemsel

kuvvetlendiricili eşdeğer devreye göre daha büyük band genişliği ve daha yüksek gerilim kazancı sağlar [10].

CCII'nın ilk geniş uygulama alanı, kontrollü kaynaklar, empedans çeviriciler, empedans eviriciler ve jirator gibi aktif devre sentezinde kullanılan elemanların gerçekleştirilmesidir. Ayrıca, ikinci kuşak akım taşıyıcıların basit analog hesaplama fonksiyonlarını yerine getirmek üzere, akım kuvvetlendirici, akım integral alıcı, akım toplayıcı ve ağırlıklı akım toplayıcı gibi uygulamaları da bulunmaktadır [4].

CCII'nın gerçekleştirilmesi için işlemsel kuvvetlendiriciler ve bipolar tranzistorlarla devre kurulmasına dayanan tasarım yöntemleri bulunmaktadır. Bu yöntemler ilkesel olarak tümleştirmeye uygun olsalar bile, özellikle işlemsel kuvvetlendiriciden yararlanılmasına yönelik olanlar, gerçekleştirme açısından ekonomik değildirler. Bunun başlıca nedeni, her işlemsel kuvvetlendirici için kırkık üzerinde ayrı bir alana gereksinme duyulmasıdır. Karmaşık yapıdaki sistemlerin küçük boyutta gerçekleştirilmesini sağlayan CMOS teknolojisinin hızlı gelişimi sonucunda, son yıllarda, analog fonksiyonları gerçekleştiren ve akım taşıyıcıları da kapsayan CMOS devrelerin geniş çapta gerçekleştirilmesi mümkün kılınmıştır [85].

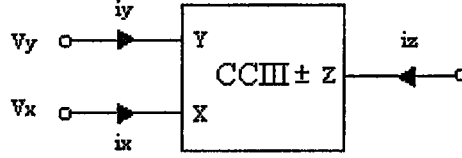
Akım taşıyıcıların tümdevre olarak gerçekleştirilmesi konusundaki çalışmalar halen devam etmektedir. Analog Device Firması tarafından üretilen AD844 [11], tümdevresinin bir pozitif türden akım taşıyıcı ve bir gerilim izleyici ile modellenebileceğini ve bu konudaki uygulamaları Svoboda, McGory, Webb [12], 1991 yılındaki çalışmalarında göstermişlerdir. 1992 yılında Bruun ve Olesen [13] Svoboda, McGory, Webb'in bu çalışmasını gözönüne alarak AD844'te bulunan kompanzasyon çıkışı sayesinde bu elemanın pozitif türden bir akım taşıyıcı olarak kullanılabileceğini, bundan yararlanarak negatif akım taşıyıcı elde edilmesini ve diğer uygulamaları vermişlerdir [9].

2.3 Üçüncü Kuşak Akım Taşıyıcılar (CCIII)

1995 yılında Fabre tarafından tanıtılan [14] üçüncü kuşak akım taşıyıcı elemanı matematiksel olarak,

$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & -1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \quad (2.3)$$

biçiminde tanımlanmakta, Şekil 2.3'deki sembol ile gösterilmektedir.



Şekil 2.3: Üçüncü kuşak akım taşıyıcı

Tanım bağıntısı uyarınca, y giriş ucuna ilişkin V_y gerilimi, x ucuna ilişkin V_x gerilimine eşit, benzer şekilde, I_x giriş akımı, I_y akımına değer olarak eşit fakat CCI yapısından farklı olarak yönü terstir. Buna ek olarak I_x akımı, I_z çıkış akımına da eşit olmaktadır. Görüldüğü gibi V_x gerilimi, I_x akımından bağımsız olarak V_y gerilimi tarafından, benzer şekilde I_y akımı, V_y geriliminden bağımsız olarak I_x akımı tarafından belirlenir. Böylece eleman, x ucundan görünürde kısa devre giriş karakteristiği ve y ucunda görünürde açık devre karakteristiği gösterir. Üçüncü kuşak akım taşıyıcı, $I_z = I_x$ olması halinde pozitif üçüncü kuşak akım taşıyıcı (CCIII+), $I_z = -I_x$ olması halinde de negatif üçüncü kuşak akım taşıyıcı (CCIII-) adını alır.

Yeni ortaya çıkan bu akım taşıyıcının literatüre daha önceden geçmiş olan CCI ve CCII elemanlarından üstünlüğü X ucundaki çıkış akımı toprağa doğru olmayan yapılarda ortaya çıkmaktadır. Toprağa doğru akan akımlarda bu akımı yansıtip geçen akımı tespit etmek kolaylıkla mümkün olmakla birlikte çıkış akımı toprağa doğru akmadığı zaman bunu yapmak kolay olmamaktadır. Fakat CCIII yapısında akımlar arasındaki $I_y = -I_x$ ilişkisi toprağa akmayan akımların tespit edilmesinde kolaylık sağlamaktadır. Ölçülmek istenen akımın yolu üzerine konacak bir CCIII devreye herhangi bir etki yapmadan istenen akımın yönünü de değiştirmeden bu akımı sezip Z ucundan bunu dışarı yansıtarak buradaki akım hakkında bilgi alınmasını sağlamaktadır.

CCIII yapısının ilk CMOS gerçekleştirilmesi 1995 yılında Piovaccari tarafından yapılmıştır [15]. Bu devre için yapılan analizlerde oldukça iyi performans ortaya koyduğu görülmüştür.

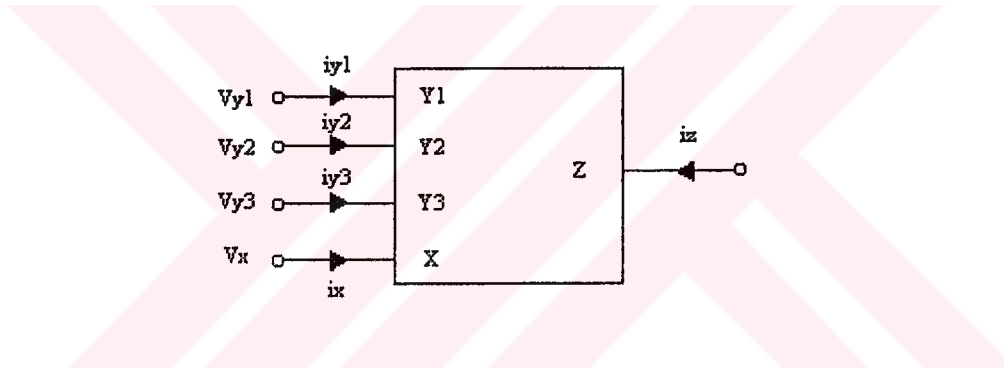
Üçüncü kuşak akım taşıyıcı ile yapılan ilk uygulamalardan biri, admitans ve empedans fonksiyonlarını gerçekleştiren devreler olmuştur [16]. Empedans fonksiyonu birer tane CCIII+ ve CCIII- ile 3 adet empedansdan oluşan devre bloğuyla, admitans fonksiyonu birer tane CCIII+ ve CCIII- ile 3 adet admitanstan oluşan devre bloğuyla gerçekleştirilmiştir. Bu devre blokları kullanılarak üçüncü dereceden yüksek geçiren filtre devresi kurulmuştur.

Başka bir çalışmada da [17], bir CCIII-, 2 tane çift akım çıkışlı OTA elemanı ve 2 tane bir ucu topraklanmış kapasite kullanarak, alçak geçiren, yüksek geçiren, band geçiren, band söndüren ve tüm geçiren filtre yapılarını gerçekleştiren bir devre sunulmuştur.

1998'deki bir çalışmada ise [18], iki işlemsel kuvvetlendirici, dört işlemsel geçiş iletkenliği kuvvetlendiricisi ve bir CCIII kullanarak akım modlu alçak geçiren, yüksek geçiren, band geçiren, band söndüren ve tüm geçiren filtre yapılarını gerçekleştiren bir devre sunulmuştur.

3. DDCC ELEMANININ GENEL TANITIMI

1996 yılında Chiu, Liu, Tsao ve Chen tarafından yayınlanan bir makalede DDCC (*differential difference current conveyor*) ya da Türkçe karşılığıyla **diferensiyel fark akım taşıyıcısı** elemanı tanıtılmış ve literatüre girmesi sağlanmıştır [2]. DDCC elemanın genel devre sembolü Şekil 3.1’de görülmektedir. Bu yayınlarında, DDCC elemanının genel tanımları verilmiş ve CD4007 tranzistor serisiyle ayrı ayrı verilen basit DDCC+ yapısı oluşturularak, hem DDCC elemanının karakteristik özellikleri çıkarılmış hem de çeşitli filtre, kare alıcı, karekök alıcı, çarpım devresi, integral alıcı, filtre uygulamaları verilmiştir.



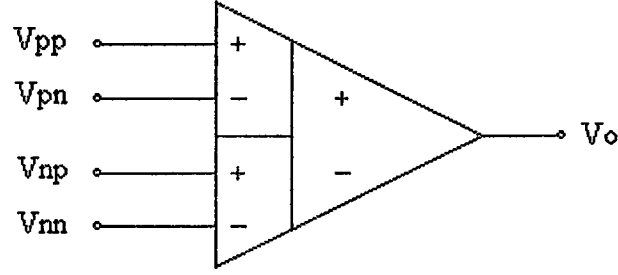
Şekil 3.1: DDCC+ Sembolü

DDCC elemanı, CCII (akım taşıyıcı) ve DDA (diferensiyel fark kuvvetlendiricisi) yapılarının temel özelliklerinin birleştirilmesiyle türetilmiştir.

DDA (*differential difference amplifier*) ya da Türkçe karşılığıyla diferensiyel fark kuvvetlendiricisi ise 1987 yılında Sackinger ve Guggenbühl tarafından ilk defa tanıtılmıştır [19]. Elemanın temel bağıntısı

$$V_O = A_0 V_D = A_0 [(V_{pn} - V_{pn}) - (V_{np} - V_{nn})] \quad (3.1)$$

şeklindedir. Burada A_0 kuvvetlendiricinin açık çevrim kazancıdır ve idealde sonsuz değerini almaktadır. Şekil 3.2’de DDA elemanın devre sembolü görülmektedir.



Şekil 3.2: DDA Sembolü

Literatürde DDA elemanı ile birçok uygulama içeren makaleler yayınlanmıştır. Enstrümantasyon kuvvetlendiricisi, gerilim eviricisi, gerilim toplayıcı, integratör, çarpım devresi, filtre gibi birçok uygulaması yapılmıştır. Özellikle işlemsel kuvvetlendiricideki gibi bir ucu topraklanmış gerilim kaynaklarıyla çalışmaktan ziyade fark gerilimleriyle çalışabilmesi analog uygulamalarda kolaylıklar sağlamıştır [19-26].

Akım taşıyıcı ve diferensiyel fark kuvvetlendiricisinin özellikleri birleştirilerek ortaya çıkarılan DDCC elemanının tanım bağıntıları matrissel olarak

$$\begin{bmatrix} I_{y1} \\ I_{y2} \\ I_{y3} \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 1 & 0 & 0 \\ 0 & 0 & 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_{y1} \\ V_{y2} \\ V_{y3} \\ I_x \\ V_z \end{bmatrix} \quad (3.2)$$

şeklinde. Bu oluşturulan eleman sayesinde DDA'nın yüksek giriş empedansı, düşük çıkış empedansı özellikleri ile CCII'nin yüksek kazanç ve band genişliği özellikleri tek bir elemanda birleştirilmiş olur.

(3.2) ile gösterilen devrenin temel denklemlerini içeren matris incelendiğinde, DDCC elemanın X ve Z uçlarından akan akımların gene akım taşıyıcılarındaki gibi

$$I_z = \pm I_x \quad (3.3)$$

şeklinde olduğu görülmektedir. Fakat yüksek empedanslı (Y) ve düşük empedanslı (X) birer giriş ucu olan ikinci kuşak akım taşıyıcılarından farklı olarak, 3 adet yüksek

empedanslı (Y1, Y2, Y3) ve bir adet düşük empedanslı (X) giriş ucu bulunduğu görülmektedir. Giriş uçları arasındaki temel bağıntı ise

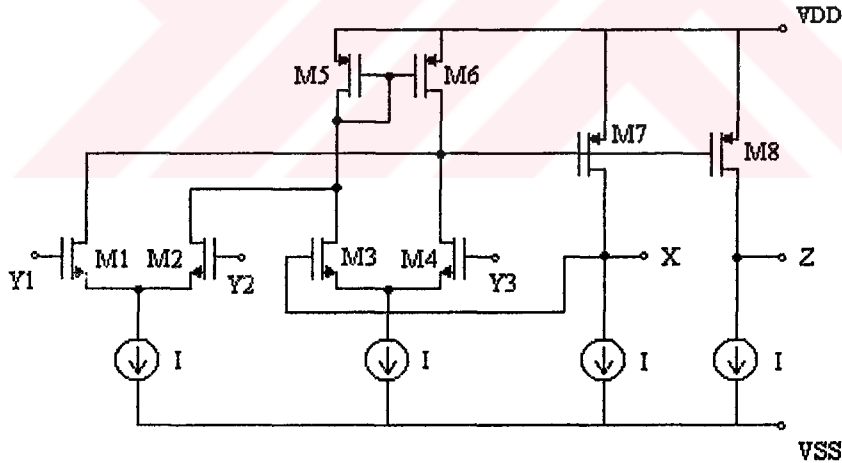
$$V_X = V_{Y1} - V_{Y2} + V_{Y3} \quad (3.4)$$

şeklinde verilmektedir.

DDCC elemanı incelendiğinde DDA elemanında olduğu gibi Y ile gösterilen yüksek empedanslı birden fazla giriş ucu bulunmaktadır. Ayrıca akım taşıyıcıda olduğu gibi X olarak gösterilen düşük empedanslı bir ucu bulunmaktadır.

3.1 Basit DDCC+ Elemanının Tanıtılması

1996 yılında ilk olarak tanımlanan DDCC elemanının oluşturulan ilk ve literatürdeki tek CMOS devresi Şekil 3.3'de görülmektedir. Bu yayında DDCC+ ve DDCC- elemanlarının ikisi birden tanıtılmış olmakla birlikte bu tezde sadece DDCC+ yapısı incelenmiştir.



Şekil 3.3: DDCC+ elemanının literatürde ilk oluşturulan basit yapısı

Bu ilk yapıda giriş geçiş iletkenliği katı iki adet diferensiyel kuvvetlendiriciden oluşmuştur (M1-M2 ve M3-M4). Yüksek kazanç katı ise M5 ve M6'dan oluşan akım aynası ile sağlanmıştır. Bu akım aynası diferensiyel akımı M7 üzerinden tek uçlu çıkış akımına dönüştürmektedir. Kuvvetlendiricinin çıkış gerilimi

$$V_X = A_0 [(V_{Y1} - V_{Y2}) - (V_{G3} - V_{Y3})] \quad (3.5)$$

bağıntısıyla verilmektedir. Burada A_0 kuvvetlendiricinin açık çevrim kazancı, V_{G3} ise M3 tranzistorunun geçit gerilimidir. Daha sonra, kazanç katının çıkış düğümü olan (X)'den, giriş ucuna (M3 tranzistorunun geçiti) bir negatif geribesleme uygulanmıştır. Eğer kuvvetlendiricinin açık çevrim kazancı birden çok daha büyükse o zaman dört giriş ucu arasındaki gerilim ilişkisi

$$V_x = \frac{A_0}{A_0 + 1} (V_{r1} - V_{r2} + V_{r3}) \cong V_{r1} - V_{r2} + V_{r3} \quad (3.6)$$

bağıntısıyla verilmektedir.

Z çıkış ucu ise bir (I) sabit akım kaynağı ve de M7 tranzistorunun akımını kopyalayan M8 tranzistorundan oluşmaktadır. Görüldüğü gibi I_x ve I_z akımları da aynı yönde olmak üzere DDCC elemanından içeri veya dışarı olarak akmaktadır. Bundan dolayı da bu oluşturulan devreye DDCC+ ismi verilmektedir. Aynı şekilde I_z akımını ters olarak çıkıştan akıtacak bir çıkış katıyla DDCC- yapısı da rahatlıkla oluşturulabilir [2].

Bu yapıda Bölüm 3.2.1'de anlatılan MOS tranzistorun kanal boyu modülasyonu bir ofset gerilimi oluşturur. Bunun nedeni, M5 ve M6 tranzistorlarının her ne kadar geçit ve kaynak gerilimleri eşitse de, savak gerilimleri eşit olmadığından oluşan akım transfer hatasıdır. M6 tranzistorunun akımı

$$I_{D6} \approx I_{D5} [1 + \lambda (V_{D5} - V_{D6})] \quad (3.7)$$

şeklinde verilebilir. Burada λ kanal boyu modülasyonunu ifade etmektedir. Akımın savak gerilimine bağılılığı bütün Y gerilimleri sıfır bile olsa X ucunda görülen bir ofset gerilimi oluşturmaktadır. Eğer M6 ve M5 tranzistorlarının savak gerilimleri eşit yapılabilirse ofset gerilimi kompanse edilebilir. Bu eğer

$$V_{G5} = V_{G7} \quad (3.8)$$

yapılabilirse sağlanır. Bunun için eğer Şekil 3.3'deki gibi akım kaynakları birbirine eşitse

$$K_5 = K_7 \quad (3.9)$$

olması yeterlidir. Burada K parametresi MOS tranzistorun iletkenlik parametresidir. Bu koşul sağlandığı sürece M5 ve M7 tranzistorları Y gerilimleri sıfır olduğu sürece aynı geçit gerilimine sahip olacaktır. Böylece ofset gerilimi oldukça azaltılmış olacaktır.

3.1.1 Devre performansı analizi

[2] ile gösterilen DDCC yapısının verildiği ilk makalede devre yapısı ile ilgili çeşitli analizler devre parametreleri cinsinden çıkarılmıştır.

Basit DDCC+ yapısı için çıkarılan (3.6) bağıntısında akım aynalarının bir kazançlı, tranzistorların da tam olarak eşleştiği varsayılmıştı. Gerçekte ise birçok idealsizlik etkileri vardır. Burada temel olarak tranzistorların sonlu geçiş iletkenliği (g_m) ve tranzistorların eşleşme problemi ele alınmıştır.

V_{Y1} , V_{Y2} , V_{Y3} ve V_X arasındaki ilişki devrenin küçük işaret analizi ile çıkartılabilir. Bu analizin basitleşmesi için MOS tranzistorların gövde etkisi ihmal edilmiş ve diferensiyel kuvvetlendiricilerin eş olduğu varsayılmıştır. Bu durumda

$$V_X \approx \frac{g_{m7}g_{meş}}{g_{m7}g_{meş} + (g_{d12} + g_{d34} + g_{d6})(g_{d7} + g_{d1})} \times (V_{Y1} - V_{Y2} + V_{Y3}) \quad (3.10)$$

bağıntısı elde edilir. Burada,

$$g_{meş} = \frac{2g_{m1}g_{m2}}{g_{m1} + g_{m2}} = \frac{2g_{m3}g_{m4}}{g_{m3} + g_{m4}}, \quad g_{dij} = \frac{2g_{di}g_{dj}}{g_{di} + g_{dj}} \quad (3.11)$$

şeklinde ifade edilir. g_{di} ve g_{mi} sırasıyla M_i tranzistorunun savak iletkenliği ve geçiş iletkenliğini, g_{di} akım kaynağının savak iletkenliğini ifade etmektedir.(3.10) bağıntısı incelendiğinde açıkça görülmektedir ki $g_{m7}g_{meş} \gg (g_{d12} + g_{d34} + g_{d6})(g_{d7} + g_{d1})$ olduğu sürece $Y1$, $Y2$ ve $Y3$ terminallerindeki gerilimler, X terminaline doğru olarak aktarılacaktır.

X ucundaki empedans değeri,

$$r_X \approx \frac{(g_{m3} + g_{m4})(g_{d12} + g_{d34} + g_{d5})}{2g_{m3}g_{m4}g_{m7}} \quad (3.12)$$

şeklinde, Z ucundaki empedans,

$$r_Z \approx \frac{1}{g_{d8} + g_{dl}} \quad (3.13)$$

bağıntısıyla ifade edilir. Bu direnç değeri, yüksek çıkış direnci veren çıkış katları kullanarak arttırılabilir.

Yüksek frekanslarda, elemanın çalışmasının kısıtlayan başlıca neden X ucundaki parazitik kapasitedir. Devrenin yüksek frekans cevabı,

$$\frac{V_X}{V_{Y1} - V_{Y2} + V_{Y3}} \approx \frac{g_{m7}g_{meş}}{g_{m7}g_{meş} + (g_{d12} + g_{d34} + g_{d6})(g_{d7} + g_{dl})\tau_1 s + 1} \quad (3.14)$$

şeklinde ifade edilir. Burada

$$\tau_1 = \left[C_{gs7} + C_{gs8} + C_{gd8} \left(1 + \frac{g_{m8}}{g_{dl} + g_{d8}} \right) + 2C_{gd6} \right] \times \left(\frac{1}{g_{d12} + g_{d34} + g_{d6}} \right) \quad (3.15)$$

şeklinde ifade edilir. C_{gdi} ve C_{gsi} sırasıyla M_i tranzistorunun geçit-savak ve geçit-kaynak kapasitesidir. Bu kutup frekansı düşük olduğu için devrenin frekansını sınırlandıran temel etkindir.

Devrenin V_{OS} giriş ofset gerilimi, bir ucu X ucuna diğer ucu toprağa bağlanan bir direncin üzerindeki gerilim düşümünü sıfır yapan diferensiyel giriş gerilimi olarak tanımlanır. Büyük işaret analizi yapıldığında ofset gerilimi,

$$V_{OS} = (V_{T2} - V_{T1} + V_{T3} - V_{T4}) - \sqrt{\frac{I}{K_1 + K_2}} \left(\frac{K_2 - K_1}{K_2 + K_1} \right) - \sqrt{\frac{I}{K_3 + K_4}} \left(\frac{K_3 - K_4}{K_3 + K_4} \right) \quad (3.16)$$

şeklinde ifade edilir. Bu bağıntıda V_{Ti} ve K_i sırasıyla M_i tranzistorunun eşik gerilimi ve geçiş iletkenliği parametresidir. (3.16)'daki ilk terim, tranzistorların eşik gerilimlerindeki eşleşmemeden, ki bu kutuplama akımından bağımsızdır ve daha çok üretim aşamasında oluşan hatalara bağlıdır. İkinci terim ise geometrik eşleşme problemleri sonucu oluşur ve (W/L) oranının arttırılmasıyla ya da I kutuplama akımının azaltılmasıyla azalır.

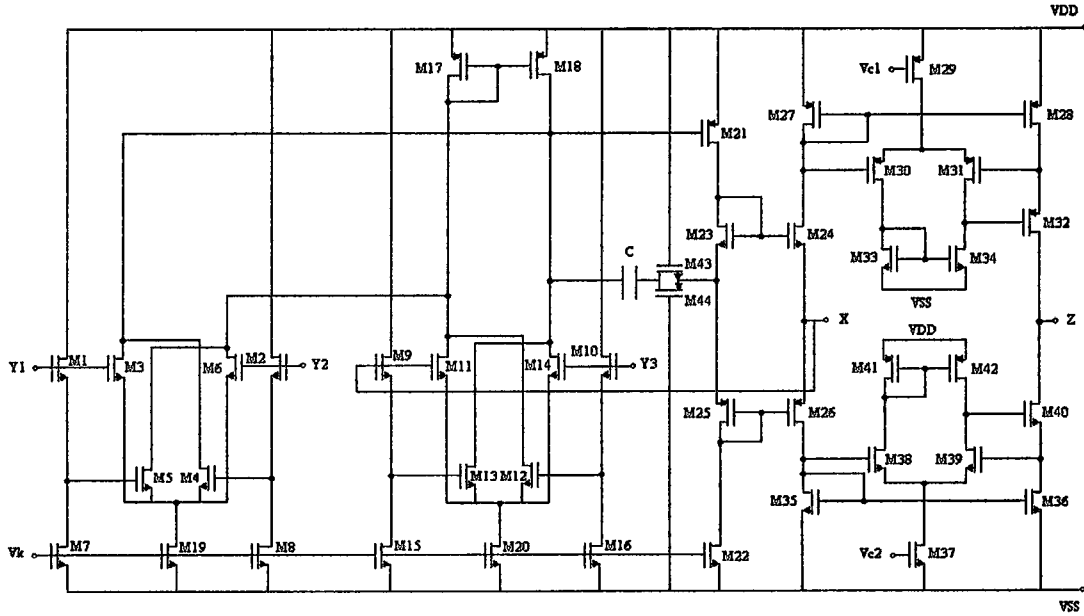
Giriş işareti değişim aralığı, giriş katında basit diferensiyel kuvvetlendirici kullanıldığından sınırlıdır. Bu aralık, geniş aralıklı bir lineer V-I dönüştürücüsü kullanılarak arttırılabilmektedir.

3.2 Önerilen DDCC+ Elemanının Tanıtılması

Literatürdeki ilk yüksek performanslı CMOS DDCC+ elemanı tasarlanırken X ve Z uçlarındaki direnç değerlerinin, band genişliğinin, akım ve gerilim transfer oranlarının, giriş ve çıkış gerilimlerinin salınım aralığının iyileştirilmesine çalışılmıştır. Bu amaçla yapılan çalışmalar sonucu Şekil 3.4'de gösterilen CMOS DDCC+ elemanı tasarlanmıştır. Bu yapıda besleme gerilimleri $V_{DD} = 5V$, $V_{SS} = -5V$ olarak seçilmiş, kutuplama gerilimleri $V_k = -3.8V$, $V_{c1} = -4.1V$, $V_{c2} = 4.1V$ alınmıştır. Kullanılan kompanzasyon kapasitesi $C = 0.45pF$ değerindedir. Kullanılan tüm MOS tranzistorların kaynak düğümleri besleme gerilimlerine bağlanmıştır. Yani NMOS'un kaynağı V_{SS} 'ye, PMOS'un kaynağı V_{DD} 'ye bağlanmıştır. Simülasyonlarda MIETEC 1.2 μm parametreleri kullanılmıştır. Eleman boyutları ise Tablo.3.1'de gösterilmiştir.

Tablo.3.1: Önerilen CMOS DDCC+ devresindeki MOS tranzistor boyutları

Tranzistor	W/L(μm)	Tranzistor	W/L(μm)	Tranzistor	W/L(μm)
M1-M16	6/6	M27, M28	370/6	M37	12/6
M17, M18, M21	200/6	M29	40/6	M38, M39	24/6
M19, M20	504/6	M30, M31	74/6	M40	120/6
M22	492/6	M32	370/6	M41, M42	12/24
M23, M24	100/3	M33, M34	4/24	M43	3/15
M25, M26	300/3	M35, M36	120/6	M44	9/15



Şekil 3.4: Önerilen CMOS DDCC+ devresi

Bu devrenin giriş katında Wang ve Guggenbühl tarafından önerilen yapı [27], X ucunun bulunduğu kata Kawahito ve Tadokoro tarafından önerilen AB sınıfı çıkış katı için kutuplama devresi [28], çıkış ucunda da Palmisano, Palumbo ve Pennisi tarafından önerilen yapı [29] kullanılmıştır. Bu yapılar ayrıntılı olarak daha sonraki bölümlerde ele alınmıştır.

Giriş katı, iki adet diferensiyel kuvvetlendirici tarafından sağlanmıştır. Girişte geniş bir salınım aralığı sağlamak için M1-M8, M19 ve M9-M16, M20 tranzistorları kullanılmıştır. Yüksek kazanç katı, giriş katında oluşan fark akımını tek çıkışlı akım haline getiren, M17-M18 tranzistorlarından oluşan akım aynasıyla sağlanmıştır.

M21-M26 tranzistorlarından oluşan yapı giriş katında oluşan fark akımını devrenin çıkışına yansıtma görevini üstlenmektedir. X ucunda düşük empedans elde etmek içinde M9 ve M11 tranzistorlarının geçidine negatif geribesleme uygulanmıştır. Bu sayede DDCC' nin temel denklemi

$$V_X = V_{Y1} - V_{Y2} + V_{Y3} \quad (3.17)$$

elde edilmektedir. Bu eşitliğin sağlanması için devrenin açık çevrim kazancı $A_0 \gg 1$ olması gerekmektedir. M43 ve M44 tranzistorları ve C kapasitesi kararlılığı

sağlamak için frekans kompanzasyonu yapmak amacıyla devreye yerleştirilmiştir. M43 ve M44 burada bir direnç görevi görmektedir.

Çıkış katında ise M27-M42 tranzistorları AB sınıfı çıkış katını oluşturmaktadır. Bu yapının kullanılmasındaki temel amaç I_X ve I_Z akımları arasındaki izleme hatasını azaltmak, çıkış direncini arttırmak ve ayrıca tranzistorların eşleşmeme problemi karşısında daha az akım izleme hatası oluşturmaktır. Bu yapı sayesinde özellikle tranzistorların eşleşmemesinden dolayı oluşan harmonik distorsiyon azalmaktadır [29]. Bu yapıdaki M29-M34 ve M37-M42 tranzistorları birer diferensiyel kuvvetlendirici görevi görmektedir. Bu yapılar oluşturdıkları negatif geribesleme ile hem çıkış direnci arttırmakta hem de M27-M28 ve M35-M36 tranzistorlarının V_{DS} gerilimlerini eşitlemeye çalışarak akım izleme hatasını en aza indirmektedir.

M19, M20 ve M22 tranzistorları $V_k = -3.8V$ 'luk kutuplama gerilimiyle kutuplanarak ait oldukları kollardan $500\mu A$ 'lık akım akması sağlanmaktadır. Bu tranzistorlar girişteki geniş salınım aralığı sağlayan diferensiyel kuvvetlendirici yapısıyla, X ucunu oluşturan yapının akım kaynaklarını oluşturmaktadır.

3.2.1 MOS tranzistorun temel bağıntıları

Akım modlu devrelerin tasarımında kullanılan temel eleman MOS tranzistorlardır. Bu nedenle MOS transistoru karakterize eden elektriksel bağıntıları ve bu bağıntılardaki bazı parametreleri açıklamakta fayda vardır.

Doymalı bölgede $V_{GS} - V_T \leq V_{DS}$ için transistorun savak akımı

$$I_D = \frac{1}{2} \frac{W}{L} \mu C_{OX} [V_{GS} - V_T]^2 [1 + \lambda V_{DS}] \quad (3.18)$$

Doymasız bölgede $V_{GS} - V_T \geq V_{DS}$ için transistorun savak akımı

$$I_D = \frac{1}{2} \frac{W}{L} \mu C_{OX} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] [1 + \lambda V_{DS}] \quad (3.19)$$

ile verilir. Bu bağıntılarda V_T eşik gerilimidir. L kanal boyu, W ise kanalın genişliğidir. μ ve C_{OX} sırasıyla elektron hareket yeteneği ve birim alandaki geçit oksit kapasitesidir. $\beta = \frac{W}{L} \mu C_{OX}$ ise iletkenlik parametresidir.

Bağıntılarda yer alan λ büyüklüğü, kanal boyu modülasyonu parametresidir. V_{DS} , doyma sınırı değerinden itibaren arttırılmaya başlandığında, efektif kanal boyu azalır ve buna bağlı olarak kanal direnci bir miktar azalır. İşte bu olaya **kanal boyu modülasyonu etkisi** denir. Bu nedenle V_{DS} geriliminin artmasıyla I_D akımı da artacaktır. Bu değişim de akım denkleminde $[1+\lambda.V_{DS}]$ çarpanıyla modellenmiştir.

Doymada çalışan bir MOS transistor için geçiş iletkenliği ise,

$$g_m = \mu C_{OX} \frac{W}{L} (V_{GS} - V_T) \quad (3.20)$$

veya

$$g_m = \sqrt{2\mu C_{OX} \frac{W}{L} I_D} \quad (3.21)$$

bağıntısıyla verilir. Çıkış direnci kanal boyu modülasyonundan ileri gelmekte ve

$$r_o = \left(\frac{\partial i_{DS}}{\partial V_{DS}} \bigg|_{V_{GS}=\text{sabit}} \right)^{-1} = \frac{1}{\lambda I_D} \quad (3.22)$$

bağıntısıyla verilmektedir [85].

3.2.1.1 MOS tranzistorda gövde etkisi

MOS tranzistorlarda etkili olan diğer bir özellik de gövde etkisidir. Bir NMOS da kaynak ile savak arasındaki n tipi kanal ile p tipi katkılı gövde bir pn jonksiyonu gibi düşünülebilir. Kaynak-gövde ve savak-gövde jonksiyonlarından hiçbirinin iletim yönünde kutuplanmaması için, gövde ucu en düşük potansiyele bağlanmalıdır. Dolayısıyla, kanal ve gövde arasındaki jonksiyon tıkama yönünde kutuplanmış olur.

Tıkama yönünde kutuplanmış bir jonksiyonun iki yanında oluşan fakirleşmiş bölge artan tıkama yönü gerilimiyle genişler. Buna göre, sabit geçit gerilimi altında akan I_D akımı, gövde potansiyelinin değiştirilmesiyle kontrol edilebilir. Bu olay, JFET'lerde savak akımının geçit gerilimiyle kontrol edilmesine benzetmekle birlikte, MOS tranzistorlar için istenmeyen bir durumdur. Zira, gövde etkisi I_D akımını azaltacak yönde etki etmektedir. Akımdaki bu azalmayı dengelemek üzere, geçit gerilimini arttırmak gerekir. Bu açıdan bakıldığında, gövde etkisinin V_T eşik gerilimini arttırdığı söylenebilir.

$$V_T = V_{T0} + \gamma \left[\sqrt{-V_{BS} + 2\phi_F} - \sqrt{2\phi_F} \right] \quad (3.23)$$

Bu bağıntıda V_{T0} büyüklüğü $V_{SB} = 0$ iken eşik gerilimidir. ϕ_F Fermi potansiyeli ve γ 'da gövde etkisi faktörüdür. Bağıntıdan da görüldüğü gibi V_{SB} 'deki artış, V_T 'yi arttıracak bu sabit V_{GS} de akımı değiştirecektir. Yani gövde gerilimi akım üzerinde etkili olacaktır. İşte bu olaya *gövde etkisi* denir [85].

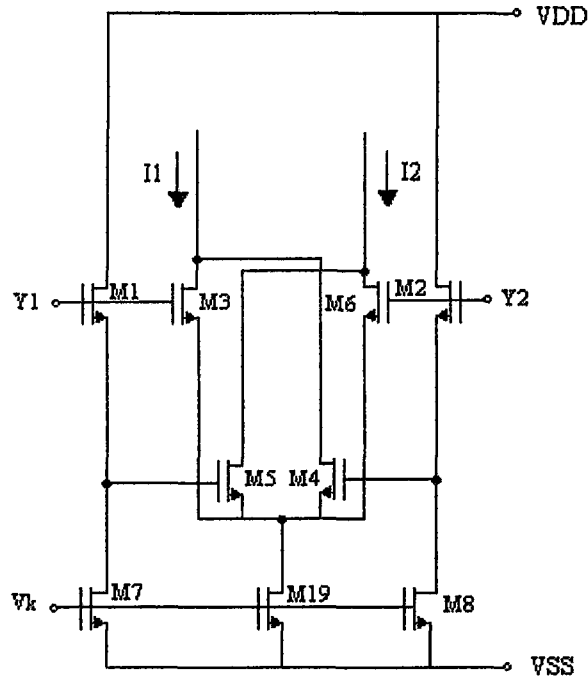
3.2.2 DDCC+ elemanının giriş katının tasarımı

CMOS DDCC+ yapısında iyileştirilmeye çalışılan ilk bölüm devrenin Y1, Y2, Y3 ve X uçlarından oluşan giriş kısmıdır. Devrenin giriş gerilimi salınım aralığının artırılması amaçlanmıştır. Literatürde yapılan taramada, 1985 yılından bu yana giriş devresi yapısına uygun birçok geçiş iletkenliği devresi yayınlandığı tespit edilmiştir [27, 30-40]. DDCC elemanında kullanmak üzere Şekil 2.5'de gösterilen Wang ve Guggenbühl tarafından önerilen yapı [27] seçilmiştir. Bu yapı, hem az sayıda ve sadece NMOS tranzistor kullanması hem de oldukça geniş bir giriş gerilimi salınım aralığı vermesinden dolayı tercih edilmiştir.

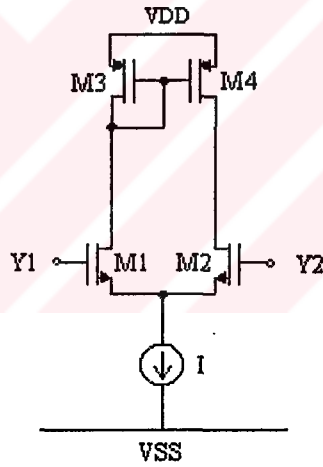
Şekil 2.6'da basit diferensiyel kuvvetlendirici görülmektedir. Bu devredeki tranzistorlara ilişkin akım-gerilim bağıntıları, tranzistorların çıkış dirençlerinin ve gövde etkisinin ihmal edilmesi halinde

$$\begin{aligned} I_{D1} &= \frac{1}{2} \left(\frac{W}{L} \right)_1 \mu C_{ox} [V_{GS1} - V_T]^2 \\ I_{D2} &= \frac{1}{2} \left(\frac{W}{L} \right)_2 \mu C_{ox} [V_{GS2} - V_T]^2 \end{aligned} \quad (3.24)$$

şeklinde yazılabilir.



Şekil 3.5: Önerilen CMOS DDCC+ kullanılan geçiş iletkenliği devresi



Şekil 3.6: Basit diferensiyel kuvvetlendirici

Giriş fark gerilimi de

$$\Delta V_I = V_{I1} - V_{I2} = V_{GS1} - V_{GS2} \quad (3.25)$$

olur. Bu bağıntıların biraraya getirilmesiyle, devreye ilişkin çıkış fark akını hesaplanırsa

$$\Delta I_D = \frac{1}{2} \mu C_{ox} \left[\frac{W}{L} \right] \Delta V_I \sqrt{\frac{2I}{\mu C_{ox} \left[\frac{W}{2L} \right]} - (\Delta V_I)^2} \quad (3.26)$$

bulunur. Bu bağıntı her iki tranzistorun da doymada kaldıkları varsayılarak elde edilmiştir. Fark edilebileceği gibi, elde edilen bağıntı

$$-\sqrt{\frac{2I}{\mu C_{ox} \left[\frac{W}{L} \right]}} \leq \Delta V_I \leq \sqrt{\frac{2I}{\mu C_{ox} \left[\frac{W}{L} \right]}} \quad (3.27)$$

şartı altında geçerli olmaktadır. Eğer

$$|\Delta V_I| \geq \sqrt{\frac{2I}{\mu C_{ox} \left[\frac{W}{L} \right]}} \quad (3.28)$$

ise, tranzistorlardan birinin iletkenliği diğerine göre çok yüksektir., bu nedenle bütün akım iletkenliği yüksek olan tranzistordan geçer; diğer bir deyişle, $\Delta I_D = I$ olur [85].

Kullanılan proseste NMOS tranzistorlar için $\mu C_{ox} = 64.46 \times 10^{-6} A/V^2$ olduğundan

$\left(\frac{W}{L} \right)_{1,2} = \frac{100 \mu m}{6 \mu m}$ alındığında, kutuplama akımı $I = 500 \mu A$ seçildiğine göre

$\Delta V_I = 0.965V$ olabilmektedir. Bu da tranzistorun bir eşik geriliminin biraz üstünde bir değerdir. Bu aralık kutuplama akımını artırarak, kanal boyunu artırarak ve kanal genişliğini azaltarak, her iki tranzistorun da aktif oldukları bölgenin sınırları genişletilebilir.

Giriş gerilimi salınım aralığı Şekil 3.5'deki devre kullanılarak da genişletilebilir. Bu yapıda M1 ve M2'den oluşan basit diferensiyel kuvvetlendirici yapısına M3-M8 tranzistorları eklenmiştir. Bu şekilde giriş gerilim salınım aralığı lineerleştirilmiştir. Bu tarz bir yapıyı kullanmayı ilk olarak 1986 yılında Czarnul önermiştir [41].

Şekil 3.6'daki yapıda tüm tranzistorlar NMOS'tur ve M1-M8 tranzistorlarının boyutları aynı alınmıştır. Tranzistorların hepsi doyma bölgesinde çalışmaktadır.

Dolayısıyla M7 ve M8 tranzistorlarının geçit-kaynak gerilimi olan $V_k - V_{ss}$ gerilimi M1 ve M2 tranzistorları için de aynıdır. M1-M4 tranzistorlarının akımlarından I_1 ve I_2 akımlarını bulursak,

$$I_1 = I_{d3} + I_{d4} = K(V_p - V_T)^2 + K(V_N - V_k + V_{ss} - V_T)^2 \quad (3.29)$$

$$I_2 = I_{d6} + I_{d5} = K(V_N - V_T)^2 + K(V_p - V_k + V_{ss} - V_T)^2 \quad (3.30)$$

şeklinde hesaplanır. Burada K geçiş iletkenliği parametresi, V_p ve V_N , M3 ve M6 tranzistorlarının geçit-savak gerilimleridir. V_k ise kutuplama gerilimidir.

Diferensiyel çıkış akımı,

$$I_O = I_1 - I_2 = 2K(V_k - V_{ss})(V_p - V_N) \quad (3.31)$$

olarak verilir. Diferensiyel giriş gerilimi $V_{in} = V_p - V_N$ olarak tanımlandığına göre diferensiyel çıkış akımı,

$$I_O = I_1 - I_2 = 2K(V_k - V_{ss})V_{in} \quad (3.32)$$

olarak tanımlanır. Geçiş iletkenliği $G = 2K(V_k - V_{ss})$ şeklindedir ve V_k gerilimiyle lineer olarak kontrol edilebilir.

$I_1 + I_2 = I_{D19}$ şeklindedir. I_1 ve I_2 akımları ayrı ayrı,

$$I_1 = I_{D19} + K(V_k - V_{ss})V_{in} \quad (3.33)$$

$$I_2 = I_{D19} - K(V_k - V_{ss})V_{in} \quad (3.34)$$

şeklindedir. Makalede diferensiyel giriş geriliminin çalışma aralığı olarak, tüm tranzistorların eşik geriliminin üstünde çalışabilmesi için,

$$|V_{in}| \leq \sqrt{\frac{I_{D19}}{K} - \frac{3}{4}(V_k - V_{ss})^2} - \frac{V_k - V_{ss}}{2} \quad (3.35)$$

bağıntısı verilmiştir. Devrenin düzgün çalışabilmesi için Y1 ve Y2 terminallerindeki gerilimler $V_k + V_T + V_{DSsat}$ geriliminden büyük olmalıdır. V_{DSsat} tranzistorun minimum doyma gerilimidir.

Devrenin Pspice analizini yapmak için M1-M8 tranzistorların boyutları $\left(\frac{W}{L}\right) = \frac{6\mu m}{6\mu m}$

olarak, M19 tranzistorunun boyutu $500\mu A$ 'lık akımı sağlayacak şekilde

$$\left(\frac{W}{L}\right) = \frac{504\mu m}{6\mu m}, \text{ kutuplama gerilimi ise } V_k = -3.8V \text{ olarak seçilmiştir. (3.36)}$$

bağıntısından diferensiyel giriş geriliminin salınım aralığını hesaplırsak

$$|V_m| \leq 1.984V \text{ olduğu bulunur. Basit diferensiyel kuvvetlendiricinin diferensiyel giriş}$$

geriliminin salınım aralığı ancak $0.965V$ değerine ulaşabilmişti. Görüldüğü gibi teorik olarak giriş gerilimi salınım aralığında en az 2 katlık bir iyileşme sağlanmıştır.

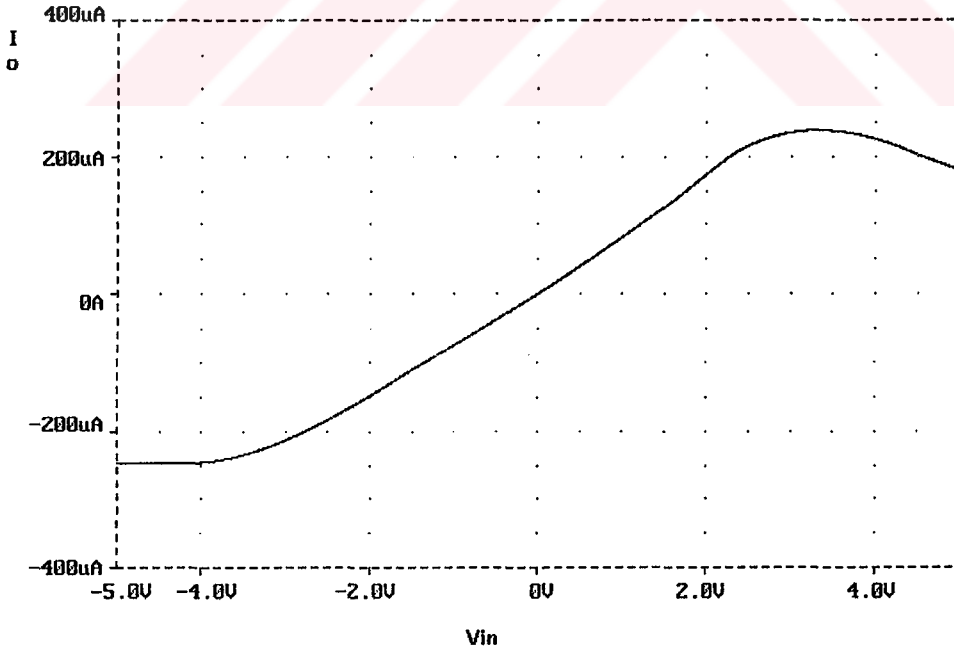
Kullanılan geçiş iletkenliği devresinin çıkış akımının giriş fark gerilimi ile değişimi

Şekil 3.7'de gösterilmiştir. Bu analiz sonucu incelendiğinde giriş geriliminin $V_{in} = -$

$2.61V$ olduğu durumda çıkış akımı $I_o = -192.4\mu A$, $V_{in} = 2.3V$ olduğu durumda çıkış

akımı $I_o = 202.8\mu A$ değerindedir. Görüldüğü gibi en azından $\pm 2.3V$ 'luk bir giriş

gerilimi aralığında bu geçiş iletkenliği kuvvetlendiricisi düzgün çalışabilmektedir.



Şekil 3.7: Kullanılan geçiş iletkenliği devresinin çıkış akımının giriş fark gerilimi ile değişimi

3.2.3 DDCC+ elemanın çıkış katının tasarımı

Akım aynaları analog devrelerde sabit akım kaynağı veya çıkış katı olarak kullanılmaları sebebiyle çok önemlidirler. Akım modlu devrelerdeki gelişmelere paralel olarak akım aynalarının önemi de artmaktadır. Akım aynalarında çıkış empedansı, akım transfer oranı ve çıkış gerilimi salınım aralığı en önemli parametrelerdir.

1990 yılında Sackinger ve Guggenbühl'ün [43] önerdikleri üstün kaskod akım aynasından sonra (RGC) yüksek doğrulukta değişik akım aynalarının tasarımı hızla artmıştır [29, 42-54].

Bu bölümde literatürde yayınlanmış iki adet yüksek doğruluklu akım aynasının performansları karşılaştırılacaktır. Bu analizlerde hem eşleşmiş tranzistörler ile hem de MOS tranzistörler arasında eşleşme probleminin olduğu durum incelenmiştir.

3.2.3.1 MOS tranzistörlerde eşleşme problemi

Gerçek proseste imalat toleransları nedeniyle, tranzistörleri birbirine tam anlamıyla eş olarak gerçekleştirmek mümkün değildir. Tranzistörler arasındaki farklılıklar akım kaynağının performansını olumsuz yönde etkileyecektir.

Tranzistörlerin eşleşme problemi, günümüzde, analog sistemlerde, A/D ve D/A çeviricilerde, referans kaynaklarda ve dijital sistemlerde, doğruluğu sınırlayan önemli bir faktördür.

Akım yansıtma hatası tranzistörlerin eşik gerilimine, iletkenlik parametresine ve kutuplanma değerine bağlıdır.

Tranzistörlerde V_T parametresi, birim alan başındaki geçit oksit kapasitesine ve taban bölgesi katkılama seviyesine bağlıdır. β parametresi ise, tranzistörün boyutlarına, kanaldaki taşıyıcı hareket yeteneğine ve birim alan başına düşen geçit oksit kapasitesine bağlıdır [55,56].

PMOS tranzistörlerin eşleşmesi, NMOS tranzistörlerden daha kötüdür. Çünkü PMOS tranzistörlerin geçit oksit kapasitelerinin eşleşmesi daha zordur [55].

3.2.3.1.1 Eşik gerilimi eşleşme hatası

Tek başına eşik gerilimi eşleşmemesi $\sim 1/\sqrt{W.L}$ şeklindedir. Yani eşik gerilimi eşleşmemesi tranzistorun alanın kareköküyle ters orantılıdır. Bu da alanı büyük olan tranzistorlar arasındaki eşik gerilimi eşleşmesinin daha iyi olduğunu gösterir [57].

W/L oranları farklı olup fakat W.L değeri eşit ,yani eşit alanlı elemanlar için ise, daha büyük kanal genişliği ve daha kısa kanal boyuna sahip olan tranzistorun eşleşmesi daha kötü olduğu sonucu ortaya konmuştur [57]. Diğer bir deyişle, alanları eşit olan tranzistorlardan, W/L oranı büyük olanın eşleşmesi daha kötüdür. Gene aynı düşünceyle, eşit alanlı elemanlardan kanal genişliği daha dar ve kanal boyu daha uzun elemanın yani W/L oranı küçük olan elemanın eşleşmesi daha iyidir.

Fakat aynı alana sahip elemanlardan, W/L oranları farklı elemanların arasındaki eşleşme hatası arasındaki fark yüzde olarak çok fazla değildir. Aradaki bu fark, W.L çarpım değeri azaldıkça artacaktır [57].

3.2.3.1.2 İletkenlik parametresi eşleşme hatası

İletkenlik parametresi eşleşme hatası de aynı eşik gerilimi eşleşme hatasında olduğu gibi $1/\sqrt{W.L}$ ile doğru orantılıdır. W.L çarpımı değeri arttıkça iletkenlik parametresi eşleşmesi iyileşecektir. Eşit alanlı tranzistorlarda ise, gene W/L oranı büyük olan tranzistorun eşleşme hatası daha yüksek, W/L oranı düşük olan tranzistorlarda eşleşme daha iyidir.

Fakat iletkenlik parametresi eşleşme hatası, eşik gerilimi eşleşme hatasından farklı olarak, alanı eşit fakat farklı W/L oranlarına sahip tranzistorlar arasındaki eşleşme hatasından yüzde olarak çok daha fazladır. Alan değeri daha da küçüldükçe bu fark daha da büyüyecektir [57].

3.2.3.1.3 Akım değerinde eşleşme hatası

Akım değerindeki eşleşme hatası, eşik gerilimindeki eşleşme hatası, iletkenlik değerindeki eşleşme hatası ve tranzistorun çalışma noktasına bağlıdır.

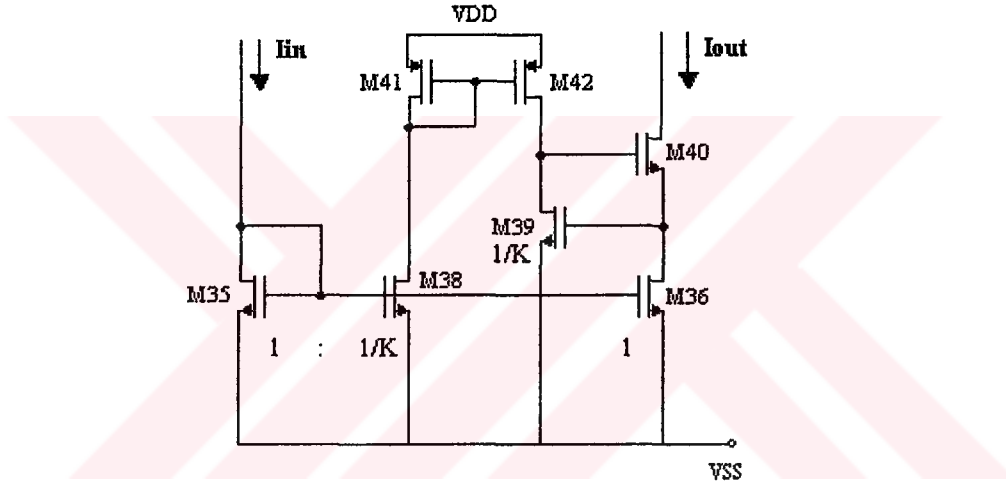
Belli bir V_{GS} değeri için, diğer eşleşme hatası parametrelerinde olduğu gibi, akım değeri eşleşme hatası da, aynı alan değerine sahip tranzistorlardan W/L oranı küçük olanın, W/L oranı büyük olan tranzistora göre eşleşmesi daha iyidir. Akım değeri

eşleşmesinde aynı alan için W/L oranı küçük seçilerek %500 oranında iyileşmeler görülmektedir [57].

Yapılan çalışmalarda, akım değeri eşleşmesi olayında, en iyi eşleşmeyi, alanı büyük olan değil, W/L oranı en küçük olan tranzistorun sağladığı gözlemlenmiştir. Benzer şekilde yine en kötü eşleşmeyi de, alanı en küçük olan değil, W/L oranı en büyük olan tranzistor sağlamaktadır [57].

3.2.3.2 Aktif geribeslemeli kaskod akım aynasının incelenmesi

Şekil 3.8'de devrede Zeki ve Kuntman'ın 1998'de önerdikleri aktif geribeslemeli kaskod akım aynası görülmektedir [53]. Bu tezde bahsedilen devre (CM2) olarak isimlendirilecektir.



Şekil 3.8: Aktif geribeslemeli kaskod akım aynası (CM2)

Akım aynalarında akım transfer oranını bozan en büyük neden M35 ve M36 gibi akım yansıtan tranzistorların her ne kadar geçit-kaynak gerilimleri eşit bile olsa, savak gerilimlerinin kanal boyu modülasyonundan dolayı eşit olmamasıdır. Bu durumda tranzistorlardan farklı akımlar akmaktadır, böylece kötü bir akım transfer oranı elde edilir. Son yıllarda bu hatayı azaltacak yüksek doğruluklu akım aynaları tasarlanmaktadır. Şekil 3.8'deki CM2 devresi de bunlardan biridir.

Bu devrede akım transfer hatasını azaltmak amacıyla, $V_{DS36} = V_{GS36}$ eşitliğini sağlamak için M39 tranzistoru M35 tranzistoru ile eşleştirilmiş ve ayrıca $I_{IN} = I_{D39}$ olması sağlanmıştır. Bu sayede I_{D39} artık bağımsız bir akım kaynağı değil I_{IN} 'e bağlı bir akım kaynağıdır. V_{DS36} geriliminin V_{GS36} gerilimine mükemmel derecede eşit

şeklinde verilir. Bu bağıntıdan da görüldüğü gibi r_o çıkış empedansı $(g_{m39}r_{d39})$ ile doğru orantılıdır. Bu ifade

$$g_{m39}r_{d39} = \mu_n C_{OX} \left(\frac{W}{L} \right)_{39} \frac{(V_{GS39} - V_{TN})}{\lambda_N I_{D39}} \quad (3.37)$$

şeklinde gösterilebilir. Burada $r_{39} = 1/\lambda_N I_{D39}$ olarak alınmıştır. λ_N n-kanallı MOS tranzistorun kanal boyu modülasyonu parametresidir. Görüldüğü gibi teorik olarak $(W/L)_{39}$ ve I_{D39} 'un K oranında azaltılması çıkış empedansını değiştirmemektedir. Gerçekte ise çok az bir değişiklik olmaktadır.

Çıkış geriliminin minimum değeri ise

$$V_{Omin} = V_{GS36} + V_{DSsat40} \quad (3.38)$$

şeklinde verilir.

Akım transfer hatasını (ϵ) bulmak için basitlik sağlamak amacıyla $K = 1$ alınmıştır. Bu durumda $(W/L)_{39} = (W/L)_{38} = (W/L)_{35}$ olacaktır. Ayrıca $\beta_{35} = \beta_{39}$ alınmıştır. $\beta_{35,39} = (W/L)_{35,39}\mu_n C_{OX}$ şeklindedir. Bundan sonraki denklemlerde β_{35} ve β_{39} için β_N terimi kullanılacaktır. Genel yaklaşıklık yaklaşımı olarak, “ $x \ll 1$, $y \ll 1$ ise $(1+x)/(1+y) \cong (1+x)(1-y) = 1+x-y+xy \cong 1+x-y$ “ kullanılırsa, ki burada $x = \lambda_N V_{GS39}$ ve $y = \lambda_N V_{GS35}$ değerlerini ifade eder,

$$\begin{aligned}
\frac{I_{D36}}{I_{D35}} &= 1 + \varepsilon = \frac{1 + \lambda_N V_{GS39}}{1 + \lambda_N V_{GS35}} \\
&\approx (1 + \lambda_N V_{GS39})(1 - \lambda_N V_{GS35}) \\
&= 1 + \lambda_N (V_{GS39} - V_{GS35}) + \lambda_N^2 V_{GS39} V_{GS35} \\
&\approx 1 + \lambda_N (V_{GS39} - V_{GS35})
\end{aligned} \tag{3.39}$$

$(V_{GS39} - V_{GS35})$ gerilim farkı,

$$\begin{aligned}
V_{GS39} - V_{GS35} &= \left[\left(\frac{2I_{D39}}{\beta_N} \right)^{1/2} + V_{TN} \right] - \left[\left(\frac{2I_{D35}}{\beta_N} \right)^{1/2} + V_{TN} \right] \\
&= \left(\frac{2}{\beta_N} \right)^{1/2} (I_{D39}^{1/2} - I_{D35}^{1/2})
\end{aligned} \tag{3.40}$$

(3.39) ve (3.40) bağıntıları kullanılarak transfer hatası,

$$\begin{aligned}
\varepsilon &= \lambda_N \left(\frac{2}{\beta_N} \right)^{1/2} (I_{D39}^{1/2} - I_{D35}^{1/2}) = \lambda_N \left(\frac{2}{\beta_N} \right)^{1/2} \{ [I_{D35} (1 + \varepsilon_{39})]^{1/2} - I_{D35}^{1/2} \} \\
&= \lambda_N \left(\frac{2I_{D35}}{\beta_N} \right)^{1/2} [(1 + \varepsilon_{39})^{1/2} - 1]
\end{aligned} \tag{3.41}$$

olarak bulunur. Burada ε_{39} , I_{D39} 'un akım hatasıdır ve

$$\frac{I_{D39}}{I_{D35}} = \frac{1 + \lambda_N V_{DS39}}{1 + \lambda_N V_{GS35}} = 1 + \varepsilon_{39} \tag{3.42}$$

şeklinde tanımlanır. Yaklaşıklık yaklaşımı olarak “ $x \ll 1$ iken $(1 + x)^{1/2} \approx 1 + x/2$ ” kullanılırsa, ki burada $x = \varepsilon_{39}$ olmaktadır,

$$\varepsilon = \left(\frac{I_{D35}}{2\beta_N} \right)^{1/2} \lambda_N \varepsilon_{39} \tag{3.43}$$

bağıntısı elde edilir. (3.42) ve (3.43) bağıntıları incelendiğinde akım aynasının akım transfer hatası olan ε , ε_{39} yeterince küçük yapılabildiği sürece küçük kalacaktır. Bu akım aynasının akım transfer oranını iyileştirmesinin yanında, I_{D39} akımı için ayrıca bir sabit akım kaynağına ihtiyaç duymaması, güç tüketiminin $2V_{DD}I_{IN}(1+1/K)$ şeklinde olmasıyla ve dolayısıyla $K > 1$ seçildiği sürece harcanan gücün azalması, $K > 1$ seçildiği takdirde devrenin kapladığı alanın azalması gibi yararları da vardır.

3.2.3.3 Aktif kazanç akım aynasının incelenmesi

Şekil 3.9'daki devrede Palmisano, Palumbo ve Pennisi'nin 1998'de önerdikleri aktif kazanç akım aynası görülmektedir [29]. Bu tezde, bahsedilen devre (CM1) olarak isimlendirilecektir.

Burada M35 ve M36 transistorlarının V_{DS} gerilimleri, kullanılan işlemsel kuvvetlendirici sayesinde eşitlenmiştir. Yani $V_{DS35}=V_{GS35}=V_{DS36}=V_{GS36}$ eşitliği sağlanmıştır. Böylece kanal boyu modülasyonu etkisinden kaynaklanacak akım yansıtma hatası giderilmiş olmaktadır.

Devrenin çıkış empedansı,

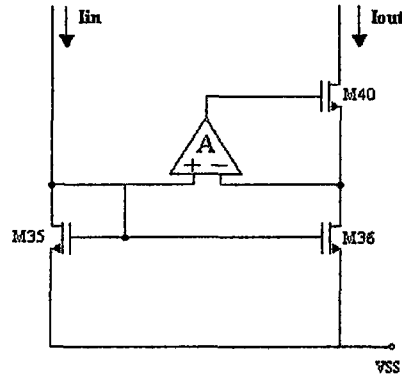
$$r_o = r_{d36} + r_{d40} (1 + A \cdot g_{m40} \cdot r_{d36}) \quad (3.44)$$

şeklinde elde edilir. Bu bağıntı $A \cdot g_{m40} \cdot r_{d36} \gg 1$ ve $r_{d36} \ll r_{d40} (1 + A \cdot g_{m40} \cdot r_{d36})$ kabulüyle sadeleştirilirse,

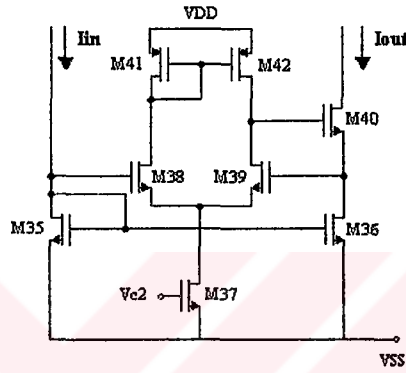
$$r_o \approx A \cdot g_{m40} \cdot r_{d36} r_{d40} \quad (3.45)$$

şeklinde verilebilir. Bağıntıdaki A katsayısı işlemsel kuvvetlendiricinin açık çevrim kazancıdır. Bu işlemsel kuvvetlendiricinin iç yapısının da katıldığı devre Şekil 3.10'da gösterilmiştir. Bu devre yapısı ile aktif geribeslemeli kaskod akım aynasının Şekil 3.9'deki devre yapısı karşılaştırılırsa sadece M37 tranzistoru eklenerek aktif kazanç akım aynasının elde edildiği görülür.

Devrenin minimum çıkış gerilimi (3.38) bağıntısıyla verilen aktif geribeslemeli kaskod akım aynasının çıkış gerilimiyle aynıdır. Yani aktif kazanç akım aynasına devrenin çıkış dinamiğinde herhangi bir iyileşme sağlamamıştır.



Şekil 3.9: Aktif kazanç akım aynası (CM1)



Şekil 3.10: Aktif kazanç akım aynasının ayrıntılı şekli (CM1)

Aktif kazanç akım aynasının aktif geribeslemeli kaskod akım aynasına göre en büyük avantajı sadece bir tranzistor kullanılarak akımın yansıtma doğruluğunun sağlanmasıdır. Aktif geribeslemeli kaskod akım aynasında yansıtma hatasını azaltmak için bir çok tranzistorun birbiriyle belli oranda eşleşmesi gereklidir. Bu nedenle tranzistorlarda eşleşme hatası ortaya çıkarak akım yansıtma doğruluğunu azaltacaktır. Fakat aktif kazanç akım aynasında tranzistorların eşleşme problemi daha az hataya yol açmaktadır. Çünkü bu yapıda M35 ve M36 tranzistorlarının savak uçları birbirlerine aktif geribeslemeli kaskod akım aynasından farklı olarak bir işlemsel kuvvetlendirici aracılığıyla bağlıdır. Dolayısıyla tranzistorlar arasında eşleşme problemi kaçınılmaz şekilde olsa da işlemsel kuvvetlendirici yapısı bu iki tranzistorun savaklarını, aynı zamanda bu uçlar işlemsel kuvvetlendiricinin de giriş uçlarıdır, aralarında küçük bir ofset gerilimi olacak şekilde birbirlerine yakın tutmaya zorlar. Böylece akım yansıtma hatası çok fazla artamayacaktır. Bu özelliklerinden dolayı akım kuvvetlendirici devrelerinde çıkış devresi olarak aktif kazanç akım aynası tercih edilir.

3.2.3.4 Akım aynalarının Pspice analiz sonuçları

Yapılan bu teorik incelemeden sonra her iki akım aynası da Pspice programı ile analiz edilmiştir. Yapılan incelemelerde I_{IN} giriş akımı $100\mu A$, $500\mu A$ ve $1mA$ olarak alınarak band genişliği, çıkış empedansı, çıkış gerilimi salınım aralığı, akım transfer hatası analiz edilmiştir. Aynı analizler daha sonra tranzistorlardan bir çiftin boyutlarında %2'lik eşleşme hatası koyarak tekrardan çıkarılmıştır. Her iki devrede de eşleşme hatasını oluşturmak için M39 tranzistorunun W değeri %2 arttırılmıştır. Bu durumda devredeki M39 tranzistorunun W değeri $24.48\mu m$ olmuştur. Bu sayede üretim aşamasında muhtemel olabilecek eşleşme hatalarının devre performansına etkisi gözlenmiştir.

Analizler sırasında akım transfer hatası oranı,

$$\varepsilon(\%) = \frac{I_{OUT} - I_{IN}}{I_{IN}} \times 100 \quad (3.46)$$

bağıntısıyla bulunur.

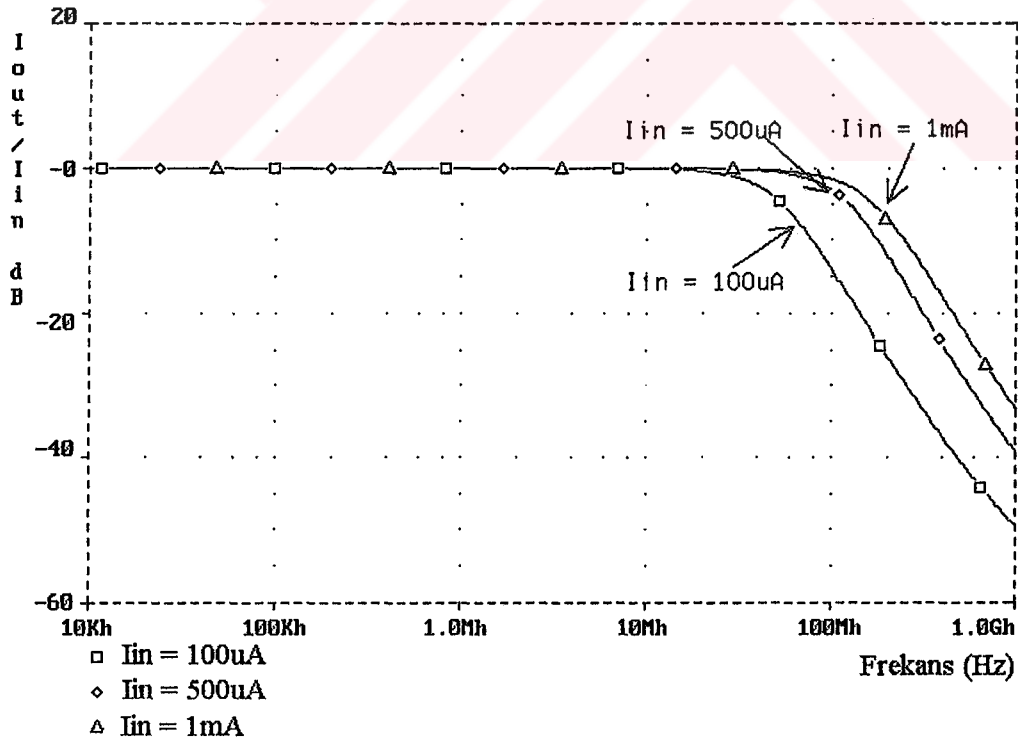
Tablo 3.2'de CM1 ve CM2 akım aynalarının tranzistor boyutları verilmiştir. CM2 devresinde $K = 5$ olarak alınmıştır. Bu yüzden M38, M39 tranzistorlarının boyutları M35, M36, M40 tranzistorlarının boyutlarının 5'te biridir. CM1 akım aynasındaki kutuplama gerilimi $V_{c2} = -4.1V$ 'tur.

MOS tranzistorlarda mevcut olan kısa kanal etkileri, kısa kanallı MOS tranzistorlarda çıkış iletkenliğinin uzun kanallı tranzistora göre daha az olmasından kaynaklanmaktadır. Özellikle bu durum hızlı ve yüksek performanslı devreler tasarlarken büyük bir problemlere yol açar. Böyle bir devrede MOS tranzistorun çıkış direnci, uzun kanallı bir MOS tranzistora göre daha düşük olacaktır. Bu devrelerde kanal uzunluğu olan L değeri kısa kanal etkilerinden kurtulabilmek için minimum boyut $1.2\mu m$ olmasına rağmen en azından $6\mu m$ seçilmiştir. Bu durum frekans genişliğini azaltmakla beraber çıkış direnci arttırır ve ikincil distorsiyon değerlerinin azalmasını sağlamaktadır. Böylece daha lineer bir devre ortaya çıkmaktadır.

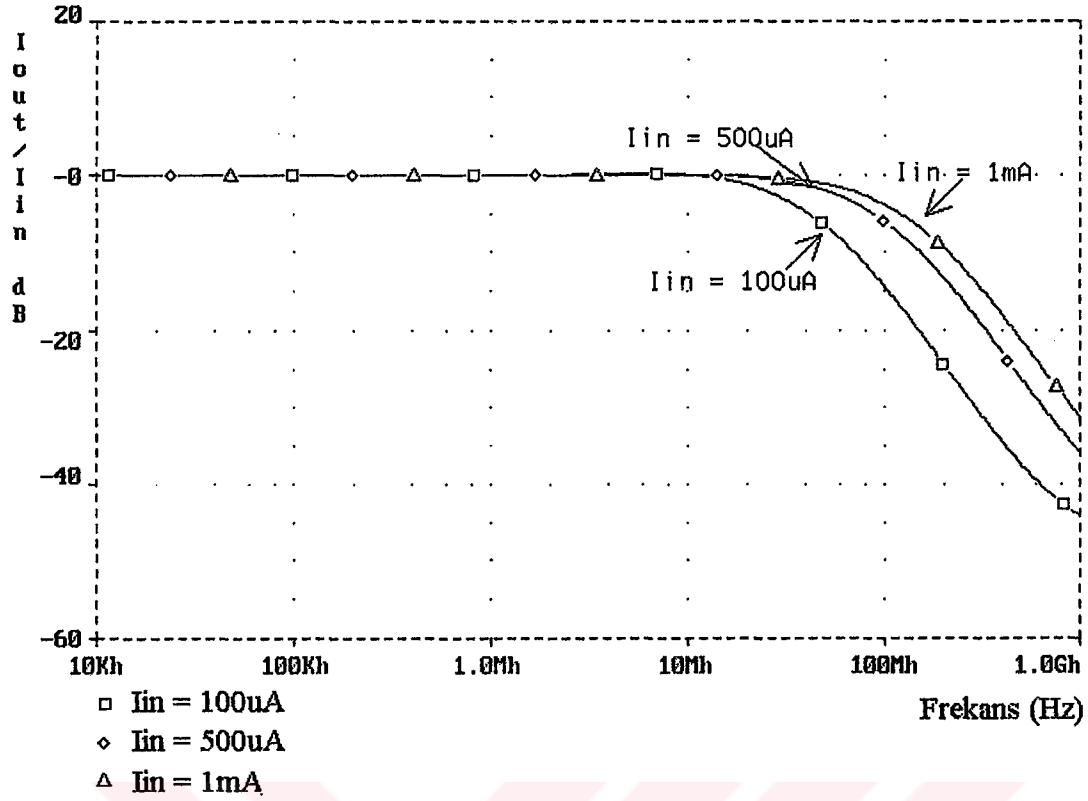
Tablo 3.2: CM1 ve CM2 akım aynalarında kullanılan tranzistor boyutları

CM1 akım aynası Tranzistor	W/L(μm)	CM2 akım aynası Tranzistor	W/L(μm)
M35, M36, M40	120/6	M35, M36, M40	120/6
M38, M39	24/6	M38, M39	24/6
M41, M42	12/24	M41, M42	12/24
M37	12/6	---	---

Şekil 3.11’de CM2 devresinin farklı giriş akımlarında akım modunda band genişliği görülmektedir. Bu durumda giriş akımı $100\mu\text{A}$ iken band genişliği 42.963 MHz, giriş akımı 1mA iken band genişliği 132.453 MHz’dir. Aynı şekilde Şekil 3.12’deki CM1 devresinin farklı giriş akımlarında akım modunda band genişliği görülmektedir. Bu durumda giriş akımı $100\mu\text{A}$ iken band genişliği 30.36 MHz, giriş akımı 1mA iken band genişliği 85.776 MHz’dir. Bu durumda band genişliği açısından CM2 devresi yani aktif geribeslemeli kaskod akım aynası daha avantajlı görünmektedir.

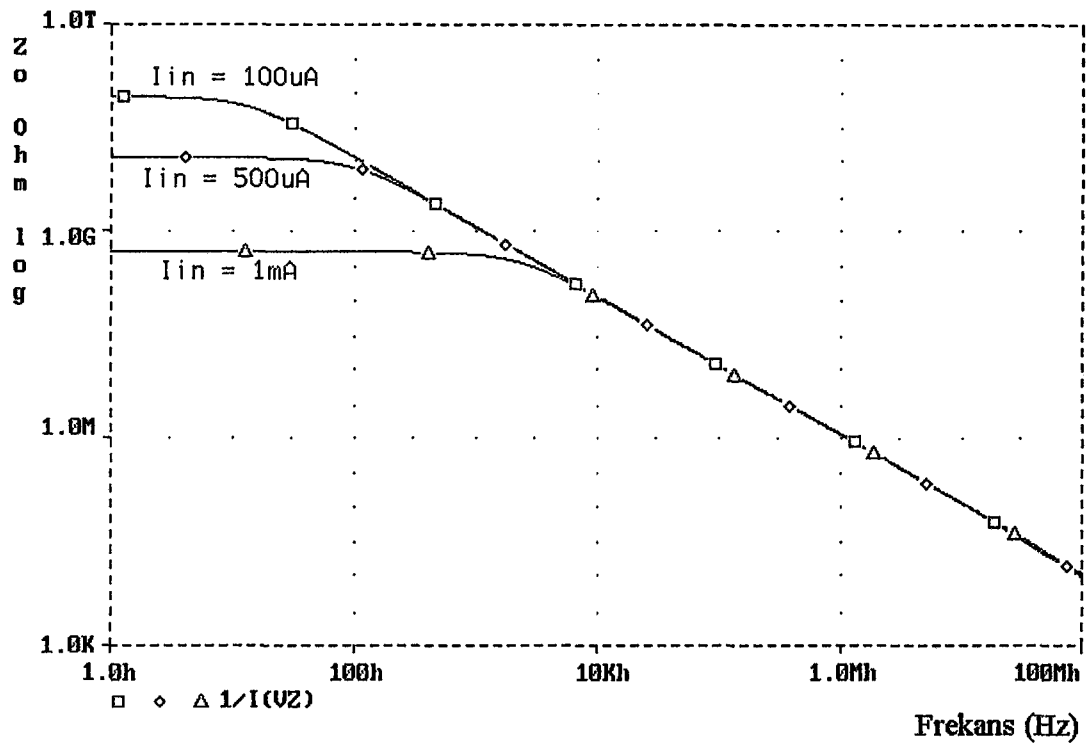


Şekil 3.11: CM2 devresinin farklı giriş akımlarında akım modunda band genişliği

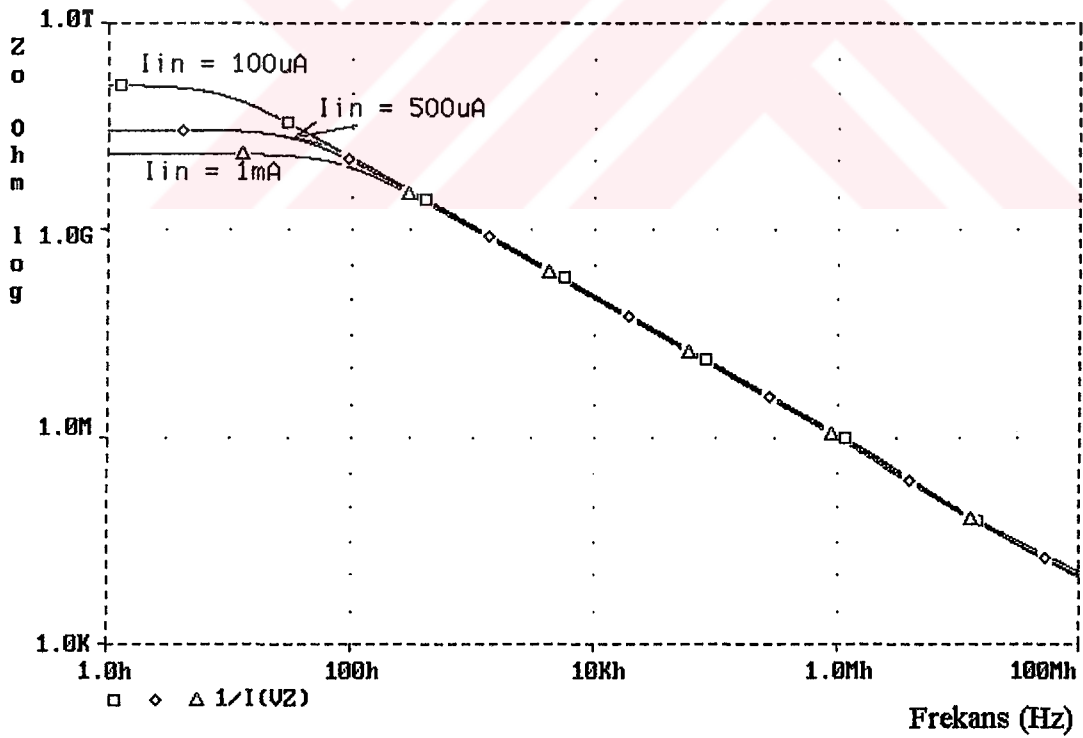


Şekil 3.12: CM1 devresinin farklı giriş akımlarında akım modunda band genişliği

Şekil 3.13’de CM2 devresinin farklı giriş akımlarında çıkış empedansının frekansla değişimi görülmektedir. Bu durumda giriş akımı $100\mu A$ iken çıkış empedansı $86.808G\Omega$, giriş akımı $1mA$ iken çıkış empedansı $497.114M\Omega$ ’dir. Aynı şekilde Şekil 3.14’deki CM1 devresinin farklı giriş akımlarında çıkış empedansının frekansla değişimi görülmektedir. Bu durumda giriş akımı $100\mu A$ iken çıkış empedansı $128.888G\Omega$, giriş akımı $1mA$ iken çıkış empedansı $12.772G\Omega$ ’dir. Bu durumda çıkış empedansı açısından CM1 devresi yani aktif kazanç akım aynası daha avantajlı görünmektedir.



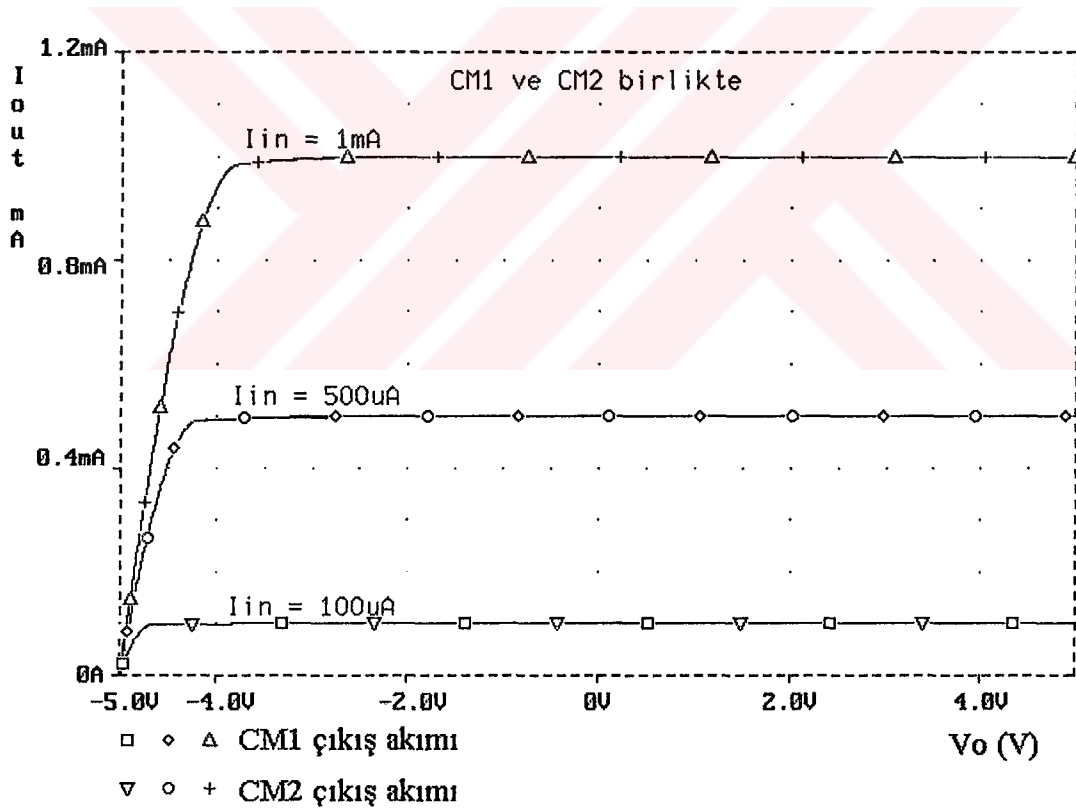
Şekil 3.13: CM2 devresinin farklı giriş akımlarında çıkış empedansının frekansla değişimi



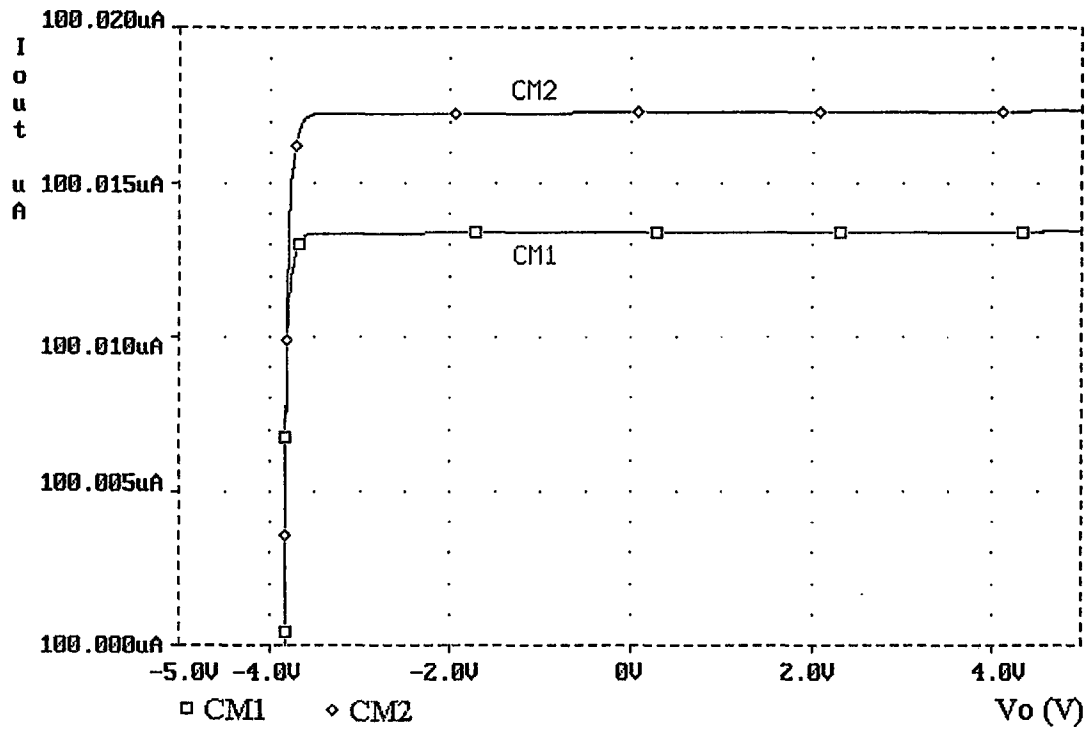
Şekil 3.14: CM1 devresinin farklı giriş akımlarında çıkış empedansının frekansla değişimi

Şekil 3.15’de CM1 ve CM2 devrelerinin farklı giriş akımlarında çıkış akımının çıkış gerilimiyle değişimi görülmektedir. Bu şekil incelendiğinde hemen hemen her iki devrenin de $100\mu\text{A}$ ’den 1mA ’e değişen sınır içinde birbirleriyle aynı çıkış akımını verdiği görülmektedir. Bu akım değerlerinin ayrıntılı analizleri $100\mu\text{A}$, $500\mu\text{A}$ ve 1mA ’lik giriş akımları için sırasıyla Şekil 3.16, Şekil 3.17, Şekil 3.18’de görülmektedir.

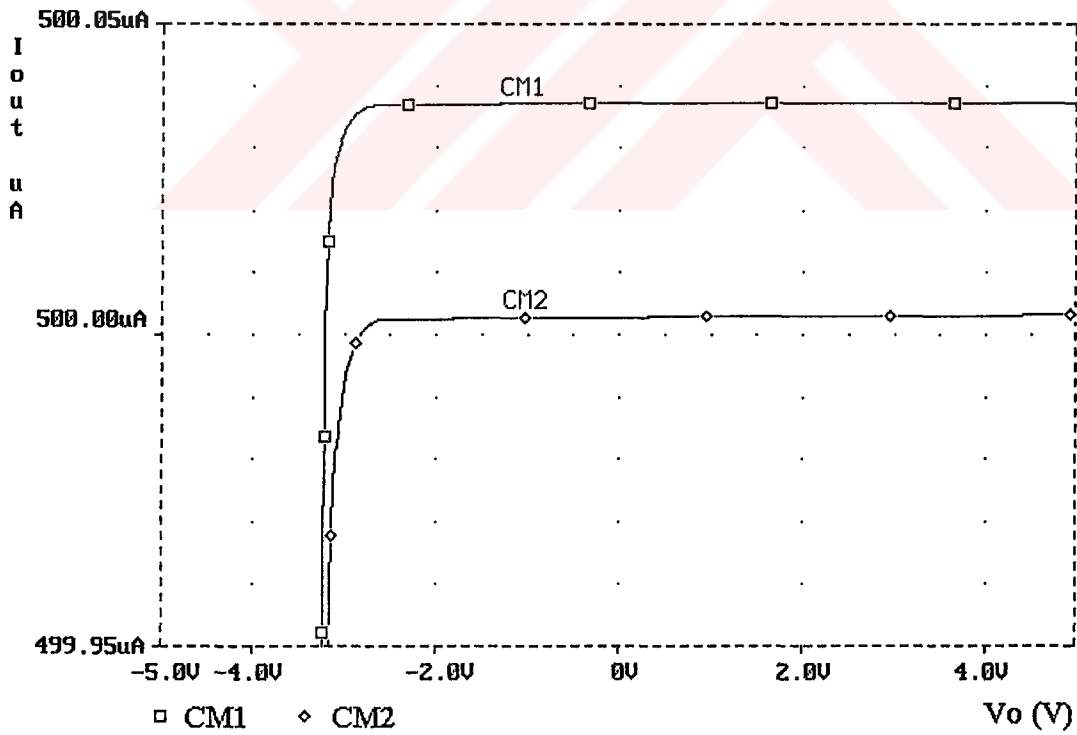
Çıkış geriliminin salınım aralığı incelendiğinde %1’lik hata payı kriter olarak alındığında CM2 devresi için $100\mu\text{A}$ ’lik giriş akımı için $V_{\text{omin}} = -4.33\text{V}$, için $500\mu\text{A}$ ’lik giriş akımı için $V_{\text{omin}} = -3.96\text{V}$, için 1mA ’lik giriş akımı için $V_{\text{omin}} = -3.58\text{V}$, CM1 devresi için $100\mu\text{A}$ ’lik giriş akımı için $V_{\text{omin}} = -4.33\text{V}$, için $500\mu\text{A}$ ’lik giriş akımı için $V_{\text{omin}} = -3.96\text{V}$, için 1mA ’lik giriş akımı için $V_{\text{omin}} = -3.58\text{V}$ değerleri bulunur. Buradan da görüldüğü gibi iki akım aynası arasında çıkış salınım aralığı arasında beklendiği gibi bir fark görülmemiştir.



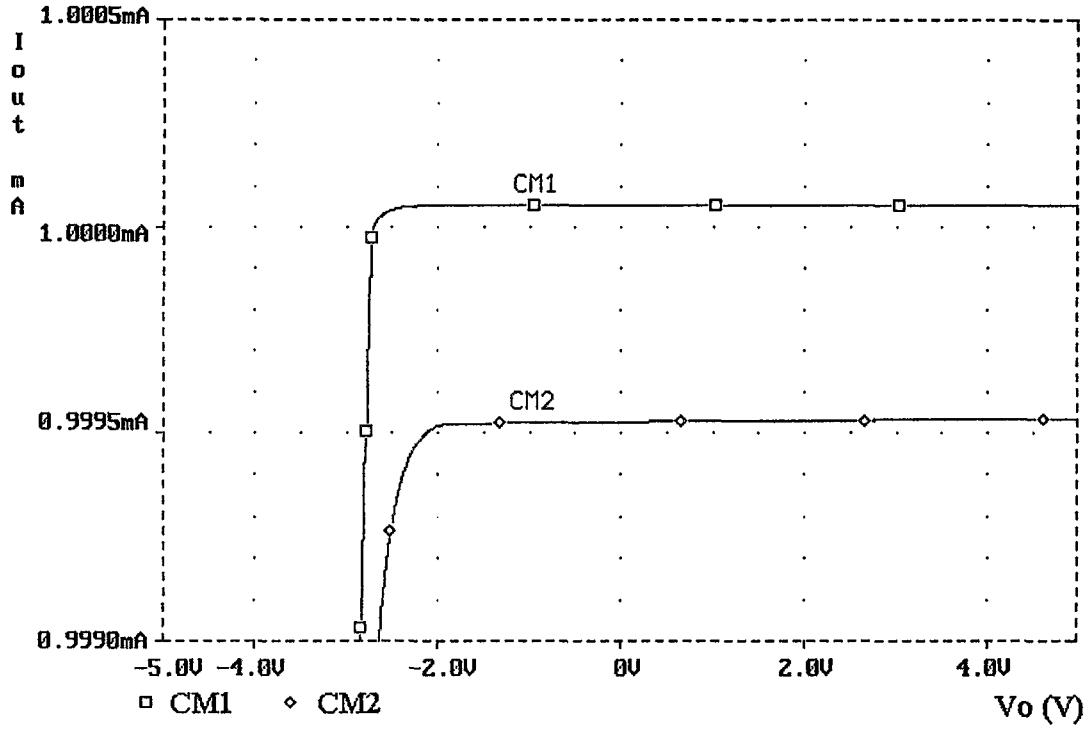
Şekil 3.15: CM1 ve CM2 devrelerinin farklı giriş akımlarında çıkış akımının çıkış gerilimiyle değişimi



Şekil 3.16: CM1 ve CM2 devrelerinin $I_{IN} = 100 \mu A$ iken çıkış akımının çıkış gerilimiyle değişimi

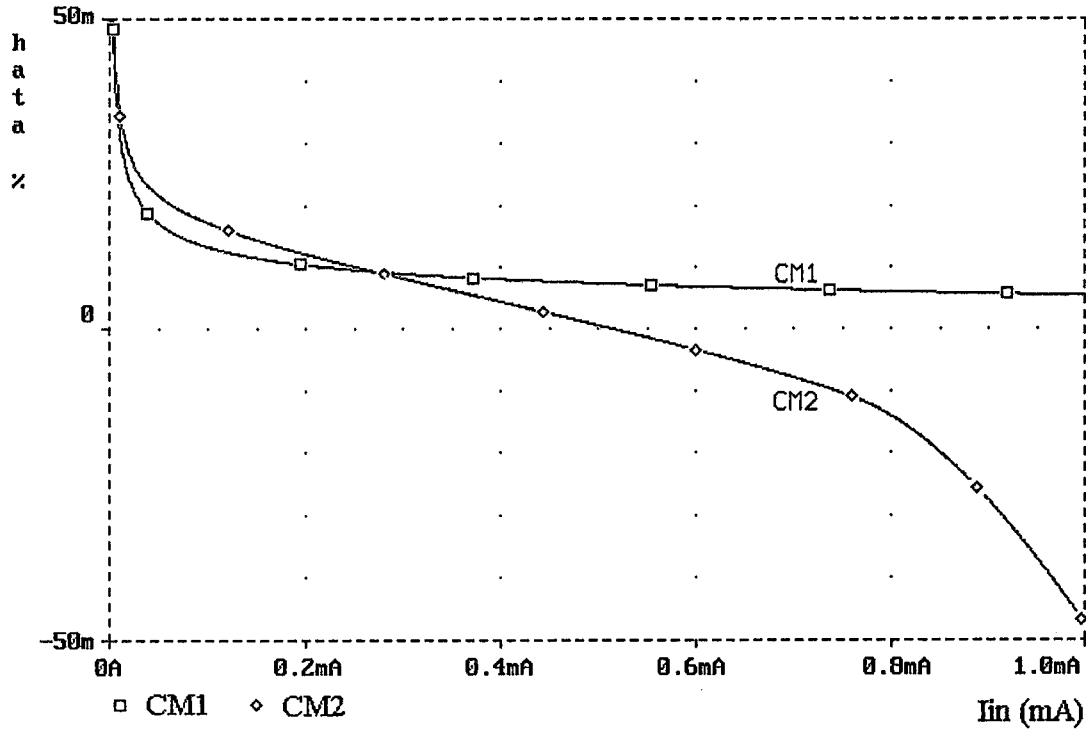


Şekil 3.17: CM1 ve CM2 devrelerinin $I_{IN} = 500 \mu A$ iken çıkış akımının çıkış gerilimiyle değişimi



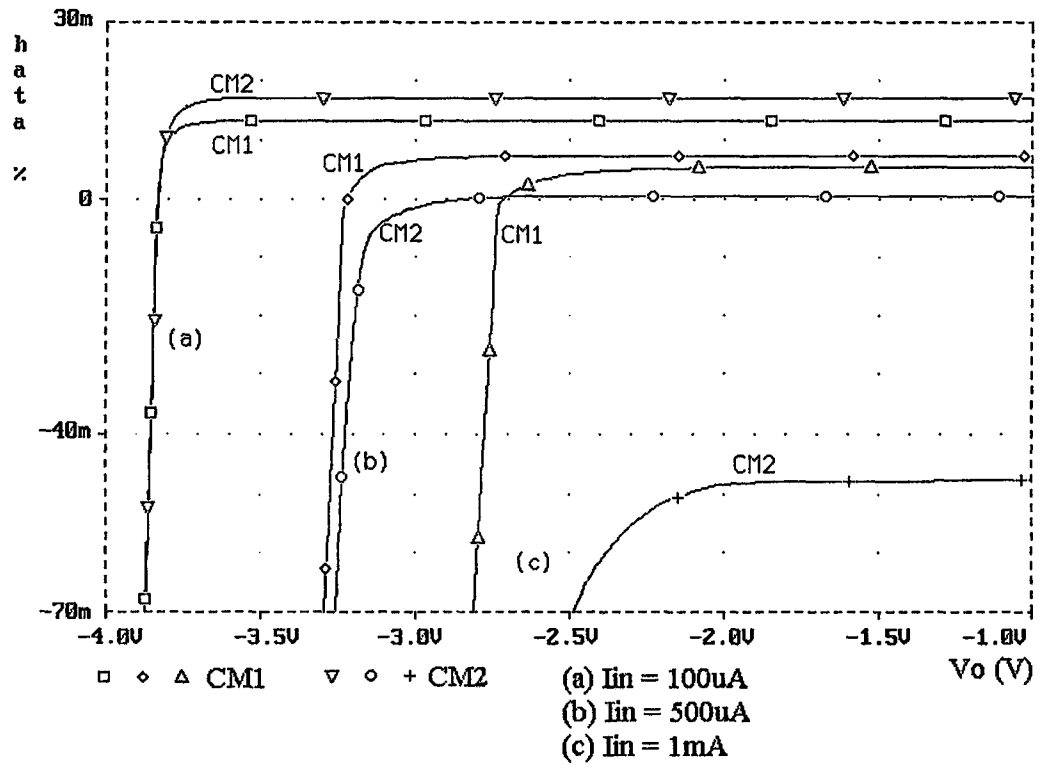
Şekil 3.18: CM1 ve CM2 devrelerinin $I_{IN} = 1\text{mA}$ iken çıkış akımının çıkış gerilimiyle değişimi

Şekil 3.19’da CM1 ve CM2 devrelerinin akım transfer hatalarının I_{IN} giriş akımıyla değişimi görülmektedir. Bu analiz sonucu incelendiğinde, I_{OUT} çıkış akımı aktif geribeslemeli kaskod akım aynası (CM2) devresinde giriş akımının $270\mu\text{A} - 670\mu\text{A}$ aralığında (CM2 devresinde $270\mu\text{A}$ ’de $\%0.009388$, $670\mu\text{A}$ ’de ise $\%-0.0065158$ değerinde hata olmaktadır.) aktif kazanç akım aynasından (CM1) daha az hatalı olmaktadır. Bu akım sınırları dışında ise CM1 akım aynası daha az hatalı olmaktadır. Özellikle $800\mu\text{A}$ ’lik çıkış akımı değerlerinden sonra CM1 akım aynası CM2 akım aynasından oldukça daha az hata değeri vermektedir. Ama gene de her iki devre de 1mA ’lik çıkış akımına kadar $\% \pm 0.05$ ’den daha az akım transfer hatası oluşturmaktadır. CM1 akım aynası ise CM2’den farklı olarak giriş akımı arttıkça akım transfer hatası da azalmaktadır. CM2 akım aynası ise bir sıfır hata değerinden geçtikten sonra artmaya devam etmektedir. 1mA ’lik çıkış akımına kadar CM1 akım aynasının akım transfer hata oranı $\%0.005 - \%0.05$ arasında değişmekte iken, CM2 akım aynasının akım transfer hata oran $\%-0.05 - \%0.05$ arasında değişmektedir.

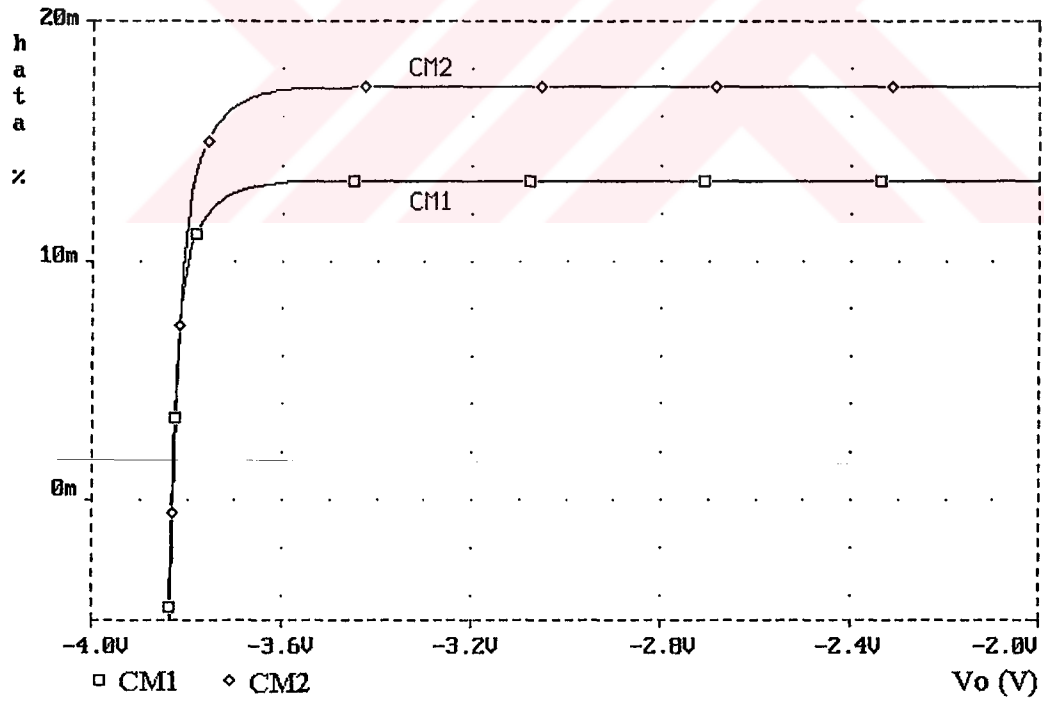


Şekil 3.19: CM1 ve CM2 devrelerinin akım transfer hatalarının I_{IN} giriş akımıyla değişimi

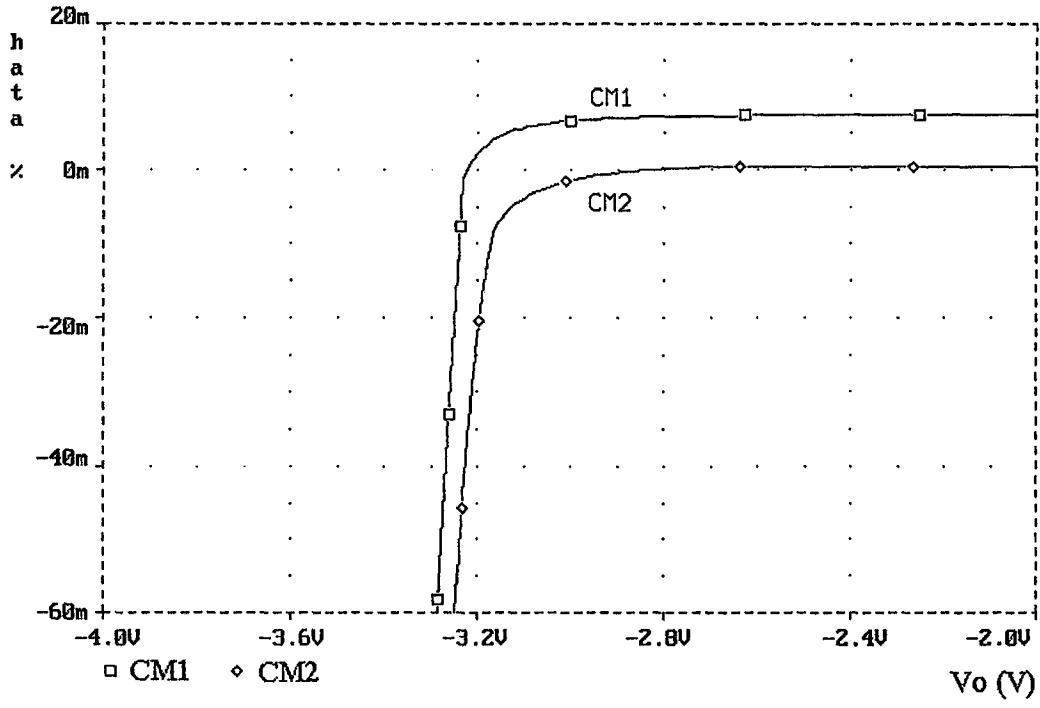
Şekil 3.20’de CM1 ve CM2 devrelerinin farklı giriş akımlarında akım transfer hatalarının V_O çıkış gerilimiyle değişimi görülmektedir. Şekil 3.21, Şekil 3.22 ve Şekil 3.23’de sırasıyla analizleri $100\mu A$, $500\mu A$ ve $1mA$ ’lik giriş akımları için akım transfer hatalarının V_O çıkış gerilimiyle değişimi daha ayrıntılı olarak görülmektedir. Bu analiz sonucu incelendiğinde, I_{OUT} çıkış akımı aktif geribeslemeli kaskod akım aynası (CM2) devresinde giriş akımının $100\mu A$ olduğu durumda $\%0.017266$, $500\mu A$ olduğu durumda $\%0.00051228$, $1mA$ olduğu durumda $\%-0.048003$ ’lük akım transfer hatası olmaktadır. Aktif kazanç akım aynası (CM1) devresinde ise $100\mu A$ olduğu durumda $\%0.013388$, $500\mu A$ olduğu durumda $\%0.0073924$, $1mA$ olduğu durumda $\%-0.0053668$ ’lik akım transfer hatası olmaktadır. $100\mu A - 1mA$ ’lik giriş akımları sınırı içinde aktif kazançlı akım aynası (CM1) daha az hatalı olmaktadır. Ama gene de her iki devre de $1mA$ ’lik çıkış akımına kadar $\% \pm 0.05$ ’den daha az akım transfer hatası oluşturmaktadır.



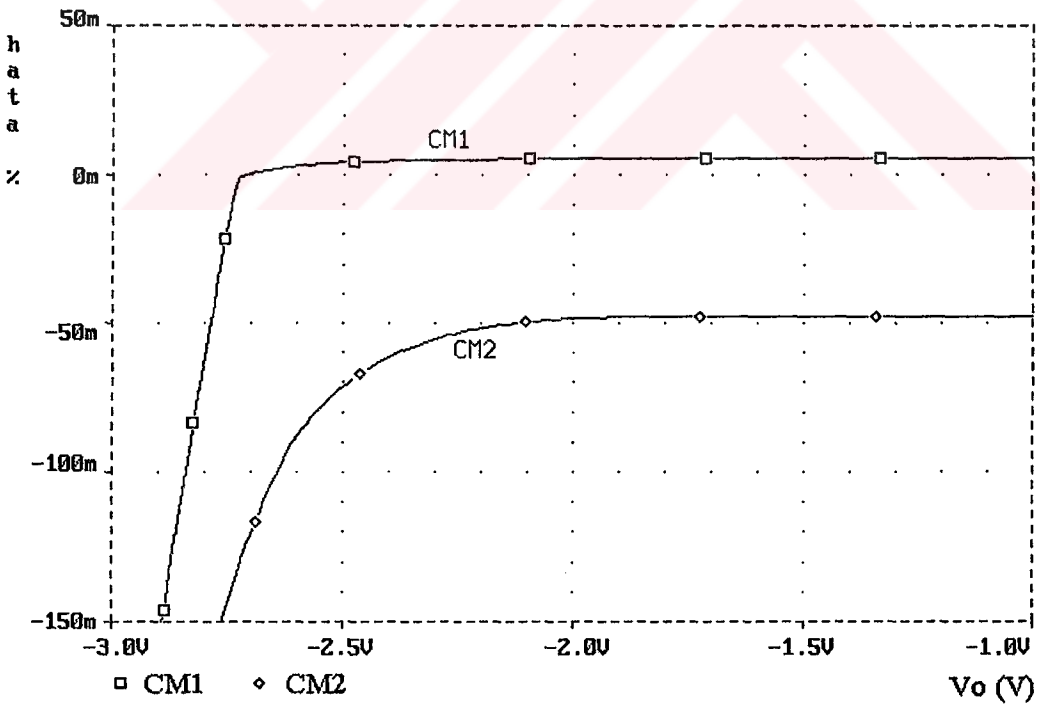
Şekil 3.20: CM1 ve CM2 devrelerinin farklı giriş akımlarında akım transfer hatalarının V_O çıkış gerilimiyle değişimi



Şekil 3.21: CM1 ve CM2 devrelerinin $I_{IN} = 100\mu A$ iken akım transfer hatalarının V_O çıkış gerilimiyle değişimi

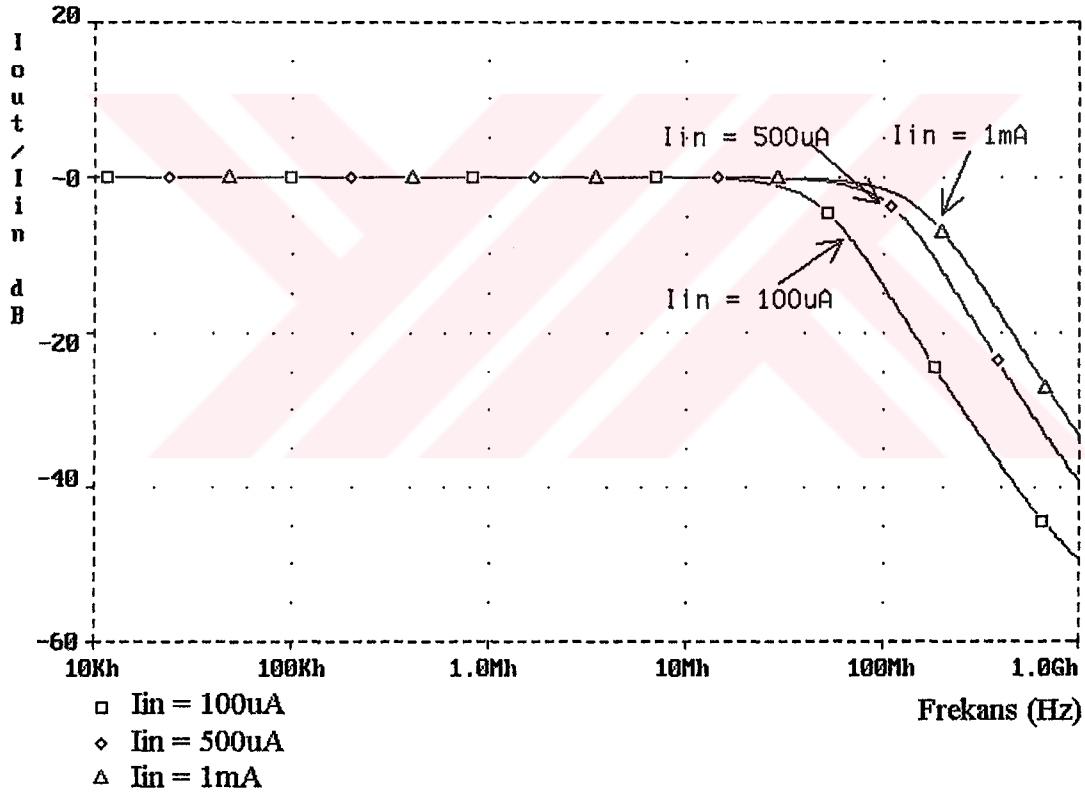


Şekil 3.22: CM1 ve CM2 devrelerinin $I_{IN} = 500\mu A$ iken akım transfer hatalarının V_O çıkış gerilimiyle değişimi

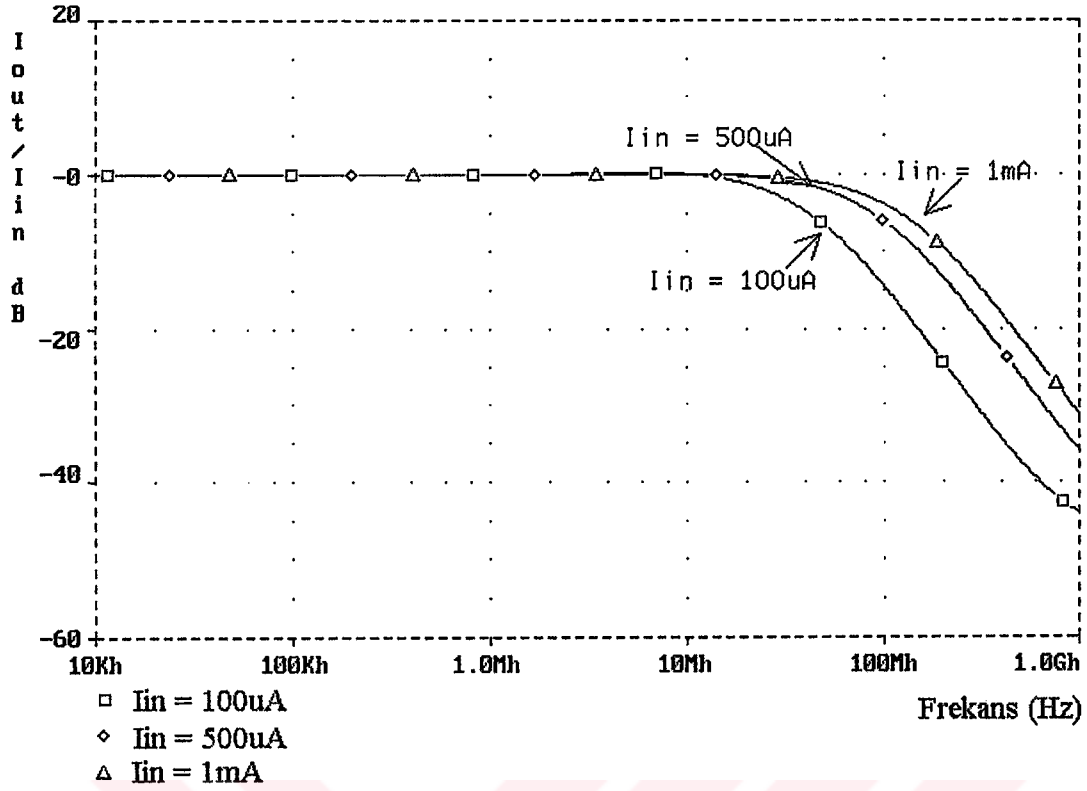


Şekil 3.23: CM1 ve CM2 devrelerinin $I_{IN} = 1mA$ iken akım transfer hatalarının V_O çıkış gerilimiyle değişimi

Şekil 3.24’de CM2 devresinin %2’lik eşleşme problemi olduğunda farklı giriş akımlarında akım modunda band genişliği görülmektedir. Bu durumda giriş akımı 100µA iken band genişliği 43.042 MHz, giriş akımı 1mA iken band genişliği 131.858 MHz’dir. Aynı şekilde Şekil 3.25’deki CM1 devresinin %2’lik eşleşme problemi olduğunda farklı giriş akımlarında akım modunda band genişliği görülmektedir. Bu durumda giriş akımı 100µA iken band genişliği 30.327 MHz, giriş akımı 1mA iken band genişliği 85.655 MHz’dir. Bu durumda band genişliği açısından CM2 devresi yani aktif geribeslemeli kaskod akım aynası daha avantajlı görülmektedir. Ayrıca eşleşme probleminin devrelerin band genişliklerine çok fazla etki yapmadığı görülmektedir.

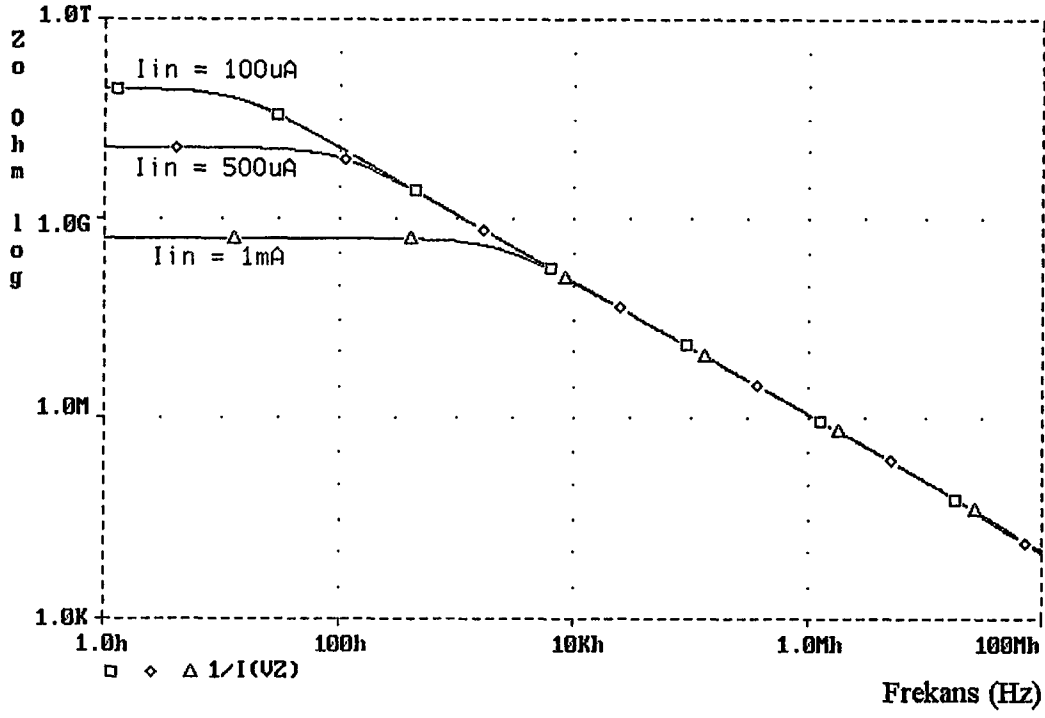


Şekil 3.24: CM2 devresinin %2’lik eşleşme problemi olduğunda farklı giriş akımlarında akım modunda band genişliği

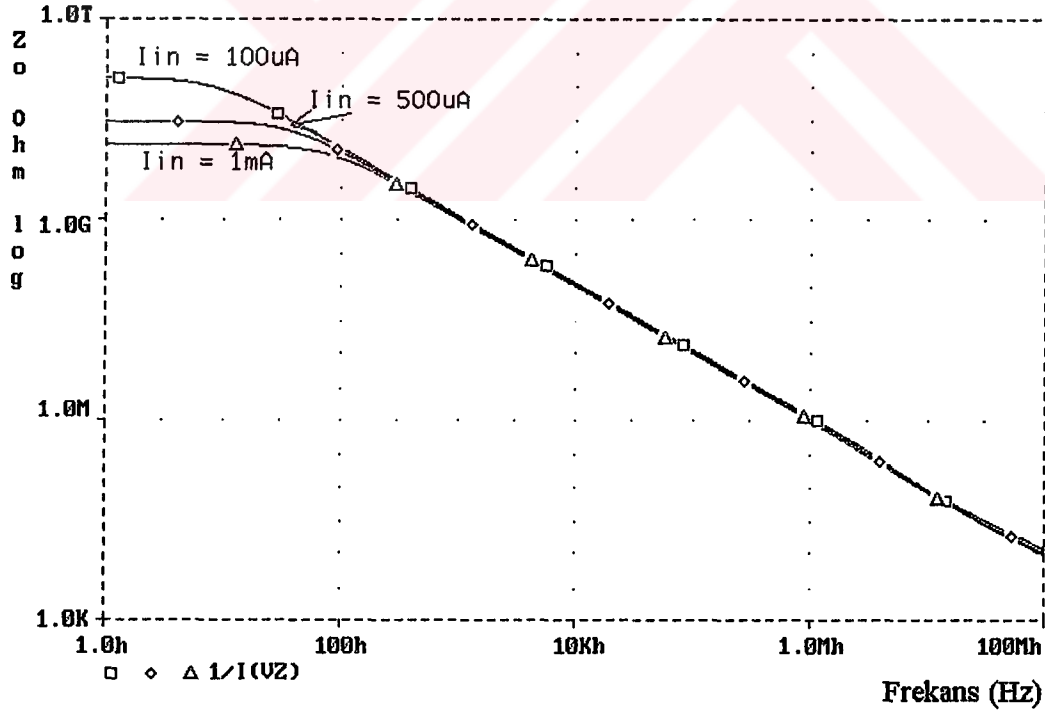


Şekil 3.25: CM1 devresinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında akım modunda band genişliği

Şekil 3.26'da CM2 devresinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında çıkış empedansının frekansla değişimi görülmektedir. Bu durumda giriş akımı $100\mu A$ iken çıkış empedansı $87.095G\Omega$, giriş akımı $1mA$ iken çıkış empedansı $505.4M\Omega$ 'dir. Aynı şekilde Şekil 3.27'deki CM1 devresinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında çıkış empedansının frekansla değişimi görülmektedir. Bu durumda giriş akımı $100\mu A$ iken çıkış empedansı $129.01G\Omega$, giriş akımı $1mA$ iken çıkış empedansı $12.786G\Omega$ 'dir. Bu durumda çıkış empedansı açısından CM1 devresi yani aktif kazanç akım aynası daha avantajlı görünmektedir. Ayrıca eşleşme probleminin devrelerin çıkış empedansına çok fazla etki yapmadığı görülmektedir.



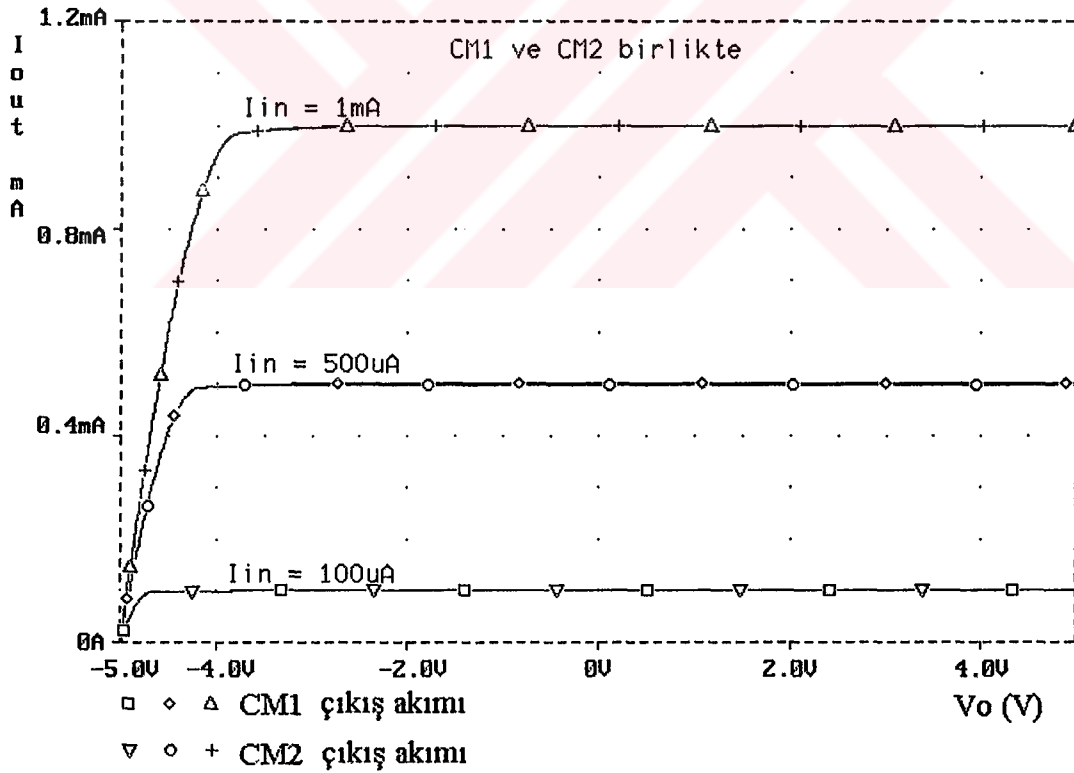
Şekil 3.26: CM2 devresinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında çıkış empedansının frekansla değişimi



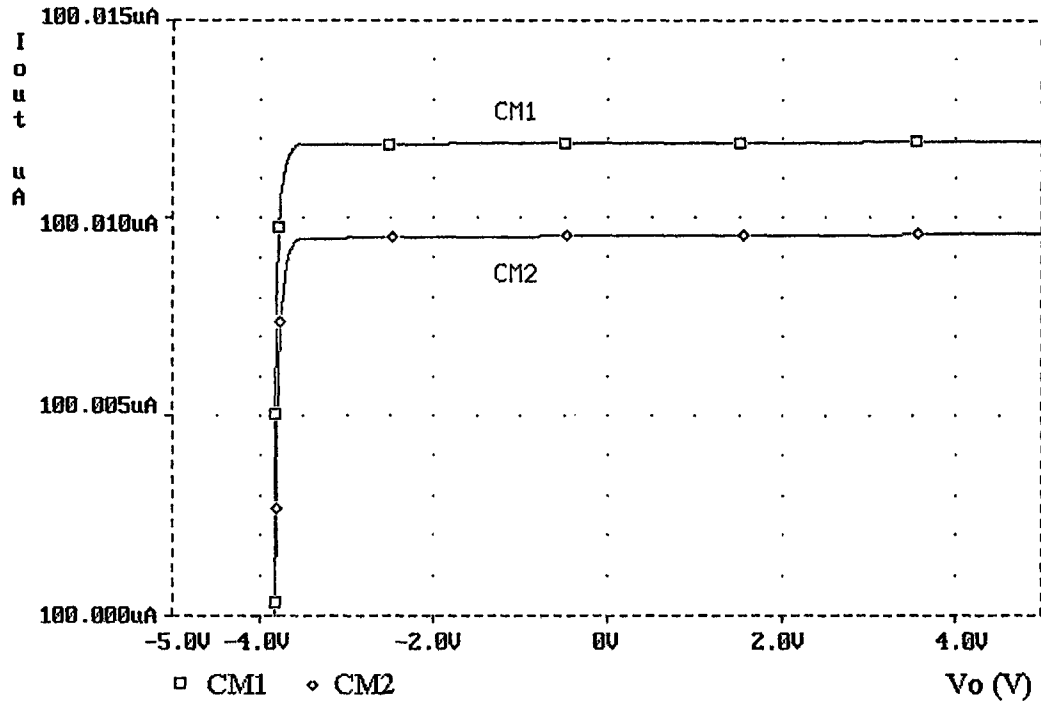
Şekil 3.27: CM1 devresinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında çıkış empedansının frekansla değişimi

Şekil 3.28’de CM1 ve CM2 devrelerinin %2’lik eşleşme problemi olduğunda farklı giriş akımlarında çıkış akımının çıkış gerilimiyle değişimi görülmektedir. Bu şekil incelendiğinde hemen hemen her iki devrenin de $100\mu\text{A}$ ’den 1mA ’e değişen sınır içinde birbirleriyle aynı çıkış akımını verdiği görülmektedir. Bu akım değerlerinin ayrıntılı analizleri $100\mu\text{A}$, $500\mu\text{A}$ ve 1mA ’lik giriş akımları için sırasıyla Şekil 3.29, Şekil 3.30, Şekil 3.31’de görülmektedir.

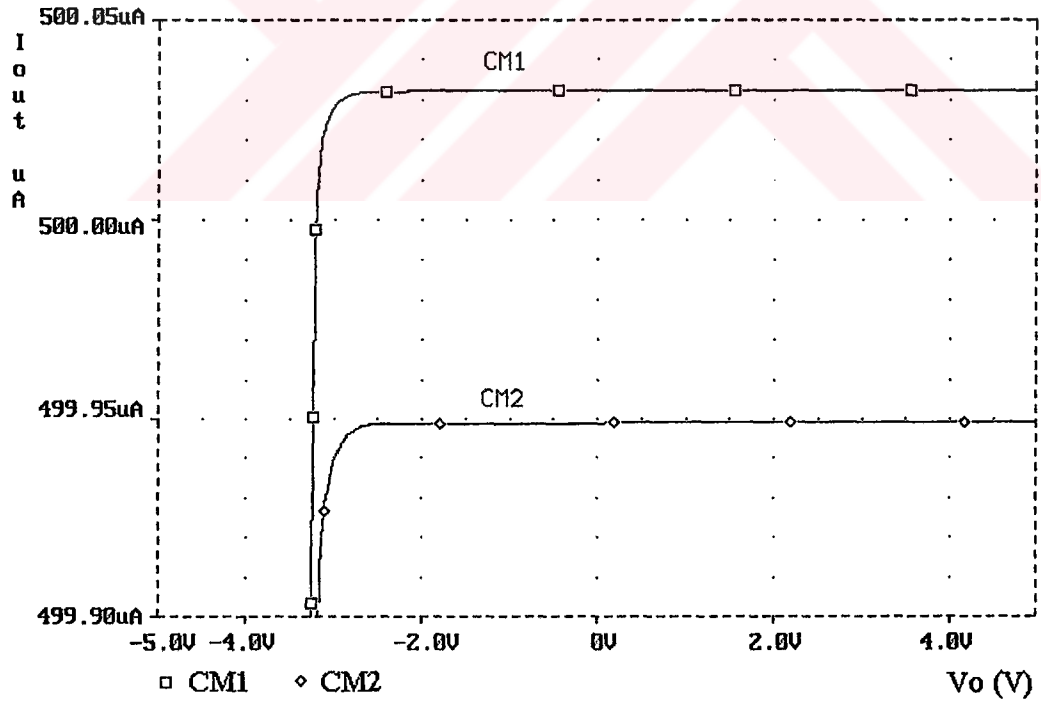
Çıkış geriliminin salınım aralığı incelendiğinde %1’lik hata payı kriter olarak alındığında CM2 devresi için $100\mu\text{A}$ ’lik giriş akımı için $V_{\text{omin}} = -4.33\text{V}$, için $500\mu\text{A}$ ’lik giriş akımı için $V_{\text{omin}} = -3.96\text{V}$, için 1mA ’lik giriş akımı için $V_{\text{omin}} = -3.58\text{V}$, CM1 devresi için $100\mu\text{A}$ ’lik giriş akımı için $V_{\text{omin}} = -4.33\text{V}$, için $500\mu\text{A}$ ’lik giriş akımı için $V_{\text{omin}} = -3.96\text{V}$, için 1mA ’lik giriş akımı için $V_{\text{omin}} = -3.58\text{V}$ değerleri bulunur. Buradan da görüldüğü gibi iki akım aynası arasında çıkış salınım aralığı arasında beklendiği gibi bir fark görülmemiştir. Ayrıca eşleşme probleminin devrelerin çıkış geriliminin salınım aralığına hiçbir etki yapmadığı görülmektedir.



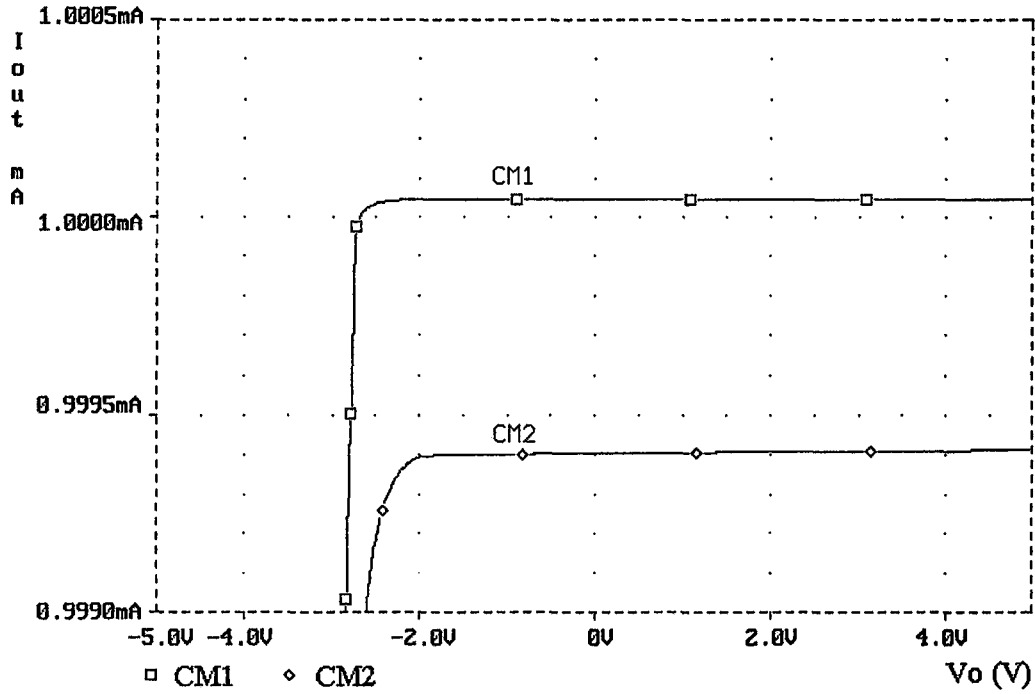
Şekil 3.28: CM1 ve CM2 devrelerinin %2’lik eşleşme problemi olduğunda farklı giriş akımlarında çıkış akımının çıkış gerilimiyle değişimi



Şekil 3.29: CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 100 \mu A$ iken çıkış akımının çıkış gerilimiyle değişimi

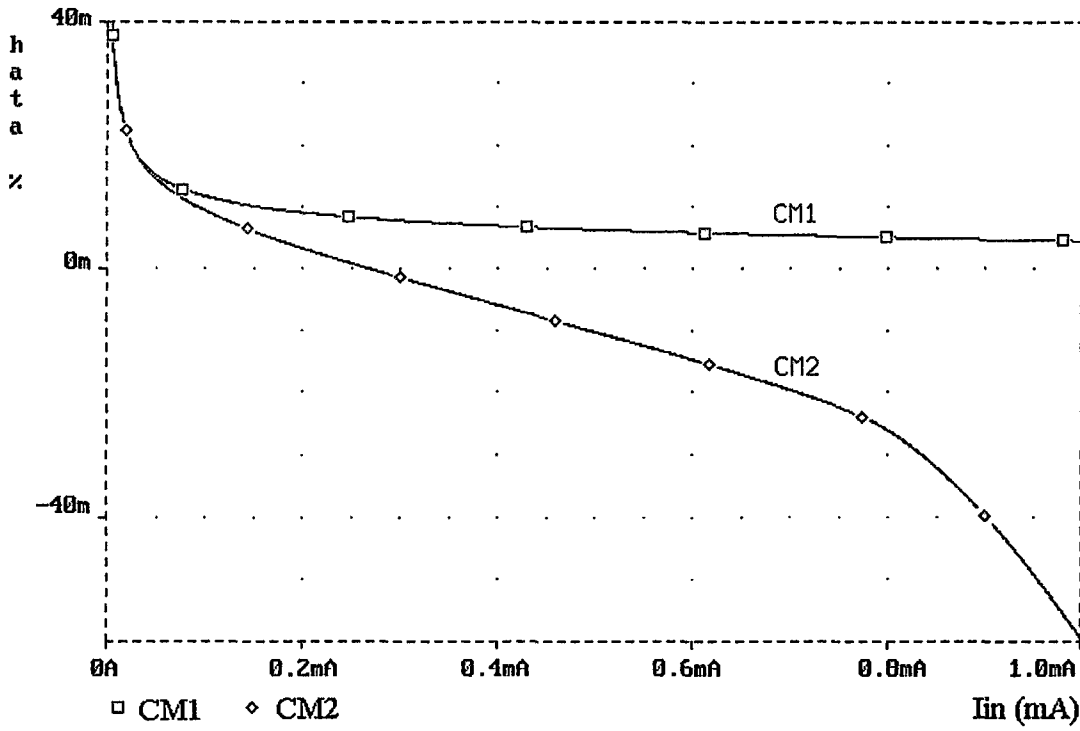


Şekil 3.30: CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 500 \mu A$ iken çıkış akımının çıkış gerilimiyle değişimi



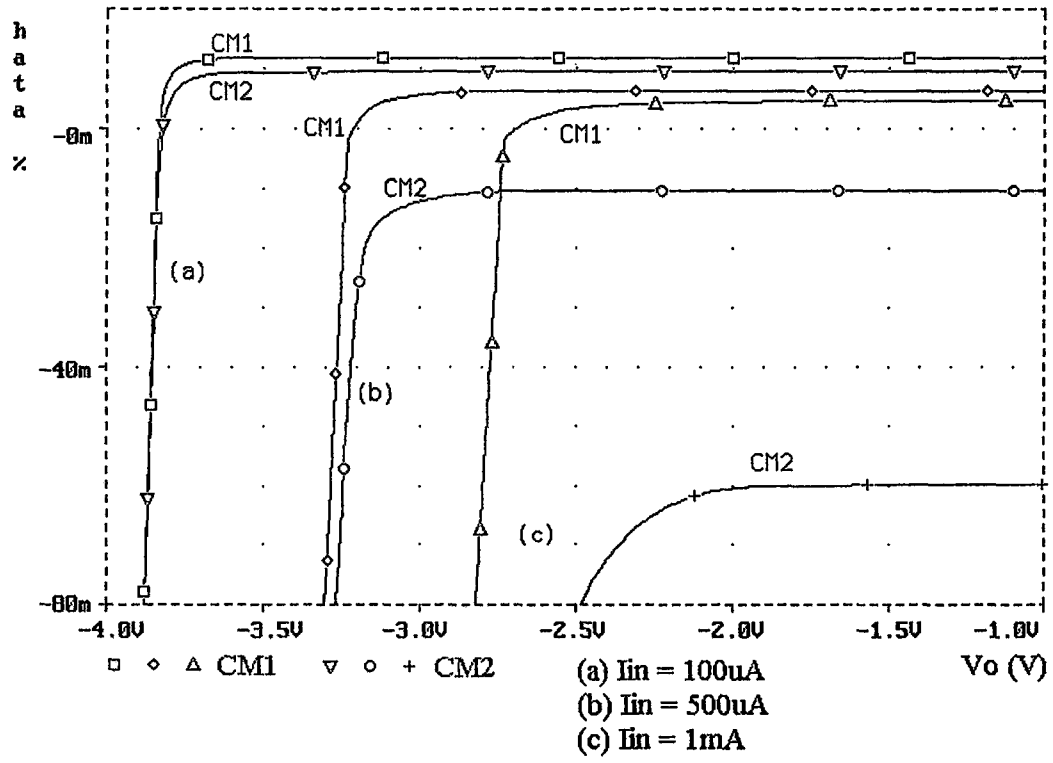
Şekil 3.31: CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 1\text{mA}$ iken çıkış akımının çıkış gerilimiyle değişimi

Şekil 3.32'de CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda akım transfer hatalarının I_{IN} giriş akımıyla değişimi görülmektedir. Bu analiz sonucu incelendiğinde, I_{OUT} çıkış akımı aktif geribeslemeli kaskod akım aynası (CM2) devresinde giriş akımının $30\mu\text{A} - 425\mu\text{A}$ aralığında (CM2 devresinde $30\mu\text{A}$ 'de %0.018633, $425\mu\text{A}$ 'de ise -%0.006096 değerinde hata olmaktadır.) aktif kazanç akım aynasından (CM1) daha az hatalı olmaktadır. Bu akım sınırları dışında ise CM1 akım aynası daha az hatalı olmaktadır. Özellikle $600\mu\text{A}$ 'lik çıkış akımı değerlerinden sonra CM1 akım aynası CM2 akım aynasından oldukça daha az hata değeri vermektedir. Ama gene de her iki devre de 1mA 'lik çıkış akımına kadar ± 0.06 'dan daha az akım transfer hatası oluşturmaktadır. CM1 akım aynası ise CM2'den farklı olarak giriş akımı arttıkça akım transfer hatası da azalmaktadır. CM2 akım aynası ise bir sıfır hata değerinden geçtikten sonra artmaya devam etmektedir. 1mA 'lik çıkış akımına kadar CM1 akım aynasının akım transfer hata oranı %0.004 - %0.04 arasında değişmekte iken, CM2 akım aynasının akım transfer hata oranı - %0.06 - %0.04 arasında değişmektedir. %2'lik eşleşme hatası olduğu durumdaki hata değerleri de tekrardan gözden geçirilince CM1 devresinin tranzistorların eşleşme probleminden daha az etkilendiği görülmektedir.

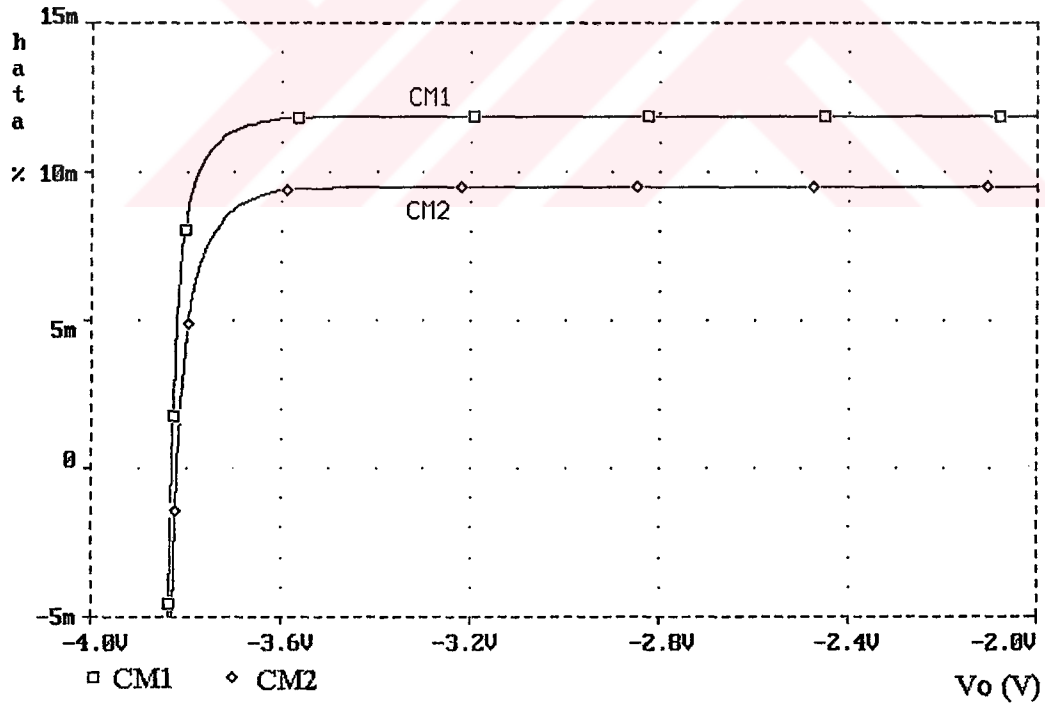


Şekil 3.32: CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda akım transfer hatalarının I_{IN} giriş akımıyla değişimi

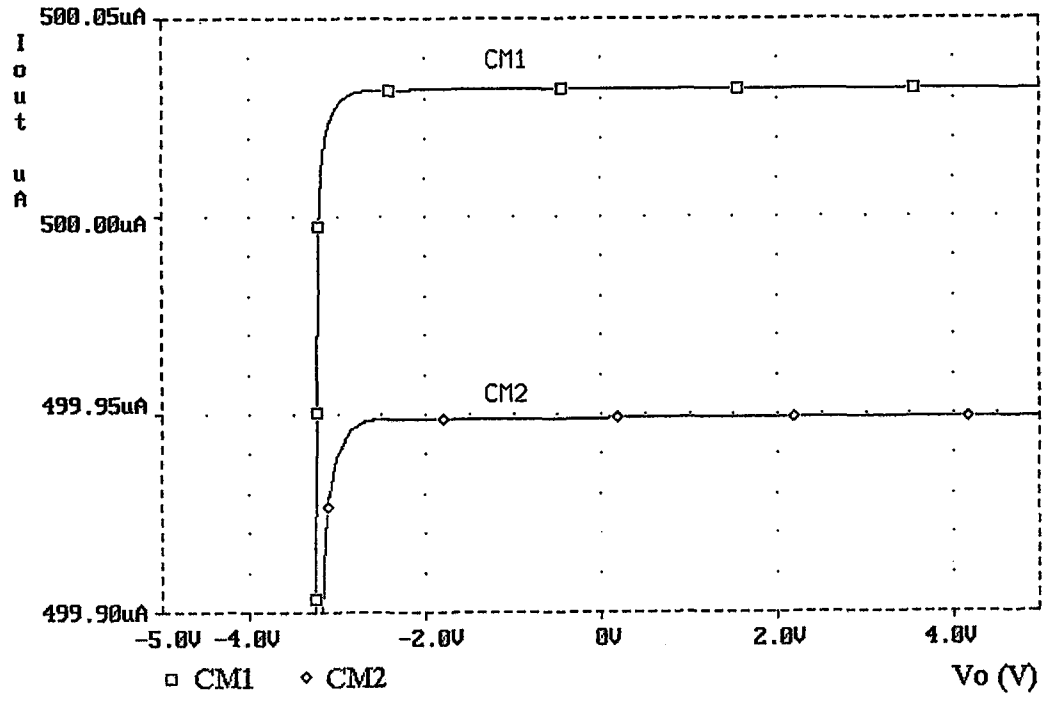
Şekil 3.33'de CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında akım transfer hatalarının V_O çıkış gerilimiyle değişimi görülmektedir. Şekil 3.34, Şekil 3.35 ve Şekil 3.36'da sırasıyla analizleri $100\mu A$, $500\mu A$ ve $1mA$ 'lik giriş akımları için akım transfer hatalarının V_O çıkış gerilimiyle değişimi daha ayrıntılı olarak görülmektedir. Bu analiz sonucu incelendiğinde, I_{OUT} çıkış akımı aktif geribeslemeli kaskod akım aynası (CM2) devresinde giriş akımının $100\mu A$ olduğu durumda $\%0.009524$, $500\mu A$ olduğu durumda $\%0.010245$, $1mA$ olduğu durumda $\%0.059709$ 'luk akım transfer hatası olmaktadır. Aktif kazanç akım aynası (CM1) devresinde ise $100\mu A$ olduğu durumda $\%0.011887$, $500\mu A$ olduğu durumda $\%0.0064494$, $1mA$ olduğu durumda $\%0.0045751$ 'lik akım transfer hatası olmaktadır. $100\mu A - 1mA$ 'lik giriş akımları sınırı içinde aktif kazançlı akım aynası (CM1) daha az hatalı olmaktadır. Ama gene de her iki devre de $1mA$ 'lik çıkış akımına kadar $\% \pm 0.06$ 'dan daha az akım transfer hatası oluşturmaktadır. Ayrıca CM2 devresinin %2'lik eşleşme probleminden daha çok etkilendiği görülmektedir. Bu da CM1 devresini daha avantajlı kılmaktadır.



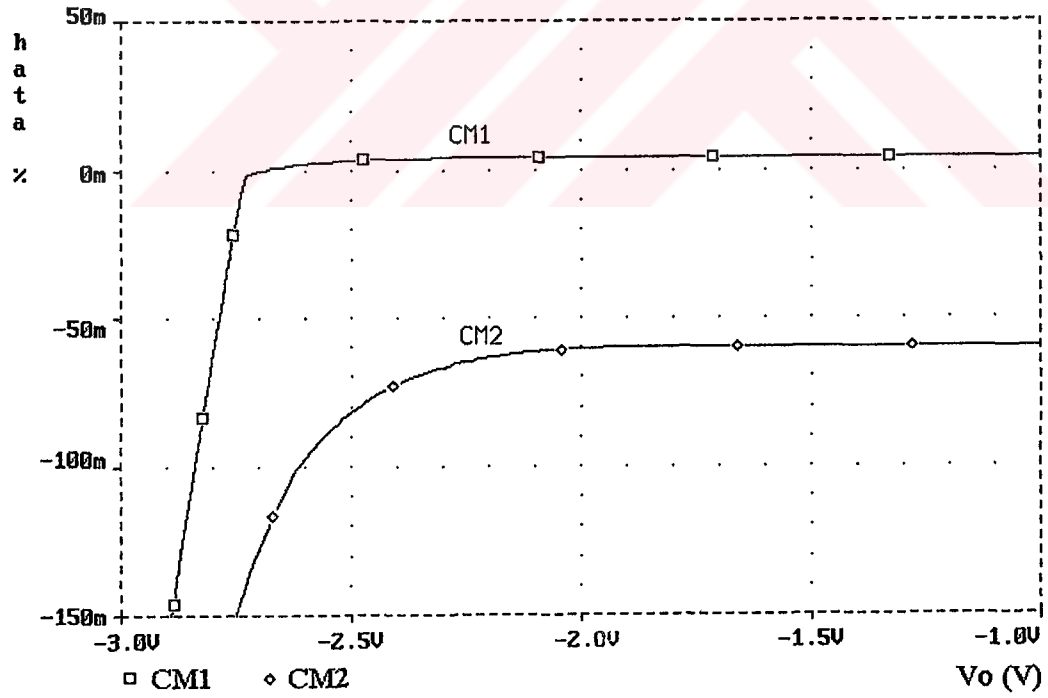
Şekil 3.33: CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda farklı giriş akımlarında akım transfer hatalarının V_O çıkış gerilimiyle değişimi



Şekil 3.34: CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 100\mu A$ iken akım transfer hatalarının V_O çıkış gerilimiyle değişimi



Şekil 3.35: CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 500\mu A$ iken akım transfer hatalarının V_o çıkış gerilimiyle değişimi



Şekil 3.36: CM1 ve CM2 devrelerinin %2'lik eşleşme problemi olduğunda $I_{IN} = 1mA$ iken akım transfer hatalarının V_o çıkış gerilimiyle değişimi

Şu ana kadar yapılan analizlerin hepsi toplu olarak Tablo 3.3 ve Tablo 3.4’de verilmiştir. Bu analizler sonucu her iki devrenin de yüksek performanslı bir akım kaynağı olduğu ve çıkış katı olarak kullanılmaya elverişli oldukları gözlenmiştir. Ama özellikle daha yüksek çıkış direncine sahip olması, tranzistorların eşleşme problemine karşı daha az duyarlı olması, güç tüketiminin daha az olması nedeniyle aktif kazanç akım aynası (CM1) DDCC+ yapısının çıkış katında kullanılmaya daha uygun bir eleman olarak tespit edilmiştir.

Tablo 3.3: CM1 ve CM2 akım aynalarının Pspice analiz sonuçları

	CM1 akım aynası			CM2 akım aynası		
	100 μ A	500 μ A	1mA	100 μ A	500 μ A	1mA
Band genişliği (Mhz)	30.36	62.823	85.776	42.963	98.866	132.453
$r_o(\Omega)$	128.888G	28.865G	12.772G	86.808G	11.286G	497.114M
V_{Omin} (V)	-4.33	-3.96	-3.58	-4.33	-3.96	-3.58
ϵ (%)	0.013388	0.0073924	0.0053668	0.017266	0.00051228	-0.048003

Tablo 3.4: CM1 ve CM2 akım aynalarının %2 eşleşme problemi olduğu durumda Pspice analiz sonuçları

	CM1 akım aynası			CM2 akım aynası		
	100 μ A	500 μ A	1mA	100 μ A	500 μ A	1mA
Band genişliği (Mhz)	30.327	62.737	85.655	43.042	98.891	131.858
$r_o(\Omega)$	129.01G	28.895G	12.786G	87.095G	11.344G	505.4M
V_{Omin} (V)	-4.33	-3.96	-3.58	-4.33	-3.96	-3.58
ϵ (%)	0.011887	0.0064494	0.0045751	0.009524	-0.010245	-0.059709

3.3 DDCC+ Yapılarının Karakterizasyonu ve Karşılaştırılmaları

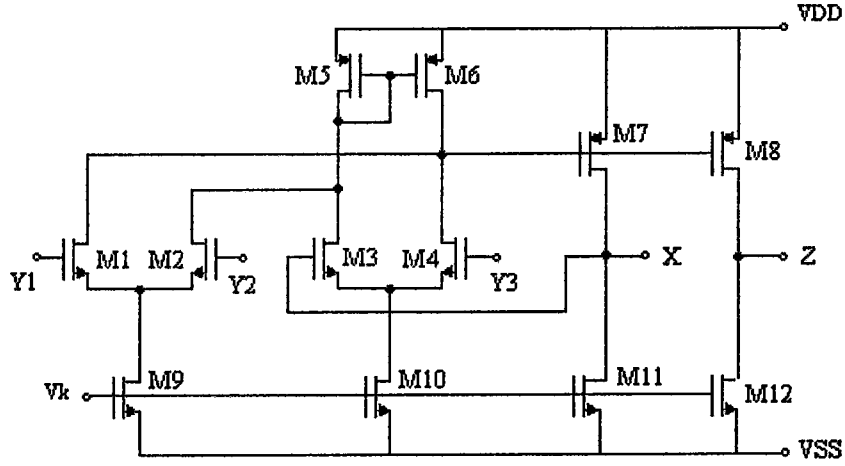
Bu bölümde önerilen CMOS DDCC+ devresi ile literatürdeki basit CMOS DDCC+ devrelerinin performansları ve önemli karakteristik özellikleri belirlenip karşılaştırılacaktır.

Bu bölümde kullanılan basit DDCC+ yapısı Şekil 3.37’de görülmektedir. Bu devrenin daha önce verilen devreden tek farkı Şekil 3.3’te verilen orijinal devre yapısındaki ideal akım kaynaklarının birer MOS tranzistorla gerçekleştirilmesidir. Bu tranzistorlar (M9 - M12), V_k kutuplama gerilimiyle kutuplanmıştır. Tablo 3.5’de basit DDCC+ devresinde kullanılan tranzistorların boyutları verilmiştir. Kullanılan tüm MOS tranzistorların kaynak düğümleri besleme gerilimlerine bağlanmıştır. Yani NMOS’un kaynağı V_{ss} ’ye, PMOS’un kaynağı V_{DD} ’ye bağlanmıştır. Kutuplama gerilimi $V_k = -4.1V$ ’tur. Besleme gerilimleri $V_{DD} = 5V$, $V_{ss} = -5V$ olarak alınmıştır.

Şekil 3.37’deki basit DDCC+ yapısıyla, Şekil 3.4’deki önerilen CMOS DDCC+ devresinin kullandığı tranzistor sayıları karşılaştırılırsa, basit DDCC+ devresi 8 nmos, 4 pmos, toplam 12 tranzistor ve 1 adet kutuplama gerilimi kullanmıştır, önerilen CMOS DDCC+ devresi ise 30 nmos, 14 pmos, toplam 44 tranzistor, 3 kutuplama gerilimi ve 1 adet kompanzasyon kapasitesi kullanmıştır. Görüldüğü gibi DDCC+ devresinden yüksek performans alınmak istendiğinden kullanılan eleman sayısında ve dolayısıyla gereken kırmık üzerindeki alanda önemli bir artış olmaktadır.

Tablo 3.5: Basit DDCC+ devresinde kullanılan tranzistorların boyutları

Tranzistor	W/L(μm)
M1, M2, M3, M4	100/6
M5, M6, M7, M8	200/12
M9, M10	492/6
M11, M12	483/6



Şekil 3.37: Basit DDCC+ devresinin ideal akım kaynağı kullanılmadan gerçekleştirilmesi

Basit DDCC+ elemanının karakterizasyonu için yapılan Pspice analiz sonuçları EK A'da verilmiştir. Önerilen DDCC+ elemanının karakterizasyonu için yapılan Pspice analiz sonuçları ise EK B'de verilmiştir.

Basit DDCC+ devresinin analizleri sonucunda Şekil A.1'de $I_x - V_{y1}$, Şekil A.2'de $I_x - V_{y2}$, Şekil A.3'de $I_x - V_{y3}$, Şekil A.4'de $I_z - V_{y1}$, Şekil A.5'de $I_z - V_{y2}$, Şekil A.6'da $I_z - V_{y3}$ değişimleri $R_x = 0, 500\Omega, 1k\Omega$ için elde edilmiştir. Bu analizler sonucunda I_x akımının 4mA'e kadar, I_z akımının 2.5mA'e kadar ulaşabildiği görülmüştür. Negatif yöndeki akım değeri de $500\mu A$ ile sınırlanmıştır.

Basit DDCC+ için, Şekil A.7'de $V_x - V_{y1}$, Şekil A.8'de $V_x - V_{y2}$, Şekil A.9'da $V_x - V_{y3}$ değişimleri $R_x = 1k\Omega, 5k\Omega$, sonsuz değerlerinde, Şekil A.10'da V_x geriliminin çeşitli V_{y3} değerlerinde $V_{y1} - V_{y2}$ ile değişim $R_x = R_z = 5k\Omega$ için, Şekil A.11'de $V_z - V_{y1}$, Şekil A.12'de $V_z - V_{y2}$, Şekil A.13'de $V_x - V_{y3}$ değişimleri $R_x = 1k\Omega$ için elde edilmiştir. Bu analizler sonucunda V_x geriliminin -1V - 4.2V arasında değişim gösterdiği, V_z geriliminin -5V - 4.6V arasında değişim gösterdiği görülmüştür. Giriş fark geriliminin -1V - 1V aralığında V_x geriliminin -2V - 3V arasında değişebildiği görülmüştür.

Basit DDCC+ için, Şekil A.14'de X ucundaki gerilim modunda band genişliği, Şekil A.15'de Z ucundaki gerilim modunda band genişliği, Şekil A.16'da I_z/I_x 'in frekansla değişimi, Şekil A.17'de I_z ve I_x 'in frekansla değişimi, Şekil A.18'de I_z akımının ve $I_x - I_z$ akım hatasının I_x akımı ile değişimi görülmektedir. Bu analizler sonucunda X ucunda band genişliği 13.16 MHz, Z ucunda band genişliği 13.22 MHz olarak

bulunmuştur. $-400\mu A \leq (I_x, I_z) \leq 400\mu A$ aralığında 50nA'ler mertebesinde hata oluşturmaktadır.

Basit DDCC+ için, Şekil A.19'da V_x/V_{y1} 'in, Şekil A.20'de V_x/V_{y2} 'nin Şekil A.21'de V_x/V_{y3} 'ün Şekil A.22'de V_z/V_{y1} 'in, Şekil A.23'de V_z/V_{y2} 'nin, Şekil A.24'de V_z/V_{y3} 'ün frekansla değişimi verilmektedir. Bu sonuçlarda R_X direncinin azalmasıyla band genişliğinin azaldığı görülmektedir.

Basit DDCC+ için, Şekil A.25'de Z_x giriş empedansının, Şekil A.26'da Z_z çıkış empedansının, Şekil A.27'de Z_{y1} Y1 ucu empedansının, Şekil A.28'de Z_{y2} Y2 ucu empedansının, Şekil A.29'da Z_{y3} Y3 ucu empedansının frekansla değişimi logaritmik olarak görülmektedir. Bu analizler sonucunda R_X giriş empedansı 19.94 Ω , R_Z çıkış empedansı 186.26 k Ω , R_{Y1} empedansı 433.243 G Ω , R_{Y2} empedansı 434.615 G Ω , R_{Y3} empedansı 1332 G Ω olarak bulunmuştur.

Basit DDCC+ için, Şekil A.30'da X ucundaki yükselme eğimini gösteren çıkış işareti, Şekil A.31'de Z ucundaki yükselme eğimini gösteren çıkış işareti, $R_x = R_z = 10k\Omega$, $C_z = 220nF$ için görülmektedir. Bu analizler sonucunda yükselme eğimi X ucunda 57.2 V/ μs , Z ucunda 144 V/ μs olarak bulunmuştur.

Önerilen DDCC+ devresinin analizleri sonucunda Şekil B.1'de $I_x - V_{y1}$, Şekil B.2'de $I_x - V_{y2}$, Şekil B.3'de $I_x - V_{y3}$, Şekil B.4'de $I_z - V_{y1}$, Şekil B.5'de $I_z - V_{y2}$, Şekil B.6'da $I_z - V_{y3}$ değişimleri $R_X = 0, 500\Omega, 1k\Omega$ için elde edilmiştir. Bu analizler sonucunda I_x akımının $\pm 5mA$ 'e kadar, I_z akımının $\pm 3.5mA$ 'e kadar ulaşabildiği görülmüştür.

Önerilen DDCC+ için, Şekil B.7'de $V_x - V_{y1}$, Şekil B.8'de $V_x - V_{y2}$, Şekil B.9'da $V_x - V_{y3}$ değişimleri $R_X = 1k\Omega, 5k\Omega$, sonsuz değerlerinde, Şekil B.10'da V_x geriliminin çeşitli V_{y3} değerlerinde $V_{y1} - V_{y2}$ ile değişim $R_X = R_Z = 5k\Omega$ için, Şekil B.11'de $V_z - V_{y1}$, Şekil B.12'de $V_z - V_{y2}$, Şekil B.13'de $V_x - V_{y3}$ değişimleri $R_X = 1k\Omega$ için elde edilmiştir. Bu analizler sonucunda V_x geriliminin $-3.5V - 2.2V$ arasında değişim gösterdiği, V_z geriliminin $\pm 5V$ 'a kadar değişim gösterdiği görülmüştür. Giriş fark geriliminin $-2.4V - 2.26V$ aralığında V_x geriliminin $-2.6V - 2.1V$ arasında değişebildiği görülmüştür.

Önerilen DDCC+ için, Şekil B.14'de X ucundaki gerilim modunda band genişliği, Şekil B.15'de Z ucundaki gerilim modunda band genişliği, Şekil B.16'da I_z/I_x 'in frekansla değişimi, Şekil B.17'de I_z ve I_x 'in frekansla değişimi, Şekil B.18'de I_z akımının ve $I_x - I_z$ akım hatasının I_x akımı ile değişimi görülmektedir. Bu analizler sonucunda X ucunda band genişliği 24.6 MHz, Z ucunda band genişliği 23 Mhz olarak bulunmuştur. $-800\mu A \leq (I_x, I_z) \leq 800\mu A$ aralığında 35nA'ler mertebesinde hata oluşturmaktadır. Bu da oldukça iyi bir akım transfer oranıdır.

Önerilen DDCC+ için, Şekil B.19'da V_x/V_{y1} 'in, Şekil B.20'de V_x/V_{y2} 'nin Şekil B.21'de V_x/V_{y3} 'ün Şekil B.22'de V_z/V_{y1} 'in, Şekil A.23'de V_z/V_{y2} 'nin, Şekil A.24'de V_z/V_{y3} 'ün frekansla değişimi verilmektedir. Bu sonuçlarda R_x direncinin azalmasıyla band genişliğinin azaldığı görülmektedir.

Önerilen DDCC+ için, Şekil A.25'de Z_x giriş empedansının, Şekil B.26'da Z_z çıkış empedansının, Şekil B.27'de Z_{y1} Y1 ucu empedansının, Şekil B.28'de Z_{y2} Y2 ucu empedansının, Şekil B.29'da Z_{y3} Y3 ucu empedansının frekansla değişimi logaritmik olarak görülmektedir. Bu analizler sonucunda R_x giriş empedansı 0.532Ω , R_z çıkış empedansı $13.653\text{ G}\Omega$, R_{Y1} empedansı $5541\text{ G}\Omega$, R_{Y2} empedansı $5541\text{ G}\Omega$, R_{Y3} empedansı $9537\text{ G}\Omega$ olarak bulunmuştur.

Önerilen DDCC+ için, Şekil B.30'da X ucundaki yükselme eğimini gösteren çıkış işareti, Şekil B.31'de Z ucundaki yükselme eğimini gösteren çıkış işareti, $R_x = R_z = 10\text{k}\Omega$, $C_z = 220\text{nF}$ için görülmektedir. Bu analizler sonucunda yükselme eğimi X ucunda $51\text{ V}/\mu\text{s}$, Z ucunda $191\text{ V}/\mu\text{s}$ olarak bulunmuştur.

Şekil 3.37'de verilen şekliyle oluşturulan basit DDCC+ ve Şekil 3.4'deki önerilen CMOS DDCC+ yapılarının genel özellikleri Tablo 3.6'de gösterilmiştir.

Tablo 3.6: DDCC+ devrelerinin karşılaştırılması

	Basit DDCC+	Önerilen DDCC+
Gerilim transfer oranı ($V_x / V_1, V_2, V_3$)	0.98 ^a	0.9983 ^a
Akım transfer oranı (I_z / I_x)	1 ^a	1 ^a
Gerilim modu band genişliği (X ucunda) (MHz)	13.16 ^a	24.6 ^a
Gerilim modu band genişliği (Z ucunda) (MHz)	13.22	23
Giriş gerilimi salınım aralığı (V)	-1 $\leftrightarrow$ 0.95 ^b	-2.7 $\leftrightarrow$ 2,24 ^b
Çıkış gerilimi salınım aralığı (V)	-4.67 $\leftrightarrow$ 3.89 ^c	-4.34 $\leftrightarrow$ 4.28 ^c
R_Z (Ω)	186.26 k	13.653 G
R_X (Ω)	19.94	0.532
R_{Y1} (Ω)	433.243 G	5541 G
R_{Y2} (Ω)	434.615 G	5541 G
R_{Y3} (Ω)	1332 G	9537 G
Yükselme eğimi (X ucunda) (V/ μ s)	57.2 ^d	51 ^d
Yükselme eğimi (Z ucunda) (V/ μ s)	144 ^d	191 ^d

^a $R_x = R_z = 1k\Omega$ için ölçülmüştür.

^b $R_x = R_z = 5k\Omega$ için ölçülmüştür.

^c $R_x = 1k\Omega$, $R_z = 10k\Omega$ için ölçülmüştür.

^d $R_x = R_z = 10k\Omega$, $C_z = 220nF$ için ölçülmüştür.

Bu değerler incelendiğinde önerilen CMOS DDCC+ devresinde özellikle R_x ve R_z direnç değerlerinde oldukça büyük bir iyileşme gözlenmektedir. Yüksek empedanslı girişlerde de (Y_1, Y_2, Y_3) oldukça büyük bir artış olmuştur. Devrenin giriş gerilim salınım aralığı ve band genişlikleri ise en az 2 kat iyileşmiştir. Her iki devrenin akım transfer oranları çok iyi olmakla birlikte, gerilim transfer oranı önerilen DDCC+ yapısında daha da iyileşerek sadece %0.17'lik bir hata yapmaktadır. Basit DDCC+ yapısında ise bu hata %2 mertebesindeydi.

4. DDCC İLE ENDÜKTANS SİMÜLATÖRÜ TASARIMI

4.1 Aktif Devre Sentezi

Direnç ve kapasite kullanılarak gerçekleştirilen R-C devrelerine ilişkin giriş fonksiyonlarının kutupları negatif reel eksen üzerinde bulunurlar. Bu nedenle, belli bir amaca uygun olarak kompleks kutuplu giriş fonksiyonlarına sahip devrelerin elde edilebilmesi için, R-C elemanları yanı sıra mutlaka bir endüktans elemanına da gerek duyulur. Ancak endüktansın:

- Histerisiz etkisi,
- Çekirdek kayıpları,
- İstenmeyen kuplajları,
- Alçak frekanslardaki büyük boyutu,
- Üretim güçlüğü,
- Tümlenmeye uygun olmayışı,
- L elemanları, genellikle ferromagnetik malzeme içerirler. Ferromagnetik malzeme içeren L elemanları özellikle yüksek frekanslarda nonlineer özellik gösterirler ve istenmeyen harmonik bileşenleri oluştururlar.
- L elemanları etrafa elektromagnetik dalga yayarlar ve aynı zamanda çevredeki elektromagnetik alanlardan etkilenebilirler. Dolayısıyla, bu elemanların devreye fazladan gürültü bileşenleri getirecekleri açıktır [85].

gibi çeşitli özellikleri vardır. Bu nedenle endüktans mühendislik açısından kullanılmasından kaçınılan bir devre elemanıdır. Endüktans elemanının yarattığı zorluklar, tasarımcıları aktif devre elemanları ile sentez yapma yoluna itmiştir.

Tasarımcılar başlangıçta sentez işlemlerini tranzistor kullanarak yapmaya çalışmışlar ancak bu aktif elemanın lineer davranışının iyi olmaması nedeniyle kolaylıkla gerçekleştirilebilen sentez yöntemleri sunamamışlardır. Sadece tranzistorun belli bir çalışma noktasındaki basit matematiksel bağıntılarla tanımlanan ideal modelini alarak, ve pasif elemanlardan sadece direnç ve kondansatör elemanını kullanarak, bazı RLC devrelerden elde edilen devre fonksiyonlarını; 1'den büyük bir kazançla ve endüktans elemanı kullanmaksızın gerçekleyen devreleri tasarlamışlardır. [58]

Tümdevre teknolojisinin gelişmesiyle çok küçük hacimlere sığdırılmış, değişik yapılarda, Op-Amp, CDBA, OTA, CC gibi aktif devre elemanları ortaya çıkmıştır. Bu devre elemanları, lineer davranışlarının iyi olması nedeniyle, aktif devre sentezinde oldukça yaygın olarak kullanılmış ve bunlarla pek çok devre tasarımları yapılmıştır. Bu çalışmalardan bazıları; en genel türden gerilim transfer fonksiyonlarını sağlayan filtre devrelerinin tasarımı ile self, jirator, FDNR (Frequency Dependent Negative Resistor - Frekanslı Bağımlı Negatif Direnç), NIC (Negative Impedance Converter – Negatif Empedans Çevirici) ve GIC (Generalized Impedance Converter – Genelleştirilmiş Empedans Çevirici) gibi devre elemanlarının simülasyonuna dayanmaktadır. Bu çalışmaların hiçbirinde endüktans elemanı kullanılmamış ve böylelikle bu elemandan kaynaklanan ve yukarıda açıklanan sorunlar tamamen ortadan kaldırılmıştır [59].

4.2 Konuya İlişkin Çalışmalar

Literatürde bir çok, iki ucu serbest endüktans simülatörü gerçekleyen aktif devre yayınlanmıştır. Bu tip devrelerin ilk kuşağı, *aktif RC endüktans simülatörü*, olarak isimlendirilen ve aktif eleman olarak işlemsel kuvvetlendirici kullanılan devrelerdir [60]. Bu ilk devre yapıları gerilim modunda çalışan devrelerdir. İkinci kuşak aktif endüktanslar, akım modlu endüktans simülatörü gibi, aktif eleman olarak akım taşıyıcı (CC) veya işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) kullanılmıştır [61-76]. Akım modlu endüktanslar, işlemsel kuvvetlendirici kullanan aktif RC endüktanslarına göre daha yüksek frekanslarda çalışabilmesi ve kullanılan pasif elemanlar arasında herhangi bir eşleşme durumu olmadığından daha avantajlı görünmektedir [64]. Bu devrelerden bazıları tek elemanla kontrol edilmekte ve minimum sayıda pasif eleman içermektedir.

Pal [67], 1981 yılında, iki ucu serbest ideal endüktans elemanının simülasyonunu yapan yeni bir devreyi dört akım taşıyıcı, dört direnç ve bir kapasite elemanı kullanarak gerçekleştirmiştir. Gerçekleştirdiği devrede bulunan tüm pasif devrede elemanları bir ucu topraklı biçimdedir. Bunun tümleştirme tekniği açısından bir avantaj olduğunu, çünkü bir ucu topraklı elemanların tümleşik olarak daha kolay gerçekleştirilebileceğini ifade eden Pal, bu nedenle sunduğu devrenin de tümleştirmeye çok uygun olduğunu savunmuştur.

Pal [68], 1981 yılında yaptığı başka bir çalışmada, iki ucu serbest endüktans gerçekleyen bir devre sunmuştur. Bu devrede, dört akım taşıyıcı, üç direnç ve bir kapasite elemanı kullanmıştır. Bu devrede, bir direnç elemanı dışında tüm pasif devre elemanları bir ucu topraklı biçimde olup, simüle endüktans elemanının değeri tek bir dirençle ayarlanabilmektedir. Pal, sunduğu bu devrenin tümleştirmeye uygun olduğunu belirtmiştir.

Singh [69], 1981 yılında, bir dirençle kontrol edilebilir, kayıpsız iki ucu serbest endüktans simülasyonunu dört akım taşıyıcı, üç direnç ve bir kapasite elemanı ile gerçekleştirmiştir. Bu devrede bir direnç elemanı dışındaki tüm pasif elemanlar bir ucu topraklı biçimdedir.

Senani [70], 1982 yılında iki ucu serbest endüktans simülasyonunu dört akım taşıyıcı ve üç pasif devre elemanı kullanarak gerçekleştirmiştir. Bu akım taşıyıcılarından biri birinci kuşak diğer üçü ise ikinci kuşak akım taşıyıcıdır. Devrede pasif devre elemanı olarak, bir ucu topraklı kapasite elemanı kullanılmıştır. Gerçekleştirdiği devrenin minimum sayıda pasif elemandan oluştuğunu, devreye ilişkin Y matrisi parametrelerinin elde edilebilmesi için bir eleman uygunlaştırmasına gerek olmadığını belirtmiştir. Ayrıca simüle endüktans değerlerinin bir ucu topraklı R_1 direnci ile bağımsız olarak kontrol edilebileceğini de belirterek sunduğu devrenin diğer iki ucu serbest endüktans simülasyonu yapan devrelere göre [68,69] daha iyi olduğunu savunmuştur.

Nandi R. ve Nandi S. [71], 1983 yılında, akım taşıyıcıları kullanarak, tek bir dirençle kontrol edilebilir, aktif parametre değişimlerine duyarsız, ideal endüktans simülasyonunu yapmışlardır. Tümdevre üretimine de uygun olduklarını savundukları bu devrenin, tek bir dirençle kontrol edilebilmesi nedeniyle, ayarlanabilir filtre veya

osilatör uygulamalarına da elverişli olduğunu belirtmişlerdir. Gerçekleştirdikleri devrede iki CCII+, üç direnç ve bir kapasite elemanı kullanmışlardır.

Toumazo ve Lidgey [72], 1985 yılında akım taşıyıcıları kullanarak genelleştirilmiş empedans çevirici (GIC) gerçekleştirmişlerdir. Empedans çevirici için dört CCII+ tipi akım taşıyıcı ve dört empedans kullanmışlardır. Kullandıkları akım taşıyıcıların her birinin temel yapısı bir işlemsel kuvvetlendirici ve iki akım aynasından meydana gelmektedir. Toumazou ve Lidgey ayrıca iki uygulama yapmışlardır. Bunlardan birincisi negatif empedans çeviriciyi kullanarak bir gerilim bölücü devresi, ikincisi ise RLC band-geçiren filtre devresidir. Buradaki L elemanı GIC'dan yararlanarak elde edilen simüle bir elemandır.

Higashimura ve Fukui [73], 1989 yılında, iki ucu serbest kayıpsız bir endüktans elemanının simülasyonunu iki CCII+, bir OTA, bir direnç ve bir kapasite elemanı kullanarak gerçekleştirmişlerdir. CCII ve OTA için tanıttıkları nulör yaklaşımının imitans simülasyon devreleri, osilatörler gibi pek çok devre tasarımlarında kolaylık sağlayacağını ifade etmişlerdir.

Singh [74], 1989 yılında, CCII- tipinde akım taşıyıcıları kullanarak iki ucu serbest endüktans simülasyonu yapmış ve basit bir RLC devreye ait uygulamayı bu simüle elemanı kullanarak gerçekleştirmiştir. Ayrıca bu devrenin gerilim transfer fonksiyonuna ilişkin kazanç-frekans karakteristiği teorik ve deneysel veriler göre çıkarmıştır.

Layos ve Haritantis [75], 1997 yılında, OTA elemanlarını kullanarak iki ucu serbest endüktans simülatörleri önermişlerdir. Daha önceleri akım taşıyıcılarıyla yapılan aktif endüktans devrelerinde kullanılan aktif elemanların OTA ile değiştirilmesi sonucu benzer devre yapılarının sistematik bir biçimde oluşabileceği gösterilmiştir.

Kiranon ve Pawarangkoon [76], 1997 yılında, 4 adet CCII+ tipinde akım taşıyıcı, bir direnç ve bir kapasite kullanarak iki ucu serbest endüktans simülasyonu yapmışlardır. Oluşturulan endüktansın değerinin bir dirençle ayarlanabildiğini belirtmişlerdir. Daha sonra basit bir RLC devreye ait uygulamayı simüle elemanı kullanarak gerçekleştirmişlerdir. Ayrıca bu devrenin, akım-frekans karakteristiği teorik ve deneysel verilere göre çıkarılmıştır.

Literatürde iki ucu serbest olmayan endüktans yapılarının dışında bir ucu topraklı endüktans yapıları da sunulmuştur. Ama bu tezde sunulacak aktif endüktans yapıları iki ucu serbest endüktans yapıları olduğundan daha çok bu konu üzerinde durulmuştur [16, 78-81].

4.3 DDCC+ ile $Z = as$ ve $Z = as+b$ Simülatörü Topolojileri

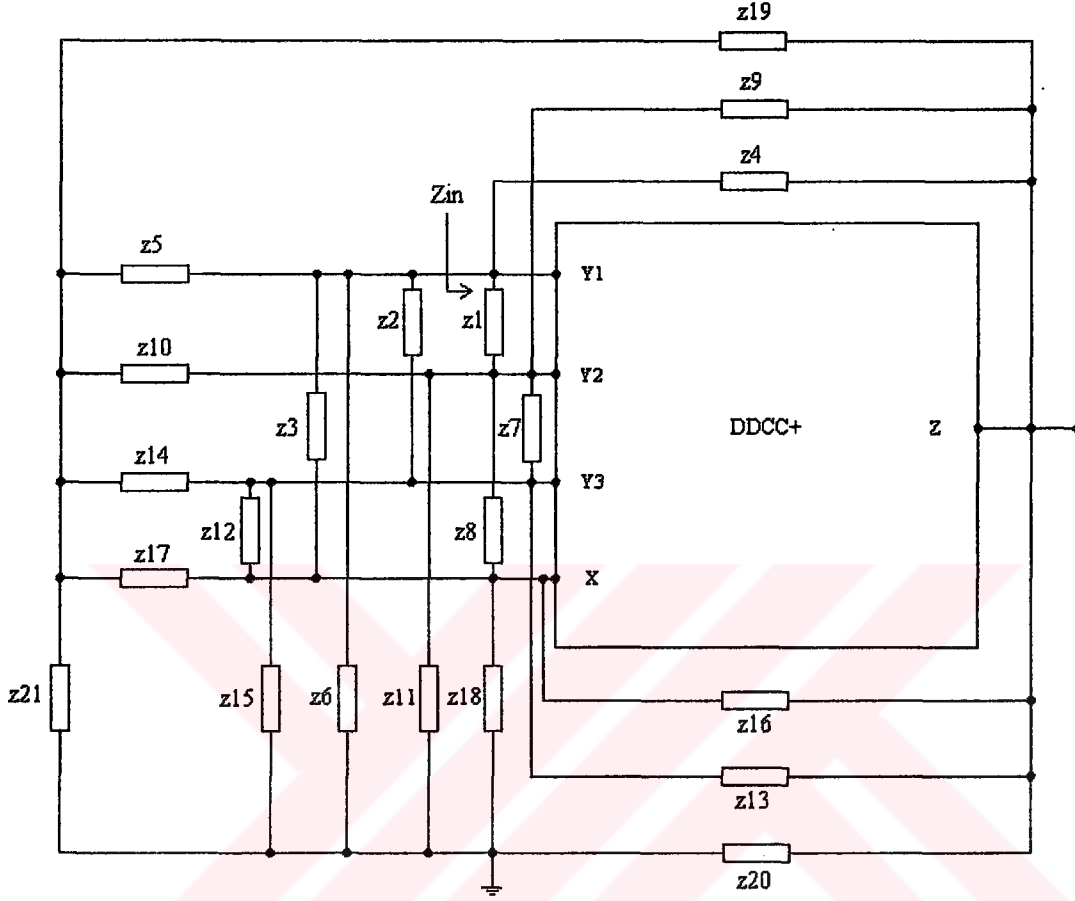
Aktif endüktans yapısı, işlemsel kuvvetlendirici, akım taşıyıcı, OTA gibi değişik aktif yapı blokları ile pasif R ve C elemanlarının uygun bir sentezi sonucu gerçekleştirilen aktif-RC yapısındaki elemanlardır.

Bu bölümde tek bir DDCC+ yapısı kullanarak kayıplı ve kayıpsız aktif endüktans yapıları elde edilmiştir. Gerçekleştirme sırasında Şekil 4.1'deki 6 düğüm+toprak devre yapısı kullanılmıştır. Bu yapıyla iki ucu serbest endüktans simülatörleri gerçekleştirilmiştir [82,83]. Bu ana yapıda olabilecek bütün kombinezasyonlar birleştirilince 21 adet pasif eleman kullanılması gerektiği görülmektedir. Bunlara ek olarak da bir aktif eleman olan bir adet DDCC+ elemanı eklenmiştir. Bu endüktans yapısının giriş uçları Y1 ve Y2 uçlarıdır. Bu iki giriş ucu arasından görülen empedans değerinden, gerçekleştirilen endüktans değeri bulunmaktadır.

Yapılan analizler sonucu Şekil 4.1'deki 21 adet pasif eleman yerine değişik kombinezonlarda direnç ve kapasite elemanları yerleştirilerek bir bilgisayar programı aracılığıyla yapılan indirgemeler sonucu 18 adet uygun endüktans simülatörü yapısı tespit edilmiştir. Oluşturulan 18 adet endüktans simülatöründe ana yapıdaki 21 adet pasif elemandan 16 tanesi direnç veya kapasite olarak kullanılmıştır. $z_1, z_2, z_{10}, z_{14}, z_{19}$ elemanları kullanılmamıştır. Yapılabilecek başka analizler sonucu burada sunulan tek DDCC+ kullanılan topolojilerin dışında başka endüktans topolojileri de oluşturulabilir. DDCC+ ile oluşturulan bu endüktans simülatörleri Ek C'de gösterilmiştir. Bu endüktans topolojilerine ait Y1 ve Y2 giriş uçlarından görülen Z_{in} giriş empedans fonksiyonları Tablo 4.1'de verilmiştir.

Oluşturulan endüktans simülatörü topolojileri incelendiğinde sadece D1 olarak gösterilmiş Şekil C.1'deki devre kayıpsız endüktans gerçeklemektedir. Şekil C.2 – Şekil C.3'de gösterilen D2-D13 topolojileri endüktans ile seri direnç oluşturmaktadır ($L + R$). Şekil C.14 – Şekil C.17'de gösterilen D14-D17 topolojileri pozitif veya

pozitif veya negatif endüktans ile seri direnç oluşturmaktadır ($\pm L + R$). Şekil C.18’de gösterilen D18 topolojisi pozitif veya negatif endüktans ile seri pozitif veya negatif direnç oluşturmaktadır ($\pm L \pm R$).



Şekil 4.1: DDCC+'ya ait 6 düğüm +toprak devre yapısı

18 tane endüktans simülatörü yapısının en önemli özelliklerinden biri de D1, D8, D11, D13, D17 yapıları hariç geri kalan 13 devre yapısının da Tablo 4.1’deki Z_{in} giriş empedans fonksiyonunu oluşturabilmek için devre içinde kullanılan pasif elemanların arasında olması gereken herhangi bir şart olmamasıdır. Bu sayede tek bir direnç değerinin ayarlanmasıyla istenilen endüktans değerine devre getirilmiş olur.

Geliştirilen endüktans yapıları optimum sayıda eleman kullanılarak gerçekleştirilmiştir. Bu yapılardan 11 tanesi (D1-D9, D12, D18) bir ucu topraklı kapasitelerle gerçekleştirilmiştir. Bu tür yapılar tümleştirme tekniğine uygundur ve kırmık üzerinde gerçekleştirmesi kolaydır [84]. Ayrıca bir ucu topraklı direnç ve kapasitelerle gerçekleştirilen devreler, anahtarlı kapasite (SC) devrelerine

dönüştürmeye uygun olup bu tür dönüştürme işlemi, devredeki her bir direnç elemanı yerine bir ucu topraklı anahtarlı kapasite konarak yapılmaktadır.

Sunulan endüktans simülatörü topolojilerinin en önemli avantajları aktif eleman olarak DDCC elemanının akım modunda çalıştırılması ve bu sayede geniş band genişliği ve yüksek lineerlik sağlanması olmakla birlikte ayrıca tek bir aktif elemanla bir çok endüktans yapısının oluşturulabilmesidir. Literatürde yapılan incelemede [Bölüm 4.2], iki ucu serbest endüktans simülatörü gerçeklemek için minimum iki adet aktif eleman kullanıldığı görülmüştür. Çoğu devre yapısında ise dört adet aktif eleman kullanılması gerekmektedir. Burada sunulan yapılarda aktif eleman olarak bir adet DDCC kullanarak eleman sayısında bir azaltmaya gidilebilmektedir. Kullanılan eleman sayısının azaltılabilmesi de büyük yapılarda yer problemini önemli ölçüde azaltacaktır.



Tablo 4.1: DDCC+ ile oluşturulmuş endüktans topolojilerinde Y1 ve Y2 giriş uçları arasındaki görülen empedans fonksiyonları

No:	Tip	Giriş Empedansı (Z_{in})	$L_{eş}$	$R_{eş}$	Şart	Pasif Eleman
D1	L	$sC_{20} \frac{R_{18}}{R_{13}} (R_{13} + R_{15}) (R_5 + R_9 + R_{17})$	$C_{20} \frac{R_{18}}{R_{13}} (R_{13} + R_{15}) (R_5 + R_9 + R_{17})$	0	$R_{15}(R_5 + R_9 + R_{17}) = R_{18}(R_5 + R_9 + R_{17} + 2R_{13})$	1C, 6R
D2	L+R	$sC_{11} R_3 R_{18} + 2R_{18}$	$C_{11} R_3 R_{18}$	$2R_{18}$	Şart yok	1C, 2R
D3	L+R	$sC_{11} R_{18} (R_5 + R_{17}) + 2R_{18}$	$C_{11} R_{18} (R_5 + R_{17})$	$2R_{18}$	Şart yok	1C, 3R
D4	L+R	$sC_{20} R_{18} (R_3 + R_9) + 2R_{18}$	$C_{20} R_{18} (R_3 + R_9)$	$2R_{18}$	Şart yok	1C, 3R
D5	L+R	$sC_{20} \frac{R_{18} R_{16}}{R_{16} + 2R_{18}} (R_5 + R_9 + R_{17}) + \frac{2R_{18}}{R_{16} + 2R_{18}} (R_5 + R_9 + R_{16} + R_{17})$	$C_{20} \frac{R_{18} R_{16}}{R_{16} + 2R_{18}} (R_5 + R_9 + R_{17})$	$\frac{2R_{18}}{R_{16} + 2R_{18}} (R_5 + R_9 + R_{16} + R_{17})$	Şart yok	1C, 5R
D6	L+R	$sC_7 \frac{R_8 R_{18}}{R_8 + 2R_{18}} (R_5 + R_{17}) + \frac{2R_{18}}{R_8 + 2R_{18}} (R_5 + R_8 + R_{17})$	$C_7 \frac{R_8 R_{18}}{R_8 + 2R_{18}} (R_5 + R_{17})$	$\frac{2R_{18}}{R_8 + 2R_{18}} (R_5 + R_8 + R_{17})$	Şart yok	1C, 4R
D7	L+R	$sC_{20} \frac{R_{16}}{2} (R_3 + R_9) + R_3 + R_9 + R_{16}$	$C_{20} \frac{R_{16}}{2} (R_3 + R_9)$	$R_3 + R_9 + R_{16}$	Şart yok	1C, 3R

D8	L+R	$sC_{11} \frac{R_9}{2} (R_4 + R_9) + R_4 + R_9$	$C_{11} \frac{R_9}{2} (R_4 + R_9)$	$R_4 + R_9$	$R_8 = R_9$	1C, 3R
D9	L+R	$sC_{13} R_{12} (R_5 + R_9 + R_{17}) + 2R_{12}$	$C_{13} R_{12} (R_5 + R_9 + R_{17})$	$2R_{12}$	Şart yok	1C, 4R
D10	L+R	$sC_7 R_3 R_{12} + 2R_{12}$	$C_7 R_3 R_{12}$	$2R_{12}$	Şart yok	1C, 2R
D11	L+R	$s2C_9 R_6 R_{11} + R_6 + R_{11}$	$s2C_9 R_6 R_{11}$	$R_6 + R_{11}$	$C_{18} = 2C_9$	2C, 2R
D12	L+R	$sC_{11} (R_5 + R_{17}) \left(R_9 + \frac{R_{16}}{2} \right) + R_5 + R_9 + R_{16} + R_{17}$	$C_{11} (R_5 + R_{17}) \left(R_9 + \frac{R_{16}}{2} \right)$	$R_5 + R_9 + R_{16} + R_{17}$	Şart yok	1C, 4R
D13	L+R	$s3C_{17} R_{19} (R_5 + R_9) + R_5 + R_9 + R_{19} + \frac{R_{19}}{R_{18}} (R_5 + R_9)$	$3C_{17} R_{19} (R_5 + R_9)$	$R_5 + R_9 + R_{19} + \frac{R_{19}}{R_{18}} (R_5 + R_9)$	$2R_{18} = R_{21}$	1C, 5R
D14	±L+R	$sC_7 (R_5 + R_7) (R_{18} - R_{15}) + 2R_{18}$	$C_7 (R_5 + R_7) (R_{18} - R_{15})$	$2R_{18}$	Şart yok	1C, 4R
D15	±L+R	$sC_7 R_3 (R_{18} - R_{15}) + 2R_{18}$	$C_7 R_3 (R_{18} - R_{15})$	$2R_{18}$	Şart yok	1C, 3R
D16	±L+R	$sC_{17} R_5 (R_{21} - R_{20}) + R_5 + R_9 + R_{20} + R_{21}$	$C_{17} R_5 (R_{21} - R_{20})$	$R_5 + R_9 + R_{20} + R_{21}$	Şart yok	1C, 4R

D17	$\pm L+R$	$s \frac{C_{17}}{3} (R_{21} - R_{20}) (R_5 + R_9)$ $+ \frac{1}{3} (R_5 + R_9 + R_{20} + R_{21})$	$\frac{C_{17}}{3} (R_{21} - R_{20}) (R_5 + R_9)$	$\frac{1}{3} (R_5 + R_9 + R_{20} + R_{21})$	$R_{16} = R_{20}$	1C, 5R
D18	$\pm L \pm R$	$s R_{12} \frac{C_{15} C_{20}}{C_{15} - C_{20}} (R_5 + R_9 + R_{17})$ $+ \frac{2 R_{12} C_{15}}{C_{15} - C_{20}}$	$R_{12} \frac{C_{15} C_{20}}{C_{15} - C_{20}} (R_5 + R_9 + R_{17})$	$\frac{2 R_{12} C_{15}}{C_{15} - C_{20}}$	Şart yok	2C, 4R

4.4 Endüktans Simülatörlerinin İncelenmesi

Şekil C.1 - Şekil C.18’de gösterilen 18 adet endüktans simülatörü yapısıyla çok büyük değerli endüktans değerleri elde edebilmek mümkündür. Büyük değerli endüktans ise düşük frekanslarda pasif endüktans yerine kullanılarak devrenin daha az boyutlara yerleşmesi sağlanmaktadır. Bu yapılar içerisindeki Şekil C.1’deki D1 devresi kayıpsız endüktans yapısı oluşturmaktadır. Bu devre ile osilatör tasarımları mümkün olabilmektedir. Şekil C.14 - Şekil C.17’de gösterilen D14-D17 devreleri ile oluşturulacak negatif endüktans ile seri direnç $(-L + R)$ yapıları hatlardaki endüktif parazitik etkileri yok etmek için kullanmaya uygundur.

Bu bölümde, oluşturulan endüktans simülatörü topolojilerinin bazılarının çalışmalarını kontrol etmek için PSPICE benzetim programı aracılığıyla çeşitli incelemeler yapılmıştır. Bu incelemelerde öncelikle endüktans devresinin ideal ve gerçek empedans-frekans karakteristiği çıkarılmış ardından her devreye bir adet sürücü akımı uygulanarak aktif endüktansın üzerinde görülen gerilimle akım karşılaştırılarak, endüktif yapılarda olması gerektiği gibi akım ile gerilim arasında 90° ’lik faz kayması olup olmadığı kontrol edilmiştir.

Bu bölümde oluşturulan 18 tane endüktans simülatörü yapısından seçilen 12 tanesi incelemeye alınmıştır. Benzer incelemeler diğer yapılar içinde yapılabilir.

İlk olarak Şekil C.1’de verilen D1 ile gösterilen kayıpsız endüktans yapısı incelenmiştir. Kayıpsız endüktans oluşturan bu devrenin giriş empedans fonksiyonu,

$$Z_{in} = \frac{sC_{20}R_{18}}{R_{13}}(R_{13} + R_{15})(R_5 + R_9 + R_{17}) \quad (4.1)$$

şeklindedir. Yalnız bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken şart,

$$R_{18}(R_5 + R_9 + 2R_{13} + R_{17}) = R_{15}(R_5 + R_9 + R_{17}) \quad (4.2)$$

şeklindedir.

Bu durumda devrenin simüle ettiği endüktans değeri,

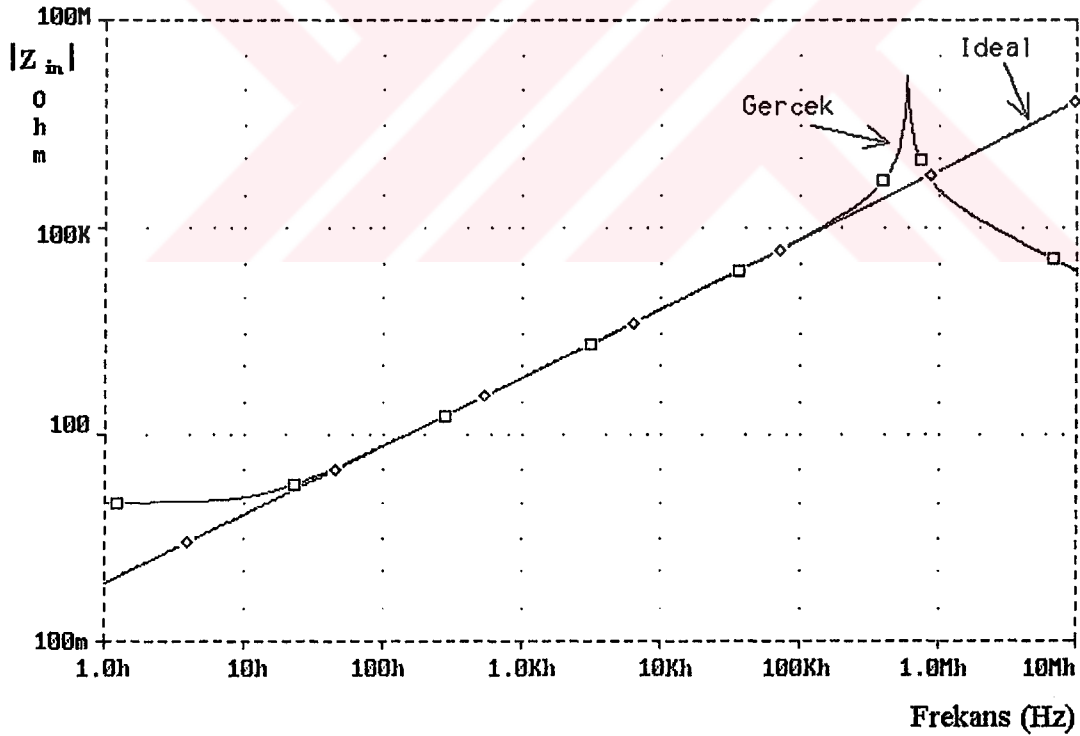
$$L_{ef} = \frac{C_{20}R_{18}}{R_{13}}(R_{13} + R_{15})(R_5 + R_9 + R_{17}) \quad (4.3)$$

şeklinde hesaplanır.

Endüktans devresinde R ve C değerlerini

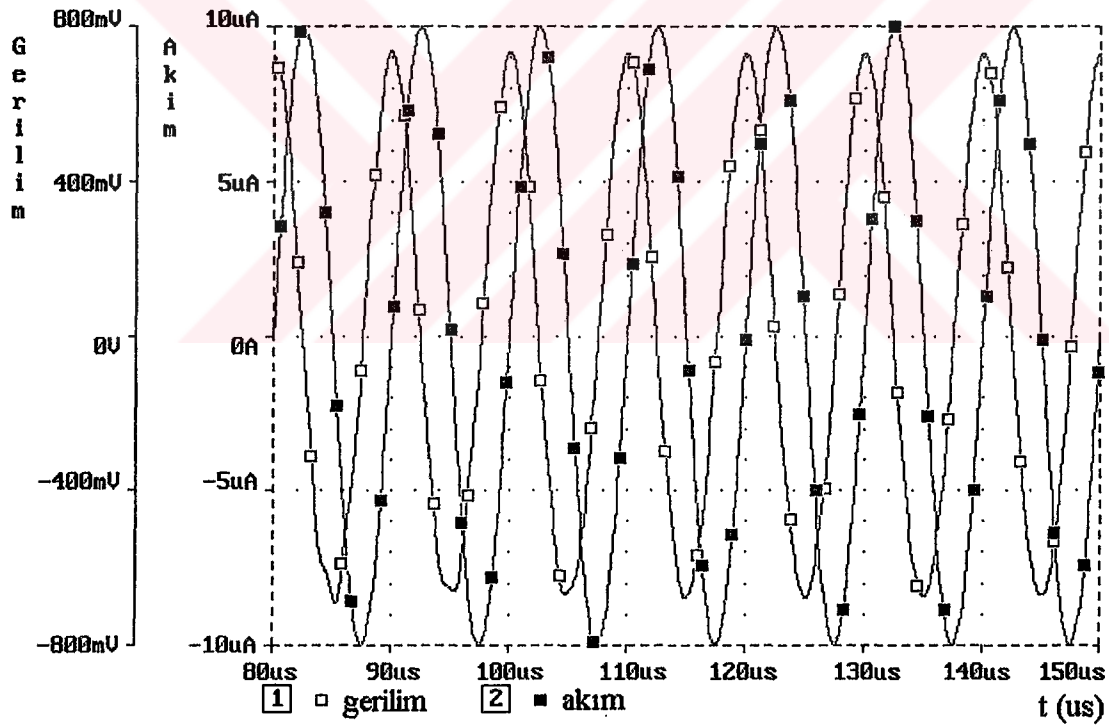
$$R_{18} = 3k, R_{13} = R_{15} = 6k, R_5 = R_9 = R_{17} = 4k, C_{20} = 1.5nF \quad (4.4)$$

şeklinde alınca teorik olarak 108mH değerinde bir endüktans elde edilmektedir. Yapılan Pspice simülasyonları sonucu 111.62mH değerinde bir endüktans elde edilmektedir. Burada %3.35'lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.2'dedir.



Şekil 4.2: D1 endüktans simülatörü devrenin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.

Şekil 4.2'den izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 200kHz'e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 200kHz'den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır. 600KHz'ler mertebesinde CMOS DDCC+ ile kurulan endüktans simülatörü yapısının empedans karakteristiğinde görülen tepe, Y1 ve Y2 giriş uçlarındaki parazitik kapasitelerle devrenin oluşturduğu endüktansın birlikte oluşturduğu rezonansın frekansıdır. Benzer durum bundan sonra incelenecek endüktans simülatörü devrelerinde de gözlenmektedir. Devrenin 100kHz'lik bir sinüs işaretine cevabı da Şekil 4.3'dedir. Şekil 4.3'den izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 10 μ A genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.3: Gerçekleştirilen D1 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.

Şekil C.2’de verilen D2 endüktans yapısı pozitif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_{in} = sC_{11}R_3R_{18} + 2R_{18} \quad (4.5)$$

şeklindedir. Bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken herhangi bir şart yoktur. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{ef} = C_{11}R_3R_{18} \quad (4.6)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

$$R_{ef} = 2R_{18} \quad (4.7)$$

şeklinde hesaplanır.

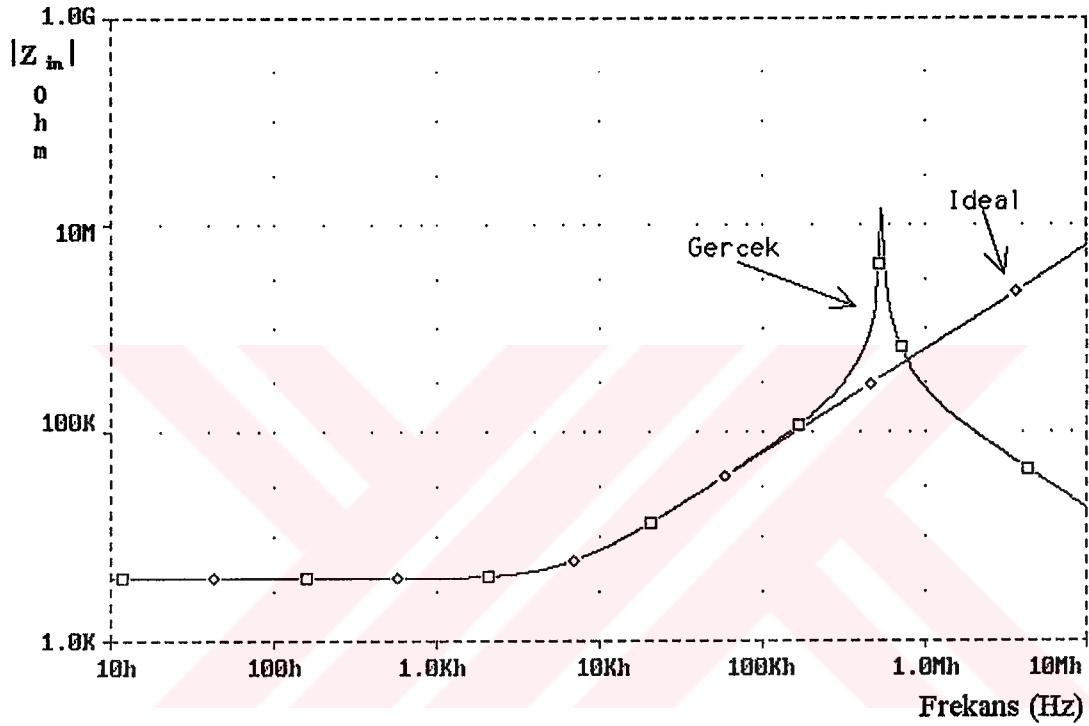
Endüktans devresinde R ve C değerlerini

$$R_3 = 10k, R_{18} = 2k, C_{11} = 5nF \quad (4.8)$$

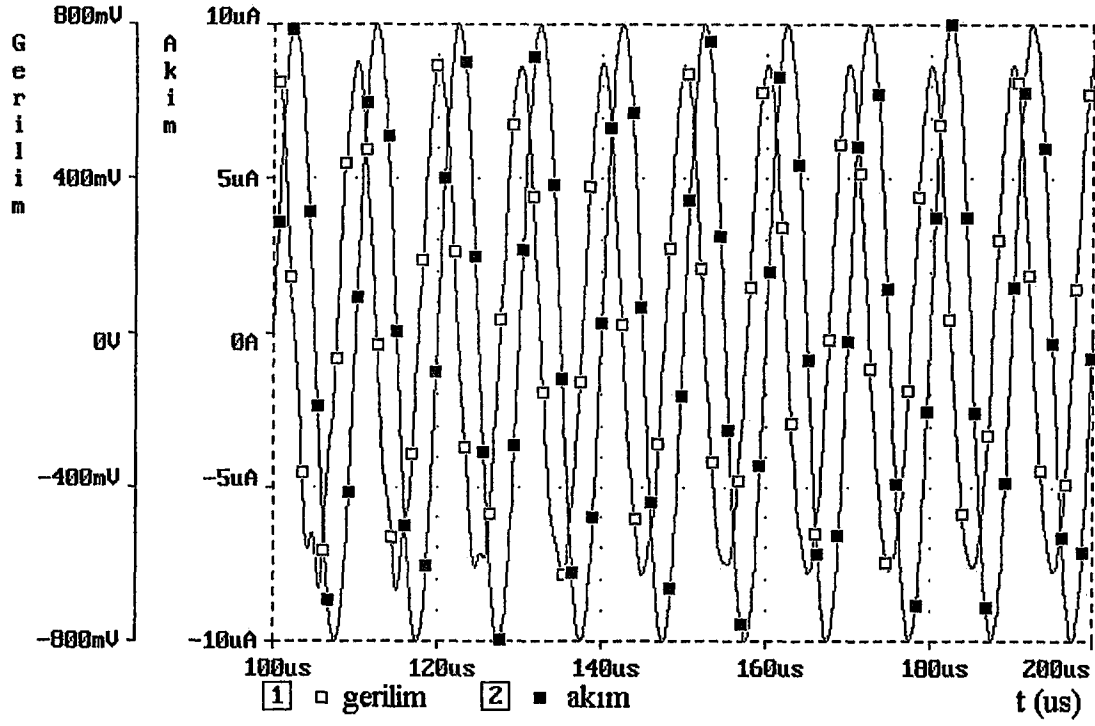
şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 4kΩ’luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 103.92mH değerinde bir endüktans ve buna seri 4kΩ’luk direnç elde edilmektedir. Buradaki endüktans değerinde %3.92’lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.4’dedir.

Şekil 4.4’den izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 200kHz’e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 200kHz’den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır Devrenin

100kHz'lik bir sinüs işaretine cevabı da Şekil 4.5'dedir. Şekil 4.5'den izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 10µA genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.4: 100 mH olarak tasarlanan D2 endüktans simülatörü devrenin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.

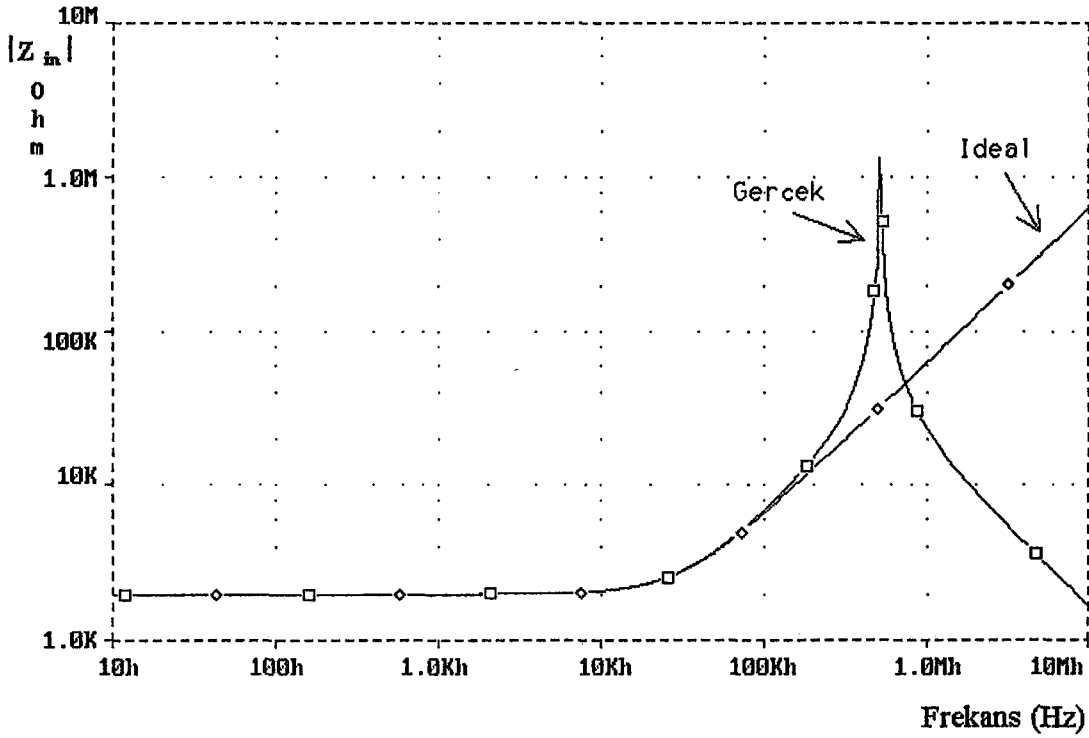


Şekil 4.5: Gerçekleştirilen 100mH'lik D2 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.

Şekil C.2'de verilen D2 endüktans yapısıyla ikinci olarak R ve C değerlerini

$$R_3 = 1k, R_{18} = 1k, C_{11} = 10nF \quad (4.9)$$

olarak teorik olarak 10mH değerinde bir endüktans ve buna seri 2k Ω 'luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 10.92mH değerinde bir endüktans ve buna seri 2k Ω 'luk direnç elde edilmektedir. Buradaki endüktans değerinde %9.2'lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.6'dadır.



Şekil 4.6: 10 mH olarak tasarlanan D2 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.

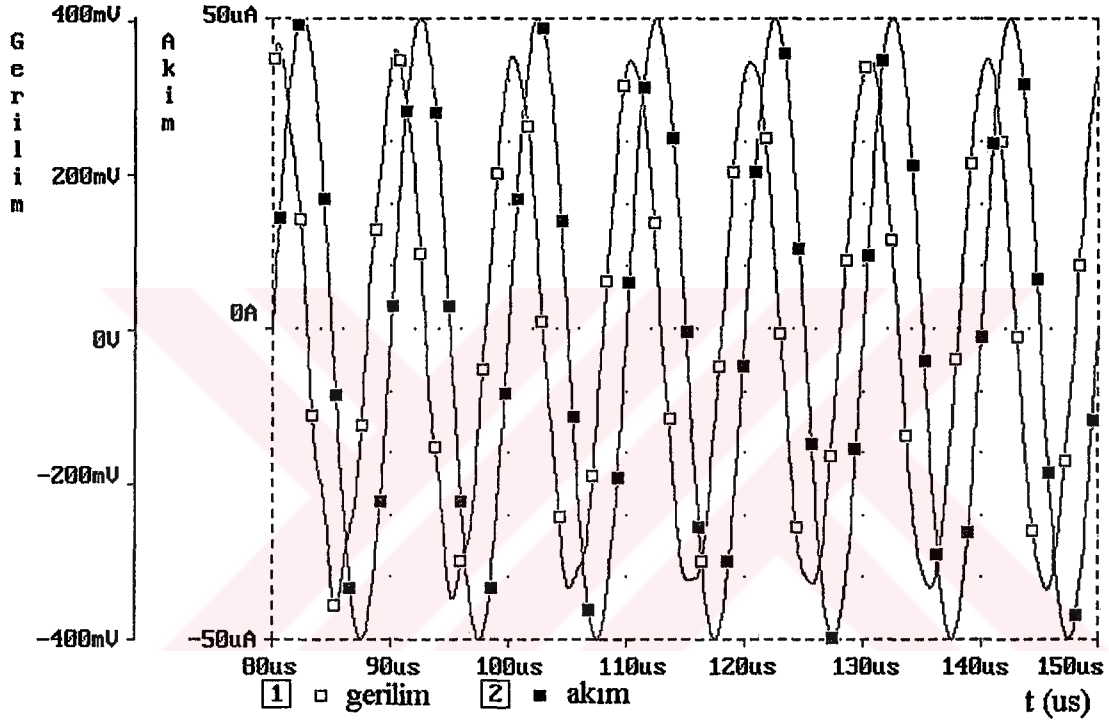
Şekil 4.6'dan izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 200kHz'e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 200kHz'den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır. Devrenin 100kHz'lik bir sinüs işaretine cevabı da Şekil 4.7'dedir. Şekil 4.7'den izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 50µA genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.

Şekil C.2'de verilen D2 endüktans yapısıyla üçüncü olarak R ve C değerlerini

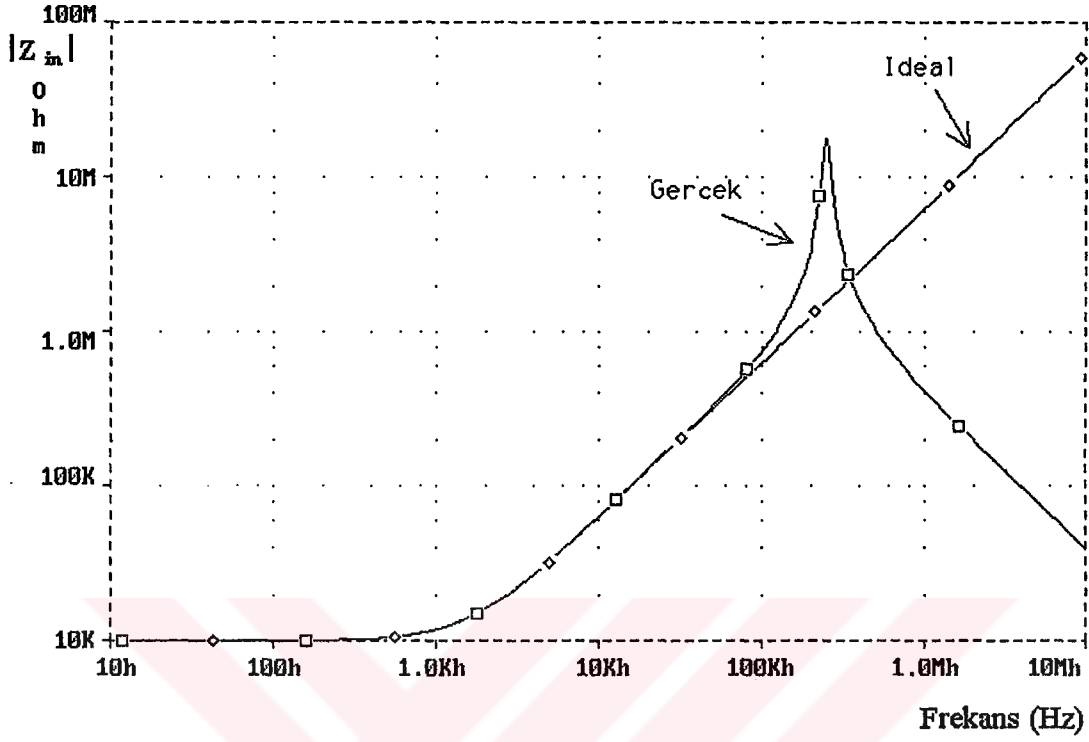
$$R_3 = 20k, R_{18} = 5k, C_{11} = 10nF \quad (4.9)$$

olarak teorik olarak 1H değerinde bir endüktans ve buna seri 10kΩ'luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 1.0447H değerinde bir

endüktans ve buna seri $10k\Omega$ 'luk direnç elde edilmektedir. Buradaki endüktans değerinde %4.47'lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.8'dedir.



Şekil 4.7: Gerçekleştirilen 10mH'lik D2 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.



Şekil 4.8: 1H olarak tasarlanan D2 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.

Şekil 4.8'dan izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 80kHz'e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 80kHz'den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır. Devrenin 50kHz'lik bir sinüs işaretine cevabı da Şekil 4.9'dadır. Şekil 4.9'dan izlenebileceği gibi, simüle edilen endüktans devresine 50kHz frekanslı ve 2 μ A genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.

Şekil C.3’de verilen D3 endüktans yapısı pozitif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_{in} = sC_{11}R_{18}(R_5 + R_{17}) + 2R_{18} \quad (4.10)$$

şeklindedir. Bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken herhangi bir şart yoktur. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{eş} = C_{11}R_{18}(R_5 + R_{17}) \quad (4.11)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

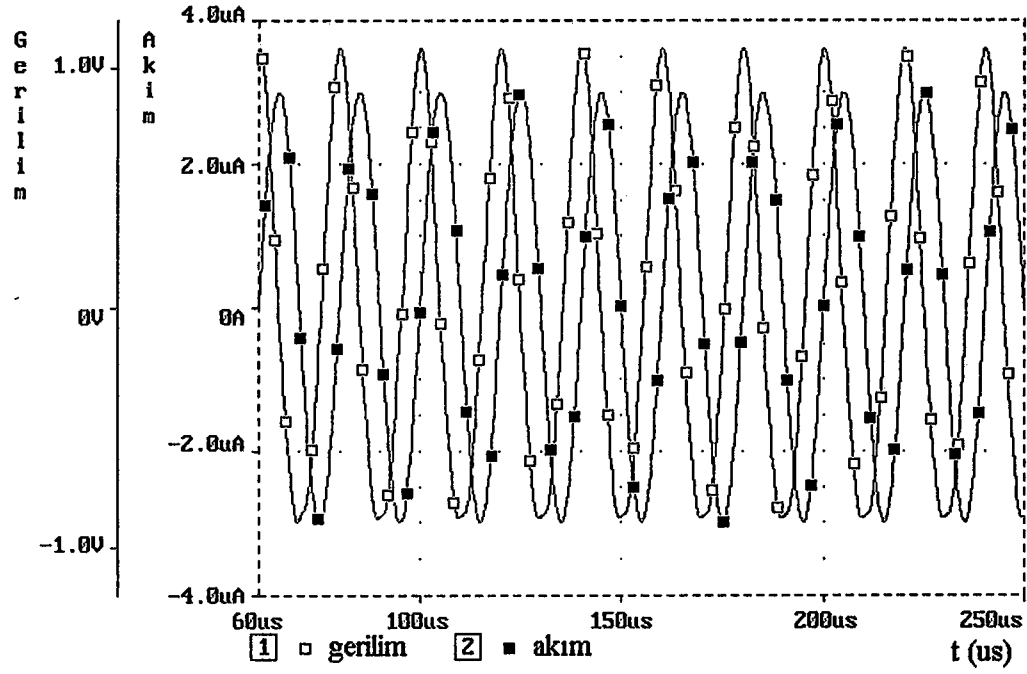
$$R_{eş} = 2R_{18} \quad (4.12)$$

şeklinde hesaplanır.

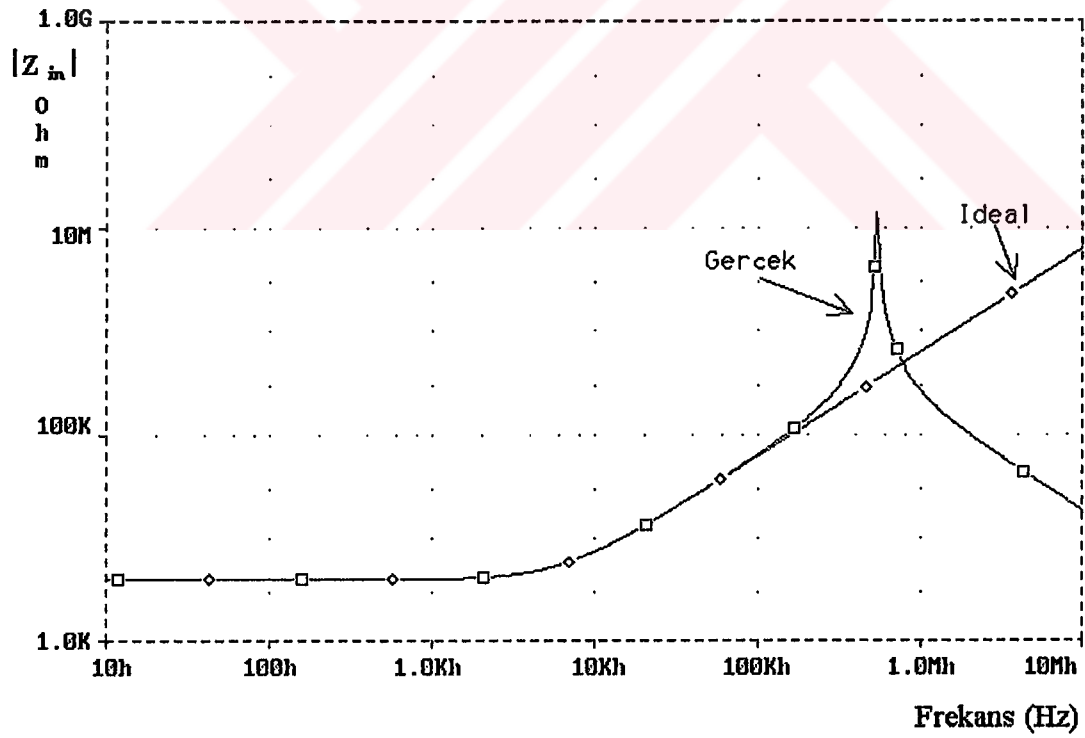
Endüktans devresinde R ve C değerlerini

$$R_5 = R_{17} = 5k, R_{18} = 2k, C_{11} = 5nF \quad (4.13)$$

şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 4kΩ'luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 103.92mH değerinde bir endüktans ve buna seri 4kΩ'luk direnç elde edilmektedir. Buradaki endüktans değerinde %3.92’lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.10’dadır.

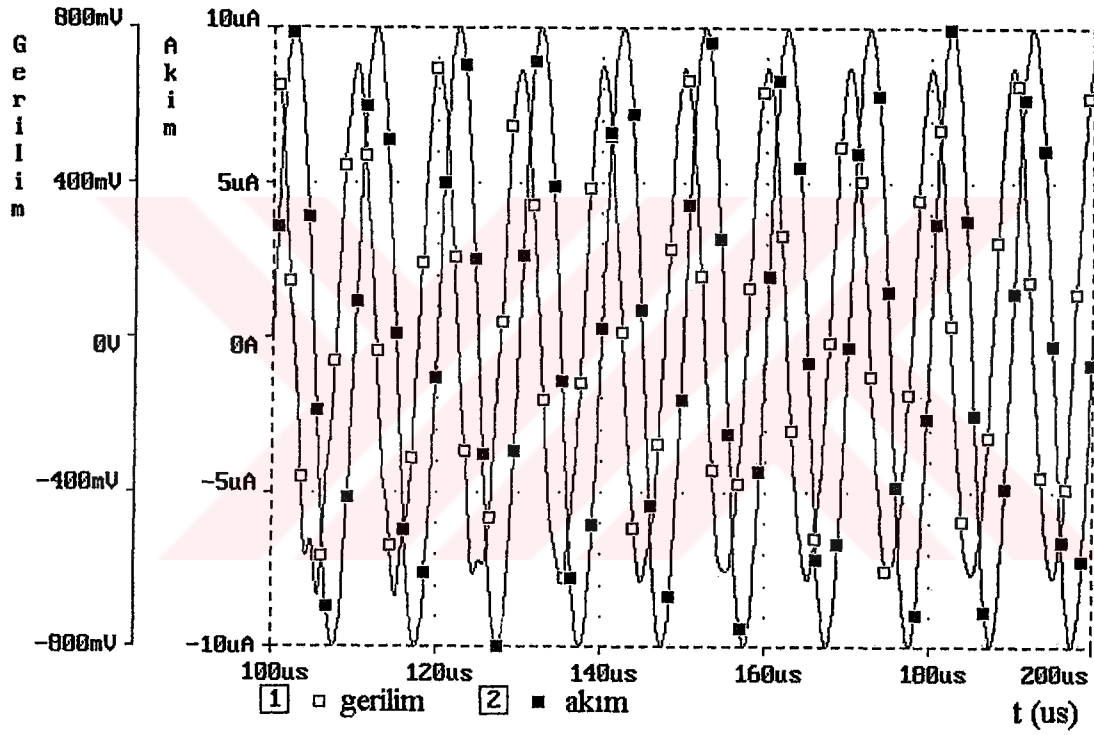


Şekil 4.9: Gerçekleştirilen 1H'lık D2 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.



Şekil 4.10: D3 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.

Şekil 4.10'dan izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 200kHz'e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 200kHz'den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır Devrenin 100kHz'lik bir sinüs işaretine cevabı da Şekil 4.11'dedir. Şekil 4.11'den izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 10µA genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.11: Gerçekleştirilen D3 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.

Şekil C.4'de verilen D4 endüktans yapısı pozitif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_m = sC_{20}R_{18}(R_3 + R_9) + 2R_{18} \quad (4.14)$$

şeklindedir. Bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken herhangi bir şart yoktur. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{ef} = C_{20} R_{18} (R_3 + R_9) \quad (4.15)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

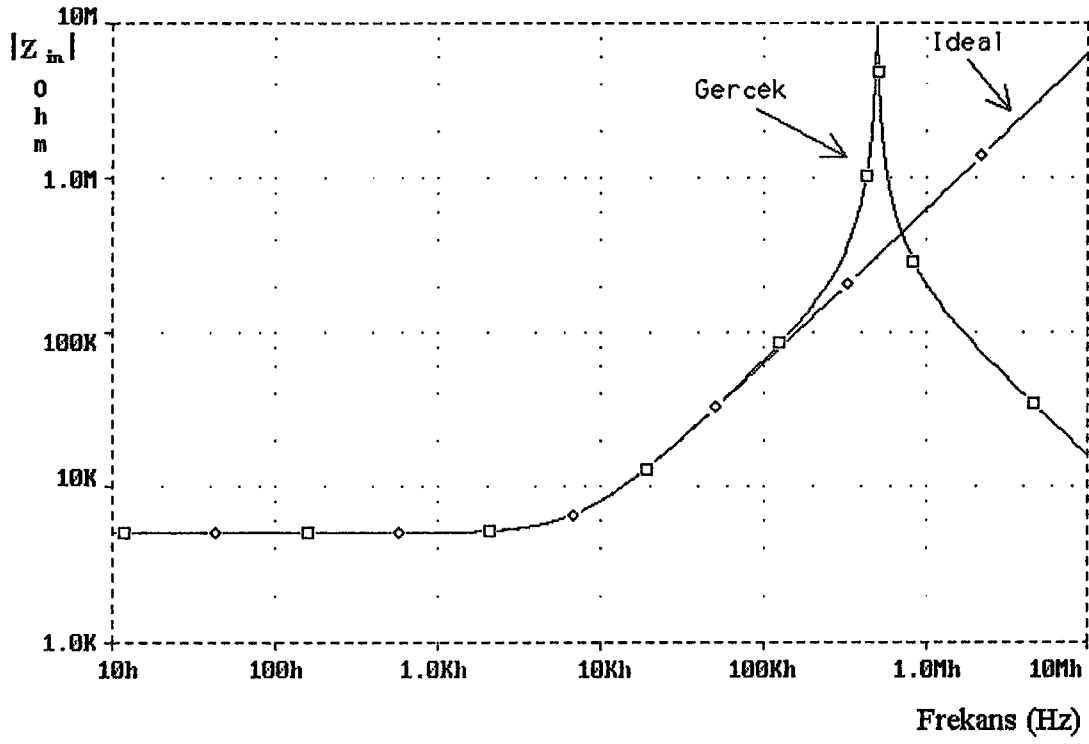
$$R_{ef} = 2R_{18} \quad (4.16)$$

şeklinde hesaplanır.

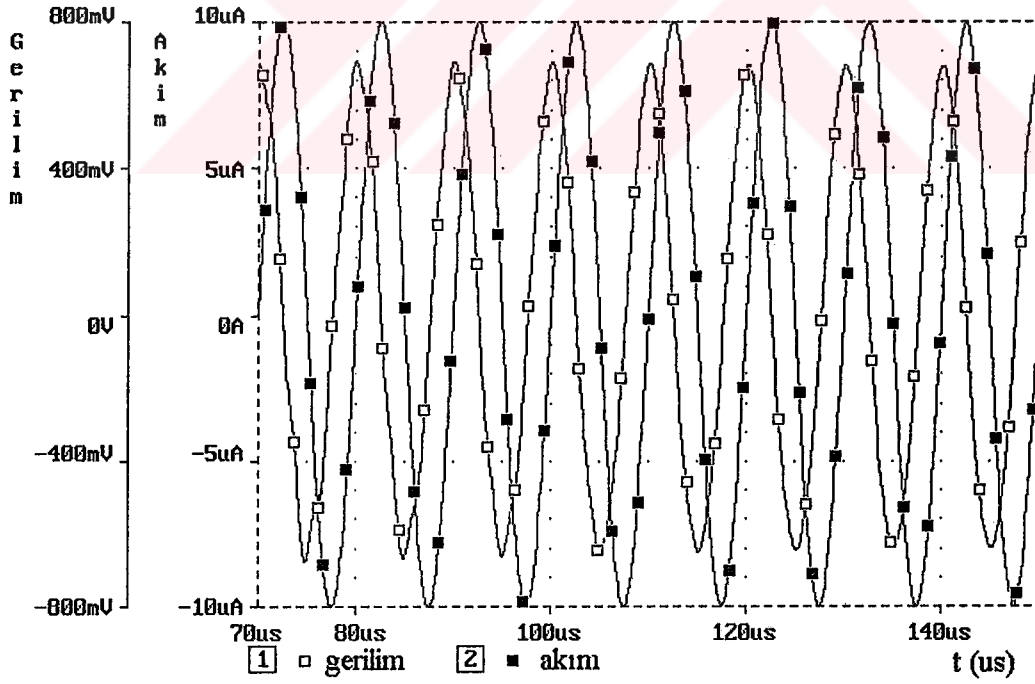
Endüktans devresinde R ve C değerlerini

$$R_3 = R_9 = 4k, R_{18} = 2.5k, C_{20} = 5nF \quad (4.17)$$

şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 5kΩ'luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 104.75mH değerinde bir endüktans ve buna seri 5kΩ'luk direnç elde edilmektedir. Buradaki endüktans değerinde %4.75'lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.12'dedir. Şekil 4.12'den izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 200kHz'e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 200kHz'den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır. Devrenin 100kHz'lik bir sinüs işarete cevabı da Şekil 4.13'dedir. Şekil 4.13'den izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 10μA genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.12: D4 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.



Şekil 4.13: Gerçekleştirilen D4 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri.

Şekil C.5’de verilen D5 endüktans yapısı pozitif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_{in} = sC_{20} \frac{R_{18}R_{16}}{R_{16} + 2R_{18}} (R_5 + R_9 + R_{17}) \quad (4.18)$$

şeklindedir. Bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken herhangi bir şart yoktur. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{ef} = C_{20} \frac{R_{18}R_{16}}{R_{16} + 2R_{18}} (R_5 + R_9 + R_{17}) \quad (4.19)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

$$R_{es} = \frac{2R_{18}}{R_{16} + 2R_{18}} (R_5 + R_9 + R_{16} + R_{17}) \quad (4.20)$$

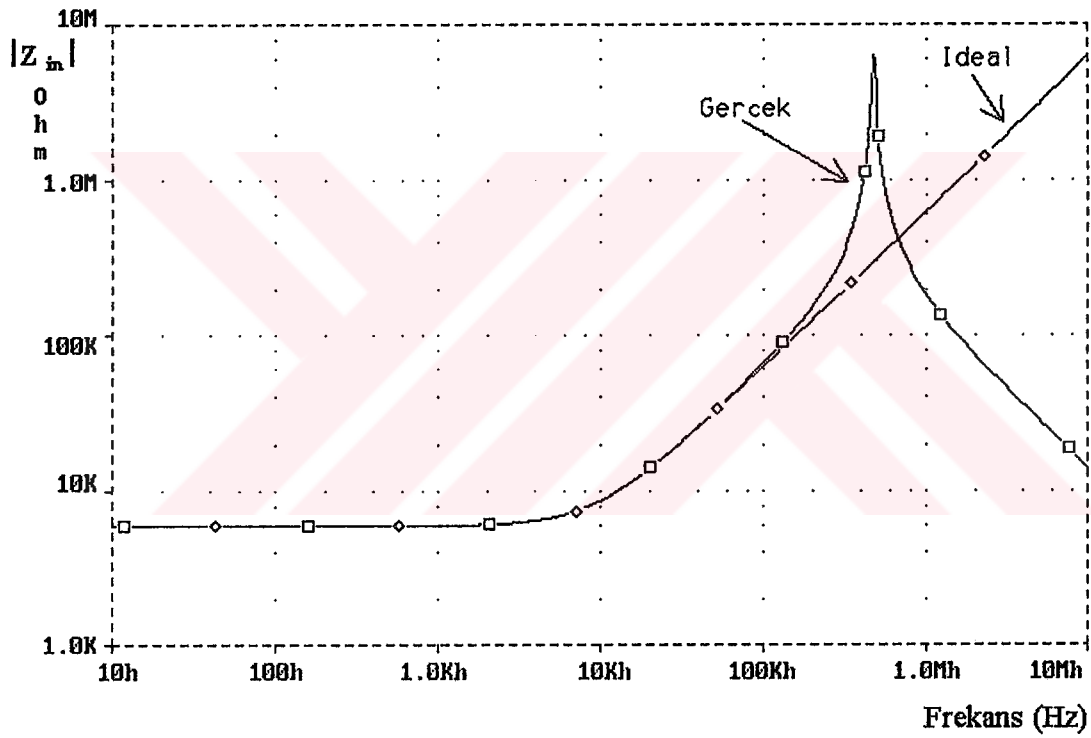
şeklinde hesaplanır.

Endüktans devresinde R ve C değerlerini

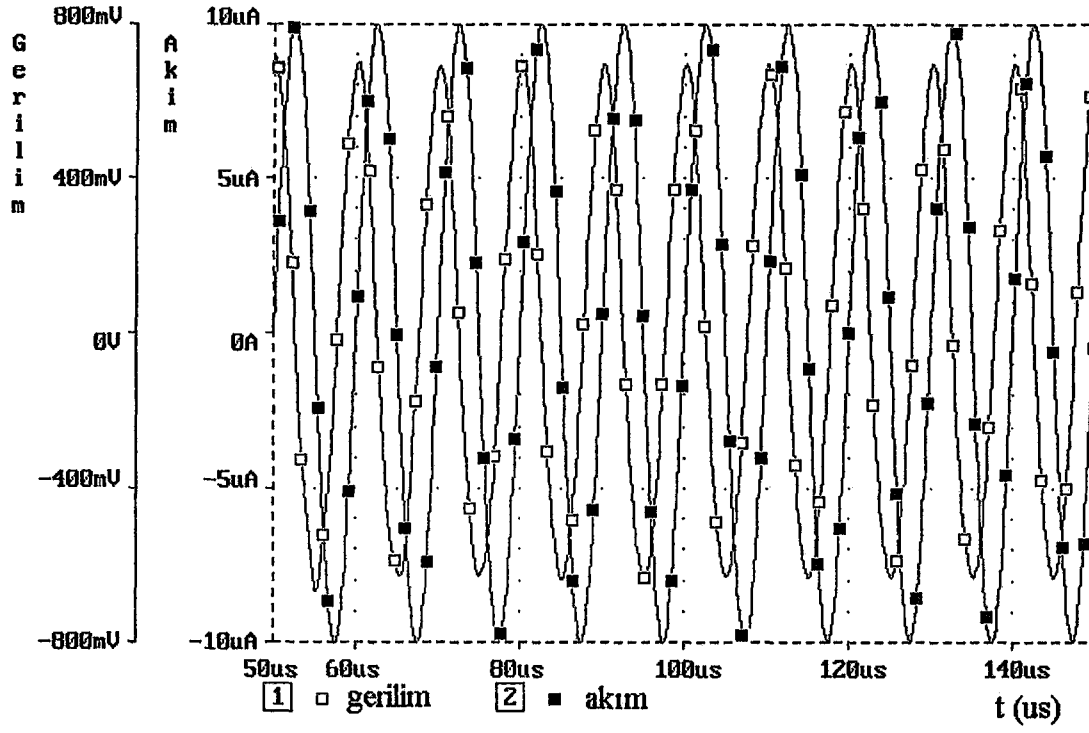
$$R_5 = R_{16} = 4k, R_9 = R_{17} = R_{18} = 2k, C_{20} = 12.5nF \quad (4.21)$$

şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 6kΩ’luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 105.29mH değerinde bir endüktans ve buna seri 6kΩ’luk direnç elde edilmektedir. Buradaki endüktans değerinde %5.29’luk bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.14’dedir. Şekil 4.14’den izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 200kHz’e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 200kHz’den yüksek frekanslarda CMOS devrenin ideal

olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır. Devrenin 100kHz'lik bir sinüs işarete cevabı da Şekil 4.15'dedir. Şekil 4.15'den izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 10 μ A genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.14: D5 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.



Şekil 4.15: Gerçekleştirilen D5 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri

Şekil C.6'da verilen D6 endüktans yapısı pozitif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_{in} = sC_7 \frac{R_8 R_{18}}{R_8 + 2R_{18}} (R_5 + R_{17}) \quad (4.22)$$

şeklinde. Bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken herhangi bir şart yoktur. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{eq} = C_7 \frac{R_8 R_{18}}{R_8 + 2R_{18}} (R_5 + R_{17}) \quad (4.23)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

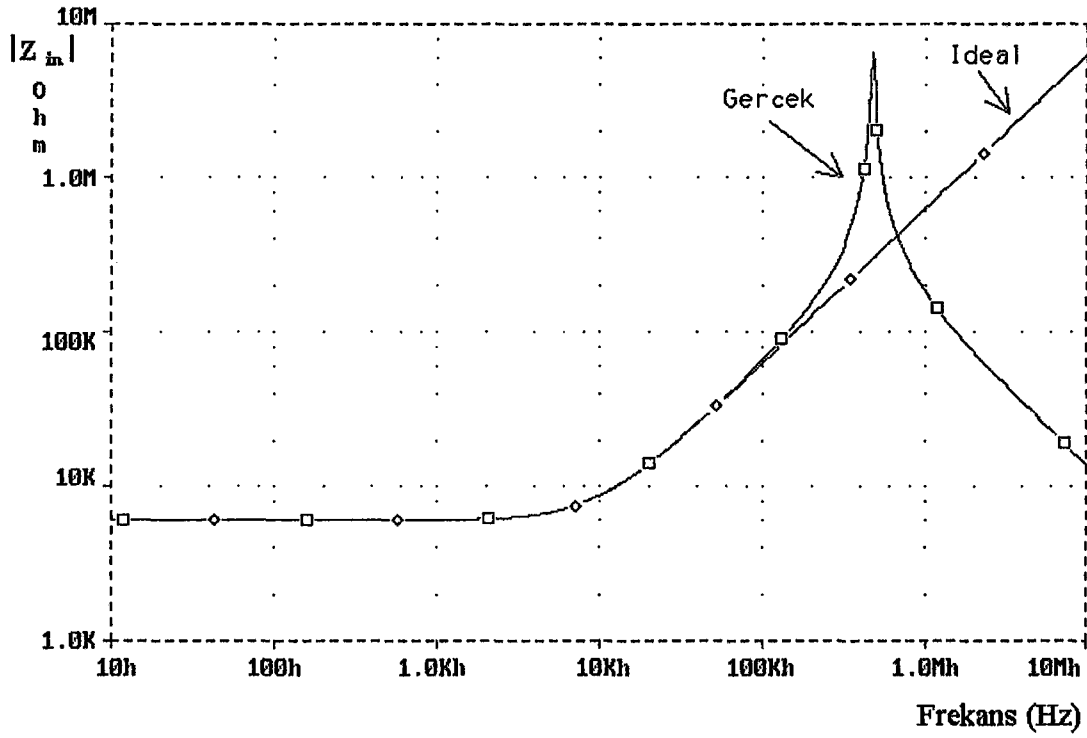
$$R_{es} = \frac{2R_{18}}{R_8 + 2R_{18}} (R_5 + R_8 + R_{17}) \quad (4.24)$$

şeklinde hesaplanır.

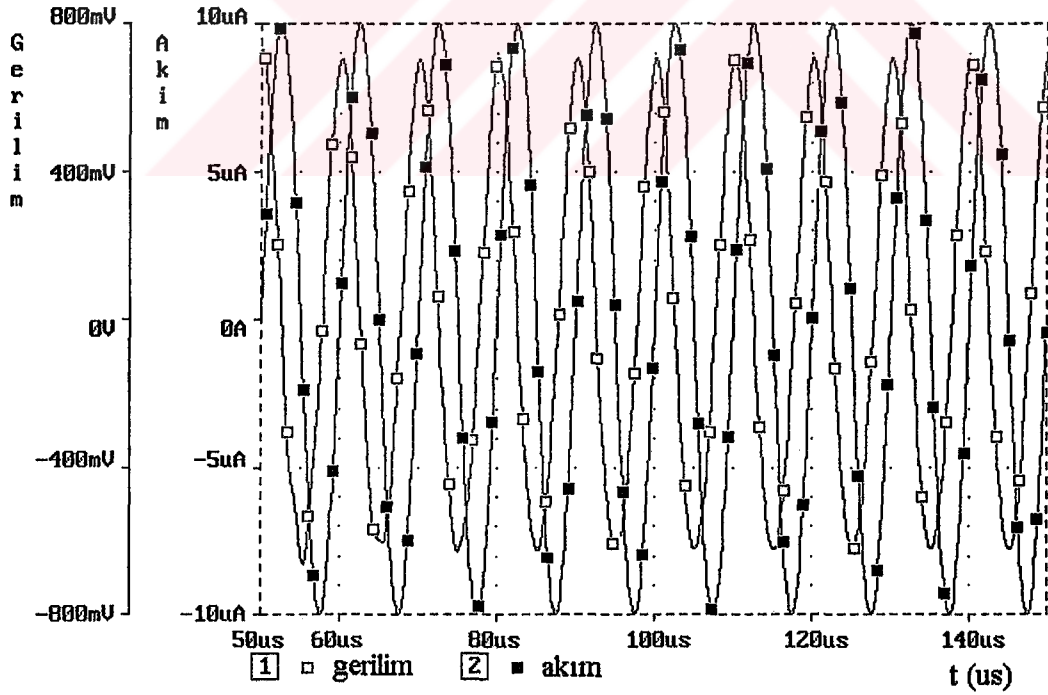
Endüktans devresinde R ve C değerlerini

$$R_5 = R_8 = R_{17} = 4k, R_{18} = 2k, C_7 = 12.5nF \quad (4.25)$$

şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 6kΩ'luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 105.32mH değerinde bir endüktans ve buna seri 6kΩ'luk direnç elde edilmektedir. Buradaki endüktans değerinde %5.32'lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.16'dadır. Şekil 4.16'dan izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 100kHz'e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 100kHz'den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır. Devrenin 100kHz'lik bir sinüs işaretine cevabı da Şekil 4.17'dedir. Şekil 4.17'den izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 10μA genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.16: D6 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.



Şekil 4.17: Gerçekleştirilen D6 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri

Şekil C.7’de verilen D7 endüktans yapısı pozitif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_m = sC_{20} \frac{R_{16}}{2} (R_3 + R_9) + R_3 + R_9 + R_{16} \quad (4.26)$$

şeklindedir. Bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken herhangi bir şart yoktur. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{eş} = C_{20} \frac{R_{16}}{2} (R_3 + R_9) \quad (4.27)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

$$R_{eş} = R_3 + R_9 + R_{16} \quad (4.28)$$

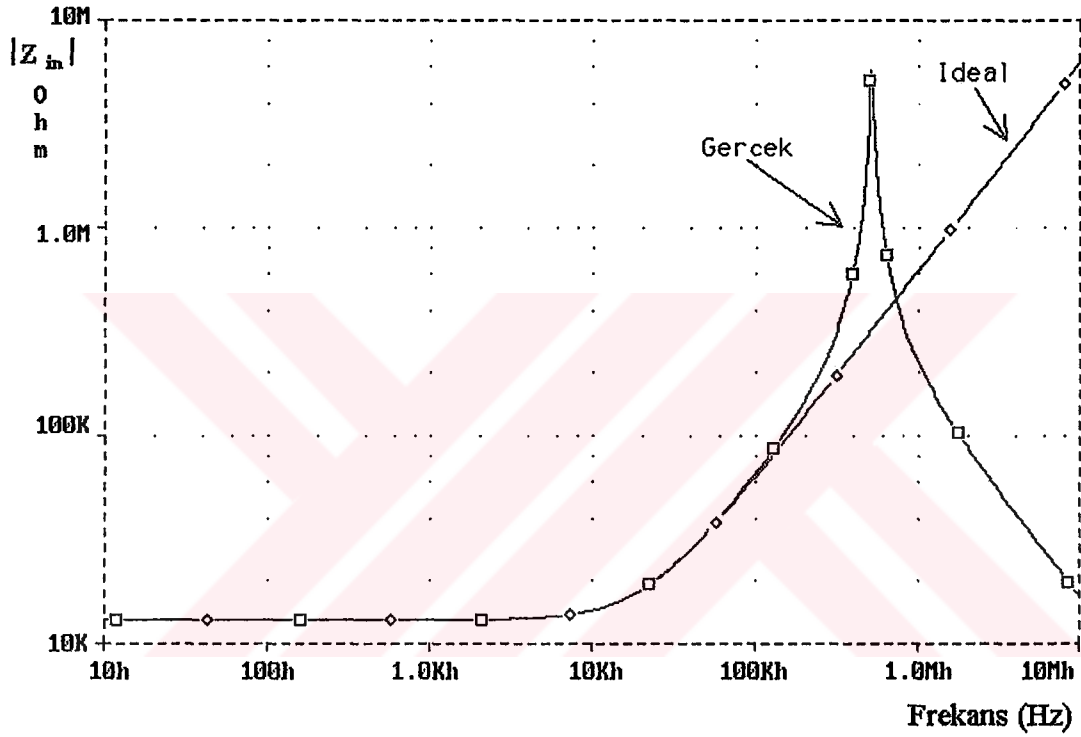
şeklinde hesaplanır.

Endüktans devresinde R ve C değerlerini

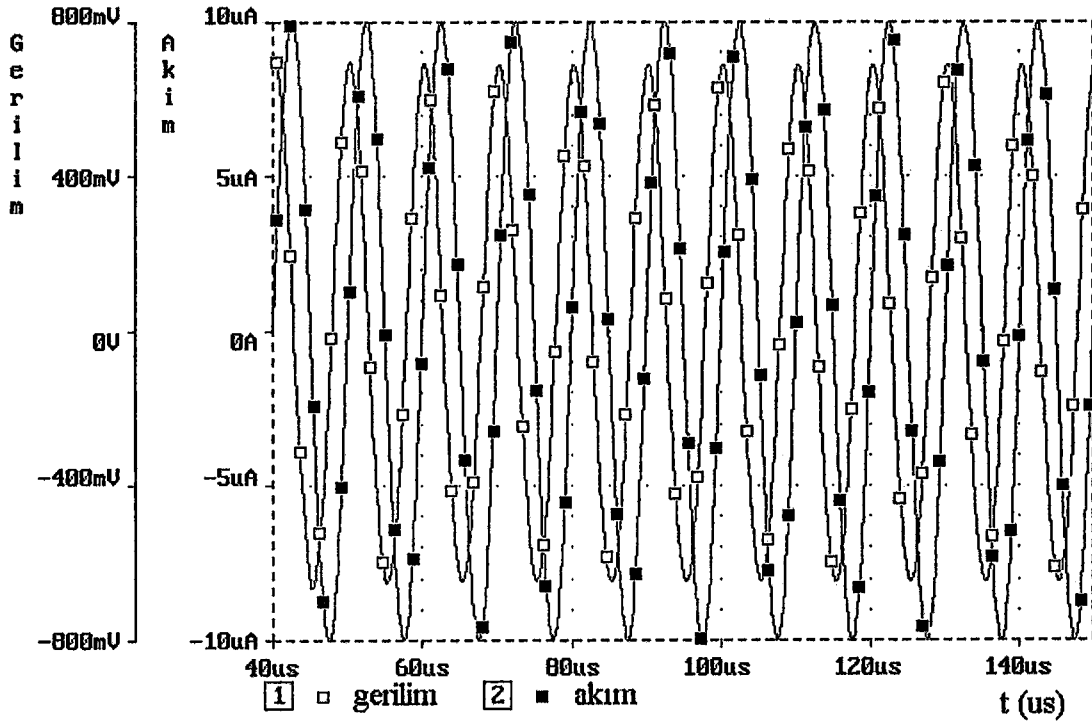
$$R_3 = R_9 = 4k, R_{16} = 5k, C_{20} = 5nF \quad (4.29)$$

şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 13kΩ'luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 106.2mH değerinde bir endüktans ve buna seri 13kΩ'luk direnç elde edilmektedir. Buradaki endüktans değerinde %6.2'lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.18'dedir. Şekil 4.18'den izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 200kHz'e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 200kHz'den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır

Devrenin 100kHz'lik bir sinüs işaretine cevabı da Şekil 4.19'dadır. Şekil 4.19'dan izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 10 μ A genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.18: D7 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.



Şekil 4.19: Gerçekleştirilen D7 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri

Şekil C.8’de verilen D8 endüktans yapısı pozitif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_{in} = sC_{11} \frac{R_9}{2} (R_4 + R_9) + R_4 + R_9 \quad (4.30)$$

şeklindedir. Yalnız bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken şart,

$$R_8 = R_9 \quad (4.31)$$

şeklindedir. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{eq} = C_{11} \frac{R_9}{2} (R_4 + R_9) \quad (4.32)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

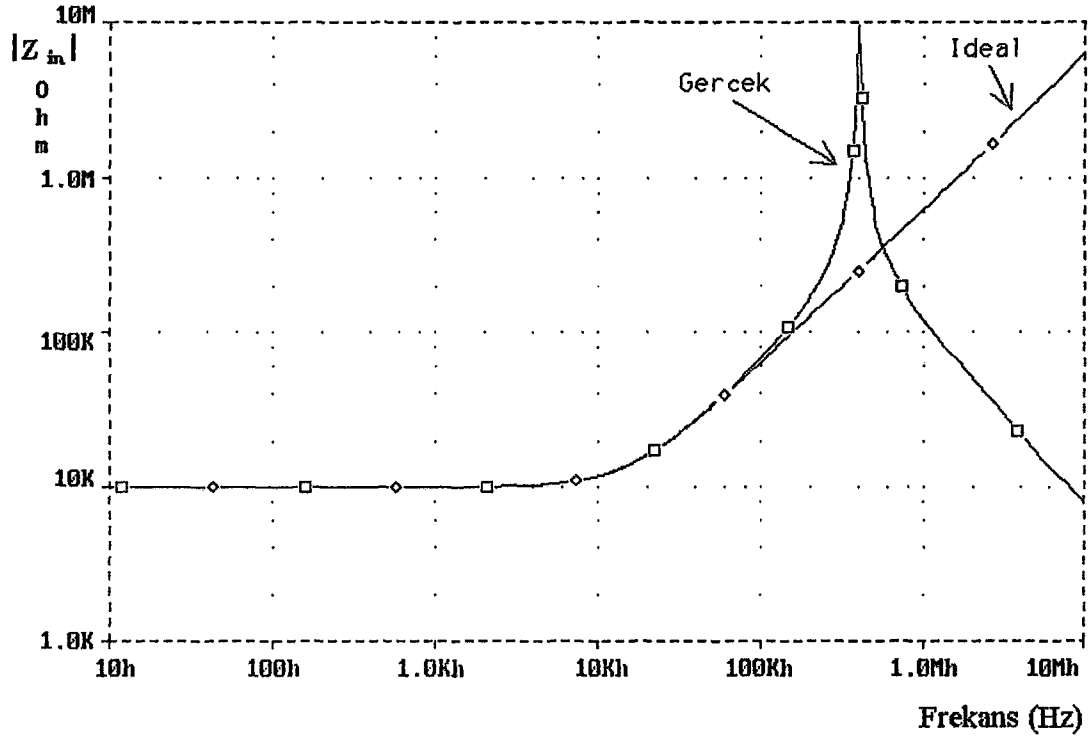
$$R_{es} = R_4 + R_9 \quad (4.33)$$

şeklinde hesaplanır.

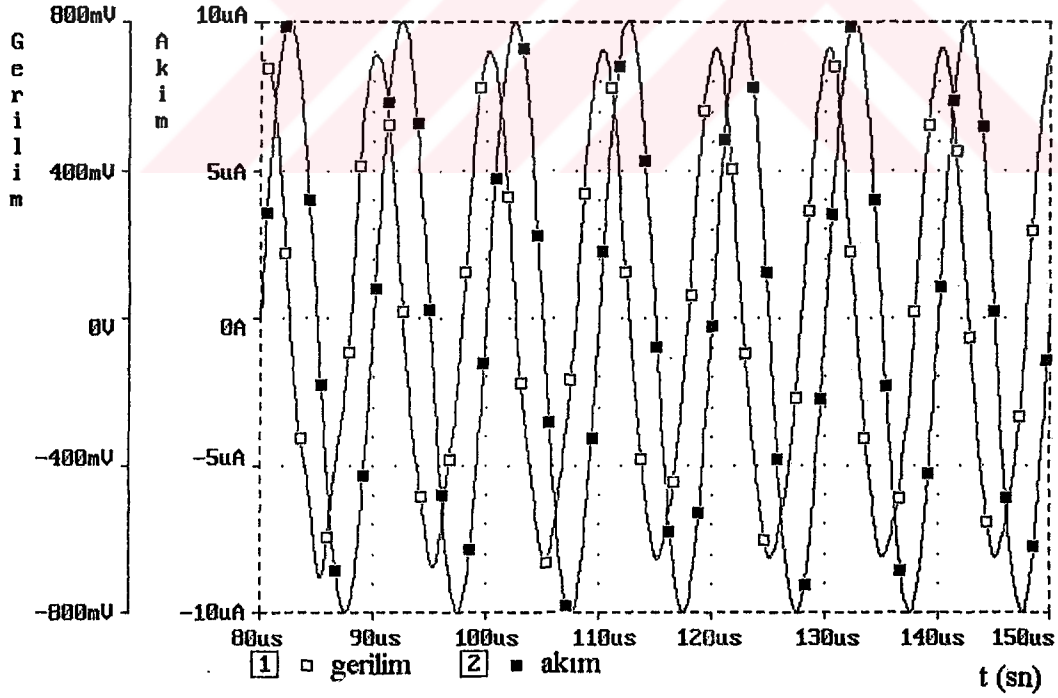
Endüktans devresinde R ve C değerlerini

$$R_4 = R_8 = R_9 = 5k, C_{11} = 4nF \quad (4.34)$$

şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 10kΩ'luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 108.04mH değerinde bir endüktans ve buna seri 10kΩ'luk direnç elde edilmektedir. Buradaki endüktans değerinde %8.04'lük bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.20'dedir. Şekil 4.20'den izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 100kHz'e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 100kHz'den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır. Devrenin 100kHz'lik bir sinüs işaretine cevabı da Şekil 4.21'dedir. Şekil 4.21'den izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 10µA genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.20: D8 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.



Şekil 4.21: Gerçekleştirilen D8 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri

Şekil C.9’de verilen D9 endüktans yapısı pozitif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_{in} = sC_{13}R_{12}(R_5 + R_9 + R_{17}) + 2R_{12} \quad (4.35)$$

şeklindedir. Bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken herhangi bir şart yoktur. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{es} = C_{13}R_{12}(R_5 + R_9 + R_{17}) \quad (4.36)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

$$R_{es} = 2R_{12} \quad (4.37)$$

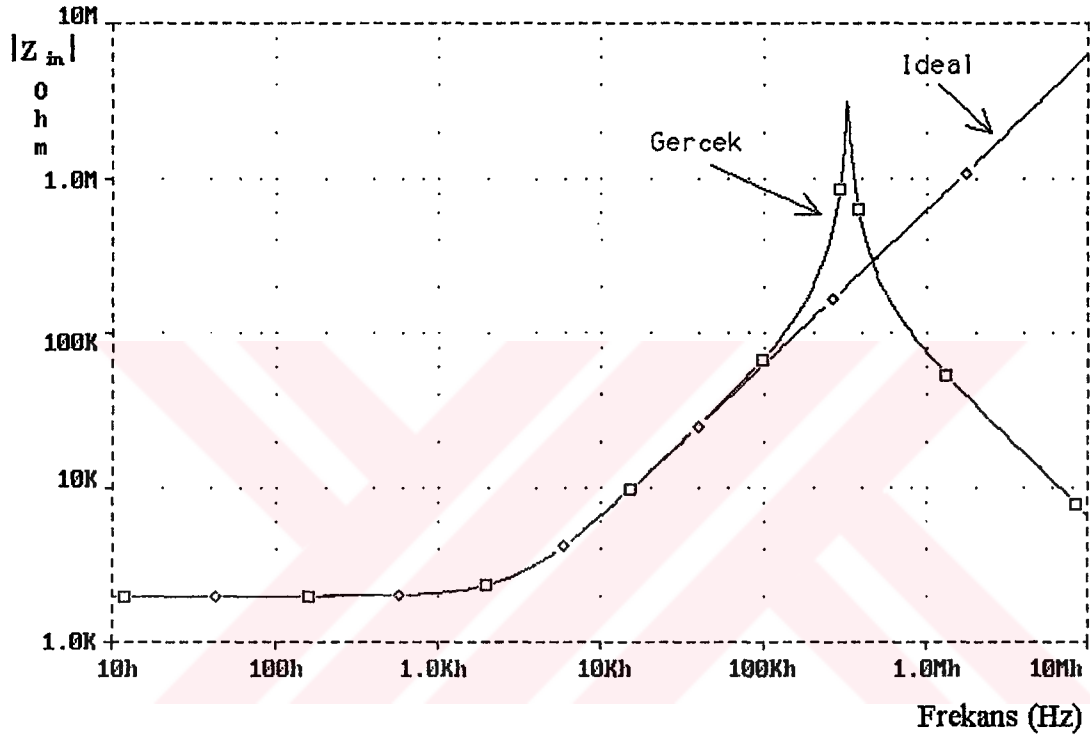
şeklinde hesaplanır.

Endüktans devresinde R ve C değerlerini

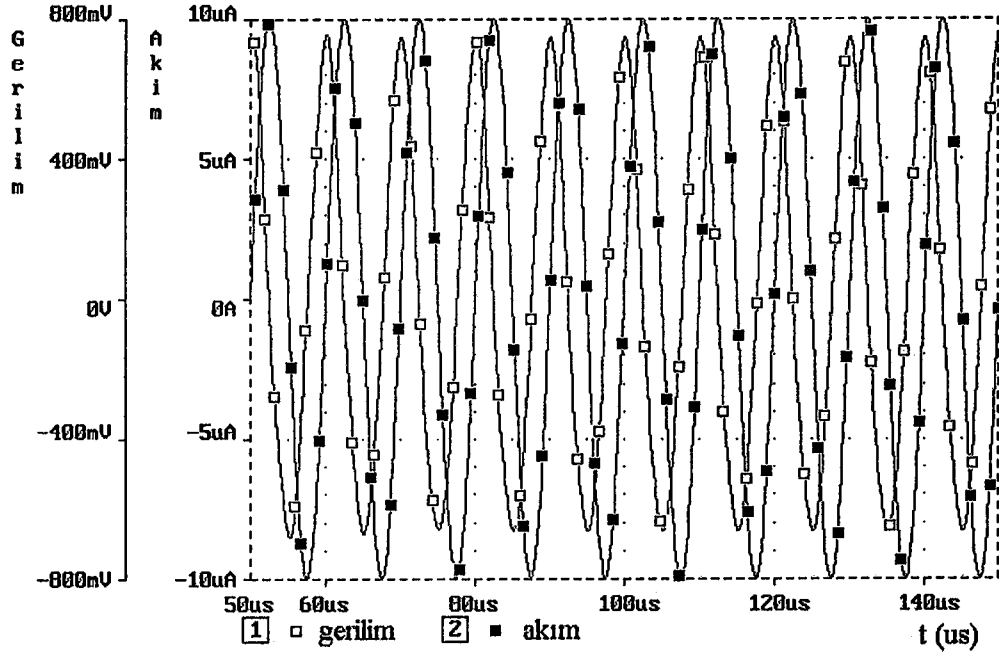
$$R_5 = 2k, R_9 = R_{12} = R_{17} = 1k, C_{13} = 25nF \quad (4.38)$$

şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 2kΩ’luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 110.71mH değerinde bir endüktans ve buna seri 2kΩ’luk direnç elde edilmektedir. Buradaki endüktans değerinde %10.71’lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.22’dedir. Şekil 4.22’den izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 100kHz’e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 100kHz’den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır Devrenin 100kHz’lik bir sinüs işaretine cevabı da Şekil 4.23’dedir. Şekil 4.23’den

izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 10μA genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.22: D9 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.



Şekil 4.23: Gerçekleştirilen D9 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri

Şekil C.14’de verilen D14 endüktans yapısı pozitif veya negatif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_{in} = sC_7(R_5 + R_7)(R_{18} - R_{15}) + 2R_{18} \quad (4.39)$$

şeklindedir. Bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken herhangi bir şart yoktur. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{eş} = C_7(R_5 + R_7)(R_{18} - R_{15}) \quad (4.40)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

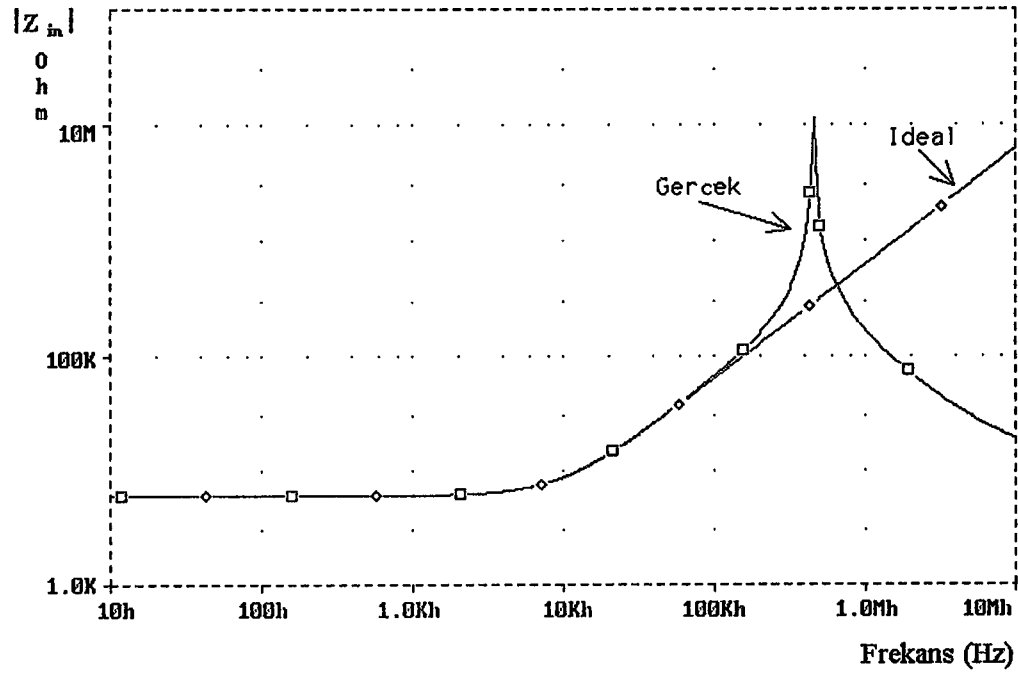
$$R_{eş} = 2R_{18} \quad (4.41)$$

şeklinde hesaplanır.

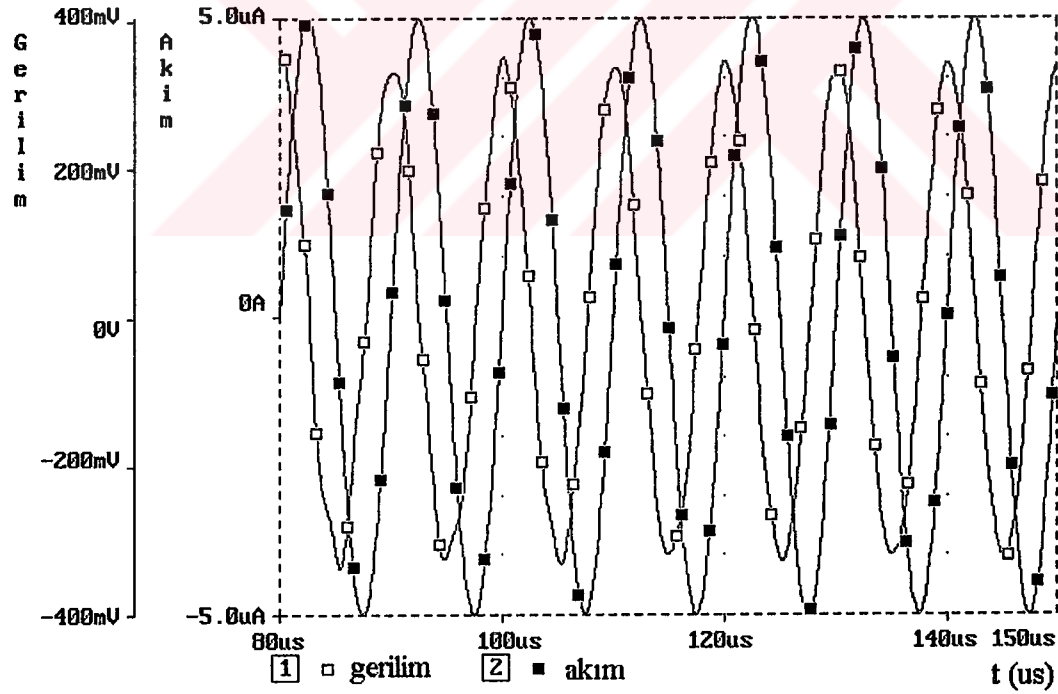
Endüktans devresinde R ve C değerlerini

$$R_5 = R_{17} = 5k, R_{15} = 1k, R_{18} = 3k, C_7 = 5nF \quad (4.42)$$

şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 6k Ω 'luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 105.74mH değerinde bir endüktans ve buna seri 6k Ω 'luk direnç elde edilmektedir. Buradaki endüktans değerinde %5.74'lük bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.24'dedir. Şekil 4.24'den izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 200kHz'e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 200kHz'den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır. Devrenin 100kHz'lik bir sinüs işaretime cevabı da Şekil 4.25'dedir. Şekil 4.25'den izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 5 μ A genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.24: D14 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.



Şekil 4.25: Gerçekleştirilen D14 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri

Şekil C.15’de verilen D15 endüktans yapısı pozitif veya negatif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_{in} = sC_7R_3(R_{18} - R_{15}) + 2R_{18} \quad (4.43)$$

şeklindedir. Bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken herhangi bir şart yoktur. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{eş} = C_7R_3(R_{18} - R_{15}) \quad (4.44)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

$$R_{eş} = 2R_{18} \quad (4.45)$$

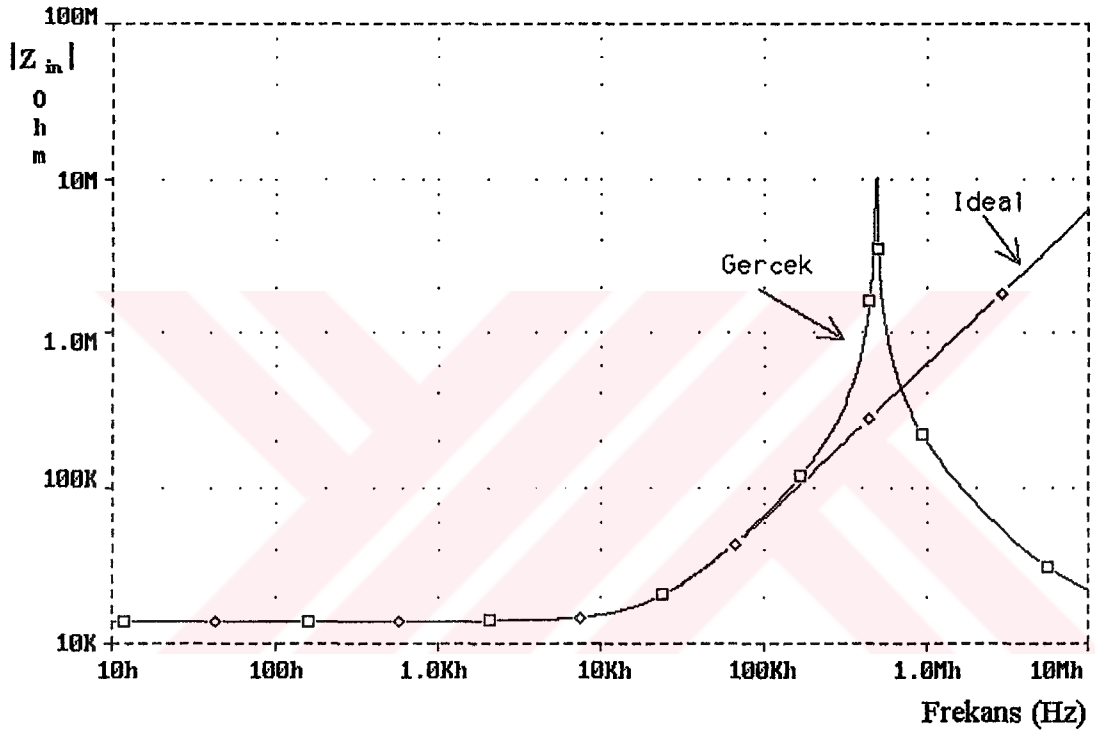
şeklinde hesaplanır.

Endüktans devresinde R ve C değerlerini

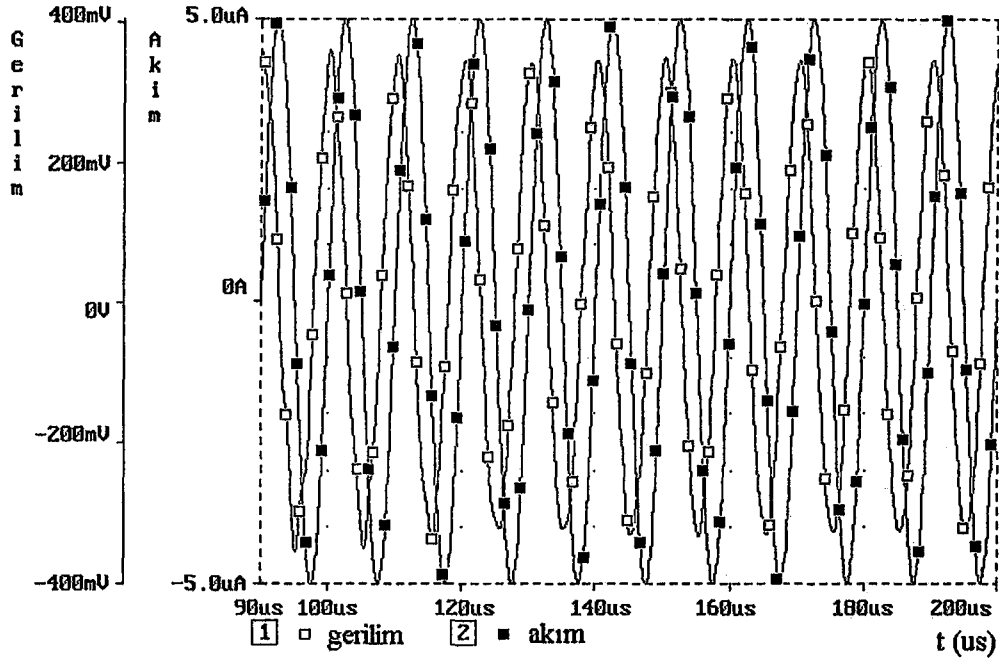
$$R_3 = 10k, R_{15} = 2k, R_{18} = 7k, C_7 = 2nF \quad (4.46)$$

şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 14kΩ’luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 107.11mH değerinde bir endüktans ve buna seri 14kΩ’luk direnç elde edilmektedir. Buradaki endüktans değerinde %7.11’lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.26’dadır. Şekil 4.26’dan izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 200kHz’e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 200kHz’den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır

Devrenin 100kHz'lik bir sinüs işaretine cevabı da Şekil 4.27'dedir. Şekil 4.27'den izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 5µA genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.26: D15 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.



Şekil 4.27: Gerçekleştirilen D15 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri

Şekil C.16'da verilen D16 endüktans yapısı pozitif veya negatif endüktans ve seri direnç yapısı oluşturmaktadır. Kayıplı endüktansı oluşturan devrenin giriş empedans fonksiyonu,

$$Z_{in} = sC_{17}R_5(R_{21} - R_{20}) + R_5 + R_9 + R_{20} + R_{21} \quad (4.47)$$

şeklindedir. Bu fonksiyonun gerçekleşmesi için devre elemanları arasında olması gereken herhangi bir şart yoktur. Bu durumda devrenin simüle ettiği endüktans değeri,

$$L_{eş} = C_{17}R_5(R_{21} - R_{20}) \quad (4.48)$$

şeklinde hesaplanır. Devrenin endüktansa seri olarak oluşturduğu seri direnç değeri ise,

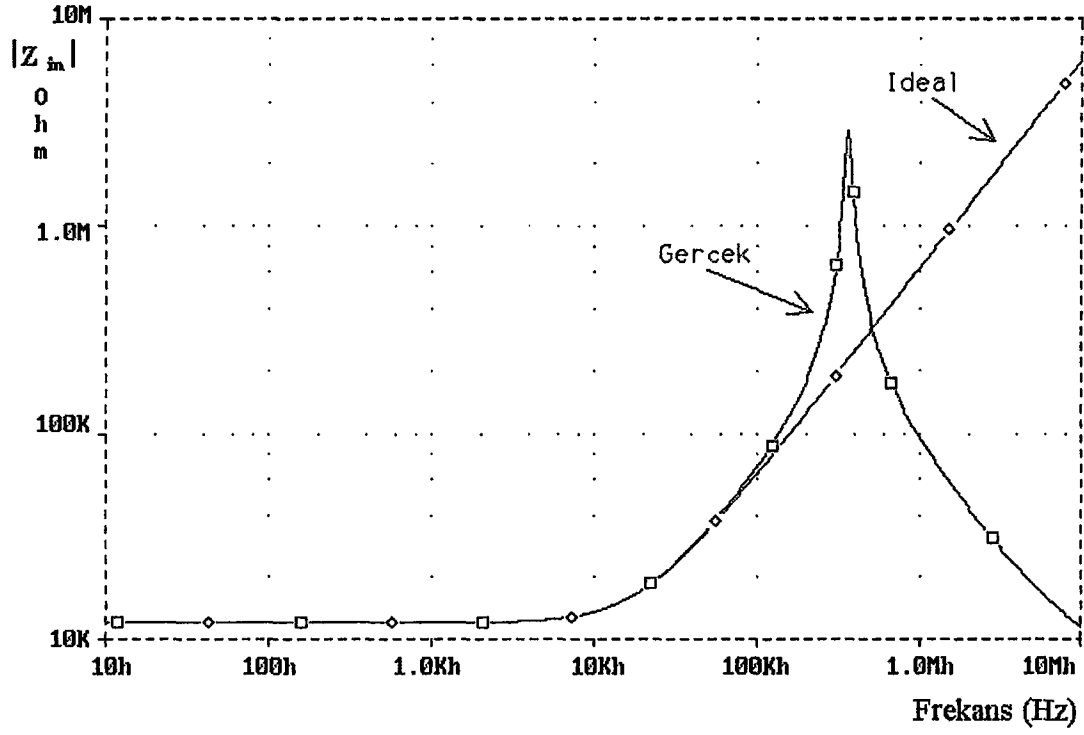
$$R_{ey} = R_5 + R_9 + R_{20} + R_{21} \quad (4.49)$$

şeklinde hesaplanır.

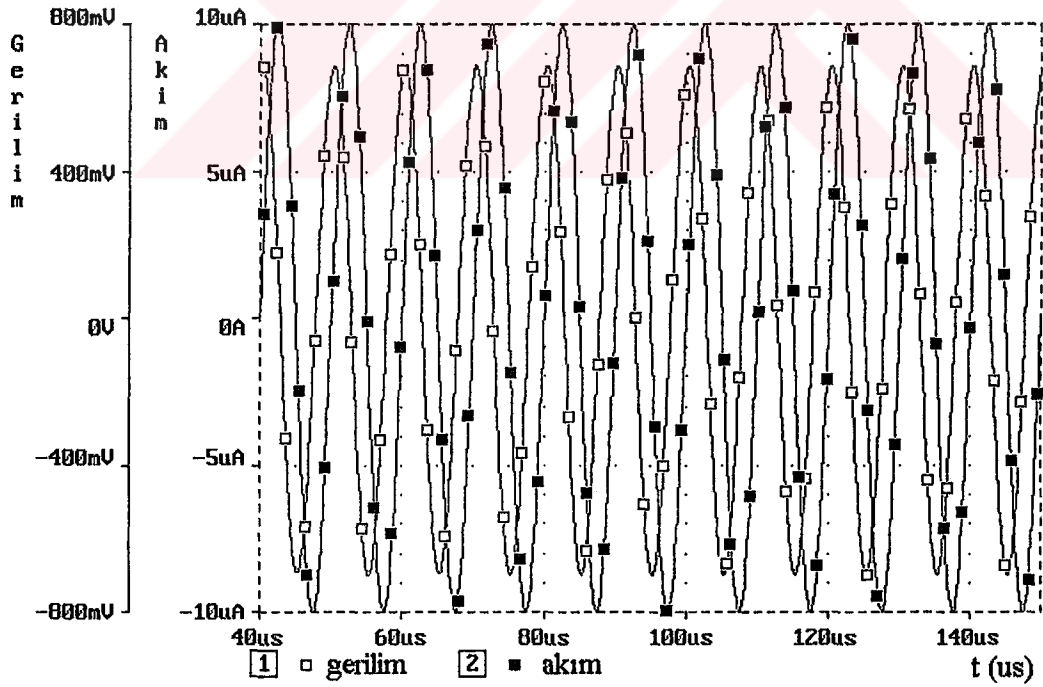
Endüktans devresinde R ve C değerlerini

$$R_5 = 5k, R_{21} = 5k, R_9 = R_{20} = 1k, C_{17} = 5nF \quad (4.50)$$

şeklinde alınca teorik olarak 100mH değerinde bir endüktans ve buna seri 12k Ω 'luk direnç elde edilmektedir. Yapılan Pspice simülasyonları sonucu 110.18mH değerinde bir endüktans ve buna seri 12k Ω 'luk direnç elde edilmektedir. Buradaki endüktans değerinde %10.18'lik bir hatalı değer elde edilmiştir. Bu da eleman idealsizliklerinden kaynaklanmaktadır. Seri direnç değeri ise teorik olarak elde edilen değerle tam olarak uyumludur. Bu devreye ilişkin empedans-frekans karakteristiği Şekil 4.28'dedir. Şekil 4.28'den izlenebileceği gibi, önerilen endüktans simülatörü bir endüktans devresi karakteristiği vermektedir; CMOS DDCC+ ile gerçekleştirilen devre 100kHz'e kadar ideal eşdeğer devre ile elde edilen sonuçlara çok uyumlu bir değişim göstermekte, 100kHz'den yüksek frekanslarda CMOS devrenin ideal olmaması nedeniyle frekans eğrisinde önemli ölçüde sapmalar oluşmaktadır. Devrenin 100kHz'lik bir sinüs işaretine cevabı da Şekil 4.29'dadır. Şekil 4.29'dan izlenebileceği gibi, simüle edilen endüktans devresine 100kHz frekanslı ve 10 μ A genlikli sinüs biçiminde bir işaret uygulanması halinde, akım ile gerilim arasında 90° faz farkı oluşmakta, bu da devrenin istenen özellikleri sağladığını ortaya koymaktadır.



Şekil 4.28: D16 endüktans simülatörü devresinin ideal ve gerçek DDCC+ ile oluşturulan empedans-frekans eğrileri.



Şekil 4.29: Gerçekleştirilen D16 endüktans simülatörü devresinin sinüs biçimli bir I_g sürücü akımına cevabı, sürücü akım ve endüktans geriliminin zamana göre değişimleri

Tablo 4.2: İncelenen endüktans simülatörlerinin toplu analiz sonuçları

No	Tip	$L_{eş}$ (mH) (Teorik)	$L_{eş}$ (mH) (Simülasyon)	Hata (%)	$R_{eş}$ (Ω) (Teorik)	$R_{eş}$ (Ω) (Simülasyon)	Hata (%)	Maksimum Çalışma frekansı (KHz)
D1	L	108	111.62	3.35	---	---	---	200
D2	L+R	10	10.92	9.2	2k	2k		200
D2	L+R	100	103.92	3.92	4k	4k	0	200
D2	L+R	1000	1.0447	4.47	10k	10k	0	80
D3	L+R	100	103.92	3.92	4k	4k	0	200
D4	L+R	100	104.75	4.75	5k	5k	0	200
D5	L+R	100	105.29	5.29	6k	6k	0	200
D6	L+R	100	105.32	5.32	6k	6k	0	100
D7	L+R	100	106.2	6.2	13k	13k	0	200
D8	L+R	100	108.04	8.04	10k	10k	0	100
D9	L+R	100	110.71	10.71	2k	2k	0	100
D14	$\pm$ L+R	100	105.74	5.74	6k	6k	0	200
D15	$\pm$ L+R	100	107.11	7.11	14k	14k	0	200
D16	$\pm$ L+R	100	110.18	10.18	12k	12k	0	100

Yapılan bu incelemelerde görülmektedir ki, iki ucu serbest endüktans yapısı olmak üzere, 100mH gibi büyük bir endüktans değerine, 200kHz mertebesine kadar %3-10 hata aralığında birçok değişik topolojiyle ulaşılabilmektedir. Gerekliği takdirde 10mH gibi daha küçük değerli endüktanslarla, 1H gibi çok daha büyük endüktans değerleri elde etmek mümkün olabilmiştir. Oluşturulan topolojilerde, D1 devresinde olduğu gibi kayıpsız endüktans yapılabildiği gibi kayıplı endüktans, ya da negatif endüktans değeri sağlayan devreler yapılabildiği görülmüştür. Bu özellikler daha önce izah edildiği gibi alçak frekanslarda çok fazla yer kaplayan ve yapımı zor olan pasif endüktans elemanı yerine kullanılabilecek yüksek frekanslara kadar da kullanılabilecek, lineerliği yüksek yapılar ortaya çıkmasını sağlamıştır. Ayrıca

negatif endüktans ile seri direnç (-L + R) yapıları hatlardaki endüktif parazitik etkileri yok etmek için kullanmaya uygundur. Yapılan endüktans simülatörü analizlerinin toplu sonuçları Tablo 4.2'de verilmiştir

4.5 Endüktans Simülatörlerinde İdealsizlik Etkileri

DDCC elemanı idealde,

$$\begin{aligned} i_{y1}(t) &= i_{y2}(t) = i_{y3}(t) = 0 \\ v_x(t) &= v_{y1}(t) - v_{y2}(t) + v_{y3}(t) \\ i_z(t) &= i_x(t) \end{aligned} \quad (4.51)$$

bağıntılarıyla tanımlanmakla birlikte, hiçbir eleman gerçekte tam olarak ideal şeklinde davranamaz. Bu yapıdaki idealsizlik etkileri,

$$\begin{aligned} i_{y1}(t) &= i_{y2}(t) = i_{y3}(t) = 0 \\ v_x(t) &= (1 + \varepsilon_{v1})v_{y1}(t) - (1 + \varepsilon_{v2})v_{y2}(t) + (1 + \varepsilon_{v3})v_{y3}(t) \\ i_z(t) &= (1 + \varepsilon_i)i_x(t) \end{aligned} \quad (4.52)$$

bağıntılarıyla tanımlanır. Bu bağıntıdaki $|\varepsilon_i| \ll 1$ DDCC'nin akım izleme hatasını, $|\varepsilon_{v1}|, |\varepsilon_{v2}|, |\varepsilon_{v3}| \ll 1$ DDCC'nin gerilim izleme hatalarını belirtmektedir.

Pspice benzetim programı ile incelemesi yapılan 12 adet endüktans simülatörü ile sadece teorik incelemesi yapılan Şekil C.18'deki D18 numaralı endüktans simülatörünün Z_{in} giriş empedans fonksiyonlarını (4.51)'deki bağıntılar yerine, (4.52)'deki idealsizliği de göz önüne alan bağıntıları kullanarak çıkartırsak, D1 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in} = \frac{\left\{ [\varepsilon_{v3}(1 + \varepsilon_i) + \varepsilon_i] R_{15}(R_5 + R_9 + R_{17}) + R_{18} [R_{15}\varepsilon_{v3}(2 + \varepsilon_i) - R_{13}\varepsilon_i] - sC_{20}R_{18}(R_{13} + R_{15})(R_5 + R_9 + R_{17}) \right\} + (\varepsilon_{v1} + \varepsilon_{v2}) \left\{ (R_{13} + R_{15})(R_5 + R_{17})(1 + \varepsilon_i) + R_{18}(2 + \varepsilon_i) \right\} + R_9R_{18}[1 + sC_{20}(1 + R_{15})] \right\}}{(1 + \varepsilon_i) \left\{ R_{13}(1 + \varepsilon_{v2}) + R_{15}(\varepsilon_{v2} - \varepsilon_{v3}) - \varepsilon_{v1}R_{18}[1 + sC_{20}(R_{13} + R_{15})] \right\}} \quad (4.53)$$

şeklinde, D2 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in2} = \frac{(2 + \varepsilon_i)(1 - \varepsilon_{v1} + \varepsilon_{v2})R_{18} - (1 + \varepsilon_i)(\varepsilon_{v1} - \varepsilon_{v2})R_3 + sC_{11}R_3R_{18}}{(1 + \varepsilon_i)(1 + \varepsilon_{v2}) - \varepsilon_{v1}sC_{11}R_{18}} \quad (4.54)$$

şeklinde, D3 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in3} = \frac{[(1 + \varepsilon_i)(R_5 + R_{17} + R_{18}) + R_{18}](\varepsilon_{v2} - \varepsilon_{v1}) + R_{18}[2 + \varepsilon_i + sC_{11}(R_5 + R_{17})]}{(1 + \varepsilon_i)(1 + \varepsilon_{v2}) - \varepsilon_{v1}sC_{11}R_{18}} \quad (4.55)$$

şeklinde, D4 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in4} = \frac{(2 + \varepsilon_i)(1 - \varepsilon_{v1} + \varepsilon_{v2})R_{18} - (1 + \varepsilon_i)(\varepsilon_{v1} - \varepsilon_{v2})R_3 + sC_{20}R_{18}[R_3 + R_9(1 - \varepsilon_{v1} - \varepsilon_{v2})]}{(1 + \varepsilon_i)(1 + \varepsilon_{v2}) - \varepsilon_{v1}sC_{20}R_{18}} \quad (4.56)$$

şeklinde, D5 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in5} = \frac{\left\{ (2 + \varepsilon_i)R_{18}(R_5 + R_9 + R_{16} + R_{17}) + sC_{20}R_{16}R_{18}(R_5 + R_9 + R_{17}) + R_{18}(1 + sC_{20}R_9) \right\} + (\varepsilon_{v2} - \varepsilon_{v1})[(2 + \varepsilon_i)R_{18}(R_5 + R_9 + R_{17})] + R_{16}[(1 + \varepsilon_i)(R_5 + R_{17} + R_{18})]}{(2 + \varepsilon_i)(1 - \varepsilon_{v1} + \varepsilon_{v2})R_{18} + R_{16}[(1 + \varepsilon_i)(1 + \varepsilon_{v2}) - \varepsilon_{v1}sC_{20}R_{18}]} \quad (4.57)$$

şeklinde, D6 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in6} = \frac{(1 + \varepsilon_i)(\varepsilon_{v2} - \varepsilon_{v1})R_8(R_5 + R_{17}) + (2 + \varepsilon_i)(1 - \varepsilon_{v1} + \varepsilon_{v2})R_{18}(R_5 + R_8 + R_{17}) + sC_7R_8R_{18}(R_5 + R_{17})}{(2 + \varepsilon_i)(1 - \varepsilon_{v1} + \varepsilon_{v2})R_{18} + (1 + \varepsilon_i)(1 + \varepsilon_{v2})R_8 - \varepsilon_{v1}sC_7R_8R_{18}} \quad (4.58)$$

şeklinde, D7 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in7} = \frac{(2 + \varepsilon_i)(-1 + \varepsilon_{v1} - \varepsilon_{v2})(R_3 + R_9 + R_{16}) - sC_{20}R_{16}[R_3 + (1 - \varepsilon_{v1} + \varepsilon_{v2})R_9]}{(2 + \varepsilon_i)(-1 + \varepsilon_{v1} - \varepsilon_{v2}) + \varepsilon_{v1}sC_{20}R_{16}} \quad (4.59)$$

şeklinde, D8 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in8} = \frac{(R_4 + R_9)[(2 + \varepsilon_i)(-1 + \varepsilon_{v1} - \varepsilon_{v2}) - sC_{11}R_9]}{(2 + \varepsilon_i)(-1 + \varepsilon_{v1} - \varepsilon_{v2}) + (\varepsilon_i + \varepsilon_{v1} + \varepsilon_i\varepsilon_{v1})sC_{11}R_9} \quad (4.60)$$

şeklinde, D9 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in9} = \frac{\left\{ R_{12} [2 - \varepsilon_{v1} (2 + sC_{13}R_9) + \varepsilon_{v2} (2 + s3C_{13}R_9) + \varepsilon_i (1 - \varepsilon_{v1} + \varepsilon_{v2}) + sC_{13} (R_5 + R_9 + R_{17})] \right\}}{(1 + \varepsilon_i)(1 + \varepsilon_{v2}) - \varepsilon_{v1}sC_{13}R_{12}} \quad (4.61)$$

şeklinde, D14 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in14} = \frac{\left\{ (2 + \varepsilon_i)R_{18} - sC_7 \{ -R_{18}(R_5 + R_{17}) + R_{15} [(1 + \varepsilon_i)(1 + \varepsilon_{v3})(R_5 + R_{17}) + (2 + \varepsilon_i)\varepsilon_{v3}R_{18}] \} \right\}}{(1 + \varepsilon_i)(1 + \varepsilon_{v2}) + sC_7 [(1 + \varepsilon_i)(\varepsilon_{v2} - \varepsilon_{v3})R_{15} - \varepsilon_{v1}R_{18}]} \quad (4.62)$$

şeklinde, D15 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in15} = \frac{\left\{ (2 + \varepsilon_i)(1 - \varepsilon_{v1} + \varepsilon_{v2})R_{18} - sC_7R_{18} [(2 + \varepsilon_i)(\varepsilon_{v1} - \varepsilon_{v2} + \varepsilon_{v3})R_{15} - R_3] \right\}}{(1 + \varepsilon_i)(1 + \varepsilon_{v2}) + [(1 + \varepsilon_i)(\varepsilon_{v2} - \varepsilon_{v3})R_{15} - \varepsilon_{v1}R_{18}]sC_7} \quad (4.63)$$

şeklinde, D16 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in16} = \frac{\left\{ -sC_{17}R_{20} [(2 + \varepsilon_i)(\varepsilon_{v1} - \varepsilon_{v2} + \varepsilon_{v3})R_{21} + (1 + \varepsilon_i)(1 + \varepsilon_{v1} - \varepsilon_{v2} + \varepsilon_{v3})R_5] \right\}}{1 + [(1 + \varepsilon_i)(\varepsilon_{v2} - \varepsilon_{v3})R_{20} - \varepsilon_{v1}R_{21}]sC_{17}} \quad (4.64)$$

şeklinde, D18 endüktans simülatörü devresi için giriş empedans fonksiyonu,

$$Z_{in18} = \frac{\left\{ (\varepsilon_{v1} + \varepsilon_{v2}) [2 + \varepsilon_i + \varepsilon_i sC_{15} (R_5 + R_{12} + R_{17}) + sC_{20}R_9 + sC_{15} (R_5 + 2R_{12} + R_{17} + sC_{20}R_9R_{12})] \right\}}{- (1 + \varepsilon_i)(1 + \varepsilon_{v2})sC_{15} + (1 + \varepsilon_{v1} + \varepsilon_{v3} + \varepsilon_{v1}sC_{15}R_{12})sC_{20}} \quad (4.65)$$

şeklinde oluşur.

5. DDCC İLE FİLTRE TASARIMI

5.1 Aktif Filtreler

Elektronik devrelerde bir frekans bölgesini süzen devrelere ihtiyaç duyulur. Bu frekans bölgesini süzen devrelere *filtre* denir. Bu devreler pasif elemanlar olan direnç, kapasite, endüktans kullanılarak yapılabilmektedir. Endüktans ve kapasite belli bir sürede depoladıkları enerjiyi diğer bir sürede dışarıya veren elemanlardır. Kuvvetlendiriciler, güç kaynağına bağlı olarak kapasite ve endüktansın yaptığı gibi enerjiyi devreye vermekle birlikte, devredeki dirençlerin çektiği enerjiden fazlasını da devreye verebilir. Bundan dolayı kuvvetlendiricilere *aktif eleman* denir. Bunlarla yapılan filtrelere de *aktif filtreler* denir. Düşük frekans değerlerine gidildikçe pasif devrelerde kullanılması gereken endüktans değeri çok büyüyecektir. Bu da hem maliyeti hem de kurulan devre düzeninin kapladığı alanı arttıracaktır. Bu yüzden aktif elemanlar ile yapılan filtreler tercih edilmektedir. Aktif filtrelerin pasif filtrelere göre avantajlı ve dezavantajlı yanları aşağıda maddeler halinde sıralanmıştır.

Avantajlı yanları:

- Endüktans elemanı kullanmadan, istenen filtre karakteristiklerini gerçekleyecek bir biçimde tasarlanabilmeleri,
- 1'den büyük gerilim ve güç kazancı sağlayabilmeleri,
- Giriş ve çıkış kapılarına empedans uydurulması işlemlerindeki kolaylıklar,
- Tümüleştirme teknolojisindeki uygunluk.

Dezavantajlı yanları ise:

- Aktif devrenin doğru akım şartlarında çalışmasını sağlayan bir besleme kaynağına gereksinim duyması,

- Çalışma frekanslarının, aktif devre elemanının çalışma frekansına bağlı olarak kısıtlanmasıdır. Ancak günümüzde çok geniş frekans bandında çalışabilen aktif devre elemanları üretilebilmektedir [59].

Aktif devre sentezinin avantajlarından ötürü, son 30 yılda aktif RC süzgeçlerinin oluşturulması için oldukça fazla gayret sarf edilmiştir. Tasarımcıların ilk çelişkisi, tasarımda kullanılacak olan aktif yapının örneğin işlemsel kuvvetlendiricilerin bipolar teknolojisiyle mi yoksa MOS teknolojisiyle mi gerçekleşmesi konusunda olmuştur. Tümlleştirme açısından her iki teknolojinin de uygun olmasına karşılık, MOS işlemsel kuvvetlendiriciler tercih edilmektedir. Bunu ilk nedeni, MOS tümdevre teknolojisinde oldukça yüksek değerli C elemanlarının da gerçekleştirilebilmesi, bu C elemanlarında oldukça uzun süreler boyunca yükün saklanabilmesinin yanı sıra yükün sürekli olarak kontrol edilebilmesidir. MOS tranzistorlar kesimde iken bu elemanlardan akan akım pA'ler mertebesinde olur. MOS tranzistorların giriş dirençlerinin çok büyük olması ve pratik olarak sonsuz kabul edilebilmesi nedeniyle, düşük frekanslı giriş işaretlerinde bile yükün algılanabilmesi mümkün olmaktadır [85].

Aktif elemanların ve C elemanlarının aynı kırmık üzerinde gerçekleştirilebilmesini sağlaması nedeniyle, MOS teknolojisi aktif filtre gerçekleştirilmesine son derece uygun düşmektedir. DDCC yapısı da CMOS teknolojisi kullanılarak gerçekleştirilmiş yapıyla aktif devre sentezinde kullanılabilen bir yapıdır. Bu bölümde DDCC yapısı kullanılarak gerçekleştirilmiş aktif filtre yapıları ve buna ait Pspice simülasyonları verilecektir.

Aktif elemanlar, aktif filtre de indüktans elemanının işlevini görmek üzere devreye konur. İndüktans elemanının yokluğu, frekans seçici devrelerin tasarımında önemli bir eksikliklerdir. Pek çok uygulamada bu eksiklik, geleneksel aktif RC filtre tasarım teknikleri kullanılarak giderilebilir.

İlk ortaya çıkışlarından itibaren aktif filtreler çeşitli derecelere varan oranlarda tümlleştirilmişlerdir. Son yıllarda, çok yüksek kaliteli ve tamamen tümlleştirilmiş aktif filtreler tasarlanmasına olanak sağlayan mikroelettronik teknolojileri, filtre mimarileri ve tasarım teknikleri ortaya çıkmıştır. Bu gelişmeler sonucunda, önemli alt bloklardan birini aktif filtrelerin oluşturduğu, tek kırmık üzerinde hem analog

hem sayısal sistemlerin bulunduğu devreler tasarlanabilmiştir. Bilgi tanıma ve ses/veri iletimi, bu tür filtrele en fazla gereksinim gösteren uygulama alanlarıdır. Çoğu tümleştirilmiş filtre, düşük güç harcaması, analog ve sayısal işlem bloklarını beraber aynı kırmıkta bulundurabilme ve ideale yakın kondansatör ve analog anahtar elemanı oluşturabilme özelliklerine sahip CMOS teknolojisiyle gerçekleştirilmektedir. Özellikle yüksek frekanslarda çalışan sürekli zaman filtreleri, bipolar ve CMOS teknolojileri kullanılarak tasarlanmaktadır.

Aktif elemanların kullanılmaya başlanmasıyla ilk olarak oluşturulan aktif filtre yapıları gerilim modunda çalışıyorlardı. Fakat gün geçtikçe akım modlu devreler üzerine yapılan çalışmalar gittikçe yoğunlaşmakta, aktif filtre devre bloklarının gerçekleştirilmesinde yararlanılan alışlagelmiş gerilim modlu devre çözümleri yerine gün geçtikçe akım modlu yeni tekniklerine bırakmaktadır [87-120]. Buna paralel olarak, *işlemsel geçiş iletkenliği kuvvetlendiricisi* (OTA), *çift çıkışlı işlemsel geçiş iletkenliği kuvvetlendiricisi* (DO-OTA), *ikinci ve üçüncü kuşak akım taşıyıcı* (CCII), *dört uçlu yüzen nulör* (FTFN), *çok çıkışlı akım taşıyıcı* (DO-CCII), *diferensiyel gerilim akım taşıyıcısı* (DVCC) [86] gibi akım modlu olarak çalışan yeni ve daha değişik aktif elemanlar da güncel hale gelmekte, bunlar ilişkin yeni aktif eleman topolojileri üretilmektedir. Böyle bir gelişmenin başlıca nedeni, akım modlu aktif elemanların band genişliklerinin işlemsel kuvvetlendirici gibi gerilim modlu elemanlara göre daha geniş ve lineerliklerinin de daha iyi olmasıdır. Bu nedenle, yüksek frekanslarda çalışabilen çok sayıda aktif filtre üretilmiş, bunların performanslarını iyileştirmek üzere çalışmalar yapılmış ve literatürde yer almıştır [116,120].

Akım modlu devre uygulamalarının ilginç bir örneği de çok fonksiyonlu aktif süzgeç yapılarıdır. Akım modunun sağladığı olanaklar sonucunda oldukça yüksek frekanslarda büyük genlikli işaretlerin işlenmesini sağlayan bu tür devreler, aynı anda birden fazla temel süzgeç fonksiyonunu gerçeklerler ve bu nedenle haberleşme devrelerinde kullanılmak üzere tümleştirilmeye son derece uygun düşerler.

Filtreler frekans eğrilerinin değişim bölgelerine göre gruplandırılırlar. Tüm frekansları geçiren ama işaretin fazında değişiklik yapan filtrele *tüm geçiren filtre* denir. Belirli bir frekans bölgesinden daha düşük frekanslar geçirilmek isteniyorsa bu tip filtrele *alçak geçiren filtre* denir. Belirli bir frekansın üstündeki frekans

değerleri geçirilmek isteniyorsa bu tip filtreler *yüksek geçiren filtre* denir. Eğer sadece belli bir frekans aralığının geçirilmesi söz konusu ise bu işlemde *band geçiren filtre* kullanılır. Bu frekans bölgesi bastırılmak isteniyorsa bu amaçla kullanılan filtreler de *band söndüren filtre* denir.

5.2 Alçak Geçiren Filtre

Alçak geçiren filtre, kullanılan devrenin çalışma bandı içerisindeki sadece alçak frekansları geçiren bir yapıdır. İkinci dereceden alçak geçiren filtrenin transfer fonksiyonu,

$$F(s) = \frac{V_o(s)}{V_i(s)} = \frac{a_1 \omega_o^2}{s^2 + \frac{\omega_o}{Q} s + \omega_o^2} \quad (5.1)$$

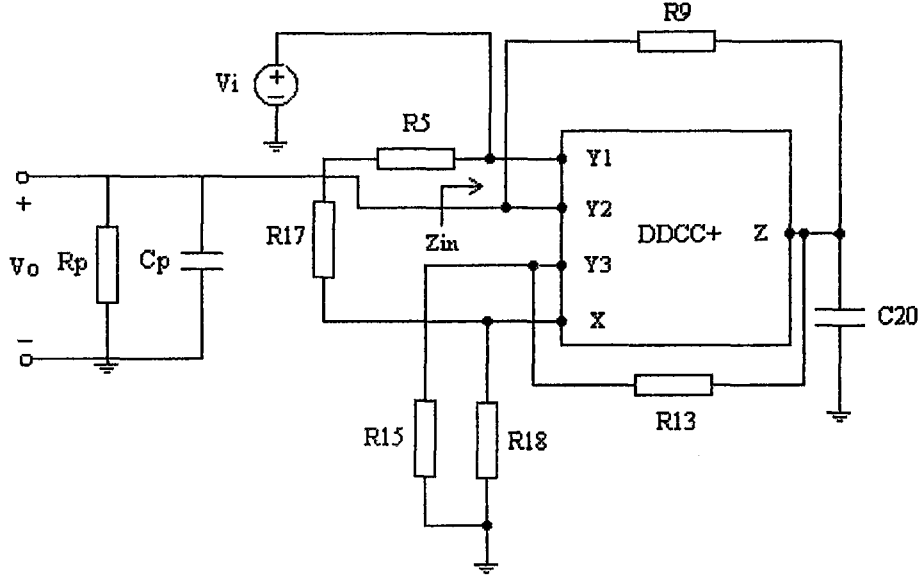
a_1 = gerilim kazancı

ω_o = açısal kesim frekansı

Q = değer katsayısı

şeklinde verilebilir.

Oluşturulan endüktans simülatörü yapılarının test edilebilmesi için ikinci dereceden basit bir alçak geçiren filtre yapısı oluşturan RLC devresinde L elemanı yerine kayıpsız endüktans simülatörü olan Şekil C.1'de gösterilen D1 devresi kullanılacaktır. Bu sayede endüktans simülatörü yapısının pasif filtre devresini, aktif filtre yapısına dönüştürmeye uygun olup olmadığı görülecektir. Bu amaçla Şekil 5.1'deki devre oluşturulmuştur.



Şekil 5.1: Endüktans simülatörü kullanılan 2.dereceden aktif alçak geçiren filtre devresi

Bu devrede endüktans simülatörü yerine pasif endüktans elemanı kullanılmış olsaydı, devrenin transfer fonksiyonu elemanlar cinsinden

$$F(s) = \frac{V_o(s)}{V_i(s)} = \frac{\frac{1}{LC_p}}{s^2 + \frac{s}{R_p C_p} + \frac{1}{LC_p}} \quad (5.2)$$

şeklinde tanımlanır. Buna göre ω_o açısal kesim frekansı, Q değer katsayısı ve kazancı

$$\omega_o = \left(\frac{1}{LC_p} \right)^{\frac{1}{2}}$$

$$Q = \sqrt{\frac{C_p}{L} R_p} \quad (5.3)$$

$$a_1 = 1$$

şeklindedir.

Burada $R_p = 10k$, $C_p = 0.23nF$, $L = 27mH$ olarak seçilince (5.3) bağıntısına göre teorik olarak $f_o = 63.867KHz$ değerinde olur. Değer katsayısı ise (5.3) bağıntısına göre $Q = 0.923$ değerinde olur. Bu devrede 27mH'lik endüktans değerini sağlamak için Bölüm 3.4'de incelenen D1 devresi kullanılmıştır. Bu durumda devrenin simüle ettiği endüktans değeri (4.3) bağıntısıyla verilmiştir. Endüktans devresinde R ve C değerlerini

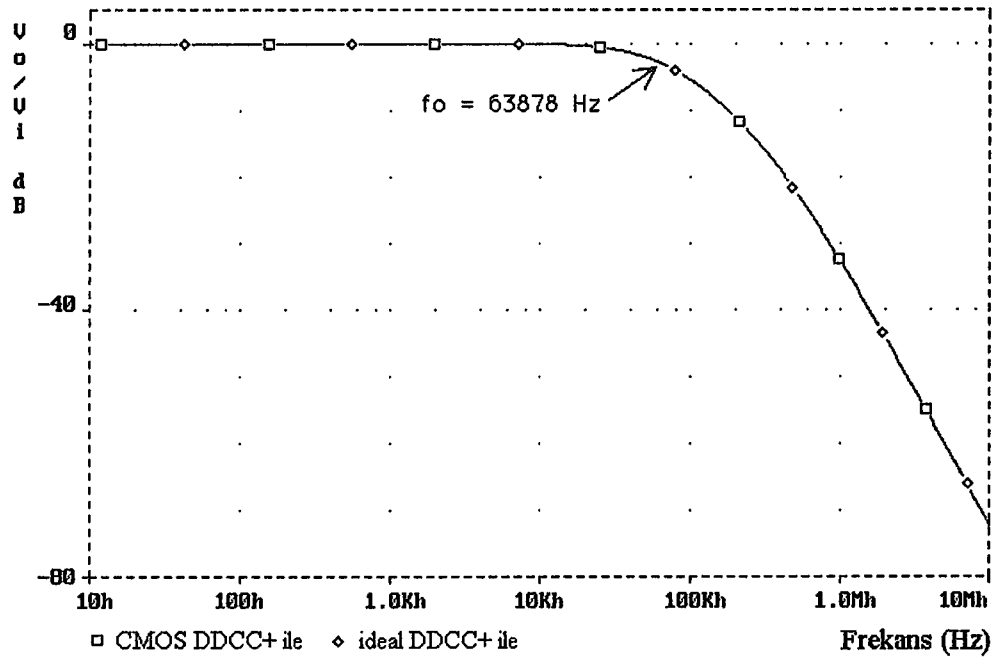
$$R_{18} = 1.5k, R_{13} = R_{15} = 3k, R_5 = R_9 = R_{17} = 2k, C_{20} = 1.5nF \quad (5.4)$$

seçersek (4.3) bağıntısından hesaplanabilen 27mH'lik endüktans değeri teorik olarak elde edilmiş olur. Şekil 4.1'de verilen ikinci dereceden alçak geçiren filtre yapısının (5.3) bağıntısında verilen genel açısal kesim frekansını ve değer katsayısını kullanılan devre elemanları cinsinden tekrar yazarsak

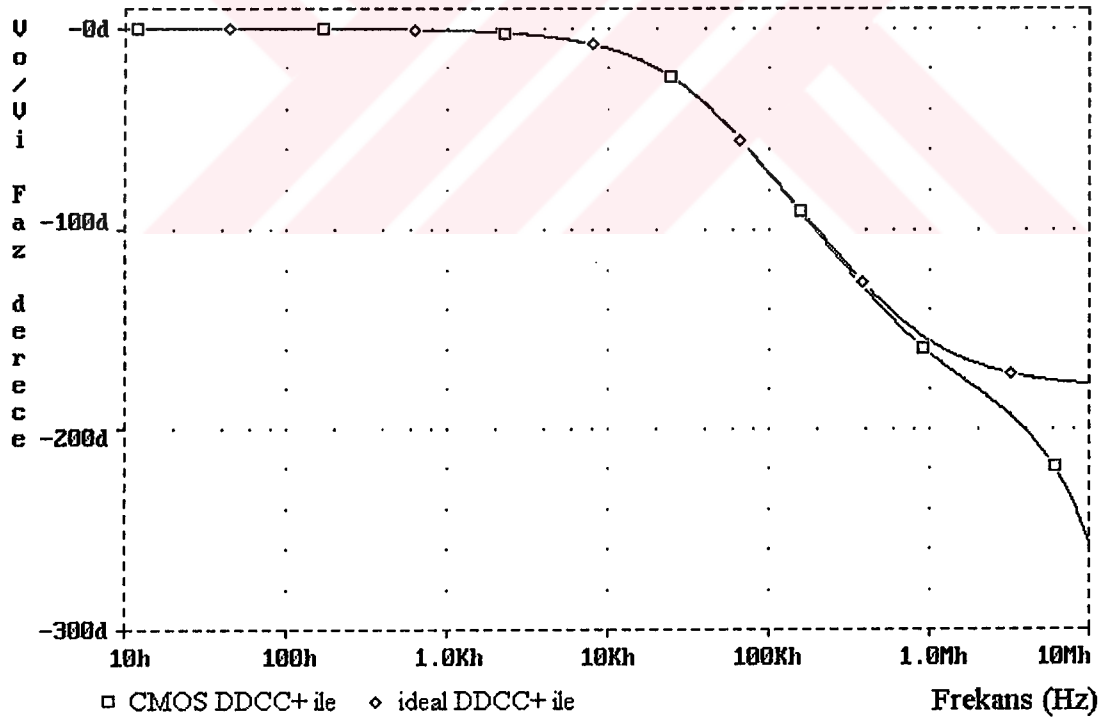
$$\omega_o = \left(\frac{1}{\frac{C_{20}R_{18}}{R_{13}}(R_{13} + R_{15})(R_5 + R_9 + R_{17})C_p} \right)^{\frac{1}{2}} \quad (5.5)$$

$$Q = \sqrt{\frac{C_p}{\frac{C_{20}R_{18}}{R_{13}}(R_{13} + R_{15})(R_5 + R_9 + R_{17})}} R_p \quad (5.6)$$

bağıntısı ortaya çıkar. Yapılan bu teorik incelemelerden sonra devrenin çalışmasını ortaya koyabilmek için devrenin Pspice analizleri yapılmıştır. Şekil 4.2'de oluşturulan ikinci dereceden alçak geçiren filtrenin kazanç-frekans eğrisi görülmektedir. Yapılan incelemeler devrenin kesim frekansının $f_o = 63.878KHz$ olduğunu ortaya koymuştur. Devrenin teorik kesim frekansı ise (5.3) veya (5.5) bağıntısına göre $f_o = 63.867KHz$ olduğu hesaplandığına göre DDCC+ elemanı içeren endüktans simülatörü kullanılarak gerçekleştirilen aktif filtre yapısının sadece %0.017'lik bir hata oluşturduğu görülmüştür. Bu da ihmal edilebilecek bir hata oranıdır. Bu durum kullanılan endüktans simülatörünün bu frekanslarda oldukça doğru bir şekilde çalıştığını göstermektedir. Şekil 4.3'de ise gene ikinci dereceden alçak geçiren filtre yapısına ait faz-frekans ilişkisi görülmektedir.

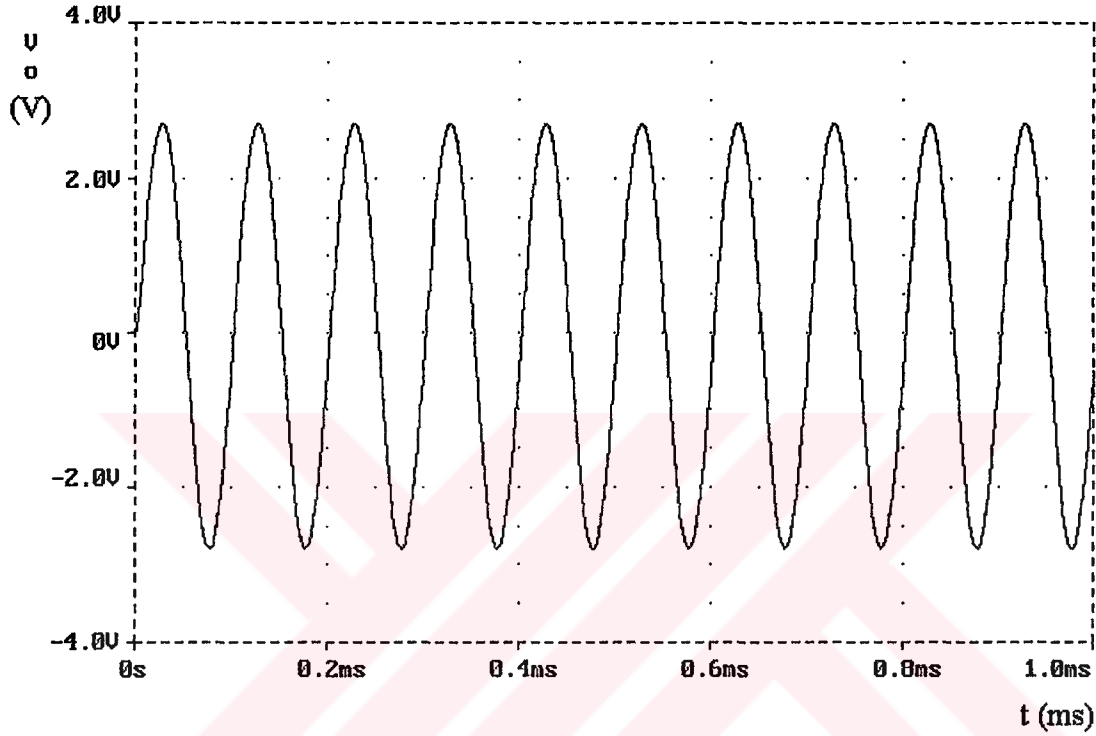


Şekil 5.2: Endüktans simülatörü kullanılan 2.dereceden aktif alçak geçiren filtre devresinin kazancının frekansla değişimi



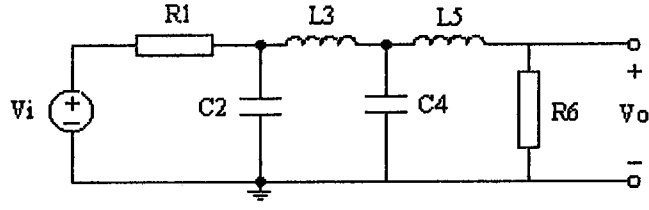
Şekil 5.3: Endüktans simülatörü kullanılan 2.dereceden aktif alçak geçiren filtre devresinin fazının frekansla değişimi

Devrenin kazanç ve fazının frekansla değişimini inceledikten sonra filtreye 10KHz'lik 2.8V'luk genliğe sahip sinüs gerilimi verilmiştir. Bu durumda filtre çıkışında oluşan çıkış işareti Şekil 5.4'de gösterilmiştir. Filtre çıkışında gene 2.8V'luk sinüs gerilimi elde edilebilmiştir. Bu sinüs gerilimi sadece %1.1'lik distorsiyona sahiptir. Bu da oluşturulan filtre yapısının düşük distorsiyon değerlerinde oldukça büyük çıkış gerilimleri verebildiğini göstermektedir.

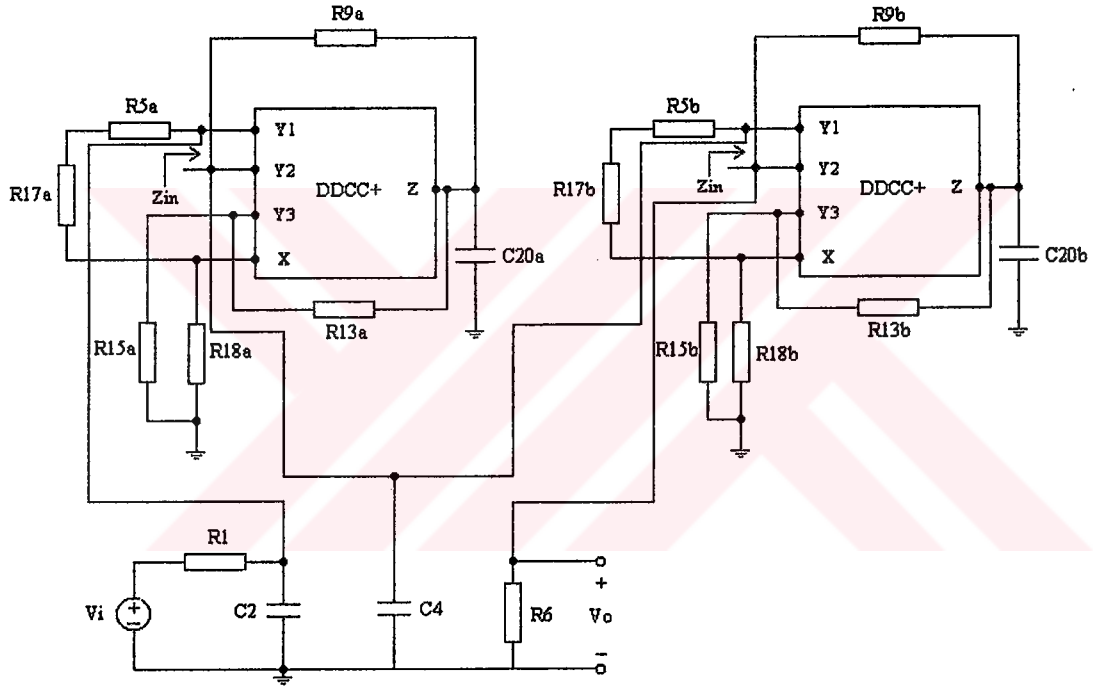


Şekil 5.4: Endüktans simülatörü kullanılan 2.dereceden aktif alçak geçiren filtre devresinin 10KHz'lik 2.8V'luk sinüs girişine oluşturduğu çıkış işareti

İkinci bir alçak geçiren filtre uygulaması olarak da 4.dereceden basamaklı Butterworth filtresi incelenmiştir [59]. Şekil 5.5'de incelenecek filtrenin pasif elemanlarla oluşturulmuş şekli görülmektedir. Buradaki iki ucu serbest L_3 ve L_5 endüktansları Bölüm 4.4'de incelenen Şekil C.1'de gösterilmiş olan D1 devresi ile değiştirilmiş ve ortaya Şekil 5.6'daki aktif filtre ortaya çıkmıştır.



Şekil 5.5: 4.dereceden basamaklı alçak geçiren Butterworth filtresi



Şekil 5.6: 4.dereceden basamaklı alçak geçiren Butterworth filtresinin endüktans simülatörü ile gerçekleştirilmesi

Şekil 5.5'deki devrede açısız kesim frekansı teorik olarak $f_o = 318.3\text{KHz}$ olması için kullanılması gereken eleman değerleri

$$R_1 = R_6 = 10k, C_2 = 38.27\text{pF}, C_4 = 92.39\text{pF}, L_3 = 9.239\text{mH}, L_5 = 3.827\text{mH} \quad (5.7)$$

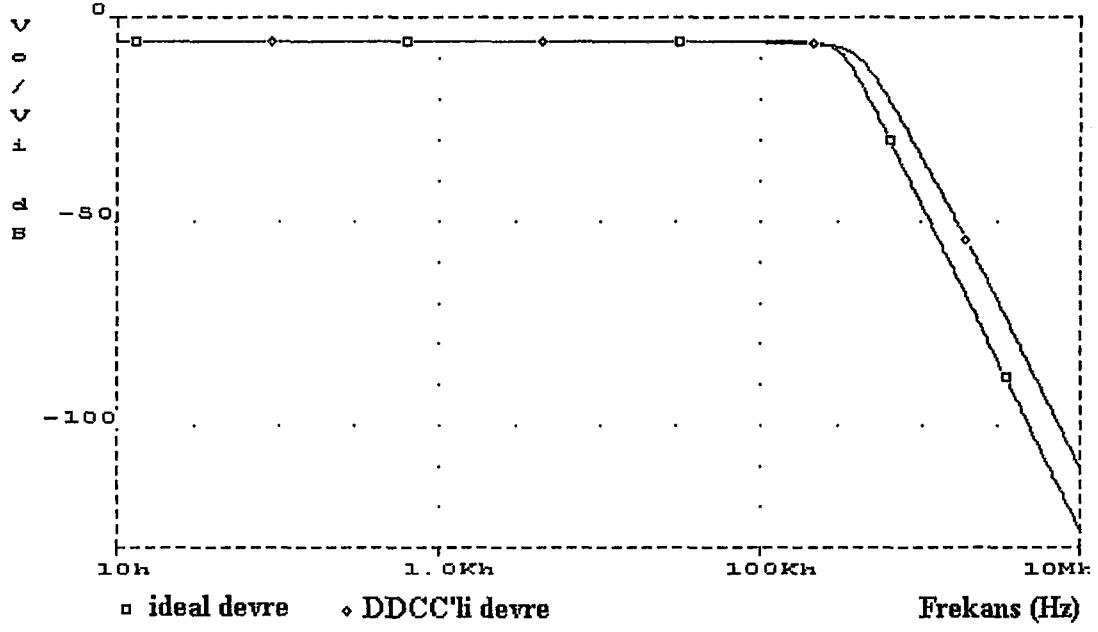
şeklindedir. $L_3 = 9.239\text{mH}$ 'lik endüktans değerini sağlamak için Bölüm 4.4'de incelenen D1 devresi kullanılmıştır. Bu endüktans değerini sağlamak için devrenin simüle ettiği endüktans değerini veren (4.3) bağıntısı uyarınca R ve C değerleri

$$R_{18a} = 1.5k, R_{13a} = R_{15a} = 3k, R_{5a} = R_{9a} = R_{17a} = 2k, C_{20a} = 0.52nF \quad (5.8)$$

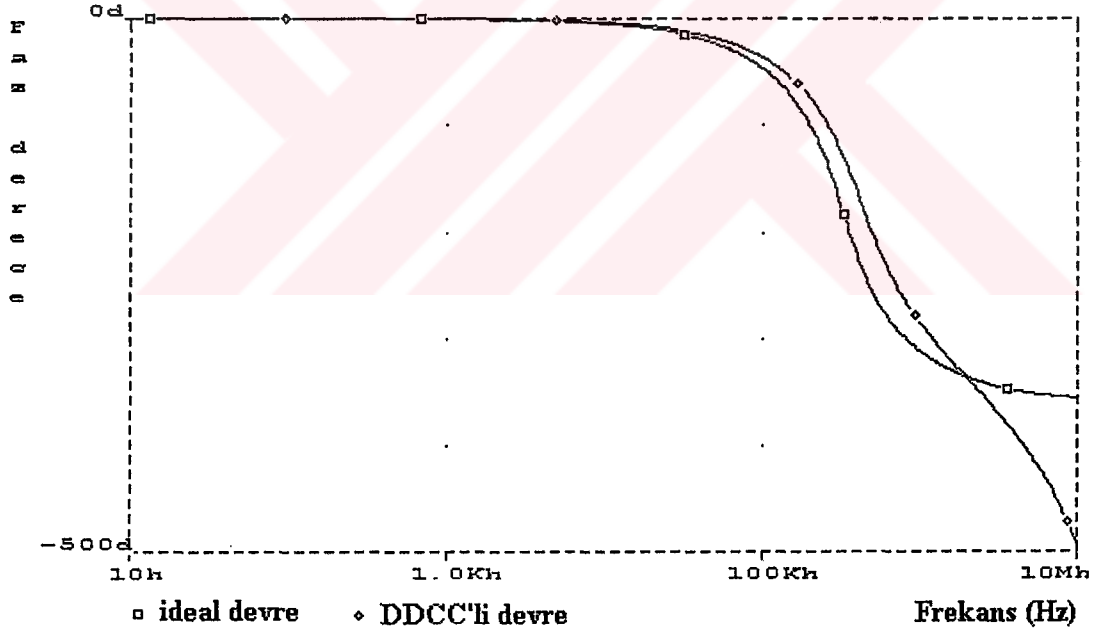
şeklinde seçilmelidir. $L_5 = 3.827\text{mH}$ 'lik endüktans değerini sağlamak için Bölüm 4.4'de incelenen D1 devresi kullanılmıştır. Bu endüktans değerini sağlamak için devrenin simüle ettiği endüktans değerini veren (4.3) bağıntısı uyarınca R ve C değerleri

$$R_{18b} = 1.5k, R_{13b} = R_{15b} = 3k, R_{5b} = R_{9b} = R_{17b} = 2k, C_{20b} = 0.22nF \quad (5.9)$$

şeklinde seçilmelidir. Yapılan bu teorik incelemelerden sonra devrenin çalışmasını ortaya koyabilmek için devrenin Pspice analizleri yapılmıştır. Şekil 5.7'de oluşturulan dördüncü dereceden basamaklı alçak geçiren Butterworth filtresinin alçak geçiren filtrenin kazanç-frekans eğrisi görülmektedir. Yapılan incelemeler devrenin kesim frekansının $f_o = 380.945\text{KHz}$ olduğunu ortaya koymuştur. Devrenin teorik kesim frekansı ise $f_o = 318.3\text{KHz}$ olduğuna göre DDCC+ elemanı içeren endüktans simülatörü kullanılarak gerçekleştirilen aktif filtre yapısının %19.67'lik bir hata oluşturduğu görülmüştür. Buradaki hata nedeni de eleman idealsizliklerinden ve yüksek frekanslara çıkıldıkça simüle endüktans değerlerinde sapmalar oluşmasından kaynaklanmaktadır. Basamaklı devrelerin bir özelliği olarak da devrenin geçirme bandındaki kazancı -6dB'dir. Bu da devrenin girişine gelen işaretleri çıkışa 0.5 kazançla aktaracağını göstermektedir. Şekil 5.8'de ise gene dördüncü dereceden Butterworth tipi basamaklı alçak geçiren filtre yapısına ait faz-frekans ilişkisi görülmektedir.



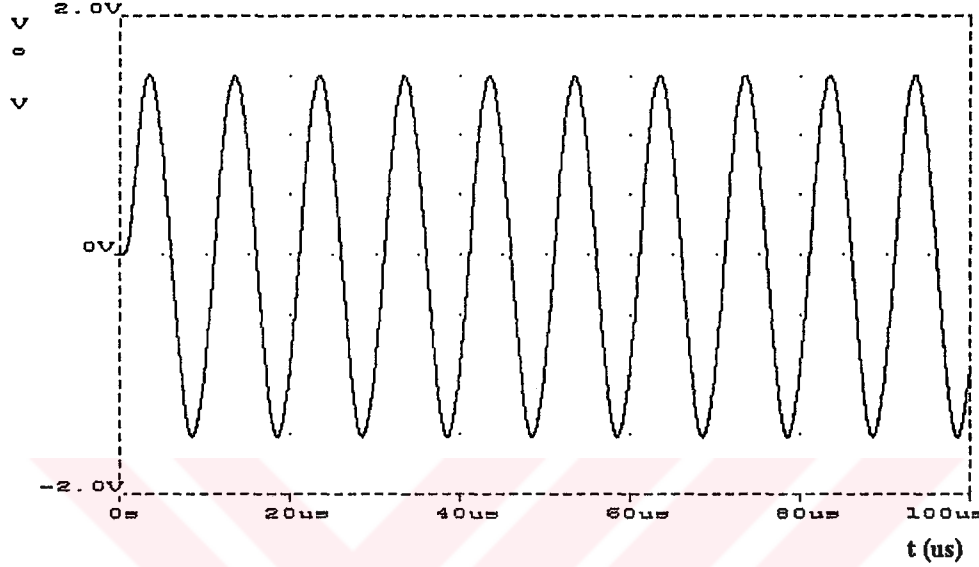
Şekil 5.7: Endüktans simülatörü kullanılan 4.dereceden basamaklı alçak geçiren aktif Butterworth filtresinin kazancının frekansla değişimi



Şekil 5.8: Endüktans simülatörü kullanılan 4.dereceden basamaklı alçak geçiren aktif Butterworth filtresinin fazının frekansla değişimi

Devrenin kazanç ve fazının frekansla değişimini inceledikten sonra filtreye 100KHz'lik 3V'luk genliğe sahip sinüs gerilimi verilmiştir. Bu durumda filtre çıkışında oluşan çıkış işareti Şekil 5.9'da gösterilmiştir. Filtre çıkışında 1.506V'luk

sinüs gerilimi elde edilebilmiştir. Çıkış geriliminin yarıya düşmesinin nedeni de beklendiği gibi filtre yapısının -6 dB'lik gerilim kazancından kaynaklanmaktadır. Bu sinüs gerilimi %2.56'lık distorsiyona sahiptir. Bu da oluşturulan filtre yapısının düşük distorsiyon değerlerinde oldukça büyük çıkış gerilimleri verebildiğini göstermektedir.



Şekil 5.9: Endüktans simülatörü kullanılan 4.dereceden basamaklı alçak geçiren aktif Butterworth filtresinin 100KHz'lik 3V'luk sinüs girişine oluşturduğu çıkış işareti

5.3 Yüksek Geçiren Filtre

Yüksek geçiren filtre, kullanılan devrenin çalışma bandı içerisindeki sadece yüksek frekansları geçiren bir yapıdır. İkinci dereceden yüksek geçiren filtrenin transfer fonksiyonu,

$$F(s) = \frac{V_o(s)}{V_i(s)} = \frac{a_1 s^2}{s^2 + \frac{\omega_o}{Q} s + \omega_o^2} \quad (5.10)$$

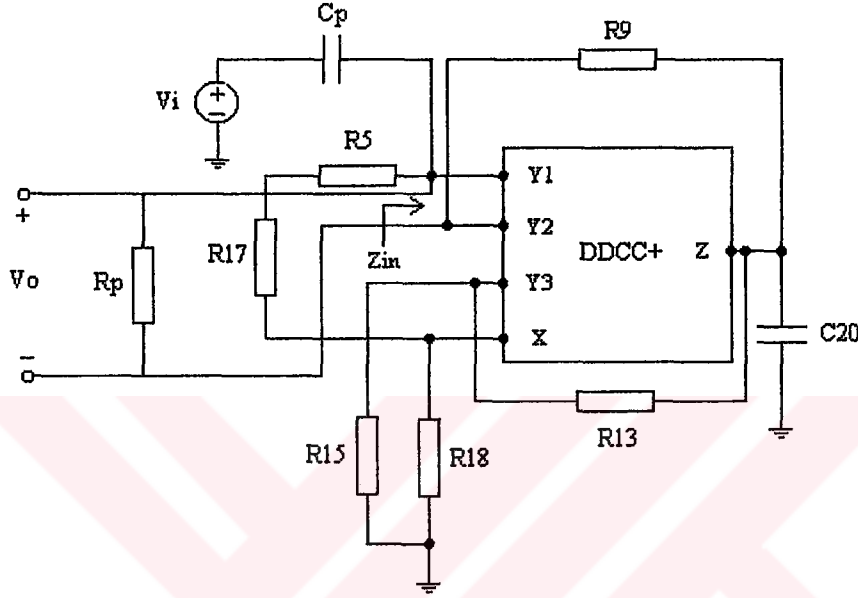
a_1 = gerilim kazancı

ω_o = açısal kesim frekansı

Q = değer katsayısı

şeklinde verilebilir.

Oluşturulan endüktans simülatörü yapılarının test edilebilmesi için ikinci dereceden basit bir yüksek geçiren filtre yapısı oluşturan RLC devresinde L elemanı yerine kayıpsız endüktans simülatörü olan Şekil C.1’de gösterilen D1 devresi kullanılacaktır. Bu sayede endüktans simülatörü yapısının pasif filtre devresini, aktif filtre yapısına dönüştürmeye uygun olup olmadığı görülecektir. Bu amaçla Şekil 5.10’daki devre oluşturulmuştur.



Şekil 5.10: Endüktans simülatörü kullanılan 2.dereceden aktif yüksek geçiren filtre devresi

Bu devrede endüktans simülatörü yerine pasif endüktans elemanı kullanılmış olsaydı, devrenin transfer fonksiyonu elemanlar cinsinden

$$F(s) = \frac{V_o(s)}{V_i(s)} = \frac{s^2}{s^2 + \frac{s}{R_p C_p} + \frac{1}{LC_p}} \quad (5.11)$$

şeklinde tanımlanır. Buna göre ω_o açısai kesim frekansı, Q değeri katsayısı ve kazancı

$$\omega_o = \left(\frac{1}{LC_p} \right)^{\frac{1}{2}} \quad (5.12)$$

$$Q = \sqrt{\frac{C_p}{L}} R_p \quad (5.13)$$

$$a_1 = 1 \quad (5.14)$$

şeklindedir.

Burada $R_p = 10k$, $C_p = 0.18nF$, $L = 36mH$ olarak seçilince (5.12) bağıntısına göre teorik olarak $f_o = 63.867KHz$ değerinde olur. Değer katsayısı ise (5.13) bağıntısına göre $Q = 0.707$ değerinde olur. Bu devrede 36mH'lik endüktans değerini sağlamak için Bölüm 4.4'de incelenen D1 devresi kullanılmıştır. Bu durumda devrenin simüle ettiği endüktans değeri (4.3) bağıntısıyla verilmiştir. Endüktans devresinde R ve C değerlerini

$$R_{18} = 1.5k, R_{13} = R_{15} = 3k, R_5 = R_9 = R_{17} = 2k, C_{20} = 2nF \quad (5.15)$$

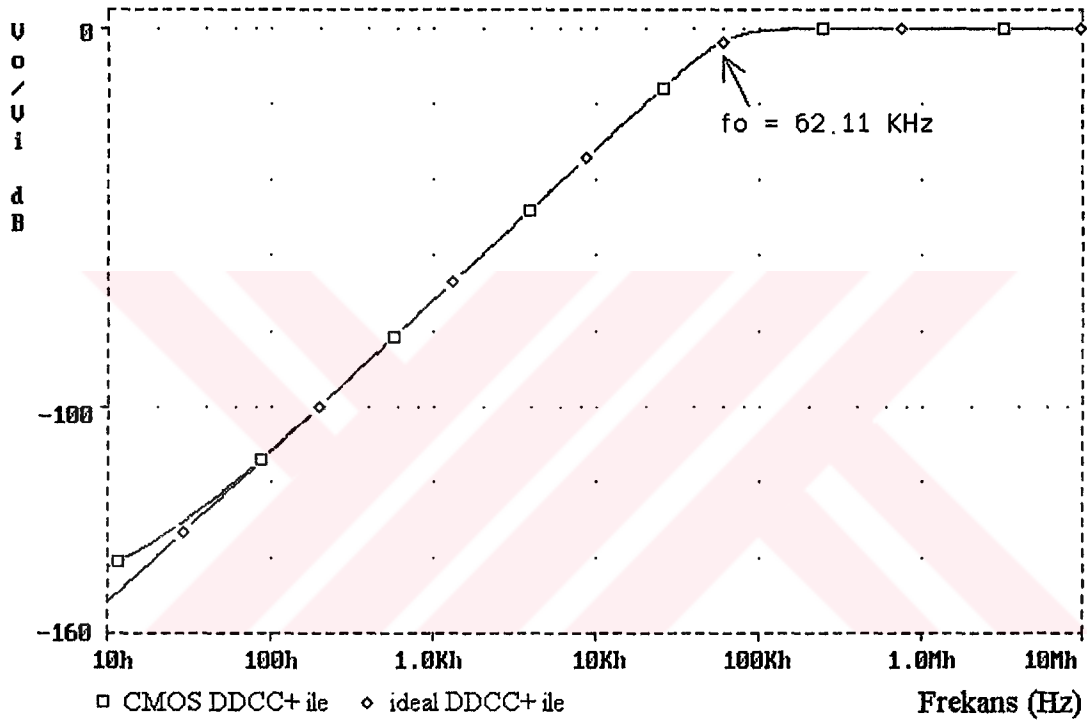
seçersek (4.3) bağıntısından hesaplanabilen 36mH'lik endüktans değeri teorik olarak elde edilmiş olur. Şekil 5.10'da verilen ikinci dereceden yüksek geçiren filtre yapısının (5.12) bağıntısında verilen genel açısal kesim frekansını ve değer katsayısını kullanılan devre elemanları cinsinden tekrar yazarsak

$$\omega_o = \left(\frac{1}{\frac{C_{20}R_{18}}{R_{13}}(R_{13} + R_{15})(R_5 + R_9 + R_{17})C_p} \right)^{\frac{1}{2}} \quad (5.16)$$

$$Q = \sqrt{\frac{C_p}{\frac{C_{20}R_{18}}{R_{13}}(R_{13} + R_{15})(R_5 + R_9 + R_{17})}} R_p \quad (5.17)$$

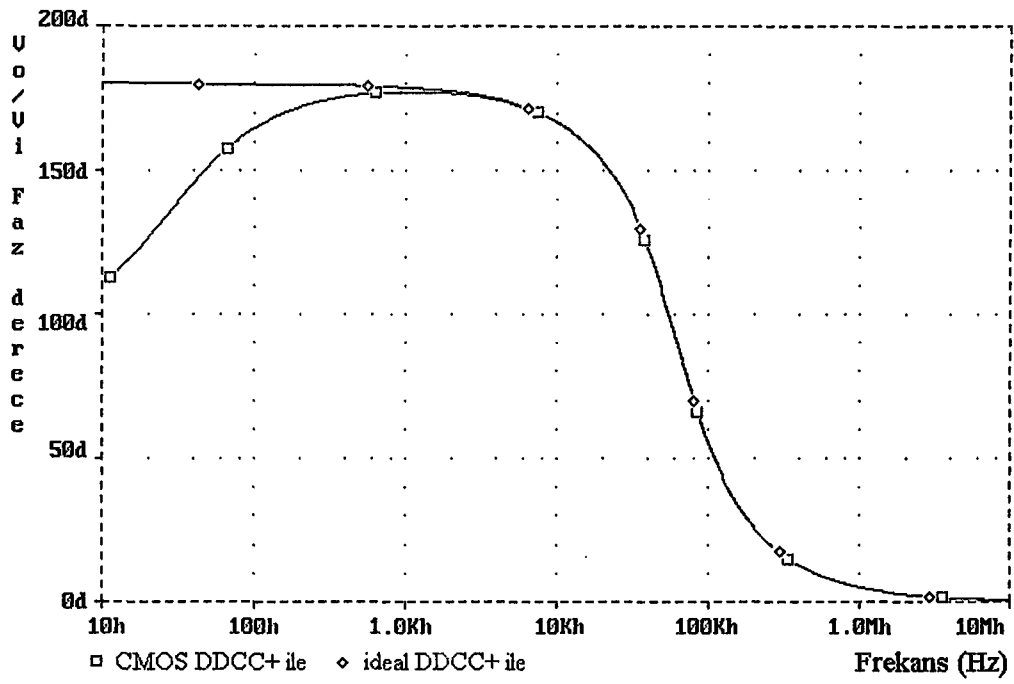
bağıntısı ortaya çıkar. Yapılan bu teorik incelemelerden sonra devrenin çalışmasını ortaya koyabilmek için devrenin Pspice analizleri yapılmıştır. Şekil 5.11'de oluşturulan ikinci dereceden yüksek geçiren filtrenin kazanç-frekans eğrisi görülmektedir. Yapılan incelemeler devrenin kesim frekansının

$f_o = 62.11\text{KHz}$ olduğunu ortaya koymuştur. Devrenin teorik kesim frekansı ise (5.12) veya (5.16) bağıntısına göre $f_o = 62.521\text{KHz}$ olduğu hesaplandığına göre DDCC+ elemanı içeren endüktans simülatörü kullanılarak gerçekleştirilen aktif filtre yapısının sadece %0.66'lık bir hata oluşturduğu görülmüştür. Bu da ihmal edilebilecek bir hata oranıdır. Bu durum kullanılan endüktans simülatörünün bu frekanslarda oldukça doğru bir şekilde çalıştığını göstermektedir. Şekil 5.12'de ise gene ikinci dereceden yüksek geçiren filtre yapısına ait faz-frekans ilişkisi görülmektedir.

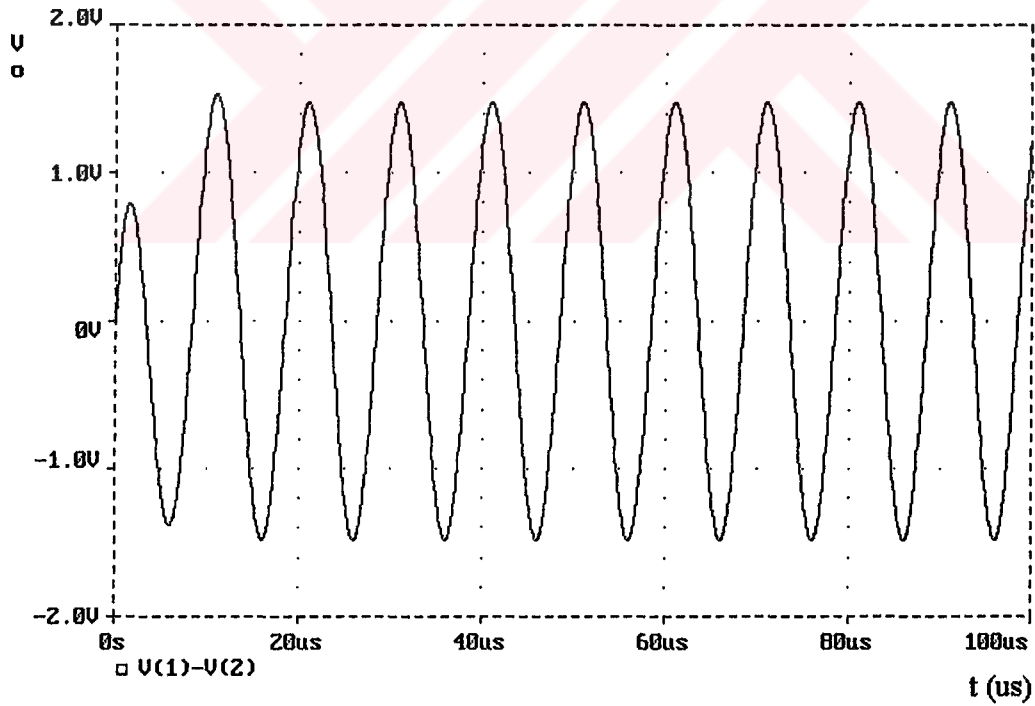


Şekil 5.11: Endüktans simülatörü kullanılan 2.dereceden aktif yüksek geçiren filtre devresinin kazancının frekansla değişimi

Devrenin kazanç ve fazının frekansla değişimini inceledikten sonra filtreye 100KHz'lik 1.6V'luk genliğe sahip sinüs gerilimi verilmiştir. Bu durumda filtre çıkışında oluşan çıkış işareti Şekil 5.13'de gösterilmiştir. Filtre çıkışında 1.48V'luk sinüs gerilimi elde edilebilmiştir. Bu sinüs gerilimi sadece %1.12'lik distorsiyona sahiptir. Bu da oluşturulan filtre yapısının düşük distorsiyon değerlerinde oldukça büyük çıkış gerilimleri verebildiğini göstermektedir.



Şekil 5.12: Endüktans simülatörü kullanılan 2.dereceden aktif yüksek geçiren filtre devresinin fazının frekansla değişimi



Şekil 5.13: Endüktans simülatörü kullanılan 2.dereceden aktif yüksek geçiren filtre devresinin 100KHz'lik 1.6V'luk sinüs girişine oluşturduğu çıkış işareti

5.4 Band Geçiren Filtre

Band geçiren filtre, sadece istenilen frekans bölgesini geçiren bir yapıdır. İkinci dereceden band geçiren filtrenin transfer fonksiyonu,

$$F(s) = \frac{V_o(s)}{V_i(s)} = \frac{-a_1 \frac{\omega_o}{Q} s}{s^2 + \frac{\omega_o}{Q} s + \omega_o^2} \quad (5.18)$$

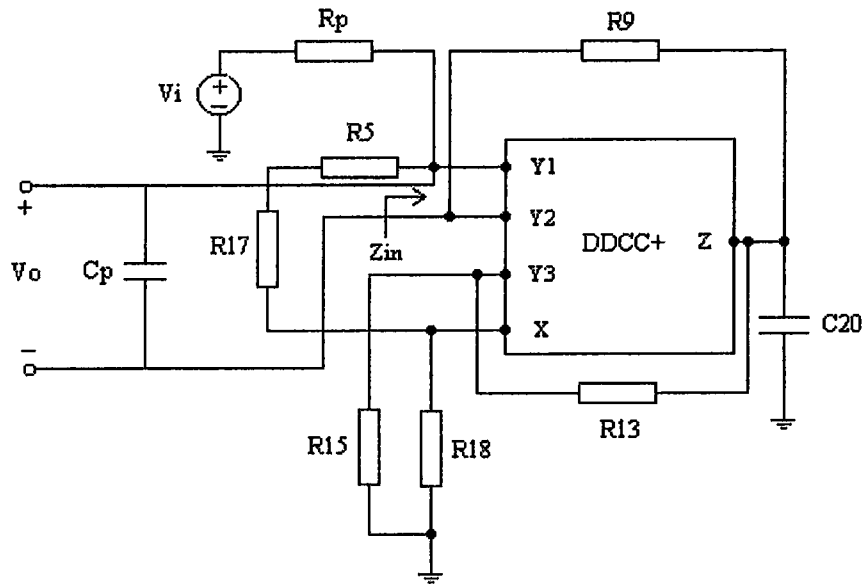
a_1 = gerilim kazancı

ω_o = açısal tepe frekansı

Q = değer katsayısı

şeklinde verilebilir.

Oluşturulan endüktans simülatörü yapılarının test edilebilmesi için ikinci dereceden basit bir band geçiren filtre yapısı oluşturan RLC devresinde L elemanı yerine kayıpsız endüktans simülatörü olan Şekil C.1’de gösterilen D1 devresi kullanılacaktır. Bu sayede endüktans simülatörü yapısının pasif filtre devresini, aktif filtre yapısına dönüştürmeye uygun olup olmadığı görülecektir. Bu amaçla Şekil 5.14’deki devre oluşturulmuştur.



Şekil 5.14: Endüktans simülatörü kullanılan 2.dereceden aktif band geçiren filtre devresi

Bu devrede endüktans simülatörü yerine pasif endüktans elemanı kullanılmış olsaydı, devrenin transfer fonksiyonu elemanlar cinsinden

$$F(s) = \frac{V_o(s)}{V_i(s)} = -\frac{\frac{s}{R_p C_p}}{s^2 + \frac{s}{R_p C_p} + \frac{1}{LC_p}} \quad (5.19)$$

şeklinde tanımlanır. Buna göre ω_o açısal kesim frekansı, Q değer katsayısı ve kazancı

$$\omega_o = \left(\frac{1}{LC_p} \right)^{\frac{1}{2}} \quad (5.20)$$

$$Q = \sqrt{\frac{C_p}{L}} R_p \quad (5.21)$$

$$a_1 = 1 \quad (5.22)$$

şeklindedir.

Burada $R_p = 10k$, $C_p = 0.17nF$, $L = 36mH$ olarak seçilince (5.20) bağıntısına göre teorik olarak $f_o = 63.867KHz$ değerinde olur. Değer katsayısı ise (5.21) bağıntısına göre $Q = 0.687$ değerinde olur. Bu devrede 36mH'lik endüktans değerini sağlamak için Bölüm 3.4'de incelenen D1 devresi kullanılmıştır. Bu durumda devrenin simüle ettiği endüktans değeri (4.3) bağıntısıyla verilmiştir. Endüktans devresinde R ve C değerlerini

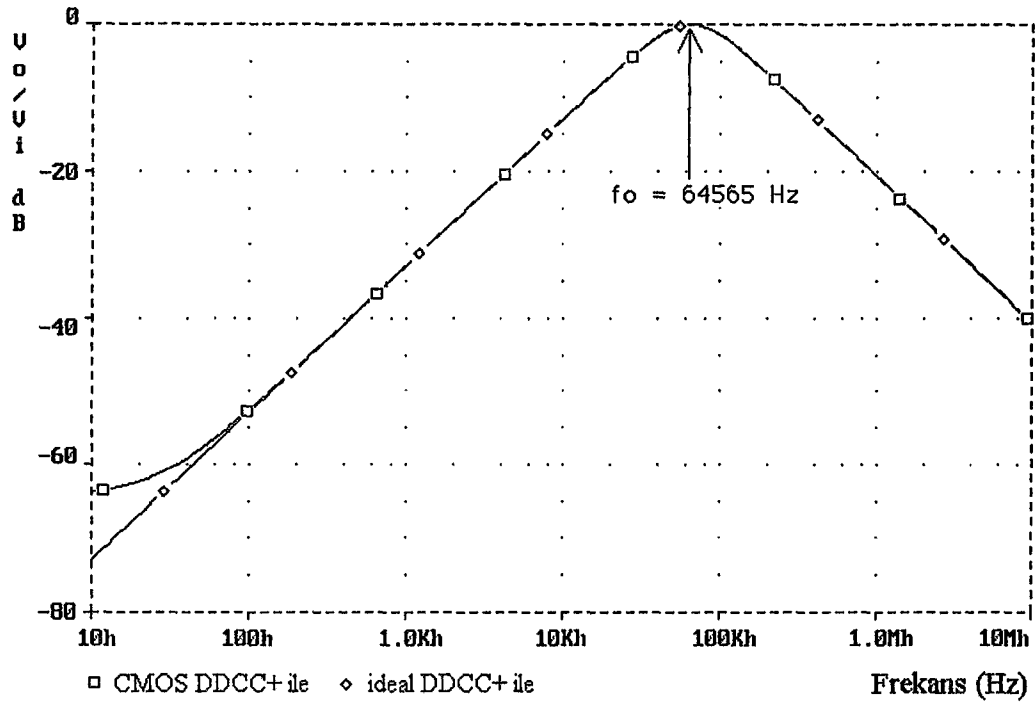
$$R_{18} = 1.5k, R_{13} = R_{15} = 3k, R_5 = R_9 = R_{17} = 2k, C_{20} = 2nF \quad (5.23)$$

seçersek (4.3) bağıntısından hesaplanabilen 36mH'lik endüktans değeri teorik olarak elde edilmiş olur. Şekil 5.14'de verilen ikinci dereceden band geçiren filtre yapısının (5.20) bağıntısında verilen genel açısal kesim frekansını ve değer katsayısını kullanılan devre elemanları cinsinden tekrar yazarsak

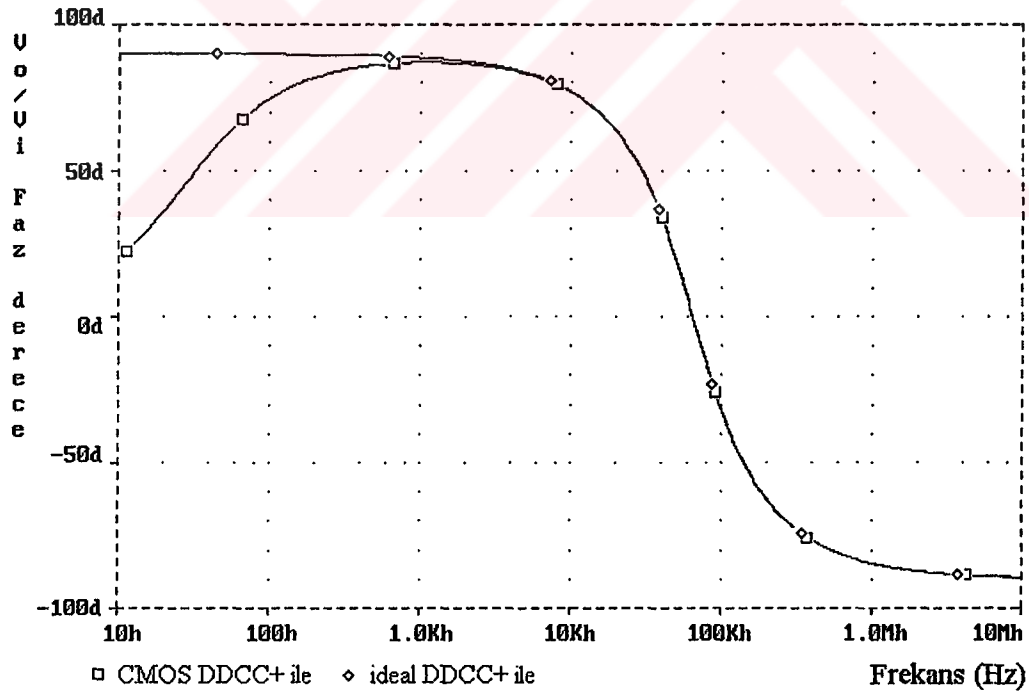
$$\omega_o = \left(\frac{1}{\frac{C_{20}R_{18}}{R_{13}}(R_{13} + R_{15})(R_5 + R_9 + R_{17})C_p} \right)^{\frac{1}{2}} \quad (5.24)$$

$$Q = \sqrt{\frac{C_p}{\frac{C_{20}R_{18}}{R_{13}}(R_{13} + R_{15})(R_5 + R_9 + R_{17})}} R_p \quad (5.25)$$

bağıntısı ortaya çıkar. Yapılan bu teorik incelemelerden sonra devrenin çalışmasını ortaya koyabilmek için devrenin Pspice analizleri yapılmıştır. Şekil 5.15'de oluşturulan ikinci dereceden band geçiren filtrenin kazanç-frekans eğrisi görülmektedir. Yapılan incelemeler devrenin kesim frekansının $f_o = 64.565KHz$ olduğunu ortaya koymuştur. Devrenin teorik kesim frekansı ise (5.20) veya (5.24) bağıntısına göre $f_o = 64.335KHz$ olduğu hesaplandığına göre DDCC+ elemanı içeren endüktans simülatörü kullanılarak gerçekleştirilen aktif filtre yapısının sadece %0.36'lık bir hata oluşturduğu görülmüştür. Bu da ihmal edilebilecek bir hata oranıdır. Bu durum kullanılan endüktans simülatörünün bu frekanslarda oldukça doğru bir şekilde çalıştığını göstermektedir. Şekil 5.16'de ise gene ikinci dereceden band geçiren filtre yapısına ait faz-frekans ilişkisi görülmektedir.

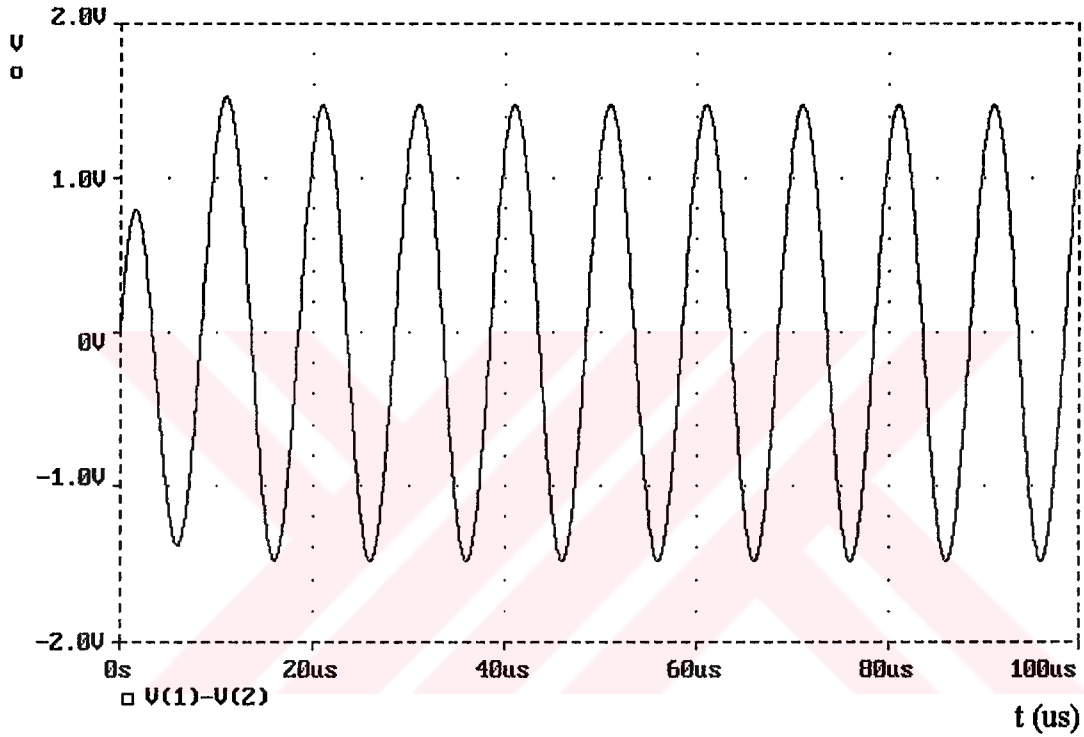


Şekil 5.15: Endüktans simülatörü kullanılan 2.dereceden aktif band geçiren filtre devresinin kazancının frekansla değişimi



Şekil 5.16: Endüktans simülatörü kullanılan 2.dereceden aktif band geçiren filtre devresinin fazının frekansla değişimi

Devrenin kazanç ve fazının frekansla deęişimini inceledikten sonra filtreye 64.565KHz'lik 1.6V'luk genlięe sahip sinüs gerilimi verilmiřtir. Bu durumda filtre çıkışında oluřan çıkış iřareti řekil 5.17'de gösterilmiřtir. Filtre çıkışında gene 1.6V'luk sinüs gerilimi elde edilebilmiřtir. Bu sinüs gerilimi sadece %1.29'lık distorsiyona sahiptir. Bu da oluřturulan filtre yapısının dūřuk distorsiyon deęerlerinde oldukça būyuk çıkış gerilimleri verebildięini gōstermektedir.



řekil 5.17: Endūktans simūlatōrū kullanılan 2.dereceden aktif band geęiren filtre devresinin 100KHz'lik 1.6V'luk sinūs giriřine oluřturduęu çıkış iřareti

6. DDCC İLE OSİLATÖR TASARIMI

Elektronik veya elektromekanik bir düzende istenilen bir frekans ve dalga biçiminde işaret üreten devrelere gerek duyulur Bu işaret üreten devrelere **osilatör** adı verilir. Osilatörler, doğru akım gücünü periyodik dalga şekilli bir işarete çeviren devrelerdir. Osilatör yapıları, akortlu osilatörler ve akortsuz osilatörler olarak iki ana grupta toplanabilirler. Akortlu osilatörler, genellikle, yüksek frekanslarda kullanılan yapılardır ve L elemanı içerirler.

Bunun yanı sıra, alçak frekanslarda kullanılan RC osilatörleri, dolup-boşalmalı osilatörle, s-C osilatörleri ve yüksek frekanslarda kullanılmaya da elverişli OTA-C osilatörleri bulunmakta ve yaygın olarak kullanılmaktadır [85].

6.1 Aktif LC Osilatör Tasarımı

Bu bölümde Şekil C.1'de gösterilen D1 kayıpsız endüktans simülatörü devresi kullanılarak tek DDCC+ elemanı ve bir pasif C elemanı içeren aktif LC osilatörü incelenecektir. Bu amaçla Şekil 6.1'deki devre oluşturuldu. Bu devrede Y1-Y2 uçları arasından görülen endüktansa paralel bir C_p kapasitesi bağlanmıştır. Bu devrede osilasyon frekansı,

$$f_o = \frac{1}{2\pi\sqrt{L_{es}C_p}} \quad (6.1)$$

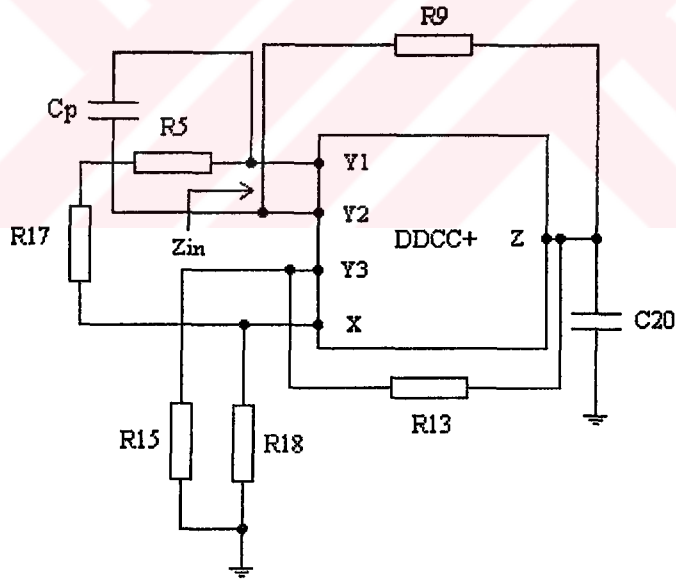
şeklinde hesaplanır. Bu bağıntıdaki L_{es} yerine (4.3) bağıntısındaki karşılığı yerleştirilirse, osilatör devresinin osilasyon frekansı

$$f_o = \frac{1}{2\pi\sqrt{\frac{C_{20}R_{18}}{R_{13}}(R_{13} + R_{15})(R_5 + R_9 + R_{17})C_p}} \quad (6.2)$$

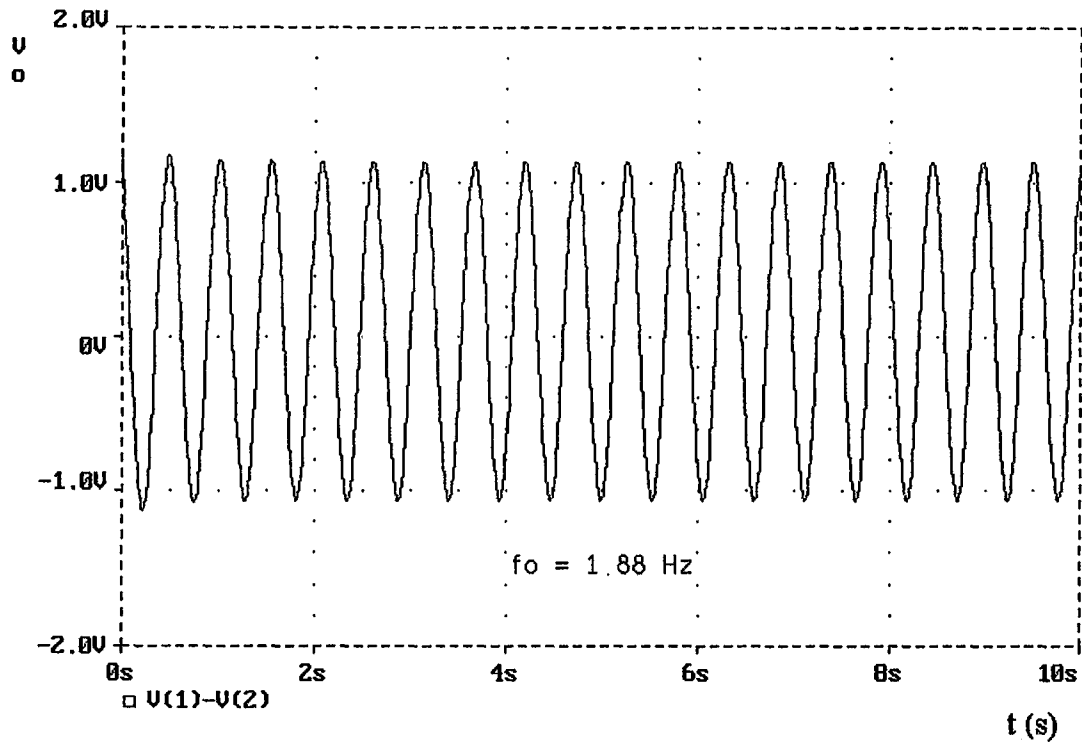
şeklinde oluşur. Bu devrenin osilasyon koşulu da (4.2) bağıntısı belirlemektedir. Bu devrenin önemli bir özelliği osilasyon frekansının tek bir C elemanı ile (C_p), osilasyon koşulunun da tek bir direnç elemanı ile (R_{15} veya R_{18}) ayarlanabilmesidir. Eleman değerleri,

$$R_{18} = 3k, R_{13} = R_{15} = 6k, R_5 = R_9 = R_{17} = 4k, C_{20} = 10\mu F \quad (6.3)$$

şeklinde kullanıldığında $L_{eş}$ değeri (4.3) bağıntısından teorik olarak hesaplanırsa 720H değeri elde edilir. Bu devrede kullanılan $C_p = 10\mu F$ değerindedir. Bu değerlerle osilasyon frekansı (6.1) veya (6.2) bağıntısından hesaplanırsa 1.876Hz olarak bulunur. Şekil 6.2'deki osilatörün çıkış işareti incelendiğinde 1.88Hz'lik bir sinüs işaretinin elde edildiği görülmektedir. Burada teorik değerle pratik değer arasındaki hata %0.21 gibi ihmal edilebilecek oldukça ufak bir hatadır. Oluşan sinüs işaretinin de 1.14V'luk bir genliğe sahip olduğu görülmektedir. Bu devre için yapılan Pspice analizlerinde C_p kapasitesi üzerinde başlangıç gerilimi olarak 1.14V'luk gerilim verilmiştir.



Şekil 6.1: D1 endüktans simülatörü ile oluşturulan aktif LC osilatör devresi



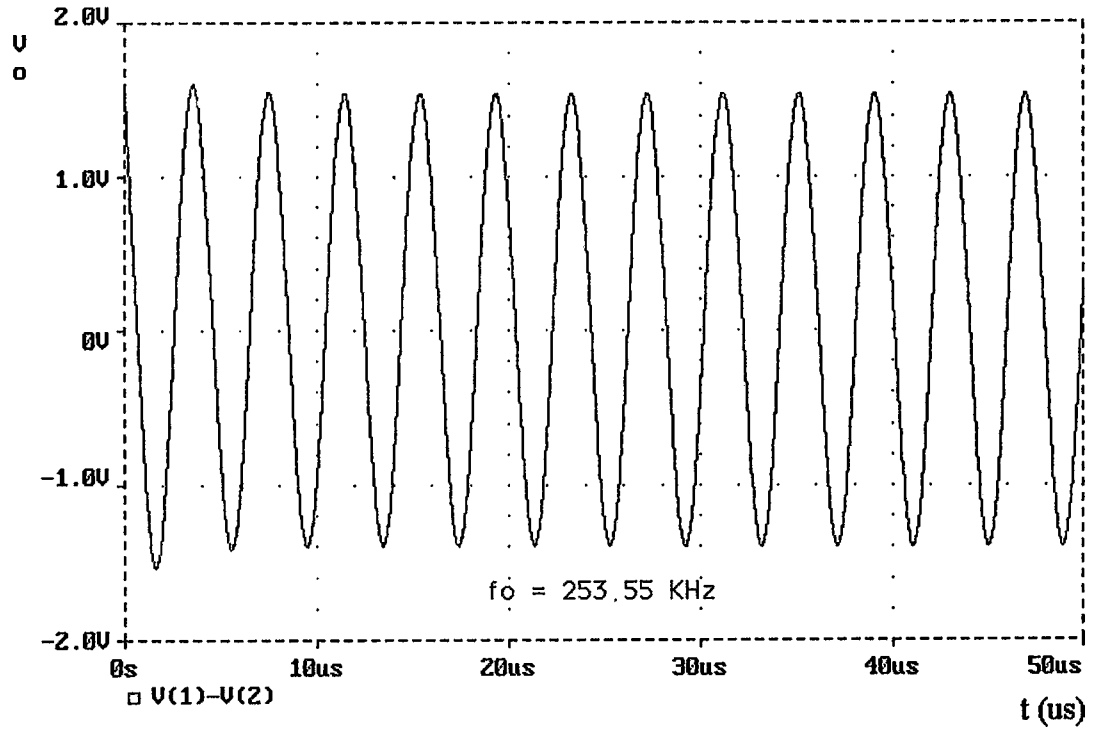
Şekil 6.2: D1 endüktans simülatörü ile oluşturulan aktif LC osilatör devresinin 1.88Hz'lik osilatör çıkış işareti

İkinci analiz olarak da eleman değerleri,

$$R_{18} = 1.5k, R_{13} = R_{15} = 3k, R_5 = R_9 = R_{17} = 2k, C_{20} = 200pF \quad (6.4)$$

seçildiği durum seçilmiştir. Eleman değerleri şeklinde kullanıldığında $L_{eş}$ değeri (4.3) bağıntısından teorik olarak hesaplanırsa 3.6mH değeri elde edilir. Bu devrede kullanılan $C_p = 100pF$ değerindedir. Bu değerlerle osilasyon frekansı (6.1) veya (6.2) bağıntısından hesaplanırsa 265.526KHz olarak bulunur. Şekil 6.2'deki osilatörün çıkış işareti incelendiğinde 253.55KHz'lik bir sinüs işaretinin elde edildiği görülmektedir. Burada teorik değerle pratik değer arasındaki hata %4.5 gibi çok büyük olmayan bir hatadır. Oluşan sinüs işaretinin de 1.55V'luk bir genliğe sahip olduğu görülmektedir. Bu devre için yapılan Pspice analizlerinde C_p kapasitesi üzerinde başlangıç gerilimi olarak 1.55V'luk gerilim verilmiştir.

Bu iki ayrı analiz sonucunda tek DDCC+ elemanı kullanılarak 1.88Hz - 253.55KHz arasında 1.55V'a kadar çıkış gerilimi verebilen aktif LC osilatör devresinin oldukça az bir frekans hatasıyla rahatlıkla elde edilebileceği görülmüştür.



Şekil 6.3: D1 endüktans simülatörü ile oluşturulan aktif LC osilatör devresinin 253.55KHz'lik osilatör çıkış işareti

7. SONUÇLAR VE TARTIŞMA

Bu çalışmada, diferensiyel fark akım taşıyıcısı elemanının literatürdeki ilk yüksek performanslı CMOS tasarımı verilmiştir. Bu eleman, günümüzdeki akım modlu yeni elemanlara duyulan ihtiyaçtan ortaya çıkmıştır. 1996'da ilk olarak ortaya çıkan bu yeni yapı ikinci kuşak akım taşıyıcılara benzemekle birlikte, diferensiyel giriş gerilimlerini işleyebilmemize olanak sağlayacak şekilde 3 tane yüksek empedanslı girişe sahiptir. Bu da uygulamalarda kullanılacak aktif eleman sayısını azaltacaktır.

Tasarlanan yeni CMOS DDCC+ topolojisi literatürde sunulan ilk topolojiye göre daha geniş band genişliği, daha yüksek bir çıkış direnci ile birlikte daha düşük bir giriş direnci, ayrıca ideale yakın bir akım ve gerilim izleme oranları sağlamıştır. Bu üstünlükleri sayesinde kendine birçok uygulama alanı bulabilecektir.

Devre tasarımında pasif eleman olarak kullanılan endüktans elemanının devre performansını olumsuz yönde etkilemesi ve çok büyük boyutlar kaplayabilmesinden dolayı, tasarımcılar aktif elemanlarla endüktans simülatörü topolojileri üretmeye yönelmişlerdir. Bu ihtiyacın bu tezde bir karşılığı olarak önerilen CMOS DDCC+ devresi kullanılarak çeşitli iki ucu serbest endüktans simülatörleri oluşturmuştur. Yapılan incelemeler sonucu 200KHz'lere kadar, teorik sonuçlara uygun aktif endüktans elemanının gerçekleştirilebildiği görülmüştür. DDCC+ yapısının kullanılmasının getirdiği bir avantaj da literatürde endüktans simülatörü tasarımı konusunda yapılan çalışmalarda hep birden fazla aktif elemana ihtiyaç duyulmasına rağmen, bu yapı kullanılarak tek bir aktif elemanla bir çok endüktans simülatörü tasarlanabilmesidir.

Tasarlanan endüktans simülatörü yapıları kullanılarak filtre ve osilatör yapıları da oluşturulmuştur. Yapılan incelemelerde bu devrelerin de teorik sonuçlara çok uygun düzeyde sonuçlar verdiği görülmüştür.

Tasarımcılara yeni olanaklar sağlaması düşüncesiyle oluşturulan bu yeni CMOS DDCC+ elemanı değişik yapılar kullanılarak, daha geniş bandlı, daha geniş

diferensiyel giriş gerilimi salınım aralığında çalışabilen ve günümüzde 3.3V, 1.8V gibi kullanılmaya başlanılan düşük besleme gerilimlerinde çalışabilecek şekilde farklı topolojilerde tasarlanabilir. Bu konu üzerinde yeni çalışmalar yapılması akım modlu analog bir yapı olan DDCC+ elemanının pratik uygulamalarda daha da ön plana çıkmasını sağlayabilecektir.



KAYNAKLAR

- [1] **Tarım N.**, August 1998, The effects of current conveyor non-idealities on the performance of active filters and novel current conveyor structures suitable for continuous-time filters, *Ph.D. Thesis*, İTÜ Fen Bilimleri Enstitüsü, İstanbul
- [2] **Chiu, W., Liu S.-I., Tsao H.-W. and Chen J.J.**, 1996, CMOS differential difference current conveyors and their applications, *IEE Proc. Pt-G.*, Vol 143, pp. 91-96
- [3] **Smith K.C., Sedra A.S.**, August 1968, The current conveyor: A new circuit building block, *IEEE Proc.*, Vol. 56 CT-15, pp. 1368-1369
- [4] **Smith K.C., Sedra A.S.**, Feb 1970, A second generation current conveyor and its application, *IEEE Transactions on Circuits Theory*, CT-17, pp.132-134
- [5] **Kumar U., IEIE Shukla S.**, January 1985, Recent development in current conveyors and their applications, *Microelectronics Journal*, Vol. 16, No. 1, pp. 47-52
- [6] **Wilson B.**, April 1990, Recent developments in current conveyors and current-mode circuits, *IEE Proceedings*, Vol. 137, Pt.G., No. 2, pp. 63-77
- [7] **Toumazou C., Lidgley F.J. Haigh D.C.**, 1990, Analogue IC design: The current-mode approach, *IEE Circuit and System Series 2*
- [8] **Wadsworth D.C.**, 1990, Accurate current conveyor topology and monolithic implementation, *IEE Proc. G.*, Vol.137, No. 2, pp. 88-94
- [9] **Güneş E.O.**, Nisan 1998, Akım taşıyıcılar ve akım taşıyıcı tabanlı aktif elemanlarla transfer fonksiyonlarının gerçekleştirilmesi, *Doktora Tezi*, İTÜ Fen Bilimleri Enstitüsü, İstanbul
- [10] **Wilson B.**, 1987, A new look at gain-bandwidth product, *Electronics Wireless World*, Vol.93, No.2, pp. 834-836
- [11] **Analog Devices**,1990, Linear Products Data Book, Norwood, MA
- [12] **Svoboda J.A., McGory L., Webb S.**, 1991, Applications of a commercially available current conveyor, *International Journal of Electronics*, Vol. 70, No. 1, pp. 159-164

- [13] **Bruun E., Olesen H.O.**, 1992, Conveyor implementations of generics current mode circuits, *International Journal of Electronics*, **Vol. 73**, No. 1, pp. 129-140
- [14] **Fabre A.**, March 1995, Third generation current conveyor: a new helpful active elements, *Electronics Letters*, **Vol. 31**, No. 5, pp. 338- 339
- [15] **Piovaccari A.**, July 1995, CMOS integrated third-generation current conveyor, *Electronics Letters*, **Vol. 31**, No. 15, pp. 1228-1229
- [16] **Liu S. I., Yang Y. Y.**, December 1996, Higher-order immittance function synthesis using CCHIs, *Electronics Letters*, **Vol. 32**, No. 25, pp.2295-2296
- [17] **Horng, J.-W., Weng R.-M., Lee M.-H., Chang C.-W.**, 1997, Universal active current filter using two multiple current output OTAs and one CCHI, *International Journal of Electronics*, **Vol. 82**, No. 3, pp. 241-247
- [18] **Muhammad Taher Abuelma'atti, Husain Abdullah Alzaher**, 1998, Multi-function active-only current-mode filter with three inputs and one output, *International Journal of Electronics*, **Vol. 85**, No. 4, pp. 431-435
- [19] **Eduard Sackinger, Walter Guggenbühl**, April 1987, A Versatile Building Block: The CMOS Differential Difference Amplifier, *IEEE Journal of Solid-State Circuits*, **Vol. SC-22**, No.2, pp.287-294
- [20] **Huang S.C., Ismail M.**, August 1989, Novel fully-integrated active filters using the CMOS differential difference amplifier, *Proc. 32nd Midwest Symp. Circuits and Systems*, pp. 173-176
- [21] **Zarabadi S.R., Larsen F., Ismail M.**, June 1992, A reconfigurable Op-amp/DDA CMOS amplifier architecture, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, **Vol. 39**, No. 6, pp. 484-487
- [22] **Zarabadi S.R., Larsen F., Ismail M.**, September 1992, Correction to: A reconfigurable Op-amp/DDA CMOS amplifier architecture, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, **Vol. 39**, No. 9, pp. 778
- [23] **Huang S.C., Ismail M., Zarabadi S.R.**, May 1993, A wide range differential difference amplifier: A basic block for analog signal processing in MOS technology, *IEEE Transactions on Circuits and Systems-II: Fundamental Theory and Applications*, **Vol. 40**, No. 5, pp. 289-301
- [24] **Czarnul Z., Takagi S., Fujii N.**, March 1994, Common-mode feedback circuit with differential-difference amplifier, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, **Vol. 41**, No. 3, pp. 243-246

- [25] Carrillo J.F.D., Torelli G., Perez-Aloe R., Valverde J.M., Maloberti F., March 1995, Fully differential basic building block based on fully differential difference amplifiers with unity-gain difference feedback, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, Vol. 42, No. 3, pp. 190-192
- [26] Mahmoud S.A., Soliman A.M., 1997, A new CMOS realization of the differential difference amplifier and its application to a MOS-C oscillator, *International Journal of Electronics*, Vol. 83, No. 4, pp. 455-465
- [27] Zhenhua Wang, Walter Guggenbühl, February 1990, A voltage-controllable linear MOS transconductor using bias offset technique, *IEEE Journal of Solid-State Circuits*, Vol. 25, No.1, pp.315-317
- [28] Shoji Kawahito, Yashiaki Tadokoro, December 1996, CMOS class-AB current mirrors for precision current-mode analog-signal-processing elements, *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 43, No.12, pp.843-845
- [29] G. Palmisano, G. Palumbo, S. Pennisi, February 1998, Harmonic distortion on class AB CMOS current output stages, *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 45, No.2, pp.243-250
- [30] Torrance R.R., Viswanathan T.R., Hanson J.V., November 1985 CMOS voltage to current transducers, *IEEE Transactions on Circuits and Systems*, Vol. CAS-32, No. 11, pp. 1097-1104
- [31] Krummenacher F., Joehl N., June 1988, A 4-MHz CMOS continuous-time filter with on-chip automatic tuning, *IEEE Journal of Solid-State Circuits*, Vol. 23, No. 3, pp. 750-758
- [32] Szczepanski S., Schaumann R., Wu P., April 1991, Linear transconductor based on crooscoupled CMOS pairs, *Electronics Letters*, Vol. 27, No. 9, pp. 783-785
- [33] Wu. P., Schaumann R., July 1991, Tunable operational transconductance amplifier with extremely high linearity over very large input range, *Electronics Letters*, Vol. 27, No. 14, pp. 1254-1255
- [34] Szczepanski S., Wyszynski A., Schaumann R., April 1993, Highly linear voltage-controlled CMOS transconductors, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, Vol. 40, No. 4, pp.258-262
- [35] Duque-Carrillo J.F., Valverde J.M., Perez-Aloe R., June 1993, Constant- G_m rail-to rail common-mode range input stage with minimum CMRR degradation, *IEEE Journal of Solid-State Circuits*, Vol. 28, No. 6, pp. 661-666

- [36] **Vallee R.E., El-Masry E.I.**, February 1994, A very high-frequency CMOS complementary folded cascode amplifier, *IEEE Journal of Solid-State Circuits*, **Vol. 29**, No. 2, pp. 130-133
- [37] **Mahattanakul J., Toumazou C.**, August 1996, Independent control of transconductance gain and input linear range in a MOS linear transconductance amplifier, *Electronics Letters*, **Vol. 32**, No. 18, pp. 1629-1630
- [38] **Moldovan L., Li H.H.**, February 1997, A rail-to rail, constant gain, buffered op-amp for real time video applications, *IEEE Journal of Solid-State Circuits*, **Vol. 32**, No. 2, pp. 169-176
- [39] **Mahmoud S.A., Soliman A.M.**, January 1998, The differential difference operational floating amplifier: A new block for analog signal processing in MOS technology, *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, **Vol. 45**, No.1, pp.148-158
- [40] **Szczepanski S. Jakusz J., Czarniak A.**, June 1992, Differential pair transconductor linearisation via electronically controlled current-mode cells, *Electronics Letters*, **Vol. 28** , No. 12, pp. 1093-1095
- [41] **Czarnul Z.**, July 1986, Novel MOS resistive circuit for synthesis of fully integrated continuous-time filters *IEEE Transactions on Circuits and Systems*, **Vol. CAS-33**, No. 7, pp. 718-721
- [42] **Nairn D.G., Salama C.A.T.**, October 1988, High resolution, current-mode A/D converters using active current mirrors, *Electronics Letters*, **Vol. 24**, No. 21, pp. 1331-1332
- [43] **Sackinger E., Guggenbühl W.**, February 1990, A high swing, high impedance MOS cascode circuit, *IEEE Journal of Solid-State Circuits*, **Vol. 25**, No. 1, pp. 289-298
- [44] **Yang H. C., Allstot D.J.**, May 1990, An active-feedback cascode current source, *IEEE Transactions on Circuits and Systems*, **Vol. 37**, No. 5, pp. 644-646
- [45] **Nairn D.G., Salama C.A.T.**, August 1990, Current-mode algorithmic analog-to-digital converters, *IEEE Journal of Solid-State Circuits*, **Vol. 25**, No. 4, pp. 997-1004
- [46] **Zarabadil S.R., Ismail M.**, 1992, Very-high-output-impedance cascode current sources/current mirrors/transresistance stages and their applications, *International Journal of Circuit Theory and Applications*, **Vol. 20**, pp. 639-648
- [47] **Crawley P.J., Roberts G.W.**, February 1992, High swing MOS current mirror with arbitrarily high output resistance, *Electronics Letters*, **Vol. 28**, No. 4, pp. 361-363

- [48] **Serrano T., Linares-Barranco B.**, June 1994, The active-input regulated-cascode current mirror, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, **Vol. 41**, No. 6, pp.464-467
- [49] **Heim P., Jabri M.A.**, April 1995, MOS cascode-mirror biasing circuit operating at any current level with minimal output saturation voltage, *Electronics Letters*, **Vol. 31**, No. 9, pp. 690-691
- [50] **Palmisano G., Palumbo G., Pennisi S.**, May 1995, High linearity CMOS current output stage, *Electronics Letters*, **Vol. 31**, No. 10, pp. 789-790
- [51] **Prodanov V.I., Green M.M.**, January 1996, CMOS current mirrors with reduced input and output voltage requirements, *Electronics Letters*, **Vol. 32**, No. 2, pp. 104-105
- [52] **Zeki A., Kuntman H.**, June 1997, Accurate and high output impedance current mirror suitable for CMOS current output stages, *Electronics Letters*, **Vol. 33**, No. 12, pp. 1042-1043
- [53] **Zeki A., Kuntman H.**, 1998, Accurate active-feedback CMOS cascode current mirror improved output swing, *International Journal of Electronics*, **Vol. 84**, No. 4, pp. 335-343
- [54] **Palmisano G., Palumbo G., Pennisi S.**, February 1998, High-drive CMOS current amplifier, *IEEE Journal of Solid-State Circuits*, **Vol. 33**, No. 2, pp. 228-236
- [55] **Lakshmikumar K.R., Hadaway R.A., Copeland M.A.**, December 1986, characterization and modeling of mismatch in MOS transistors for precision analog design, *IEEE Journal of Solid-State Circuits*, **Vol. SC-21**, No. 6, pp. 1057-1066
- [56] **Pelgrom M. J. M, Duinmaijer AAD C. J., Welbers Anton P.G**, October 1989, Matching properties of MOS transistors, *IEEE Journal of Solid-State Circuits*, **Vol. 24**, No. 5, pp. 1433-1439
- [57] **Lovett S. J., Welten M., Mathewson A., Mason B.**, January 1998, Optimizing MOS transistor mismatch, *IEEE Journal of Solid-State Circuits*, **Vol. 33**, No. 1, pp. 147-150
- [58] **Anday F.**, 1981, Aktif Devre Sentezi, TÜBİTAK Yayınları, No:495, Seri No:61
- [59] **Sedef H.**, Ocak 1994, Akım taşıyıcıları kullanarak aktif devre sentezinde yeni olanaklar, *Doktora Tezi*, Y.T.Ü. Fen Bilimleri Enstitüsü, İstanbul
- [60] **Silva M., Saraga W.**, 1975, On the classification of active RC circuits simulation floating inductors, *Proc. Tird Int. Symp.on Network Theory*, pp.489-496, Split, September 1975
- [61] **Senani R.**, 1979, Novel active RC circuit for floating inductor simulation, *Electronics Letters*, **Vol. 15**, No. 21, pp. 679-680

- [62] **Singh V.**, 1979, A new active RC circuit realisation of floating inductance, *Proc. IEEE*, **Vol. 67**, pp. 1659-1660
- [63] **Senani R.**, 1980, Novel active RC realisation of tunable floating inductors, *Electronics Letters*, **Vol. 16**, No. 4, pp. 154-155
- [64] **Senani R.**, 1980, New tunable synthetic floating inductors, *Electronics Letters*, **Vol. 16**, No. 17, pp.382-383
- [65] **Nandi R.**, 1980, Lossless inductor simulation: novel configurations using D.V.C.C.S., *Electronics Letters*, **Vol. 16**, No. 17, pp.666-667
- [66] **Singh V.**, July 1981, Comment on: Lossless inductor simulation: novel configurations using D.V.C.C.S., *Electronics Letters*, **Vol. 17**, No. 15, pp. 549-550
- [67] **Pal K.**, September 1981, Novel floating inductance using current conveyors, *Electronics Letters*, **Vol. 17**, No. 18, pp. 638
- [68] **Pal K.**, October 1981, New inductance and capacitor floating schemes using current conveyors, *Electronics Letters*, **Vol. 17**, No. 21, pp. 807-808
- [69] **Singh V.**, November 1981, Active RC single-resistance-controlled lossless floating inductance simulation using single grounded capacitor, *Electronics Letters*, **Vol. 17**, No. 24, pp. 920-921
- [70] **Senani R.**, May 1982, Novel lossless synthetic floating inductor employing a grounded capacitor, *Electronics Letters*, **Vol. 18**, No. 10, pp. 413-414
- [71] **Nandi R., Nandi S.**, 1983, New insensitive active ideal inductance with single resistor control using current conveyors, *Microelectronics Journal*, **Vol. 14**, No.2, pp. 71-74
- [72] **Toumazou C., Lidgey F. J.**, July 1985, Floating-impedance convertors using current conveyors, *Electronics Letters*, **Vol. 21**, No: 15 pp. 640-642
- [73] **Higashimura M., Fukui Y.**, 1989, Simulation of lossless floating inductance using two current conveyors and an operational transconductance amplifier , *International Journal of Electronics*, **Vol. 66**, No. 4, pp. 633-638
- [74] **Singh V.**, September 1989, An implementation of CCII- current conveyor, with application, *IEEE Transaction on Circuits and Systems*, **Vol.36**, No.9, pp. 1250-1251
- [75] **Layos. M.C., Haritantis I.**, 1997, On the derivation of current-mode floating inductors, *International Journal of Circuit Theory and Applications*, **Vol.25**, pp. 29-36
- [76] **Pawarangkoon P., Kiranon W.**, October 1997, Floating inductance simulation based on current conveyors, *Electronics Letters*, **Vol.33**, No. 21, pp.1748-1749

- [77] **Abuelma'atti M. T.**, May 1998, Comment: Floating inductance simulation based on current conveyors, *Electronics Letters*, **Vol.43**, No. 11, pp.1037
- [78] **Paul A. N., Patranabis D.**, February 1981, Active simulation of grounded inductors using a single current conveyor, *IEEE Transactions on Circuits and Systems*, **Vol. CAS-28**, No. 2, pp. 164-165
- [79] **Higashimura M., Fukui Y.**, May 1987, Novel method for realizing lossless floating immitance using current conveyors, *Electronics Letters*, **Vol. 23**, No. 10, pp.498-499
- [80] **Çiçekoğlu, O., Kuntman, H.**, 1997, Single CCII+ based active simulation of grounded inductors, *Proc. of the 1997 European Conference on Circuit Theory and Design (ECCTD'97)*, pp.105-109, 30th August-3rd September , Budapest, Hungary
- [81] **Çiçekoğlu, O.**, 1998, Active simulation of grounded inductors with CCII+s and grounded passive elements, *Internaitonal Journal of Electronics*, **Vol. 85**, No. 4, pp. 455-462
- [82] **Çiçekoğlu, O., Kuntman, H.**, 1998, Circuit design techniques: AD-HOC method or systematic generation methods, *Proc. of the 10th International Conference on Microelectronics (ICM'98)*, pp.187-190, December 14-16, Monastir, Tunisia
- [83] **Fersak, A.**, 1998, DDCC elemanı ile endüktans simülatörü tasarımı, *Lisans Tezi*, İTÜ Elektrik-Elektronik Fakültesi, Elektronik ve Haberleşme Müh. Bölümü, İstanbul
- [84] **Bhusan M, Newcomb R.W.**,1967, Grounding of capacitors in integrated circuits, *ibid*, **Vol. 3**, No. 4, pp.148-149
- [85] **Kuntman H. Hakan**, 1997, Analog MOS Tümdevre Tekniği, İTÜ Elektrik-Elektronik Fakültesi Ofset Baskı Atölyesi, İstanbul
- [86] **Elwan H.O., Soliman A.M.**, 1997, Novel CMOS differential voltage current conveyor and its applications, *IEE Proc. Pt-G*, **Vol. 144**, pp. 195-200
- [87] **Aronhime P., Nelson D., Adams C.**, August 1990, Applications of first generation current conveyors, *Electronics Letters*, **Vol. 26**, No. 18, pp.1456-1457
- [88] **Fabre A., Martin F., Hanafi M.**, August 1990, Current mode all pass/notch and band pass filters with reduced sensitivities, *Electronics Letters*, **Vol. 26**, No. 18, pp.1495-1497
- [89] **Liu S.I., Tsao H.W., Wu J.**, 1990, Cascadable current-mode single CC biquads, *Electronics Letters*, **Vol. 26**, pp.2005-2006

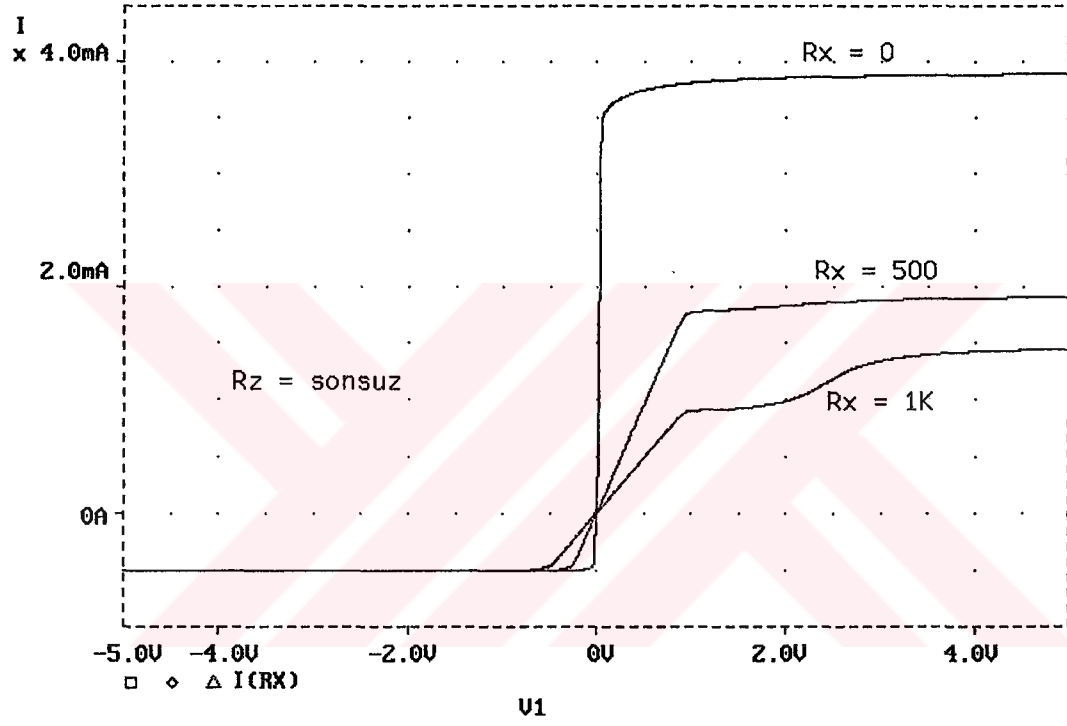
- [90] Higashimura M., Fukui Y., 1990, Realization of current mode all pass networks using a current conveyor, *IEEE Transactions on Circuits and Systems*, Vol. 37, pp.660-661
- [91] Alami M., Fabre A., May 1991, Insensitive current mode band pass filter implemented from two current conveyors, *Electronics Letters*, Vol. 27, No. 11, pp.897-899
- [92] Higashimura M., 1991, Realization of current mode transfer function using four terminal nullor, *Electronics Letters*, Vol. 27, pp. 1182-1183
- [93] Higashimura M., 1991, Current mode all pass filter using FTFN with grounded capacitor, *Electronics Letters*, Vol. 27, pp. 1182-1183
- [94] Chang C.M., August 1991, Universal active current filters using second generation current conveyor, *Electronics Letters*, Vol. 27, No. 18, pp. 1614-1617
- [95] Chang C.M., September 1991, Current mode all pass/notch and band pass filter using single CCII, *Electronics Letters*, Vol. 27, No. 20, pp. 1812-1813
- [96] Chang C.M., Chen P.C., 1991, Universal active filter with current gain using OTAs, *International Journal of Electronics*, Vol. 71, No.5, pp. 805-808
- [97] Chang C.M., Chen P.C., 1991, Realization of current-mode transfer function using second-generation current conveyors, *International Journal of Electronics*, Vol. 71, No.5, pp. 809-815
- [98] Chang C.M., Chen P.C., 1991, Universal active current filter with three inputs and one output using current conveyors, *International Journal of Electronics*, Vol. 71, No.5, pp. 817-819
- [99] Senani R., 1992, New Current-Mode Biquad Filter, *International Journal of Electronics*, Vol 73, No. 4, pp 735-742
- [100] Chang C. M., Chien C.C., Wang H.Y., 1993, Universal active current filters using single second-generation second conveyor, *Electronics Letters*, Vol 29, pp 1159-1160
- [101] Chang C. M., 1993, Universal active current filter with single input and three outputs using CCII, *Electronics Letters*, Vol 29, pp 1932-1933
- [102] Chang C. M., 1993, Novel Universal Current-Mode Filter with Single-Input and Three Outputs Using Only Five Current Conveyors, *Electronics Letters*, Vol 29, No 23, pp 2005-2007
- [103] Chang C. M., 1993, Current-mode lowpass, bandpass and highpass biquads using two CCII, *Electronics Letters*, Vol 29, No 23, pp 2020-2021

- [104] Wu D.S., Hwang Y.S., Liu S.I., Wu Y.P., 1994, New multifunction filter using an inverting CCII and a voltage follower, *Electronics Letters*, Vol. 30, pp.551-552
- [105] Chang C.M., Chien C.C., Wang H.Y., 1994, Universal active current filter with three inputs using current conveyors - Part 2, *International Journal of Electronics*, Vol. 76, pp. 87-89
- [106] Sun Y, Fidler J.K., 1994, Versatile active biquad based on second-generation current conveyors, *International Journal of Electronics*, Vol. 76, pp. 91-98
- [107] Chang C.M., Tu S.H., Yieh P.W., 1994, Synthesis of analog of signal filtering circuits using second generation current conveyors, *Proc. Natn. Scientific Council, ROC(A)*, Vol. 18, pp. 421-427
- [108] Ikeda K., Tomita Y., 1994, Realization of current-mode biquadratic filter using CCII's with current followers, *Electron. Commun. Jpn. Pt. 2 Electron.*, Vol. 77, No. 1, pp. 99-107
- [109] Abuelma'atti M. T., Farooqui A.A., 1995, Universal current-conveyor-based current-mode filter with single input and five outputs, *Active and Passive Electron. Components*, Vol. 18, pp. 145-149
- [110] Abuelma'atti M. T., Farooqui A.A., 1995, New universal one-input five-output current-mode filter using current conveyors, *Active and Passive Electron. Components*, Vol. 18, pp. 171-177
- [111] Horng J. W., Lee M. H., Hou C. L., 1995, Universal Active-Filter Using Four OTAs and One CCII, *International Journal of Electronics*, Vol 78, No. 5, pp 903-906
- [112] Fabre A., Alami M., 1995, Universal current-mode biquad implemented from two second generation current conveyors, *IEEE Transactions on Circuits and Systems I- Fundamental Theory and Applications*, Vol. 42, No. 7, pp. 383-385
- [113] Abuelma'atti M. T., Shabra A. M., 1996, A Novel Current Conveyor-Based Universal Current-Mode Filter, *Microelectronics Journal*, Vol 27, No. 6, pp. 471-475
- [114] Abuelma'atti M. T., Al-Qahtani M. A., 1996, Current-Mode Universal Filters Using Unity-Gain Cells, *Electronics Letters*, Vol. 32, No. 12, pp. 1077-1078
- [115] Güneş E. O., Anday F., 1996, Realisation of Current-Mode Universal Filter Using CFCCII's, *Electronics Letters*, Vol 32, No. 12, pp. 1081-1082
- [116] Acar C., Kuntman H., 1996 Limitations on input signal level in current-mode active RC filters using CCII's, *Electronics Letters*, Vol .32, No. 16, pp. 1461-1462

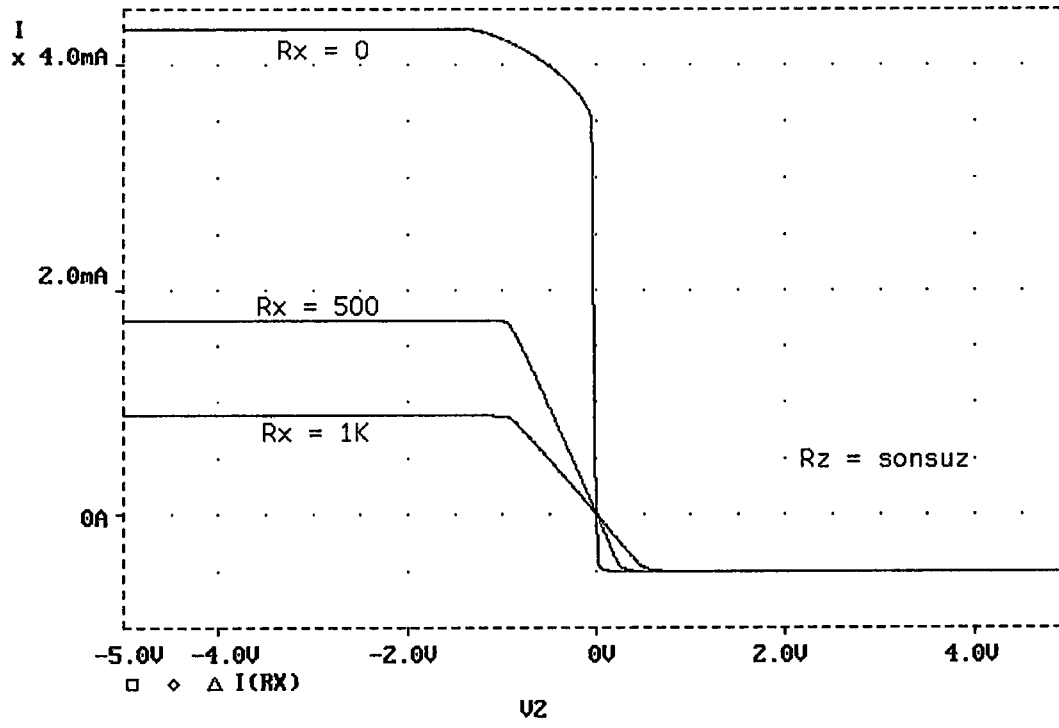
- [117] **Senani R.**, 1996, A simple approach of deriving single-input multiple-output current-mode filters, *Frequenz*, **Vol. 50**, pp. 124-127
- [118] **Soliman A.**, 1997, New current-mode filters using current conveyors, *A.E.Ü. Int. J. of Electron. Commun.* **Vol. 51**, No. 5, pp. 275-278
- [119] **Özoğuz S., Acar C.**, 1997, Universal current-mode filter with reduced number of active and passive components, *Electronics Letters*, **Vol. 33**, No. 11, pp. 948-949
- [120] **Çam U., Çiçekoğlu O., Kuntman H.**, 1999, A new four terminal floating nullor based single-input three output current-mode multifunction filter, *Microelectronics Journal* , **Vol. 30**, No. 2, pp. 115-118



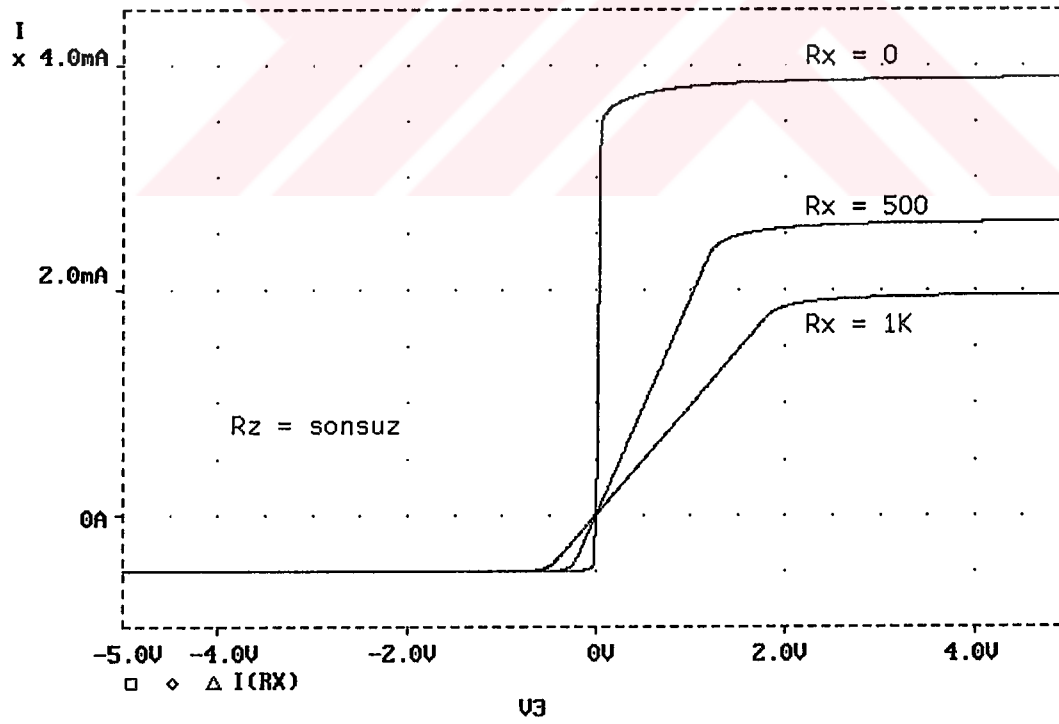
EK A



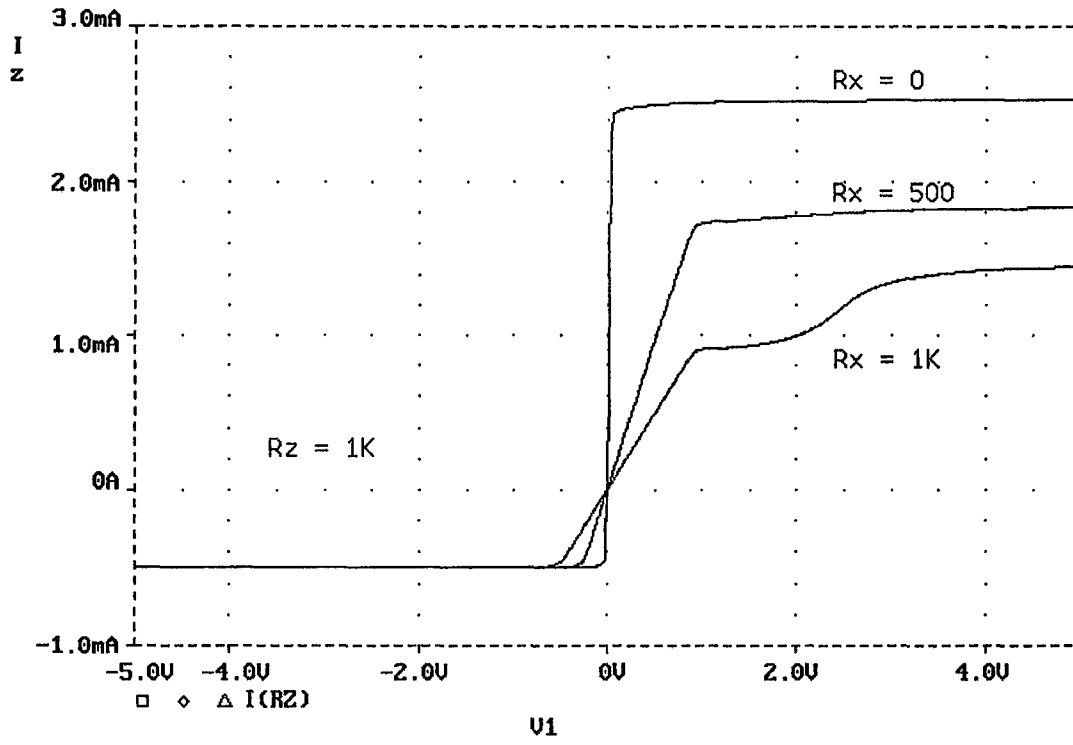
Şekil A.1: Basit DDCC+ yapısında I_x akımının V_{y1} gerilimiyle değişimi



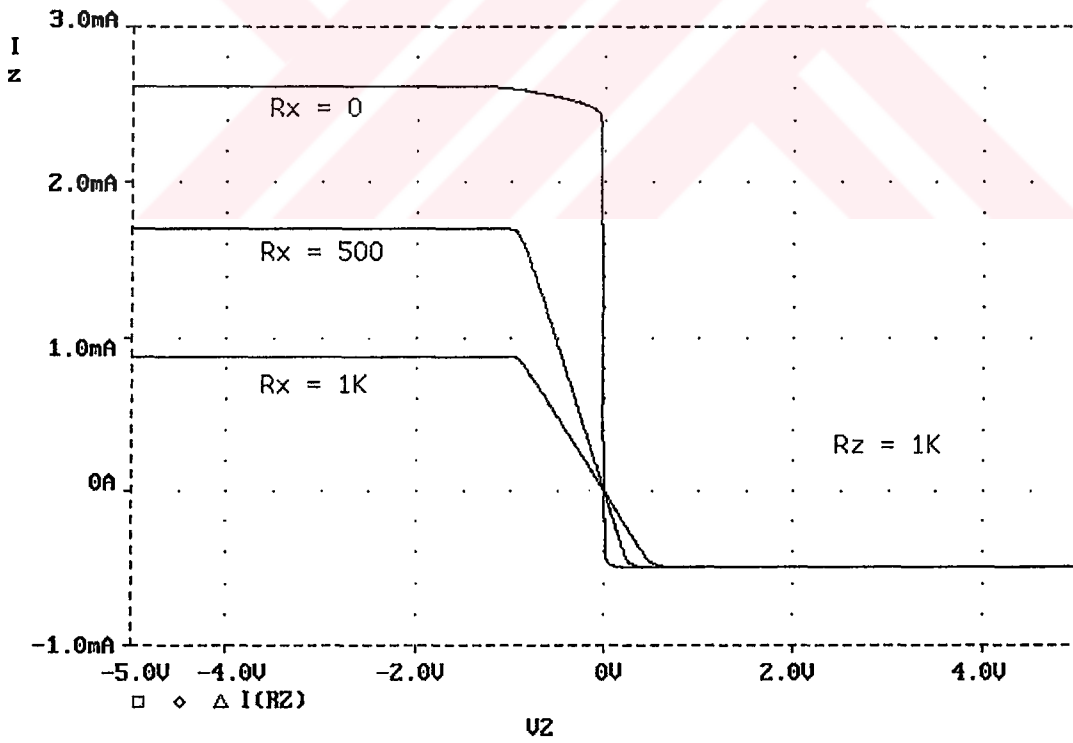
Şekil A.2: Basit DDCC+ yapısında I_x akımının V_{y2} gerilimiyle değişimi



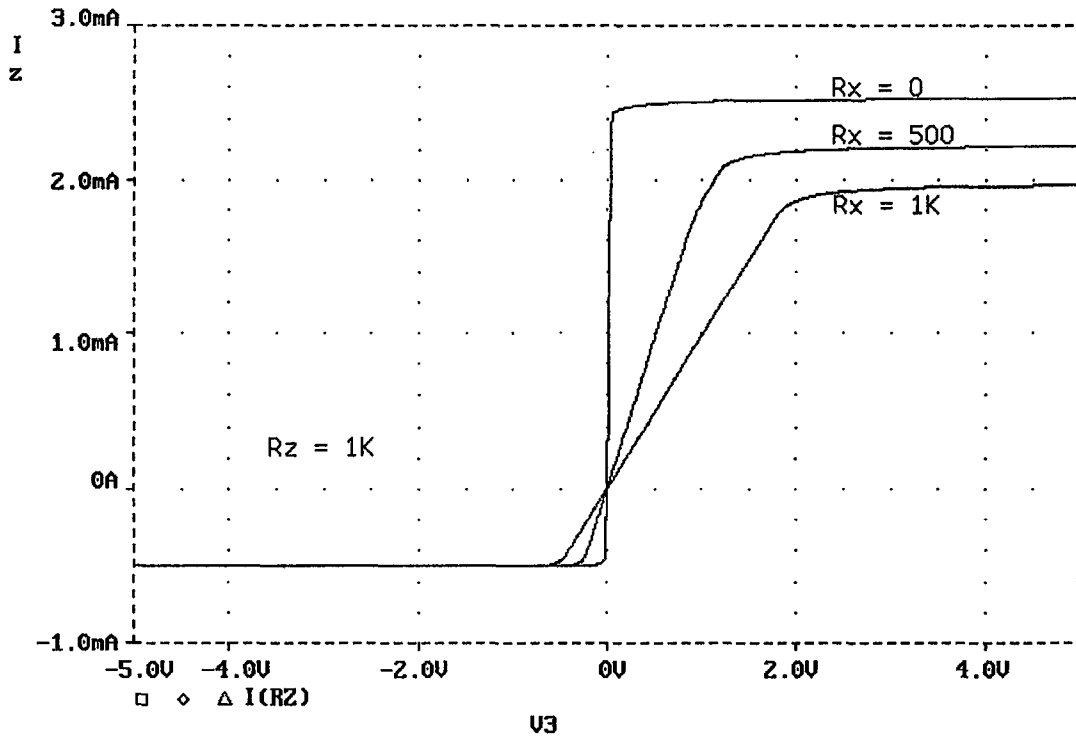
Şekil A.3: Basit DDCC+ yapısında I_x akımının V_{y3} gerilimiyle değişimi



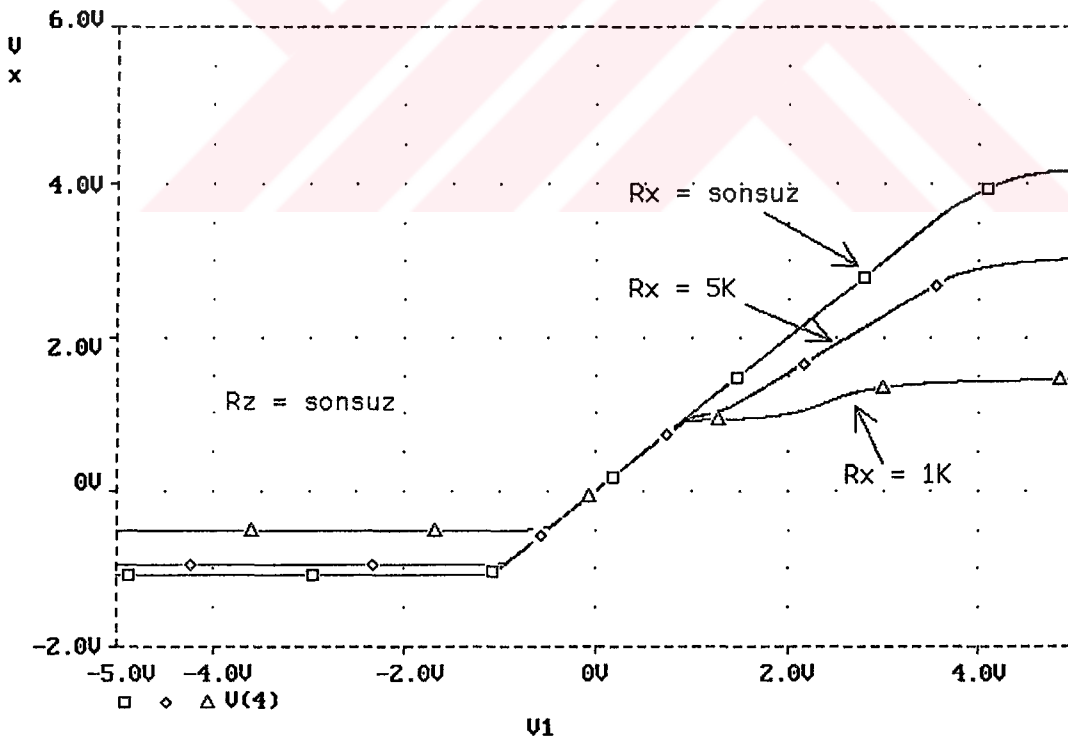
Şekil A.4: Basit DDCC+ yapısında I_z akımının V_{y1} gerilimiyle değişimi



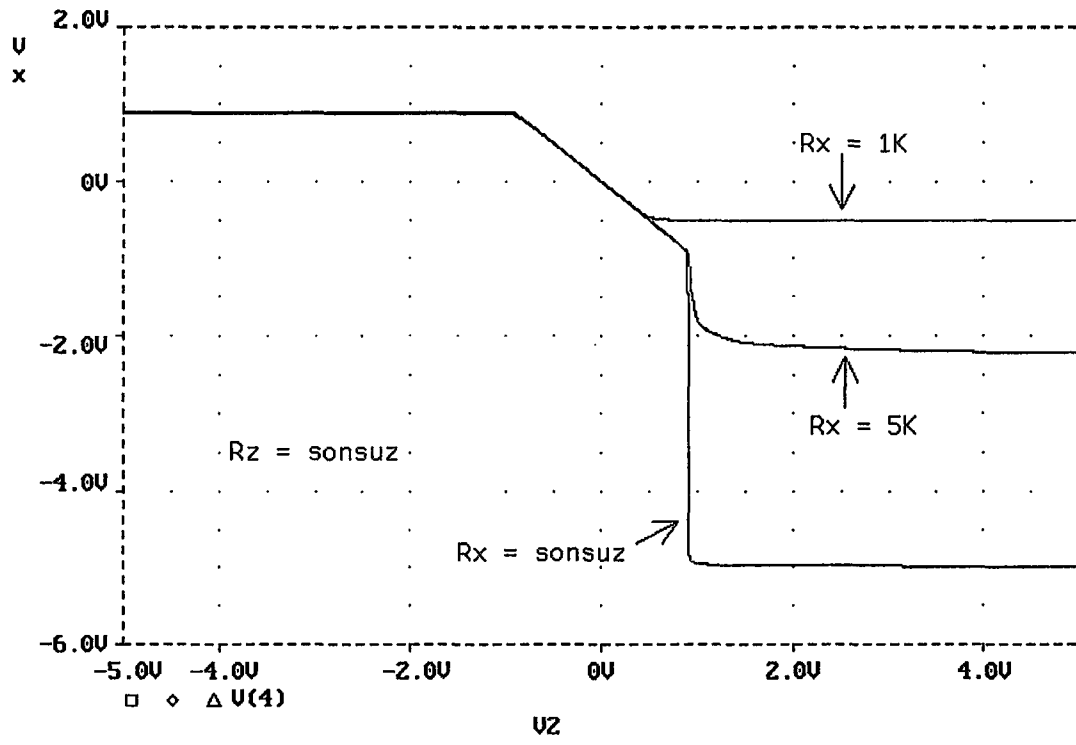
Şekil A.5: Basit DDCC+ yapısında I_z akımının V_{y2} gerilimiyle değişimi



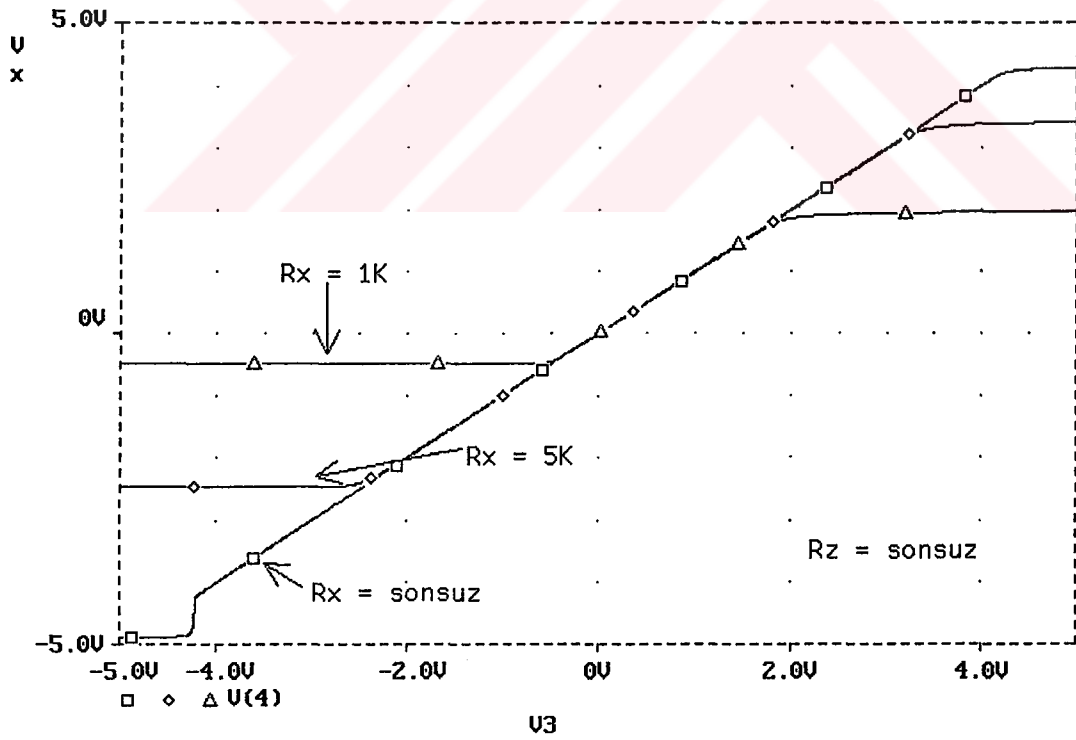
Şekil A.6: Basit DDCC+ yapısında I_z akımının V_{y3} gerilimiyle değişimi



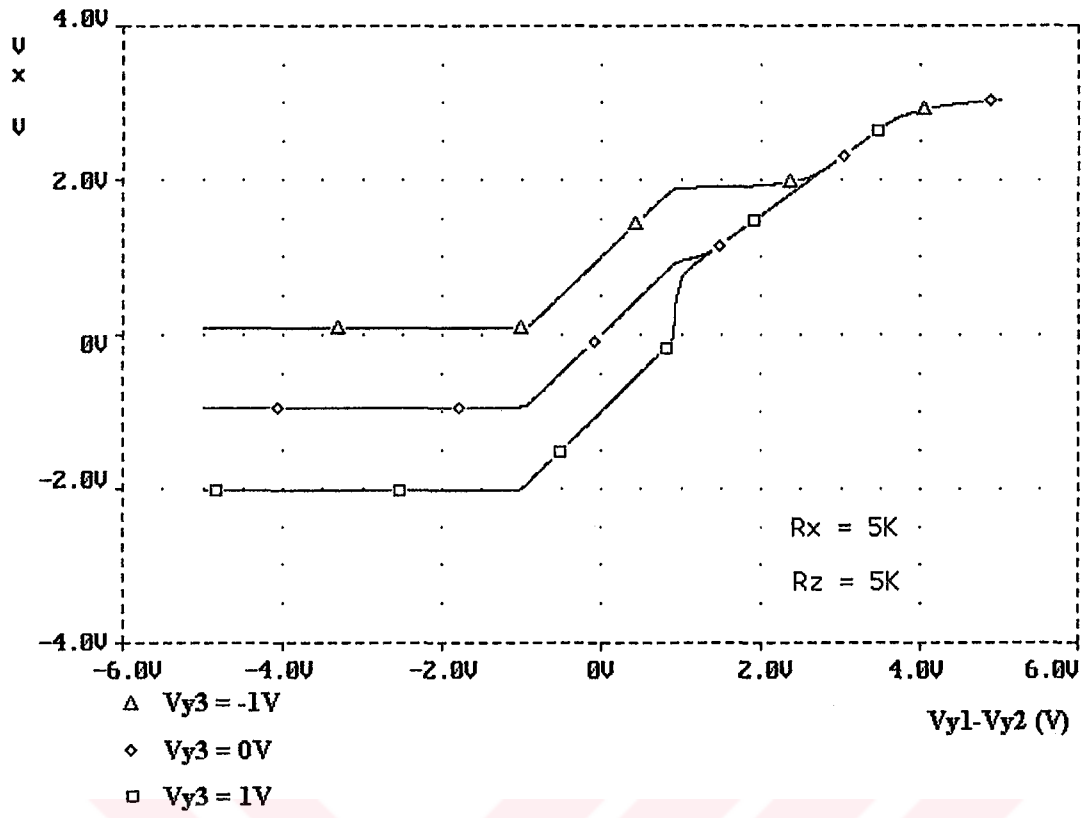
Şekil A.7: Basit DDCC+ yapısında V_x geriliminin V_{y1} gerilimiyle değişimi



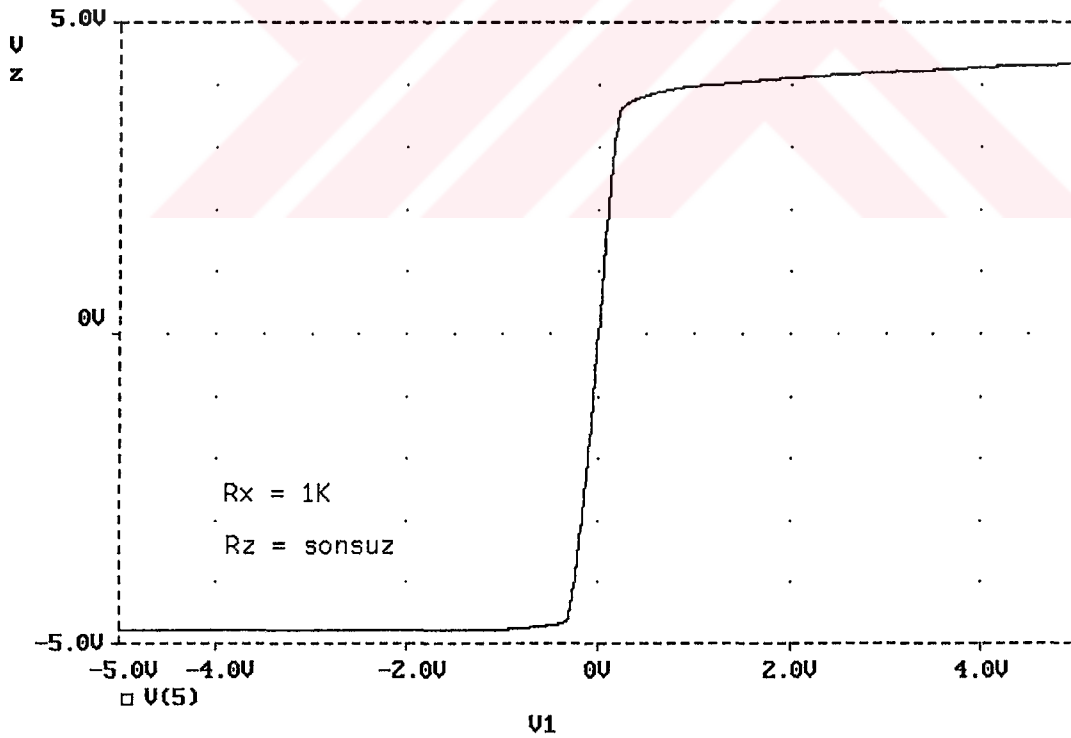
Şekil A.8: Basit DDCC+ yapısında V_x geriliminin V_{y2} gerilimiyle değişimi



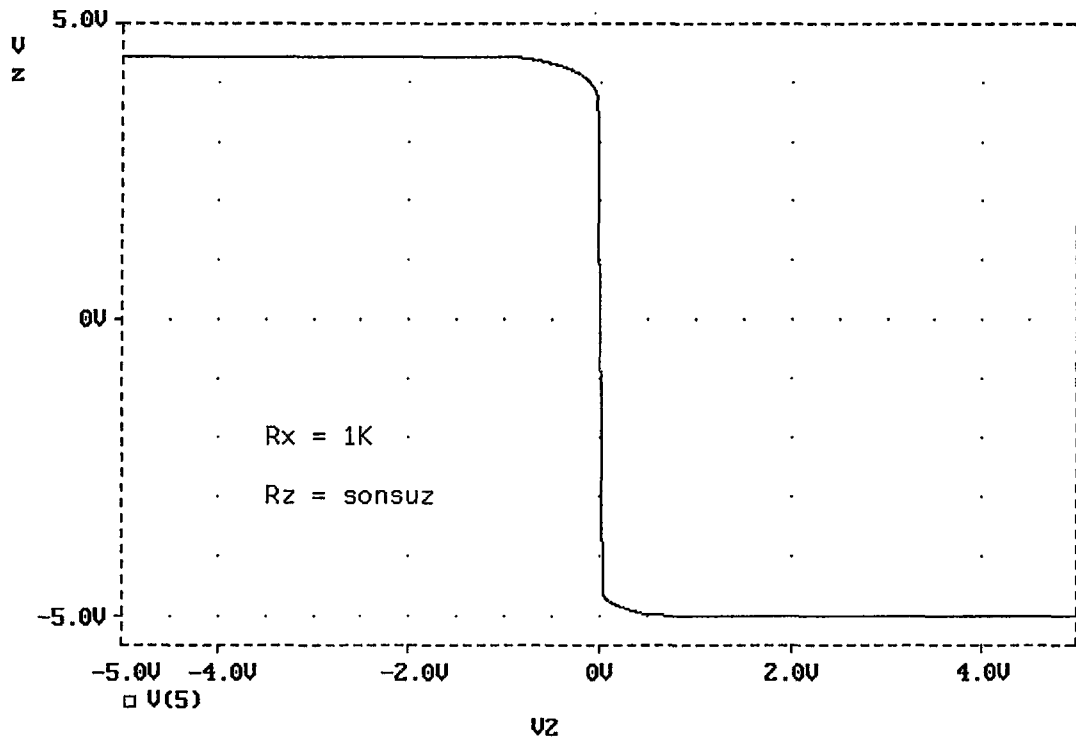
Şekil A.9: Basit DDCC+ yapısında V_x geriliminin V_{y3} gerilimiyle değişimi



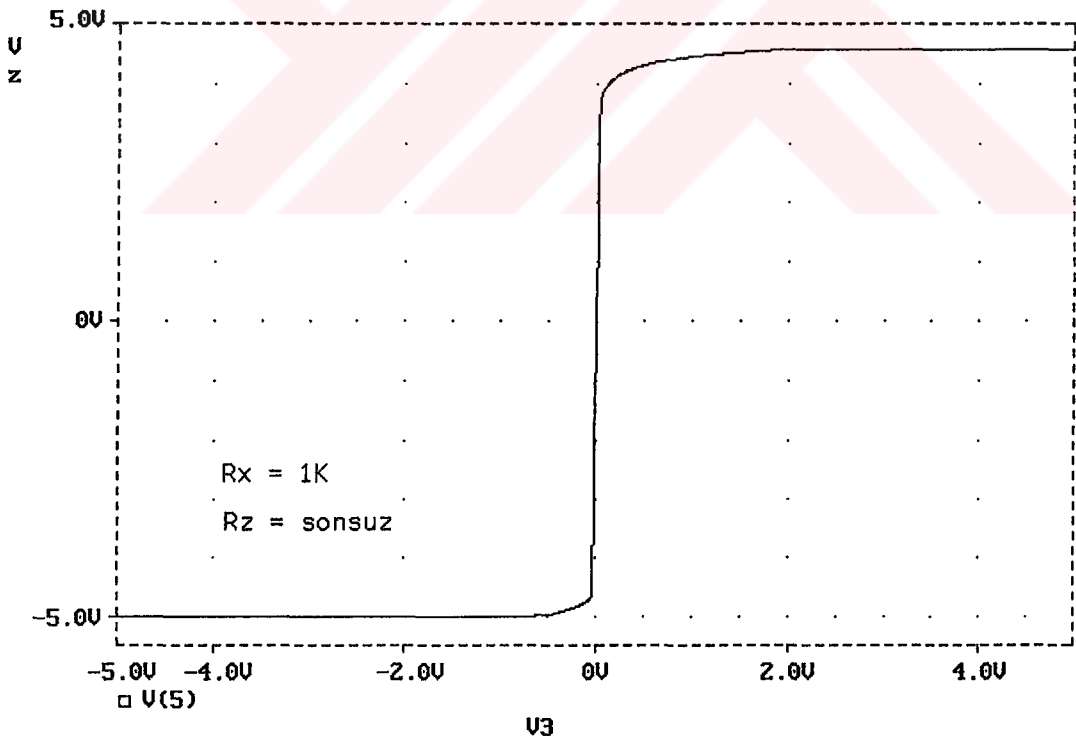
Şekil A.10: Basit DDCC+ yapısında V_x geriliminin çeşitli V_{y3} değerlerinde $V_{y1} - V_{y2}$ ile değişimi



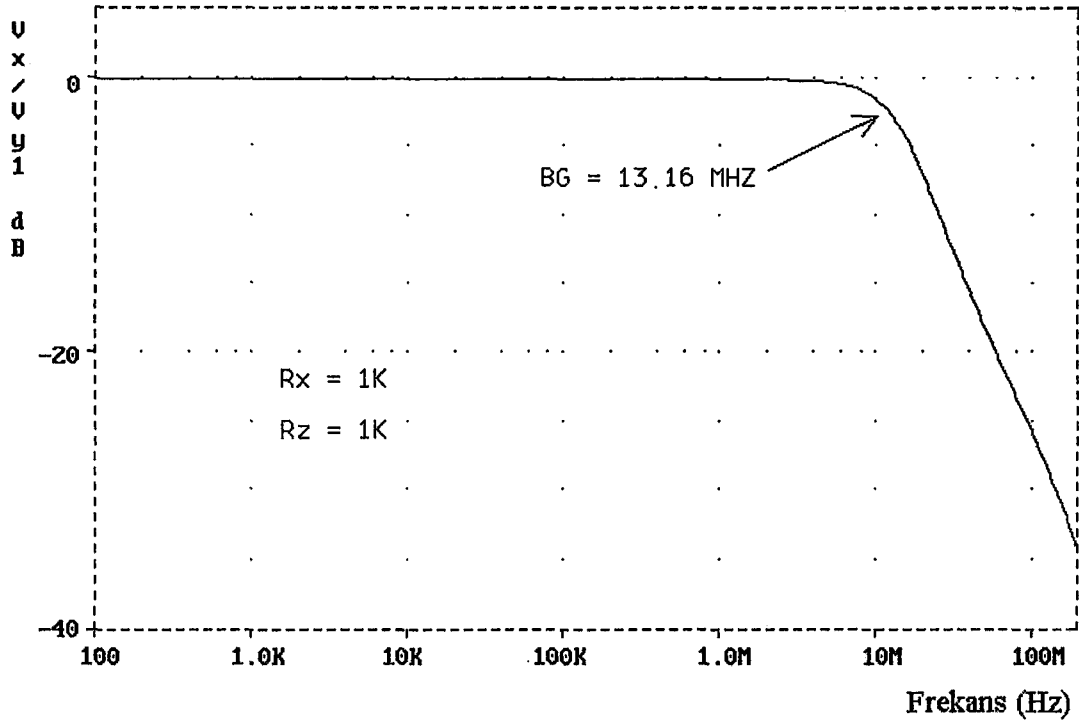
Şekil A.11: Basit DDCC+ yapısında V_z geriliminin V_{y1} gerilimiyle değişimi



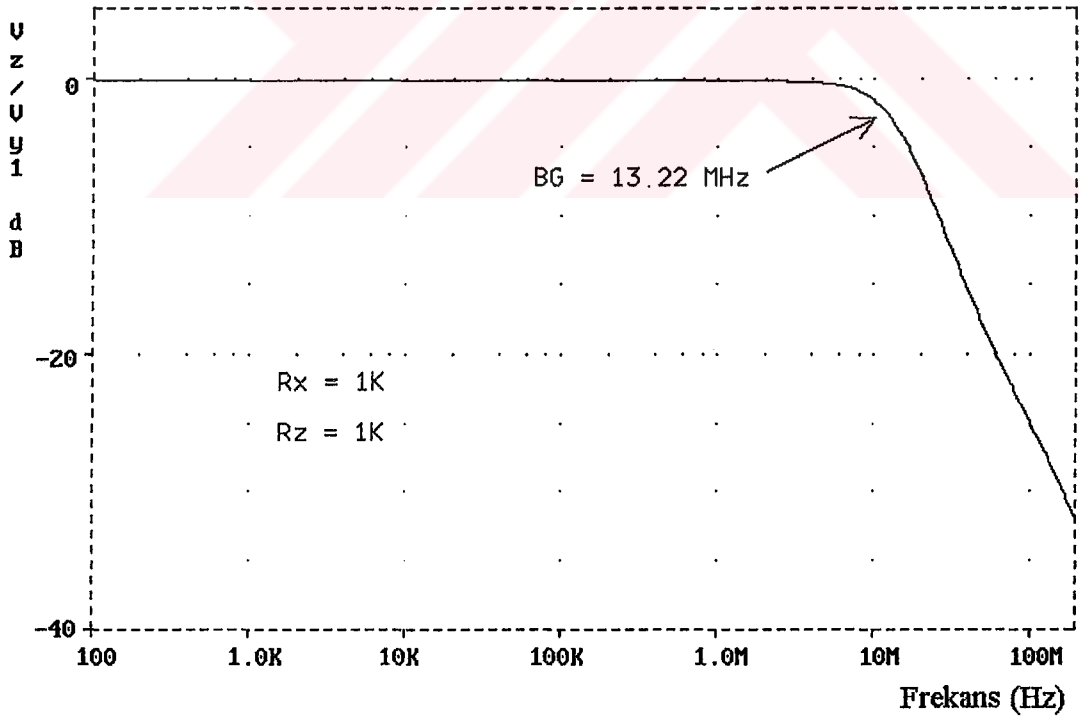
Şekil A.12: Basit DDCC+ yapısında V_z geriliminin V_{y2} gerilimiyle değişimi



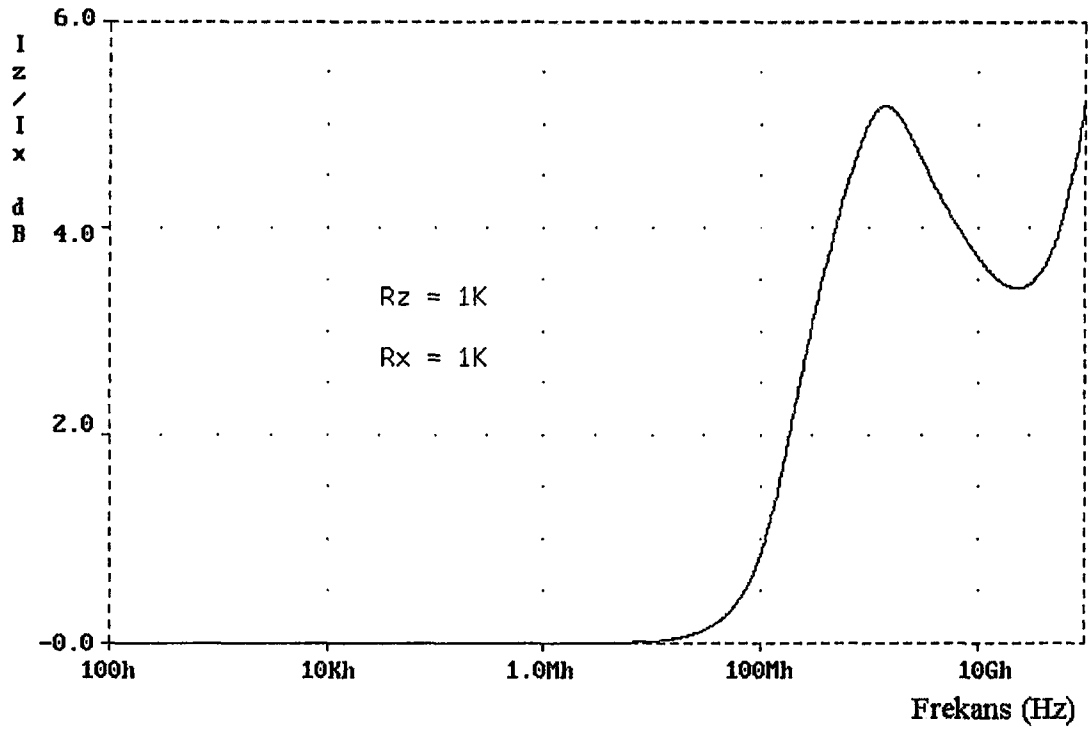
Şekil A.13: Basit DDCC+ yapısında V_z geriliminin V_{y3} gerilimiyle değişimi



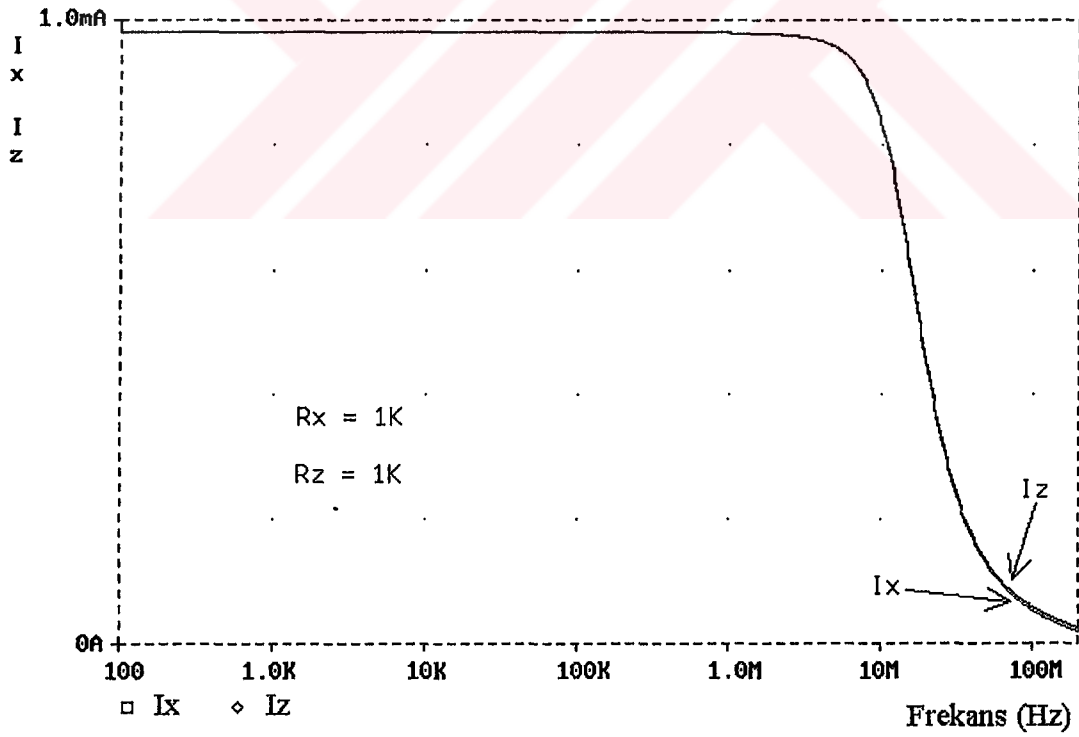
Şekil A.14: Basit DDCC+ yapısında X ucundaki gerilim modunda band genişliği



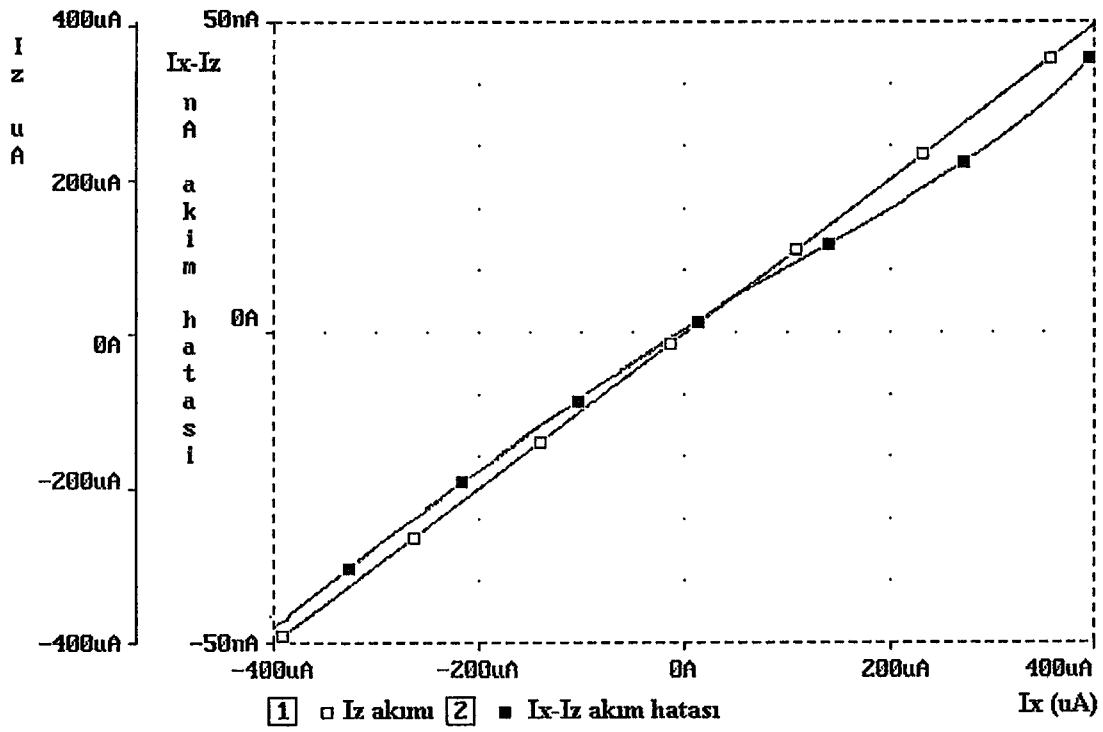
Şekil A.15: Basit DDCC+ yapısında Z ucundaki gerilim modunda band genişliği



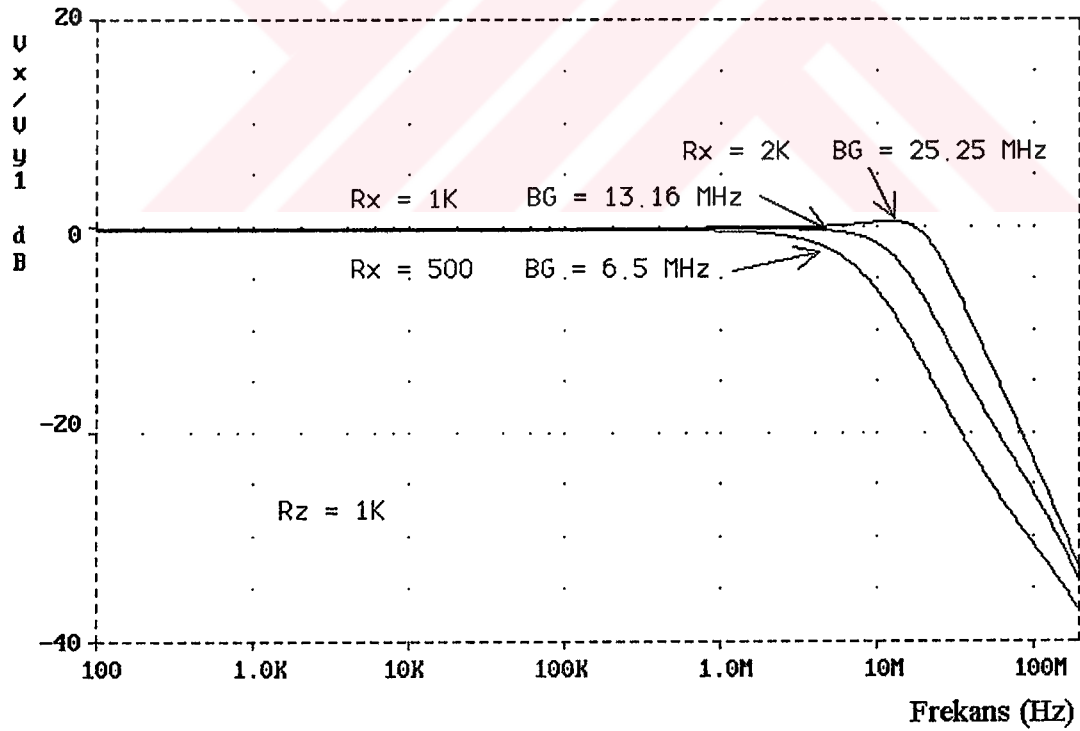
Şekil A.16: Basit DDCC+ yapısında I_z/I_x 'in frekansla değişimi



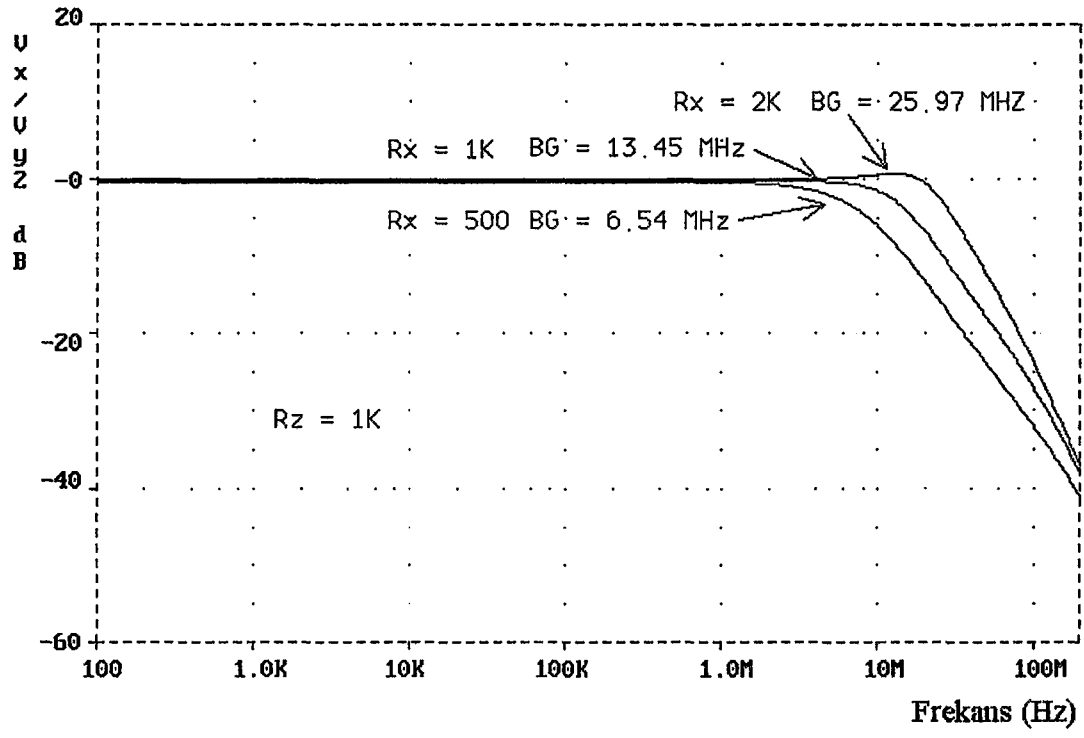
Şekil A.17: Basit DDCC+ yapısında I_z ve I_x 'in frekansla değişimleri



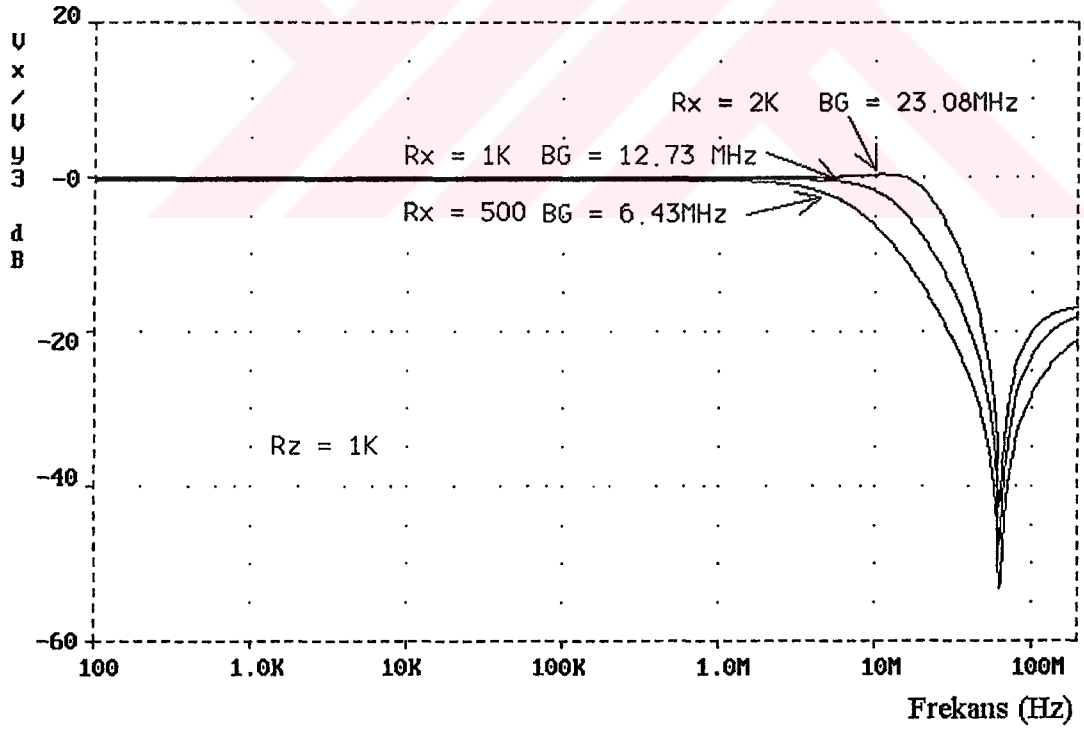
Şekil A.18: Basit DDCC+ yapısında I_z akımının ve $I_x - I_z$ akım hatasının I_x akımı ile değişimi



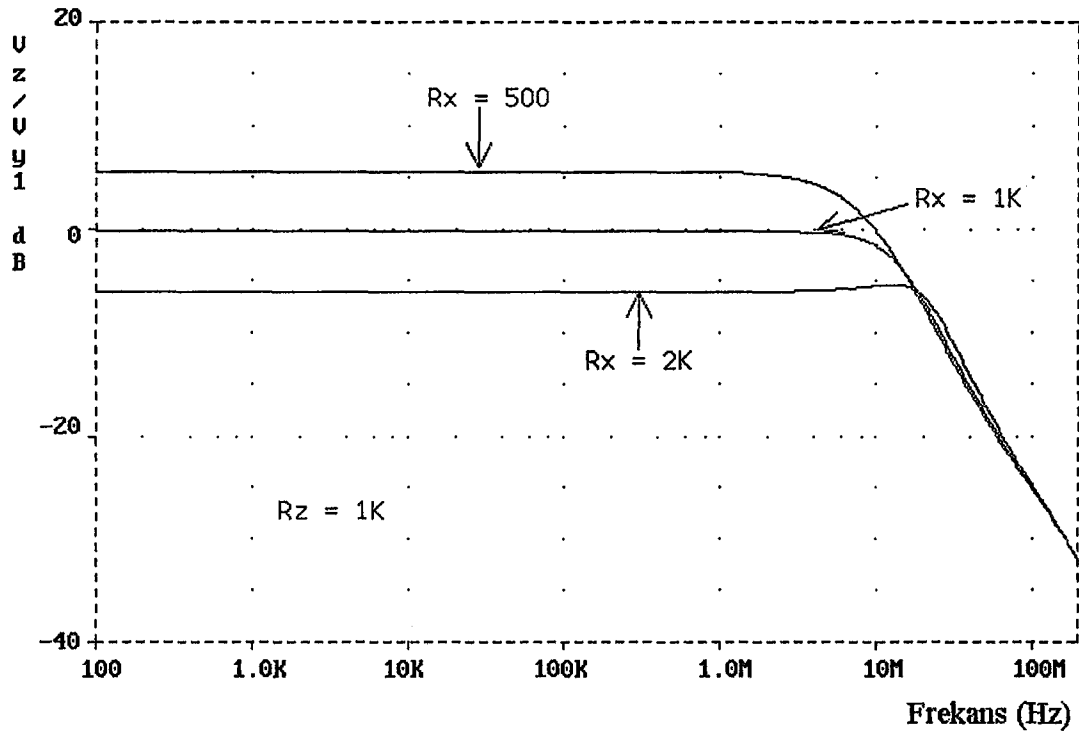
Şekil A.19: Basit DDCC+ yapısında V_x/V_{y1} 'in frekansla değişimi



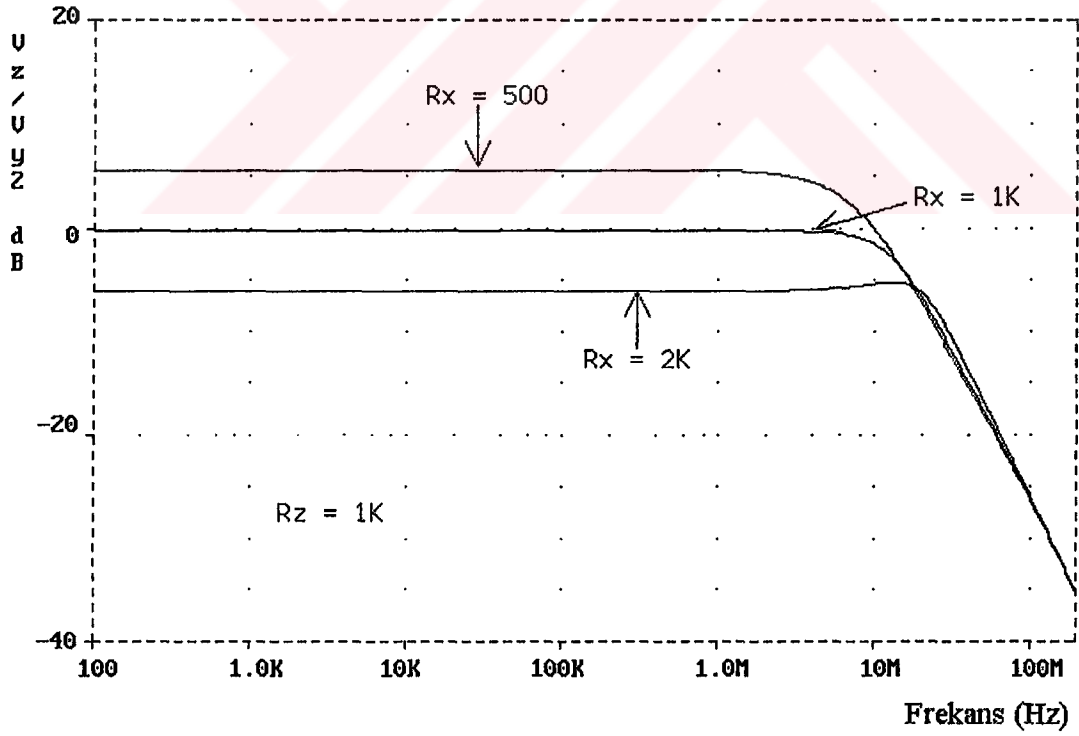
Şekil A.20: Basit DDCC+ yapısında V_x/V_{y2} 'nin frekansla değişimi



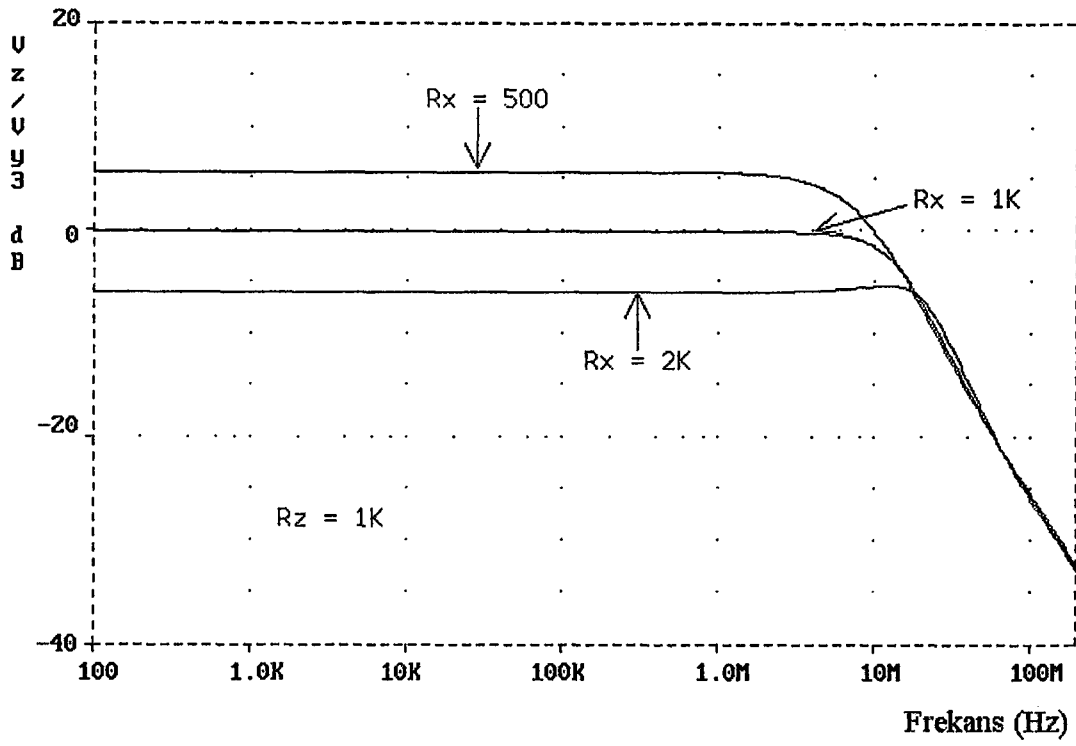
Şekil A.21: Basit DDCC+ yapısında V_x/V_{y3} 'ün frekansla değişimi



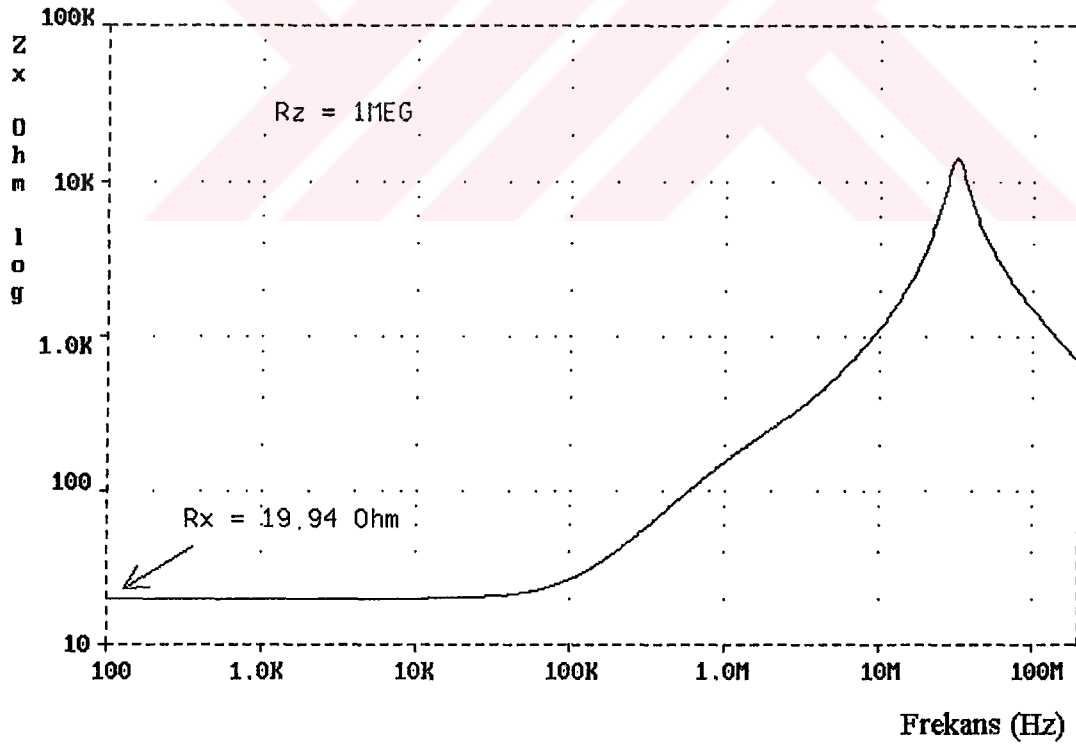
Şekil A.22: Basit DDCC+ yapısında V_z/V_{y1} 'in frekansla değişimi



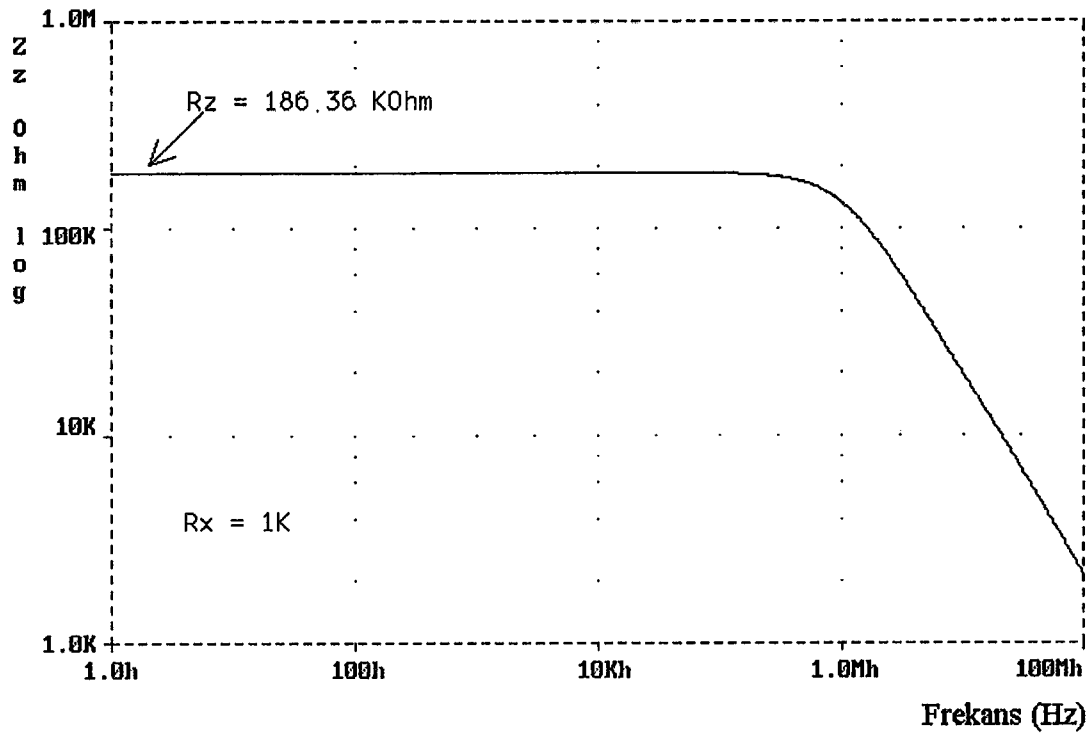
Şekil A.23: Basit DDCC+ yapısında V_z/V_{y2} 'nin frekansla değişimi



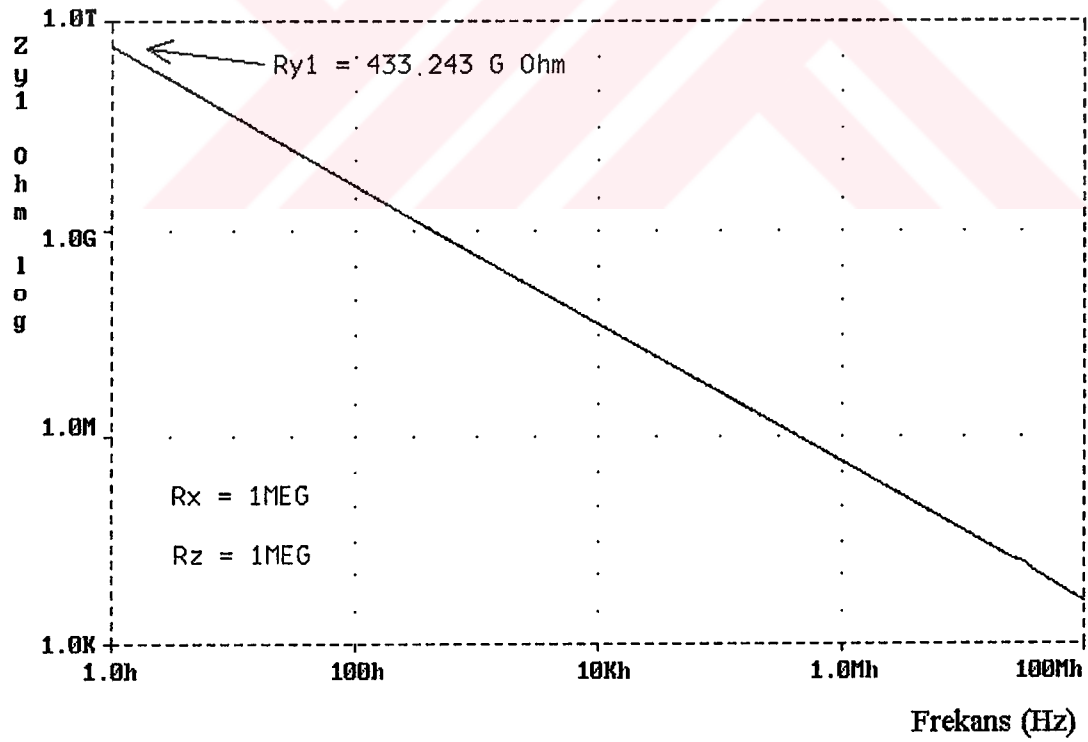
Şekil A.24: Basit DDCC+ yapısında V_z/V_{y3} 'ün frekansla değişimi



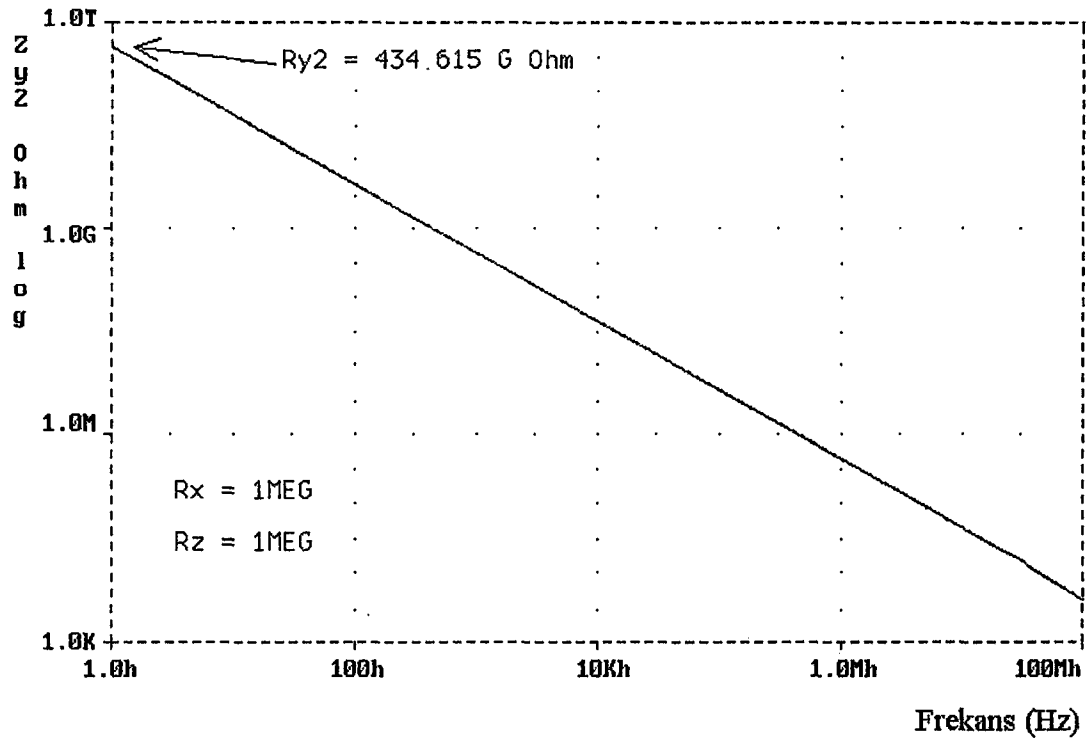
Şekil A.25: Basit DDCC+ yapısında Z_x giriş direncinin frekansla değişimi (y eksenı logaritmiktir.)



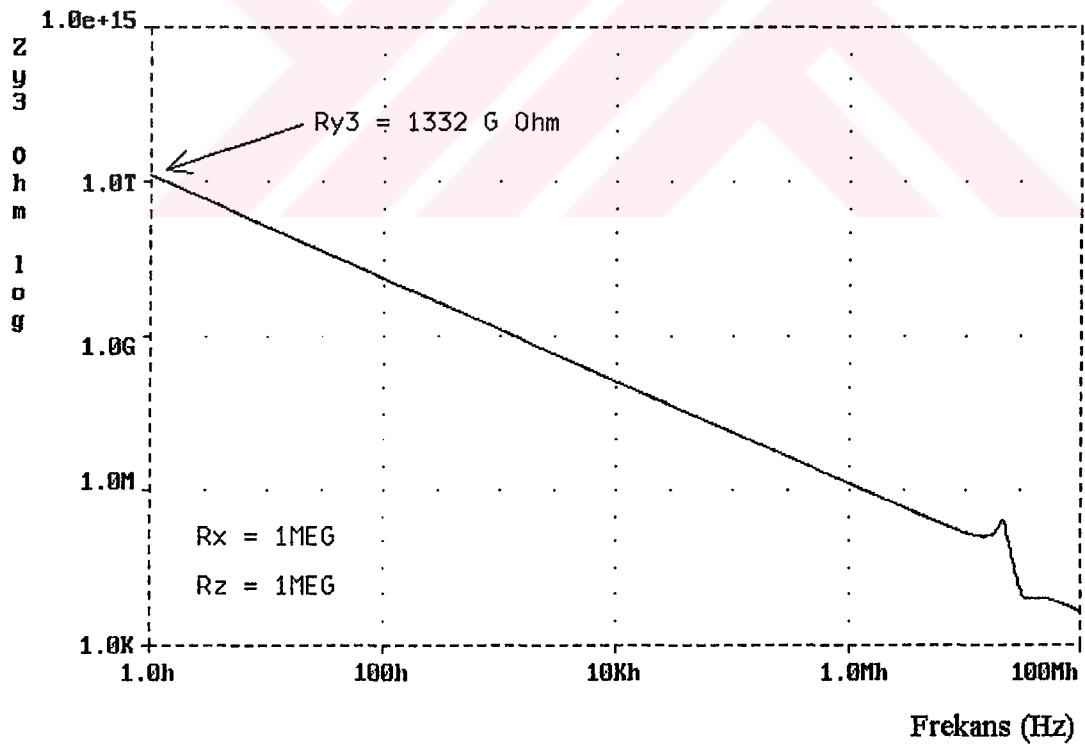
Şekil A.26: Basit DDCC+ yapısında Z_z çıkış direncinin frekansla değişimi (y eksenli logaritmiktir.)



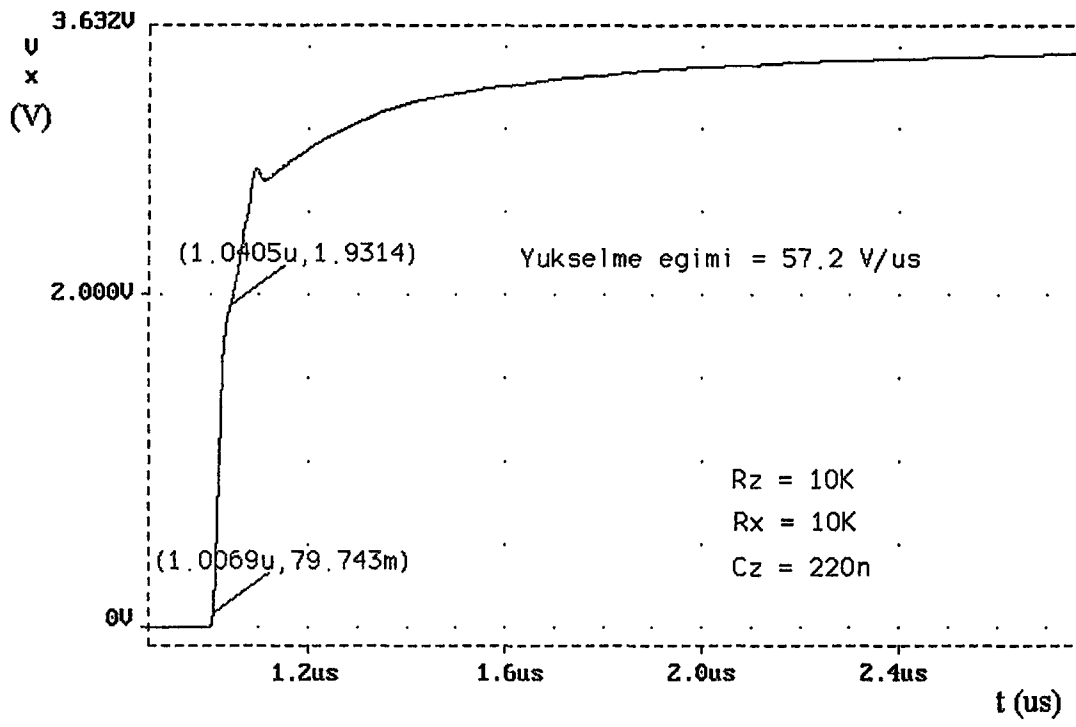
Şekil A.27: Basit DDCC+ yapısında Z_{y1} direncinin frekansla değişimi (y eksenli logaritmiktir.)



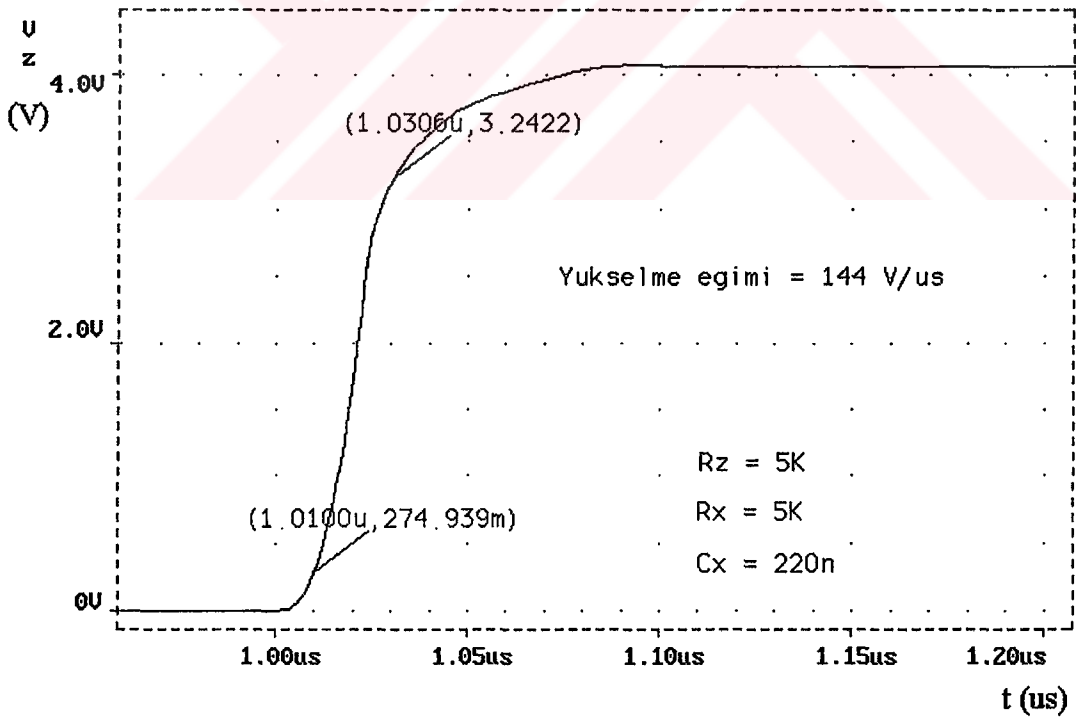
Şekil A.28: Basit DDCC+ yapısında Z_{y2} direncinin frekansla değişimi (y eksenini logaritmiktir.)



Şekil A.29: Basit DDCC+ yapısında Z_{y3} direncinin frekansla değişimi (y eksenini logaritmiktir.)

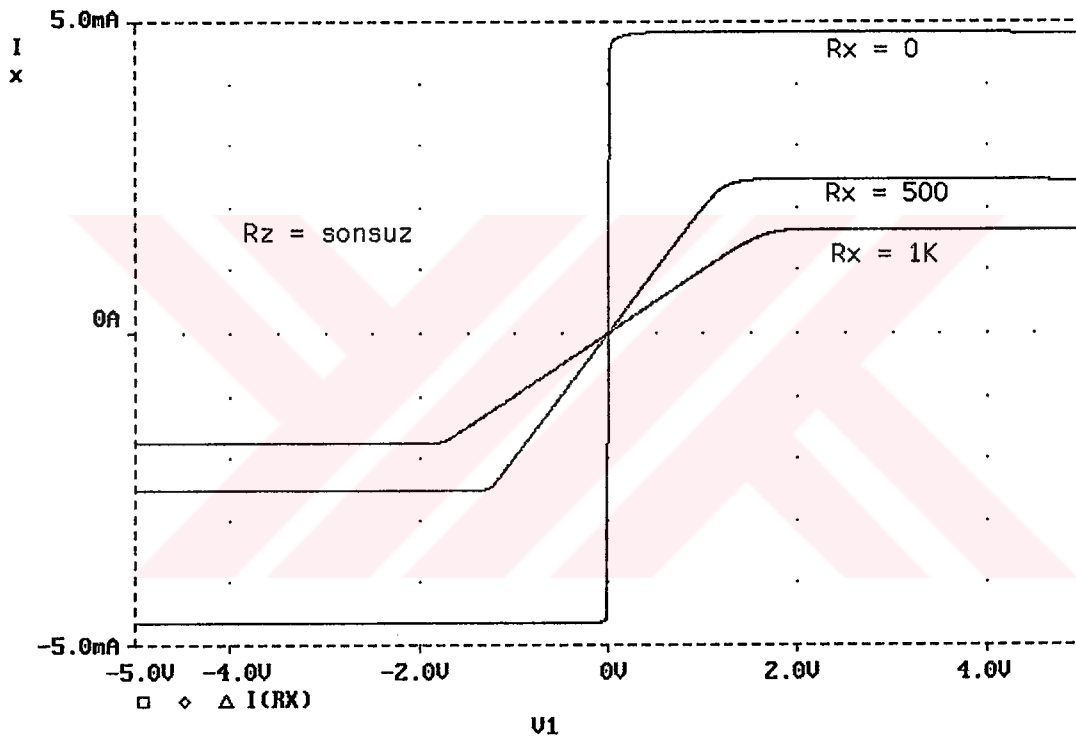


Şekil A.30: Basit DDCC+ yapısında X ucundaki yükselme eğimini gösteren çıkış işareti

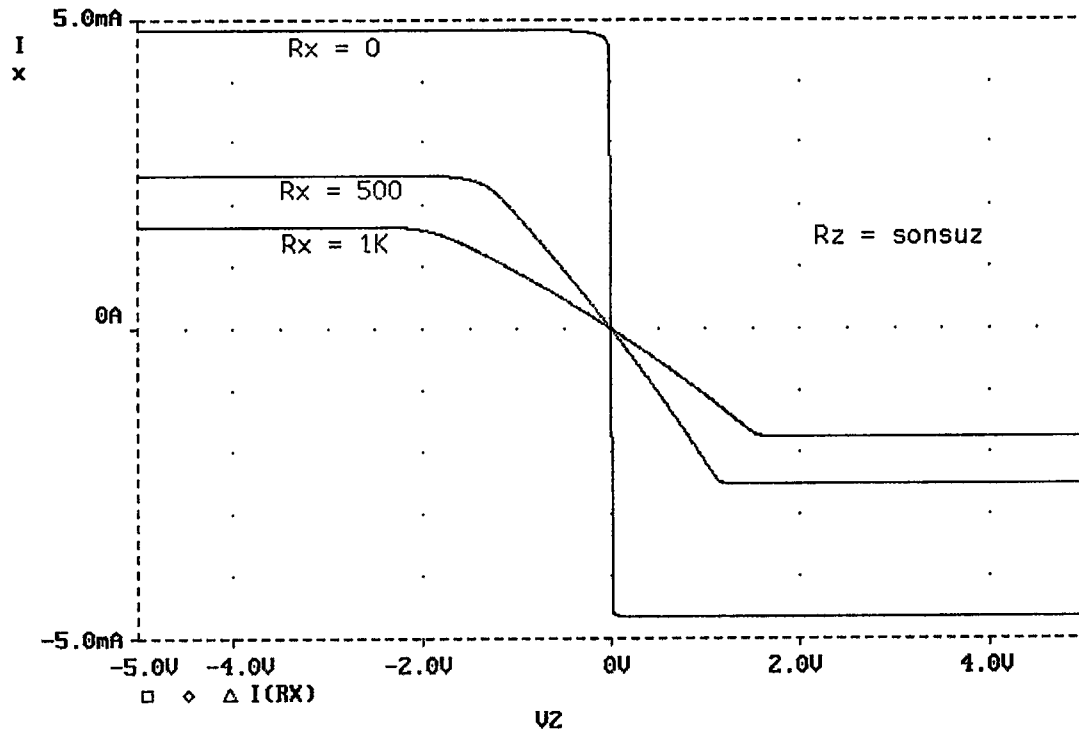


Şekil A.31: Basit DDCC+ yapısında Z ucundaki yükselme eğimini gösteren çıkış işareti

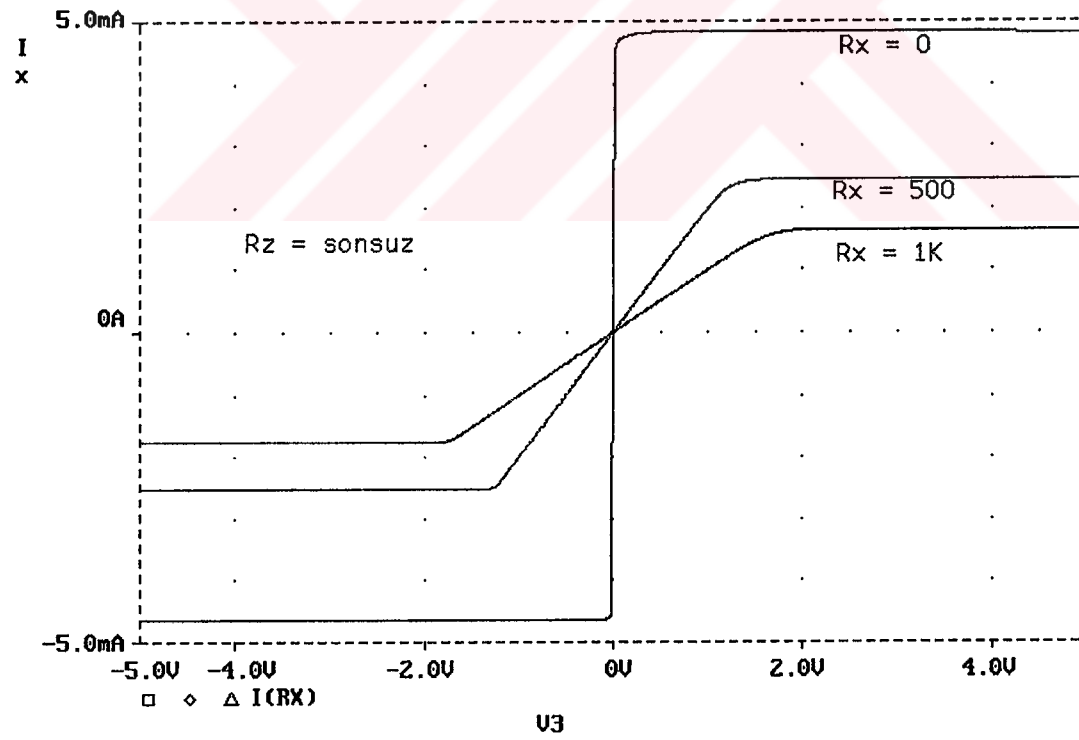
EK B



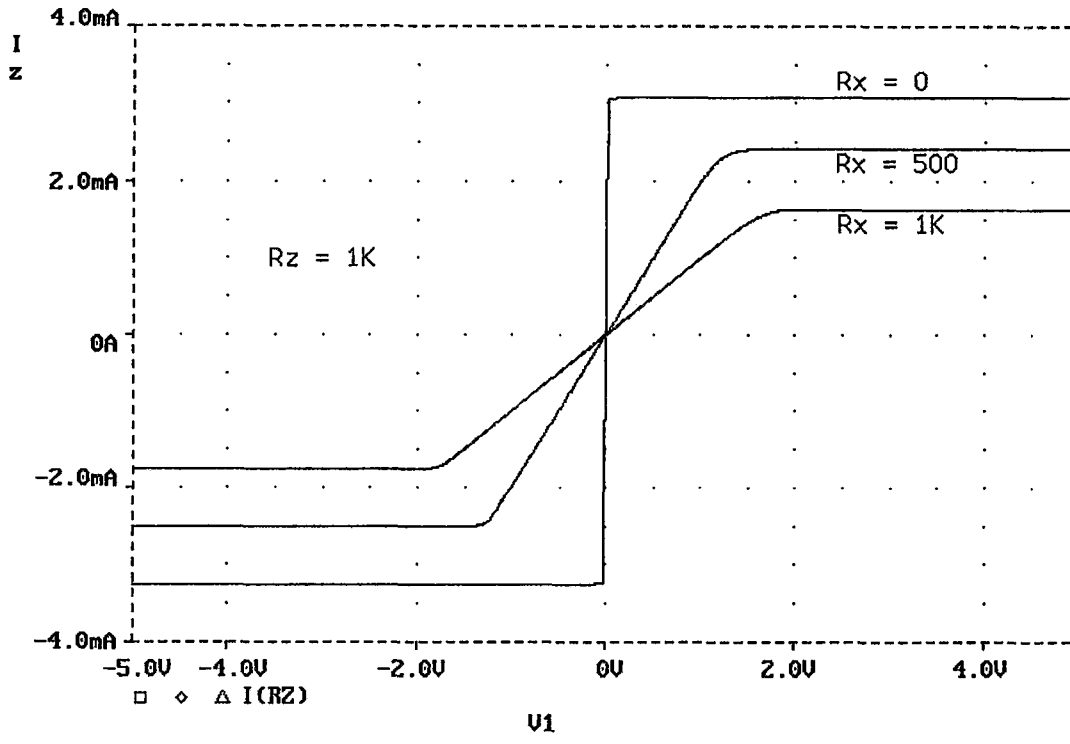
Şekil B.1: Önerilen DDCC+ yapısında I_x akımının V_{y1} gerilimiyle değişimi



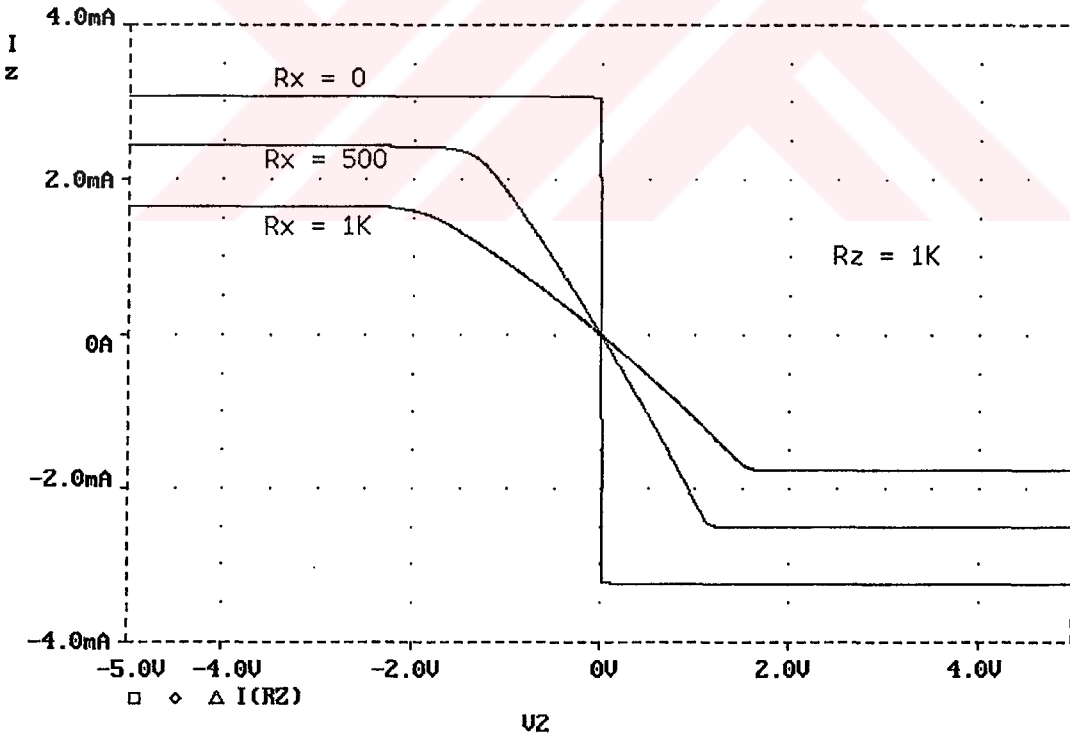
Şekil B.2: Önerilen DDCC+ yapısında I_x akımının V_{y2} gerilimiyle değişimi



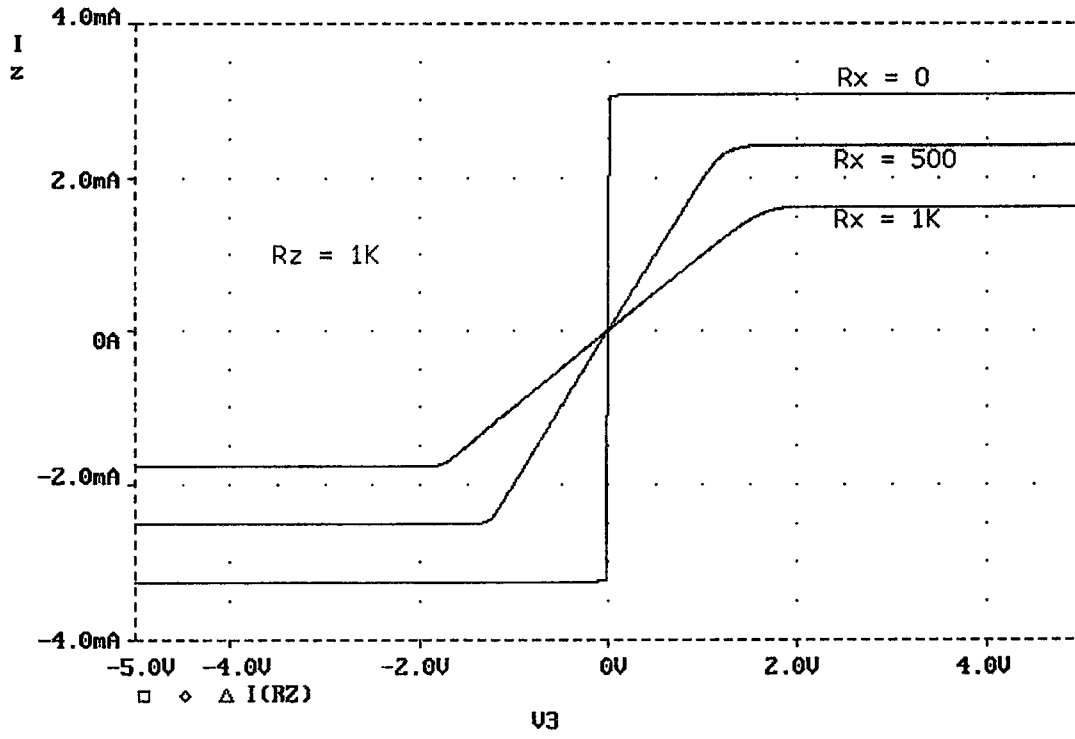
Şekil B.3: Önerilen DDCC+ yapısında I_x akımının V_{y3} gerilimiyle değişimi



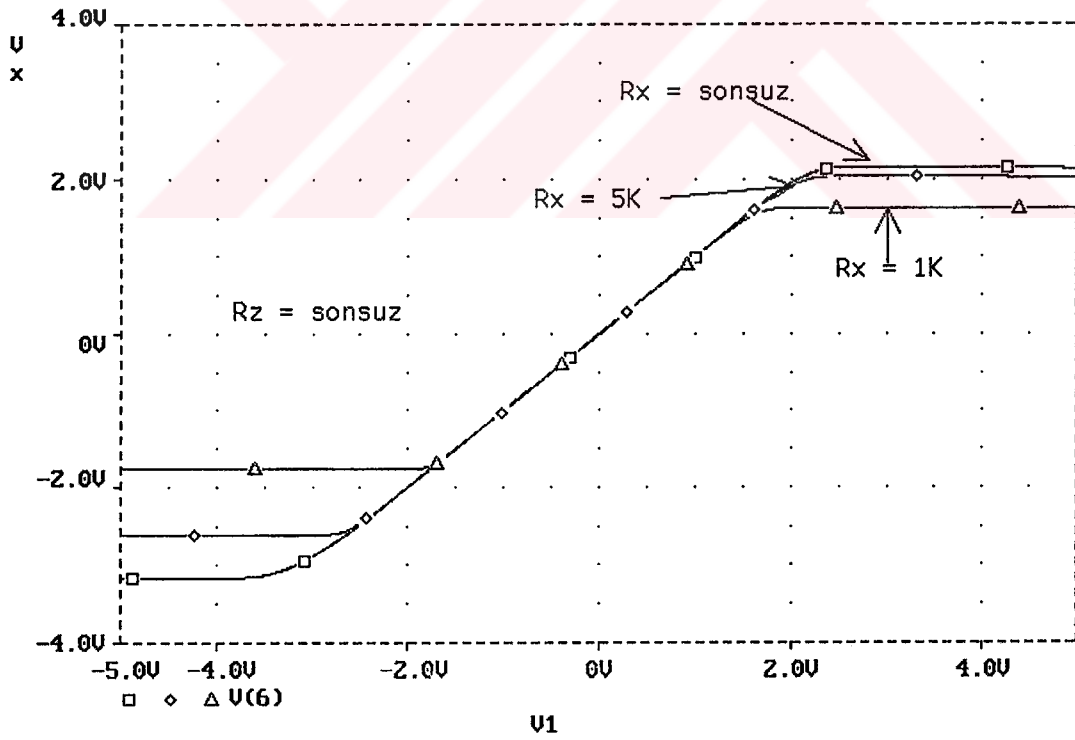
Şekil B.4: Önerilen DDCC+ yapısında I_z akımının V_{y1} gerilimiyle değişimi



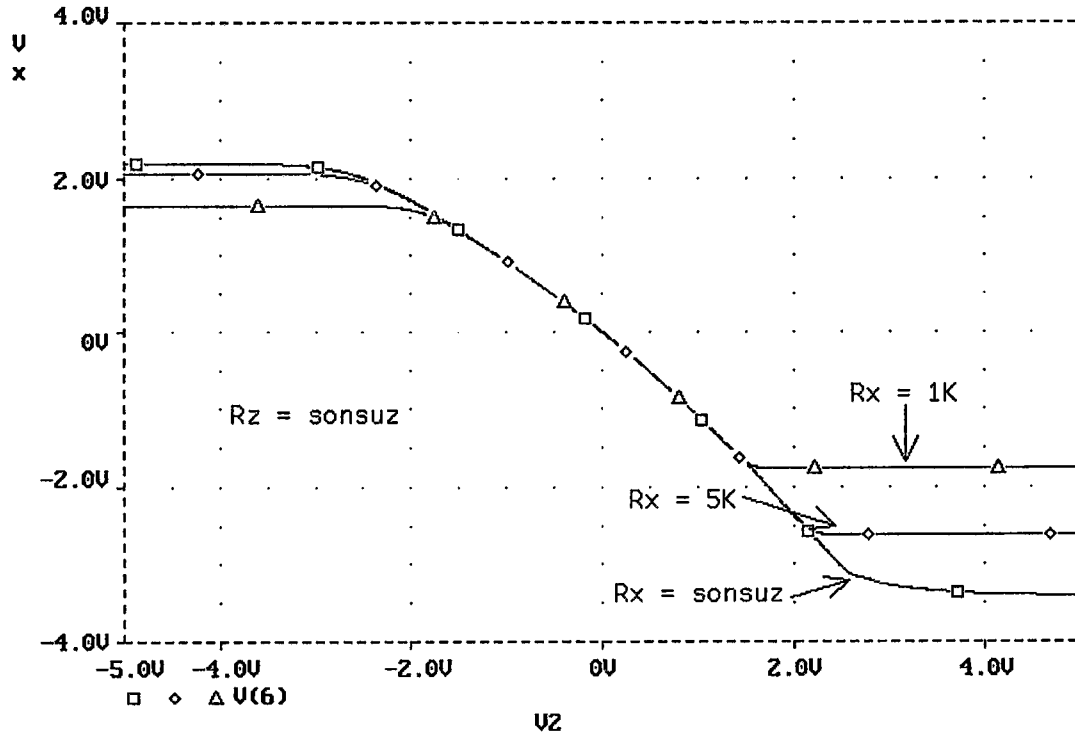
Şekil B.5: Önerilen DDCC+ yapısında I_z akımının V_{y2} gerilimiyle değişimi



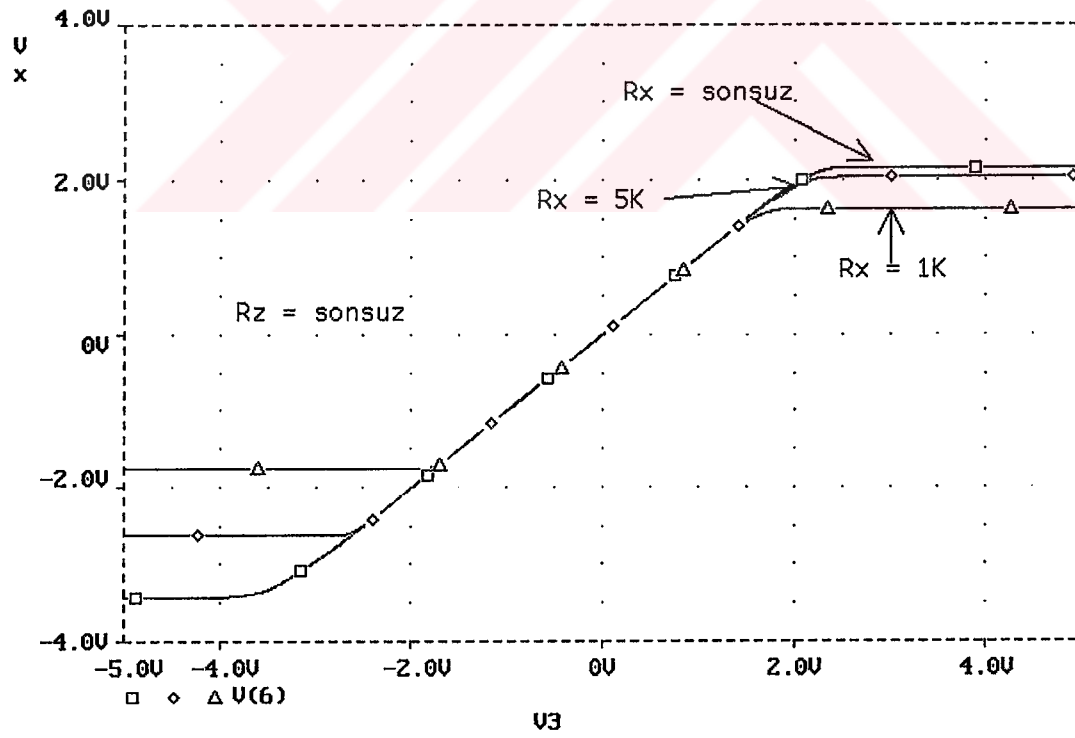
Şekil B.6: Önerilen DDCC+ yapısında I_z akımının V_{y3} gerilimiyle değişimi



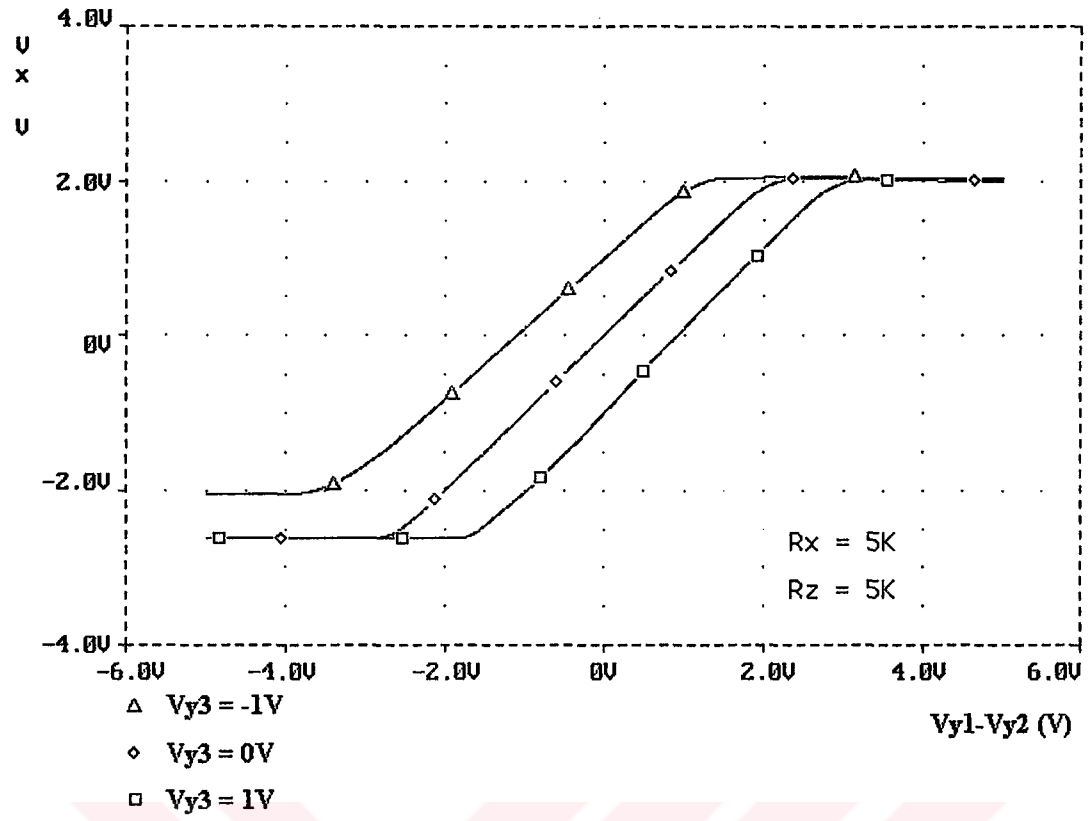
Şekil B.7: Önerilen DDCC+ yapısında V_x geriliminin V_{y1} gerilimiyle değişimi



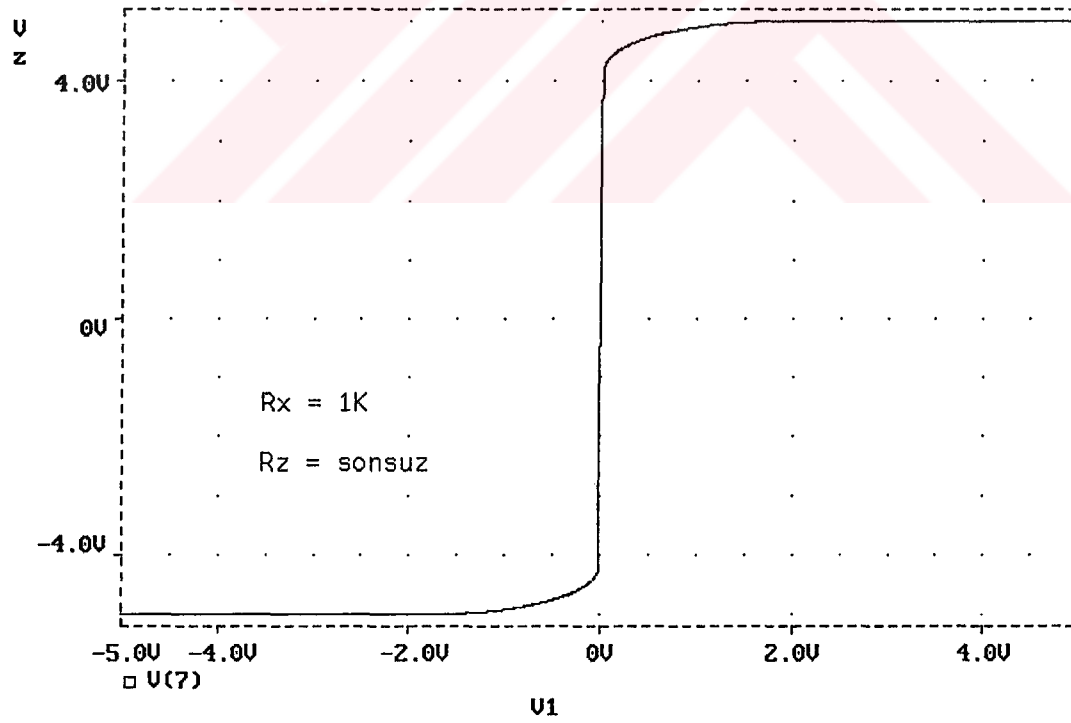
Şekil B.8: Önerilen DDCC+ yapısında V_x geriliminin V_{y2} gerilimiyle değişimi



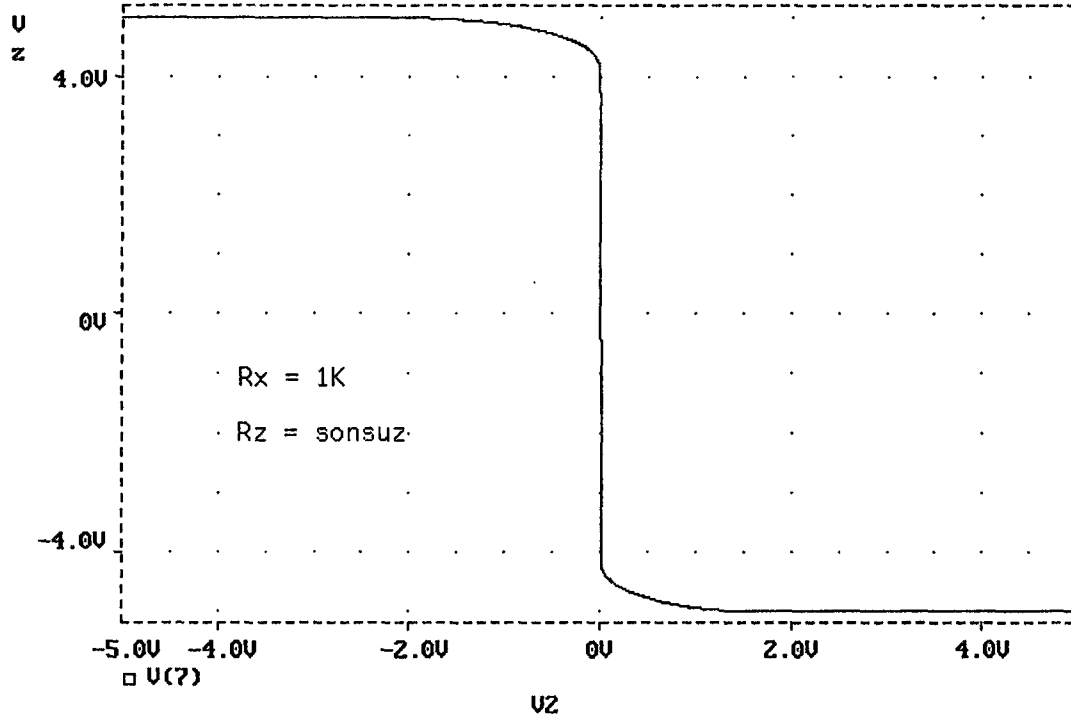
Şekil B.9: Önerilen DDCC+ yapısında V_x geriliminin V_{y3} gerilimiyle değişimi



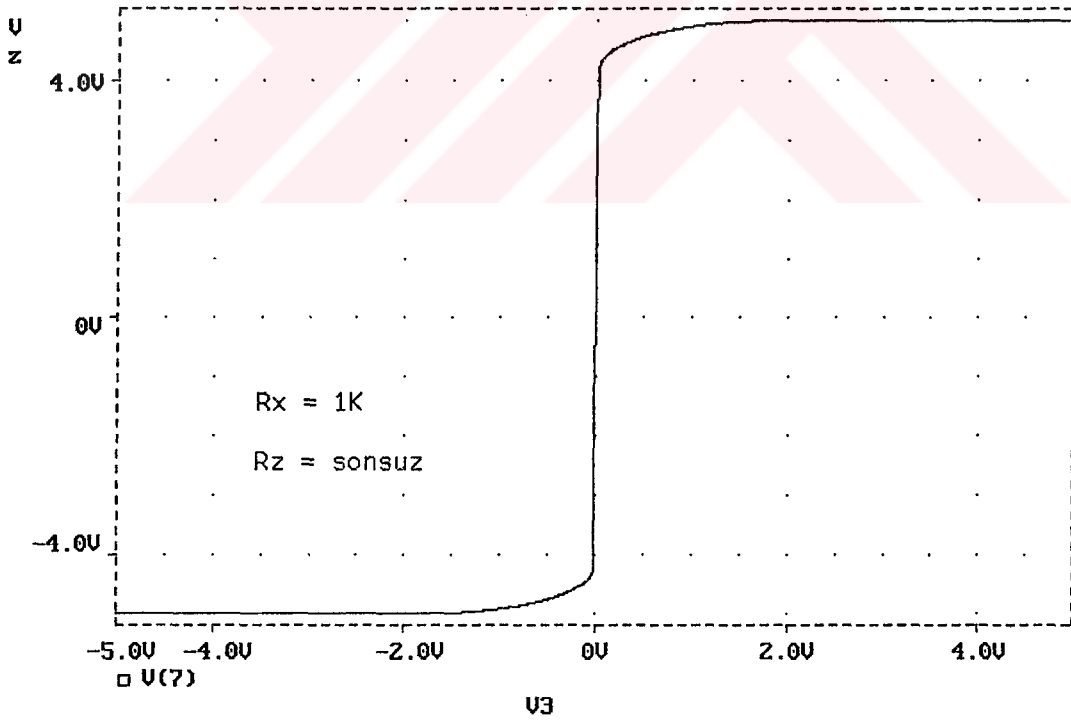
Şekil B.10: Önerilen DDCC+ yapısında V_x geriliminin çeşitli V_{y3} değerlerinde $V_{y1} - V_{y2}$ ile değişimi



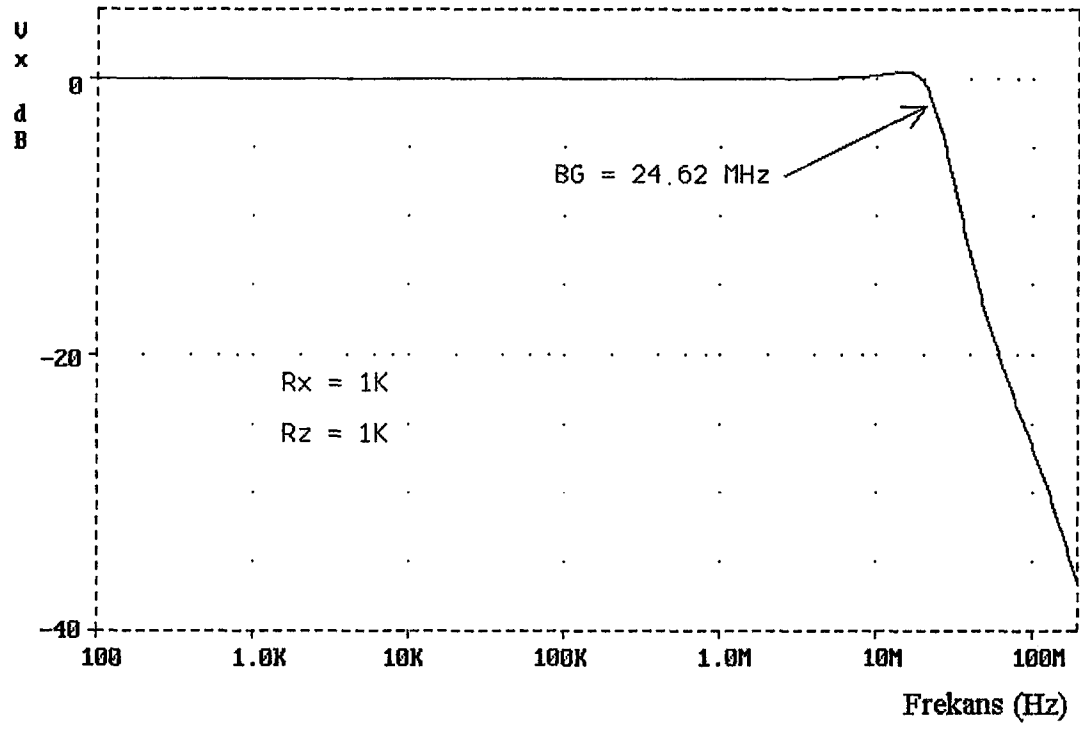
Şekil B.11: Önerilen DDCC+ yapısında V_z geriliminin V_{y1} gerilimiyle değişimi



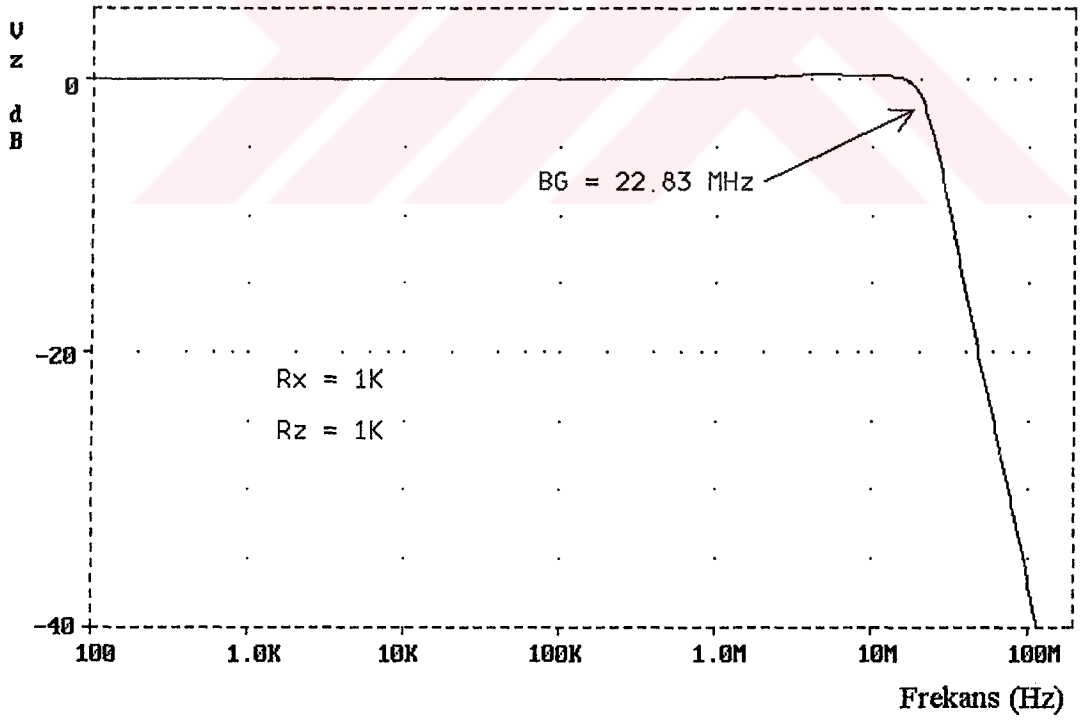
Şekil B.12: Önerilen DDCC+ yapısında V_z geriliminin V_{y2} gerilimiyle değişimi



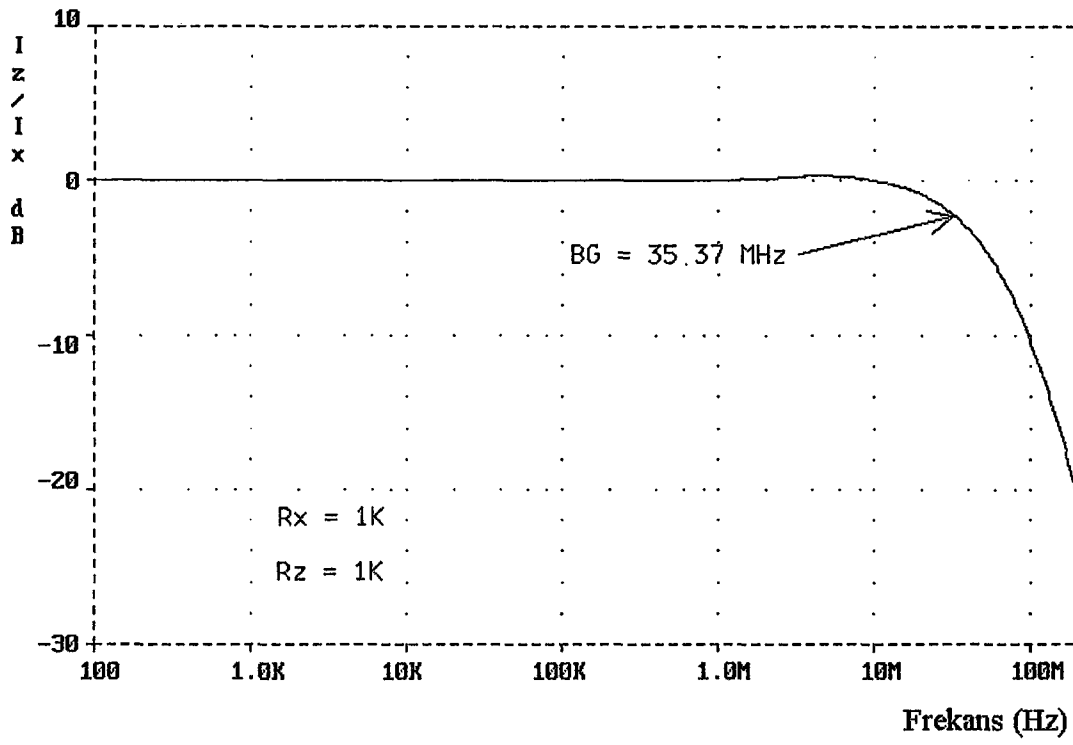
Şekil B.13: Önerilen DDCC+ yapısında V_z geriliminin V_{y3} gerilimiyle değişimi



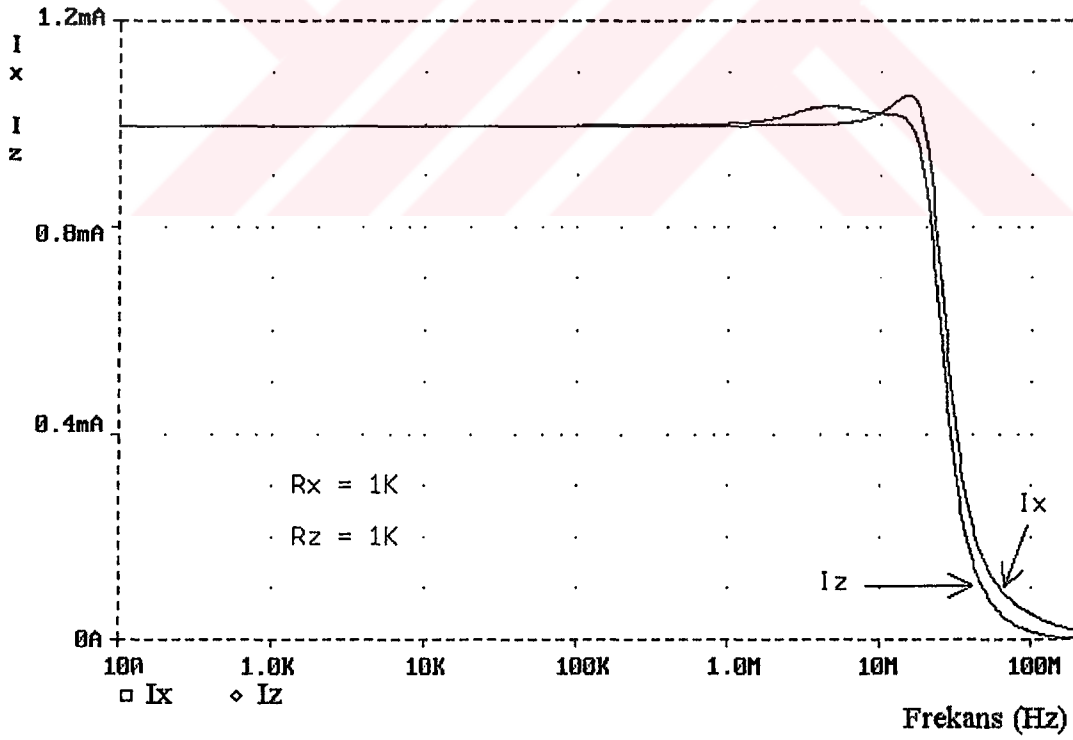
Şekil B.14: Önerilen DDCC+ yapısında X ucundaki gerilim modunda band genişliği



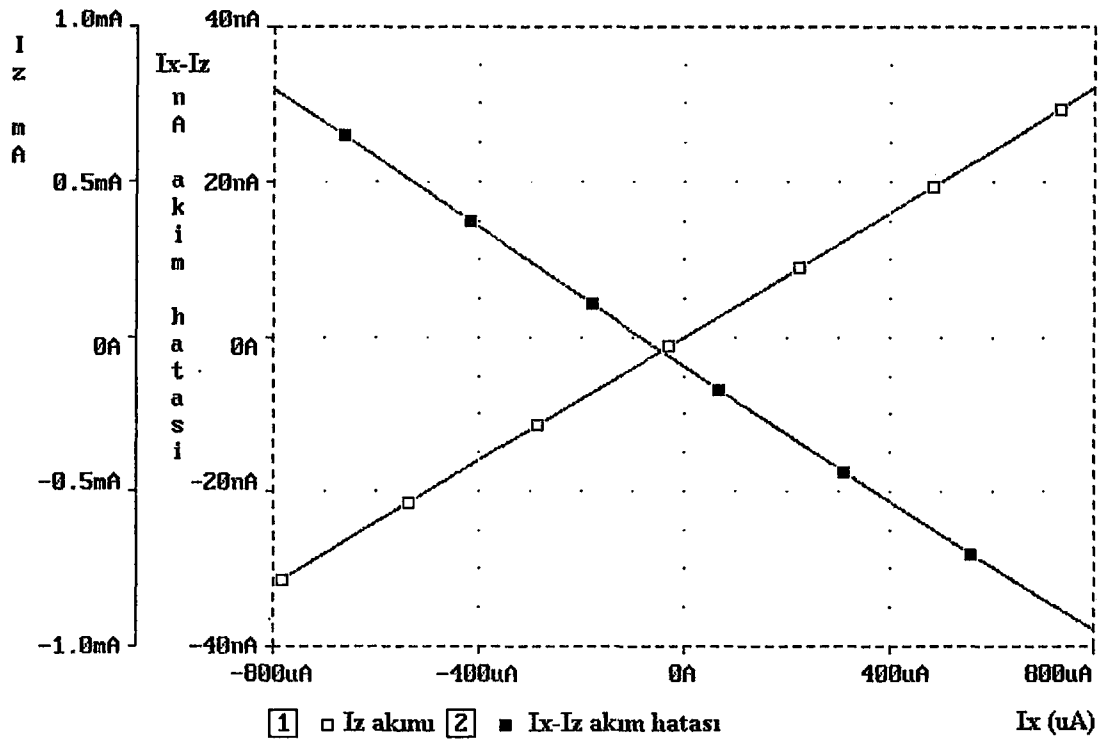
Şekil B.15: Önerilen DDCC+ yapısında Z ucundaki gerilim modunda band genişliği



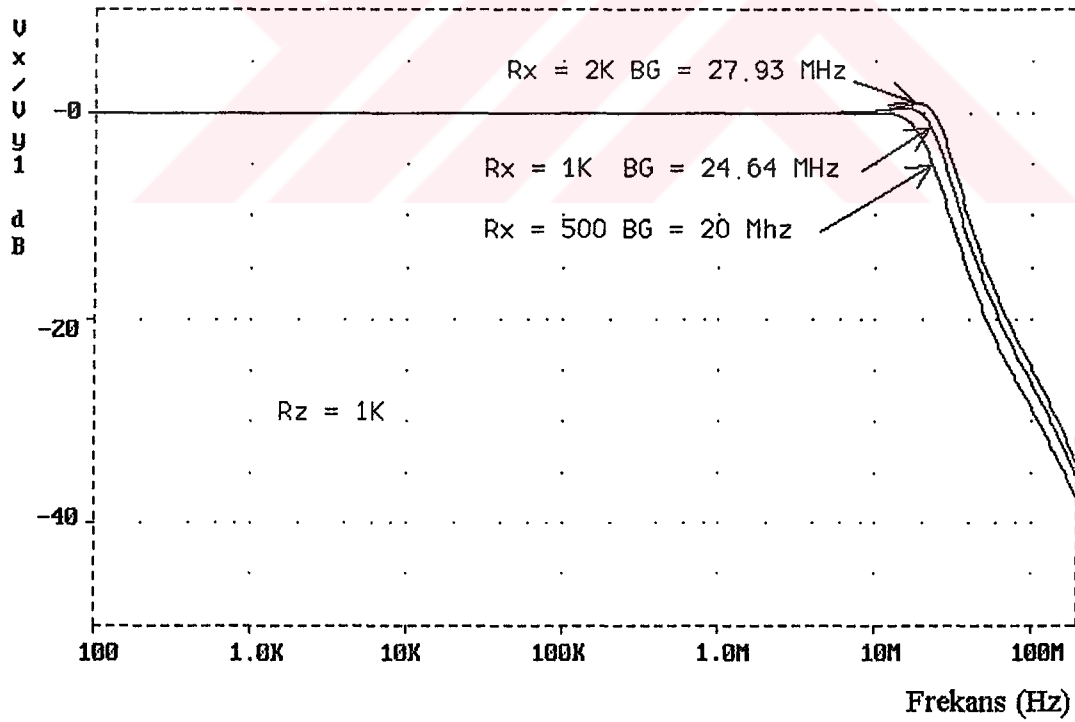
Şekil B.16: Önerilen DDCC+ yapısında akım modunda band genişliği



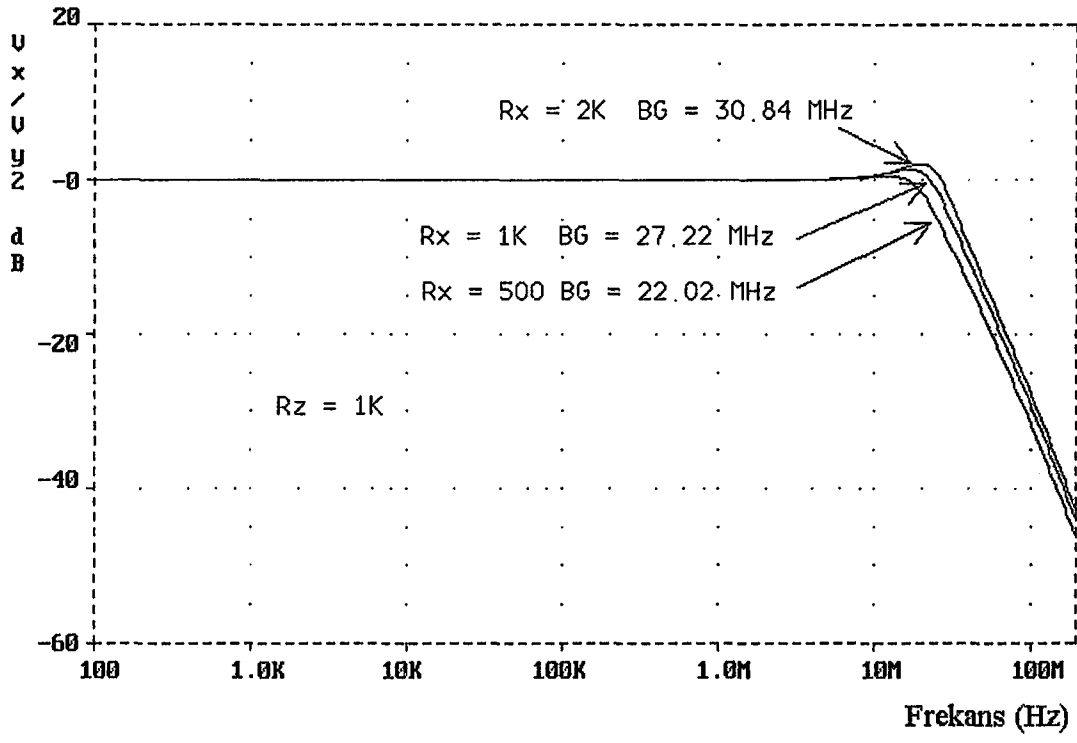
Şekil B.17: Önerilen DDCC+ yapısında I_z ve I_x 'in frekansla değişimleri



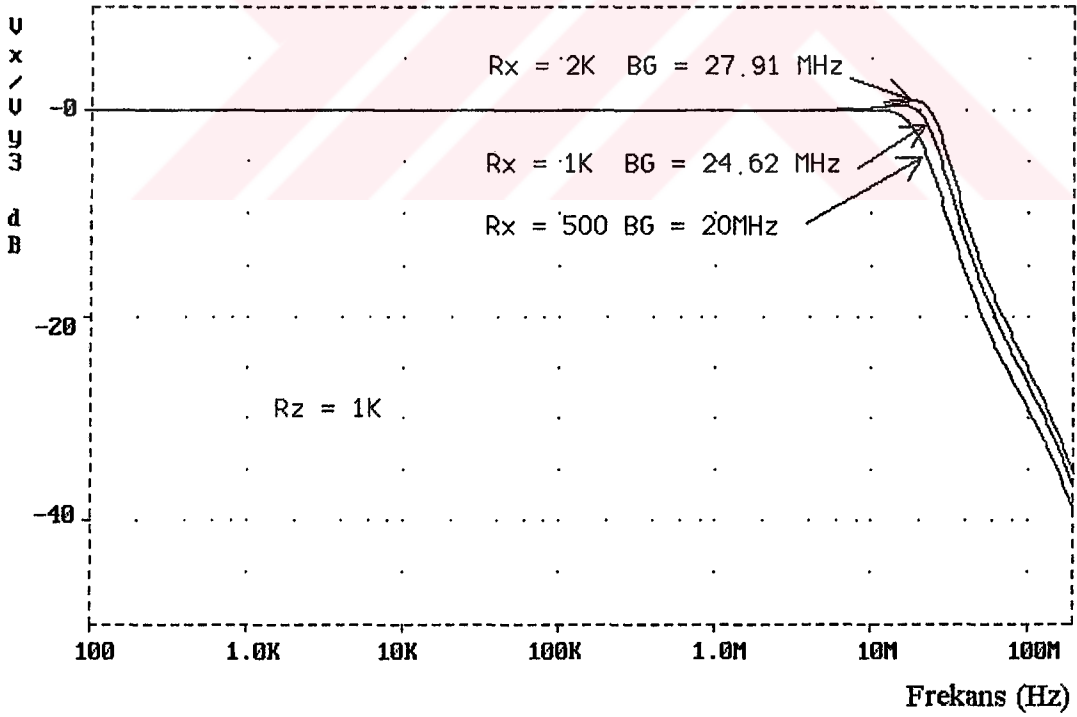
Şekil B.18: Önerilen DDCC+ yapısında I_z akımının ve $I_x - I_z$ akım hatasının I_x akımı ile değişimi



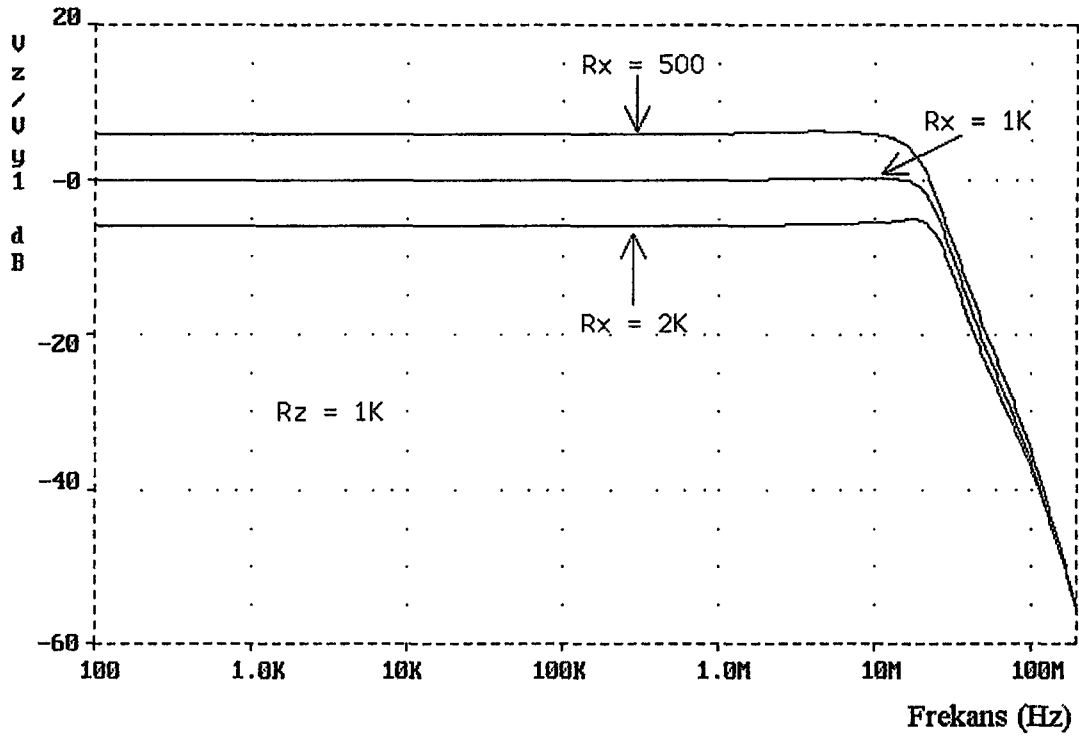
Şekil B.19: Önerilen DDCC+ yapısında V_x/V_{y1} 'in frekansla değişimi



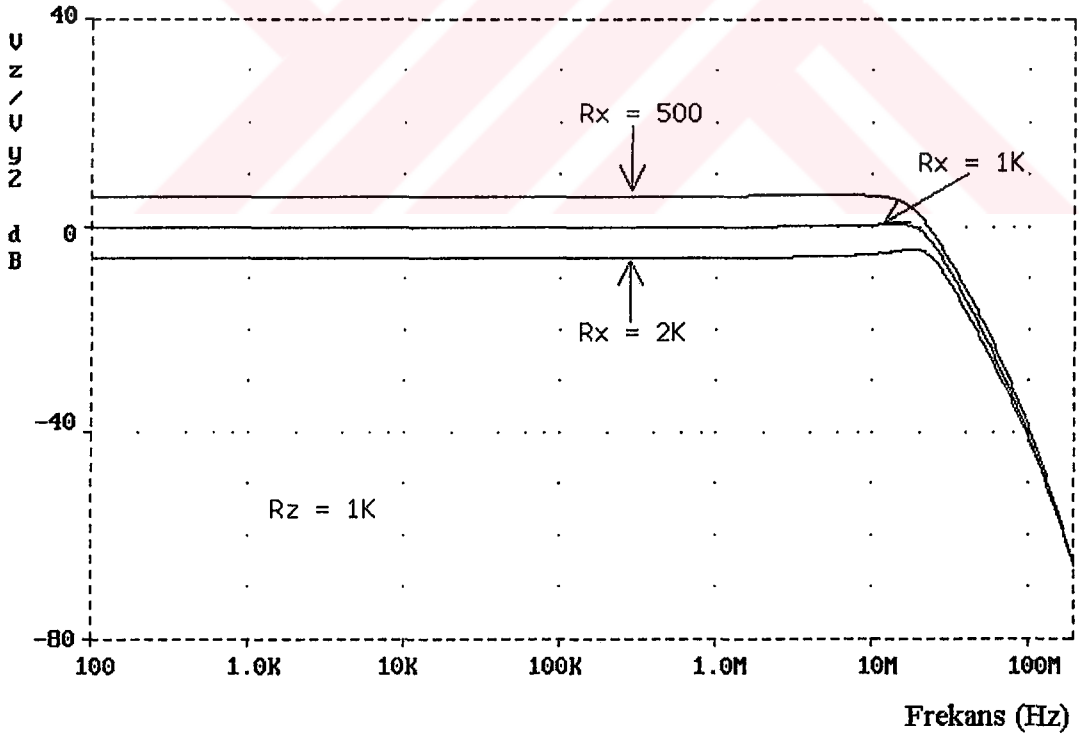
Şekil B.20: Önerilen DDCC+ yapısında V_x/V_{y2} 'nin frekansla değişimi



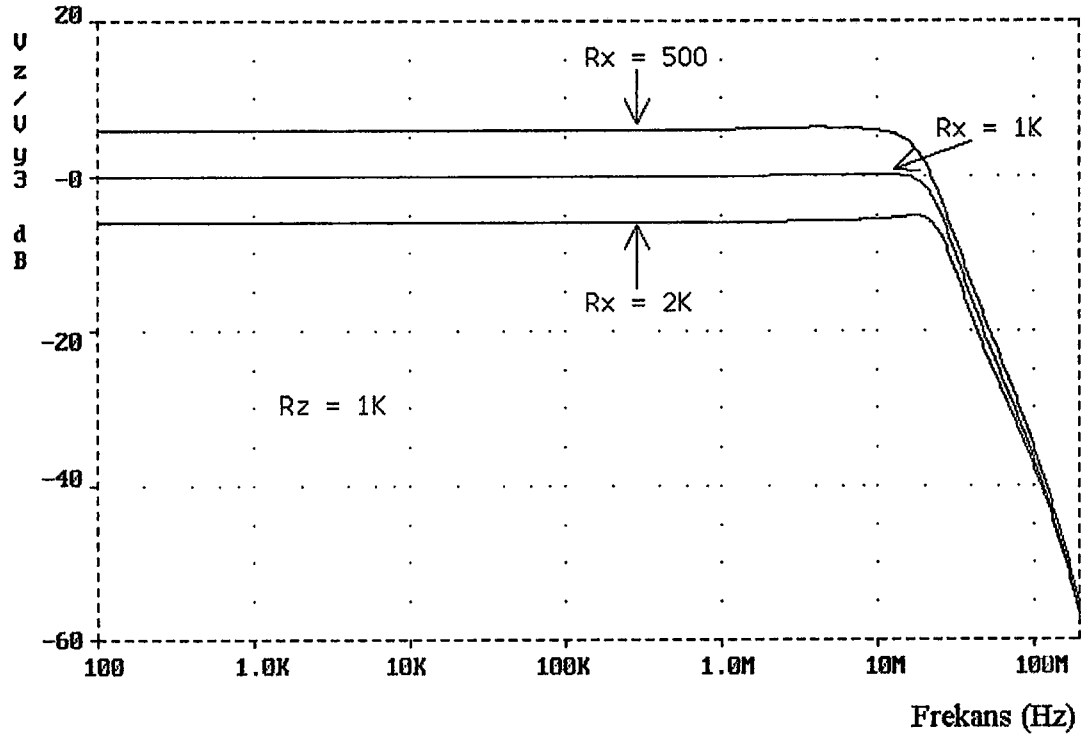
Şekil B.21: Önerilen DDCC+ yapısında V_x/V_{y3} 'ün frekansla değişimi



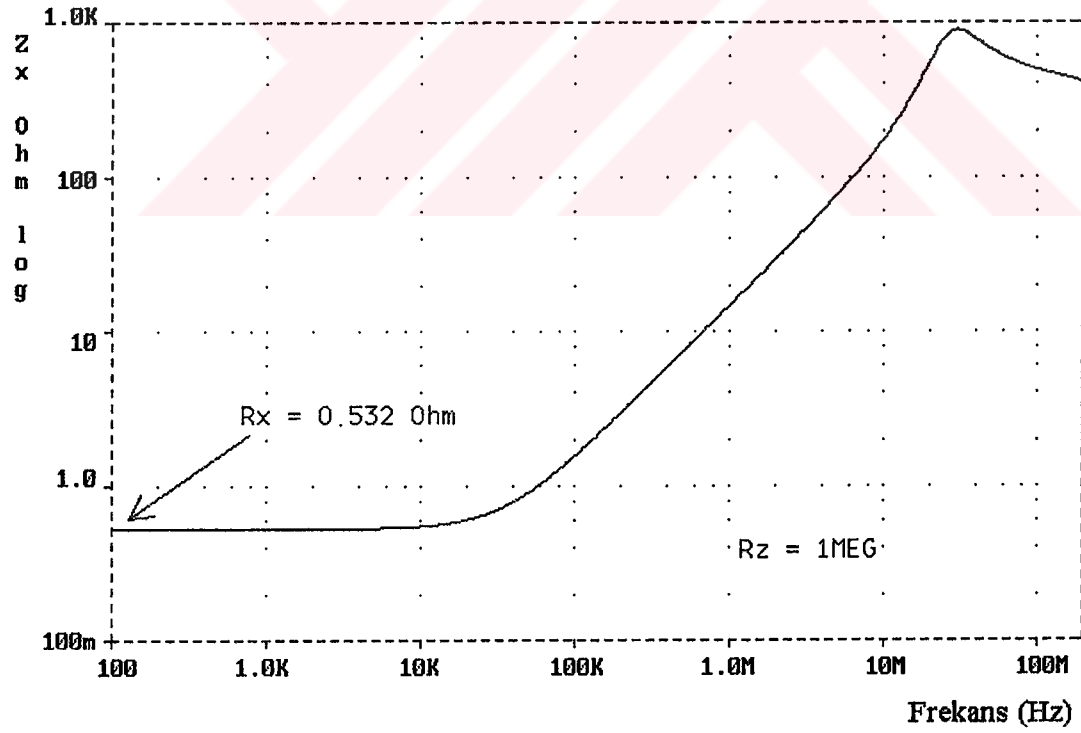
Şekil B.22: Önerilen DDCC+ yapısında V_z/V_{y1} 'in frekansla değişimi



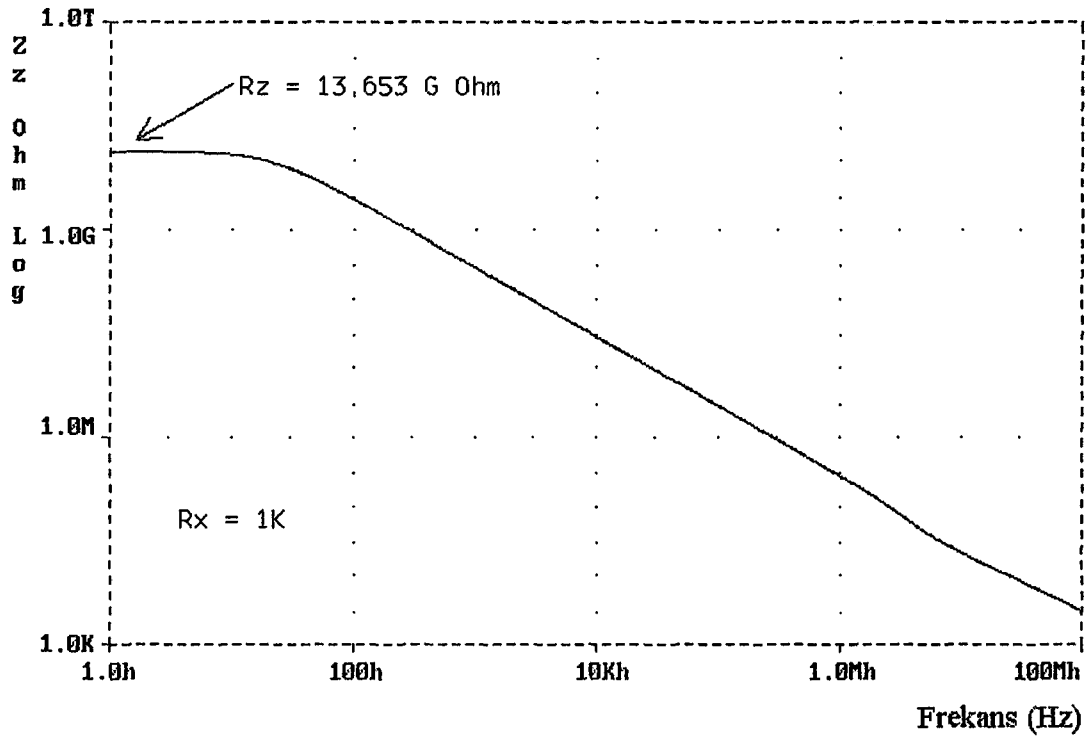
Şekil B.23: Önerilen DDCC+ yapısında V_z/V_{y2} 'nin frekansla değişimi



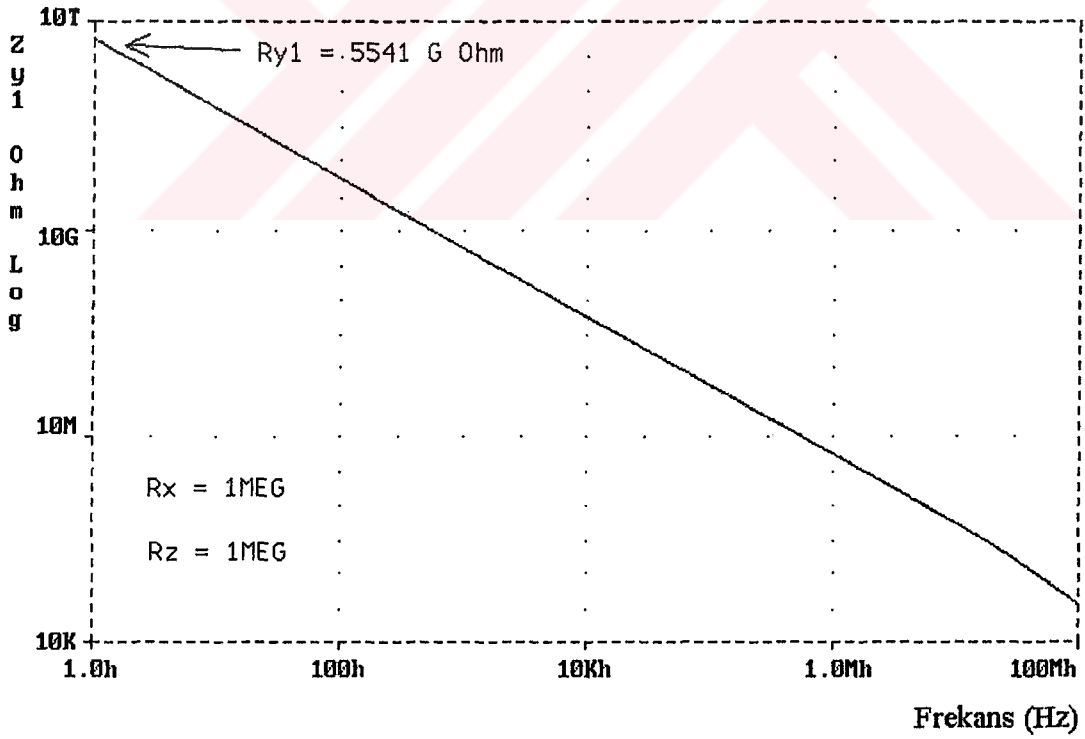
Şekil B.24: Önerilen DDCC+ yapısında V_z/V_{y3} 'ün frekansla değişimi



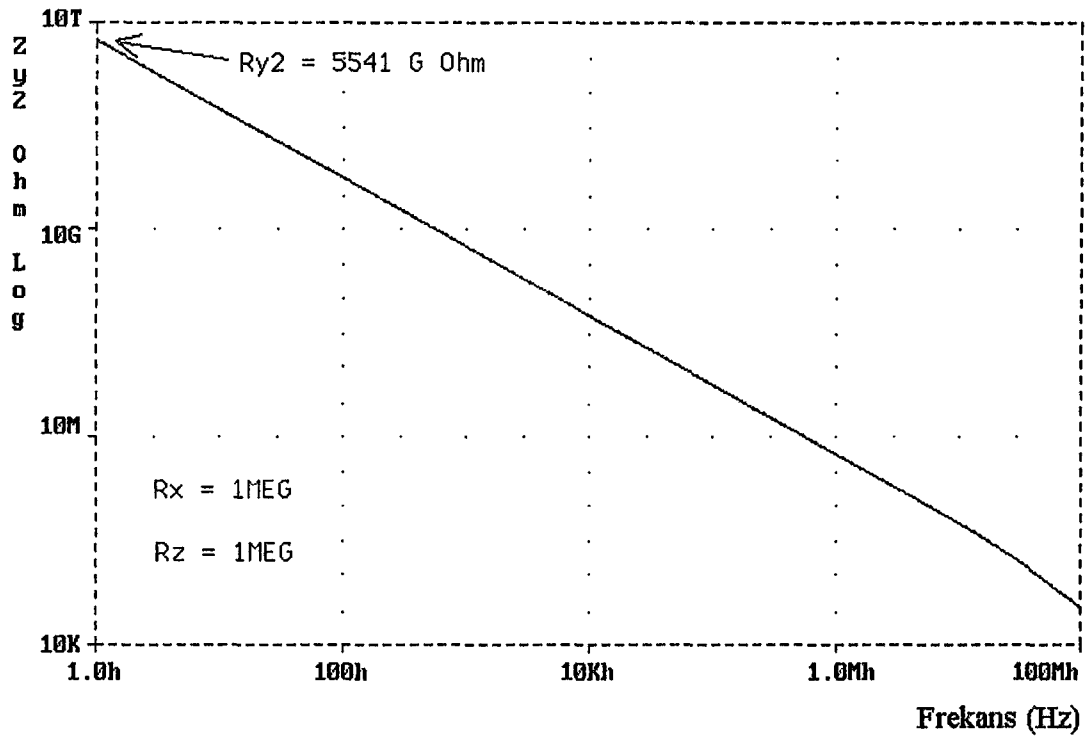
Şekil B.25: Önerilen DDCC+ yapısında Z_x giriş direncinin frekansla değişimi (y eksenli logaritmiktir.)



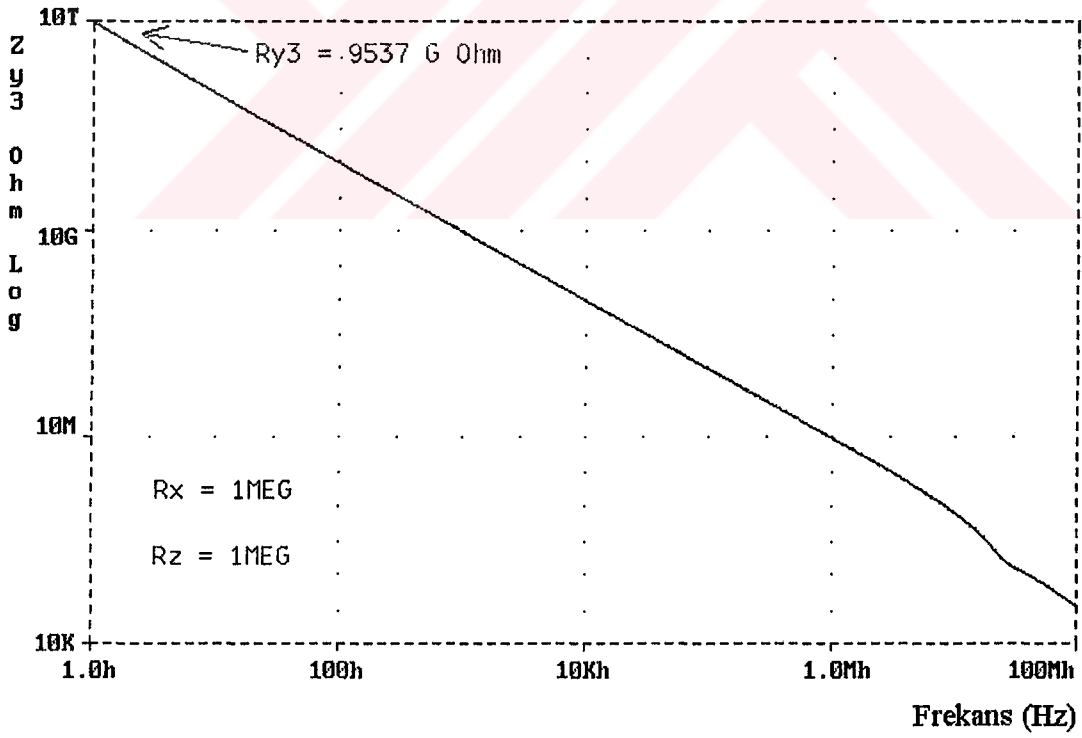
Şekil B.26: Önerilen DDCC+ yapısında Z_z çıkış direncinin frekansla değişimi (y eksenı logaritmiktir.)



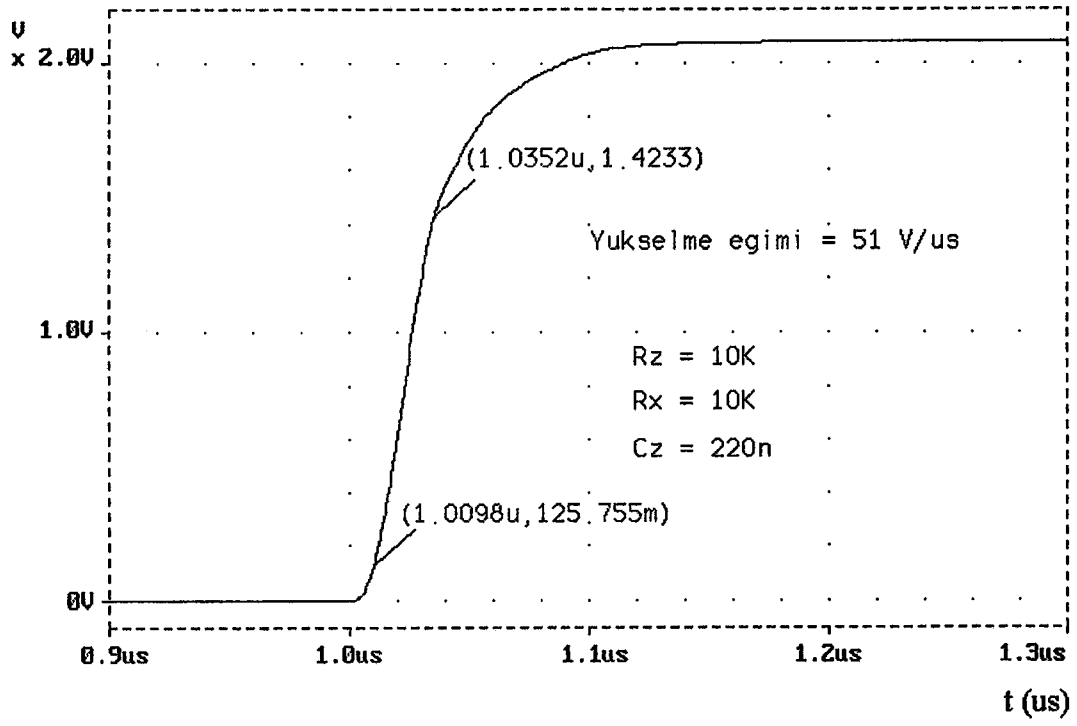
Şekil B.27: Önerilen DDCC+ yapısında Z_{y1} direncinin frekansla değişimi (y eksenı logaritmiktir.)



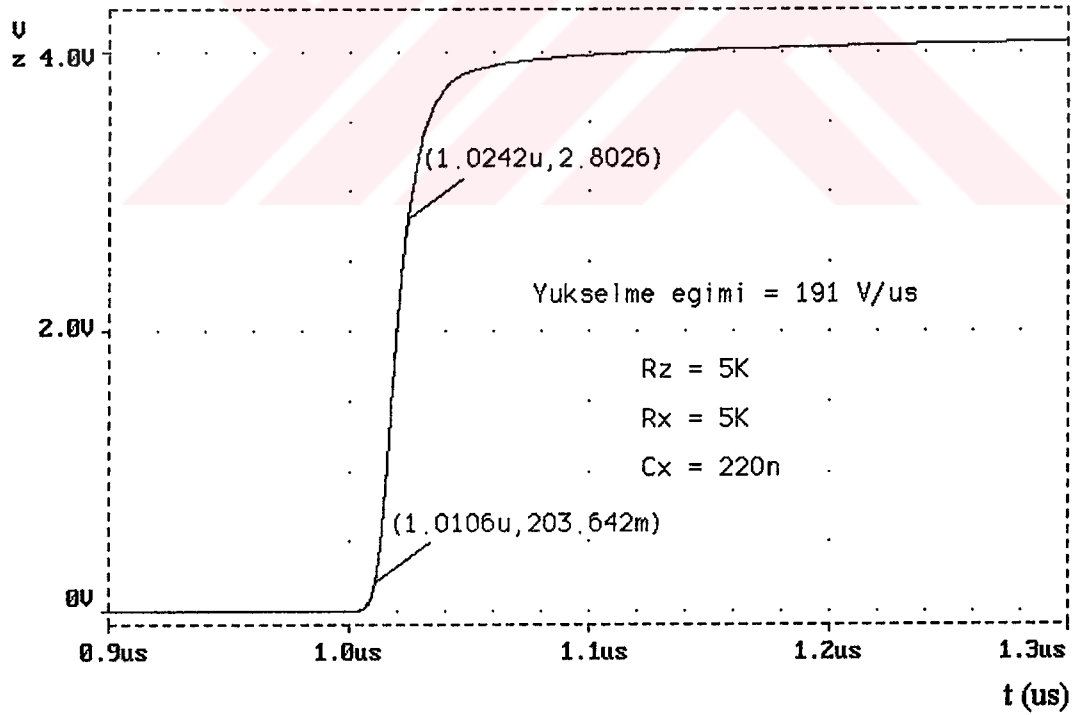
Şekil B.28: Önerilen DDCC+ yapısında Z_{y2} direncinin frekansla değişimi (y eksenli logaritmiktir.)



Şekil B.29: Önerilen DDCC+ yapısında Z_{y3} direncinin frekansla değişimi (y eksenli logaritmiktir.)

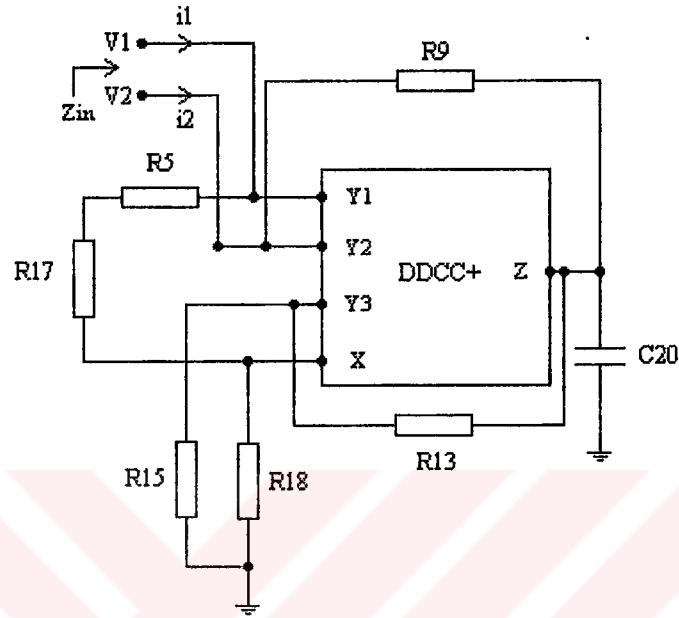


Şekil B.30: Önerilen DDCC+ yapısında X ucundaki yükselme eğimini gösteren çıkış işareti

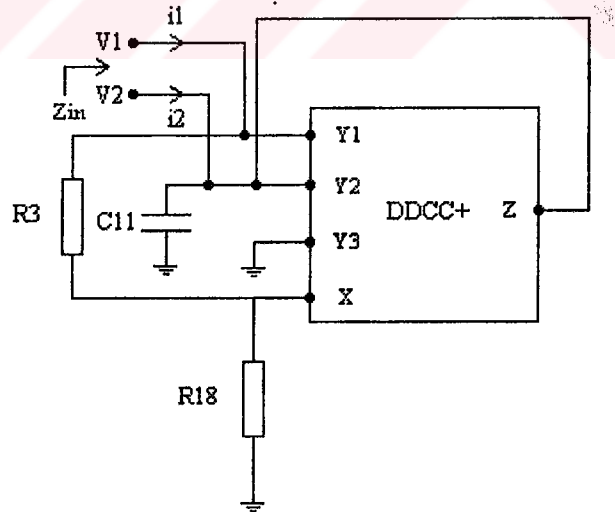


Şekil B.31: Önerilen DDCC+ yapısında Z ucundaki yükselme eğimini gösteren çıkış işareti

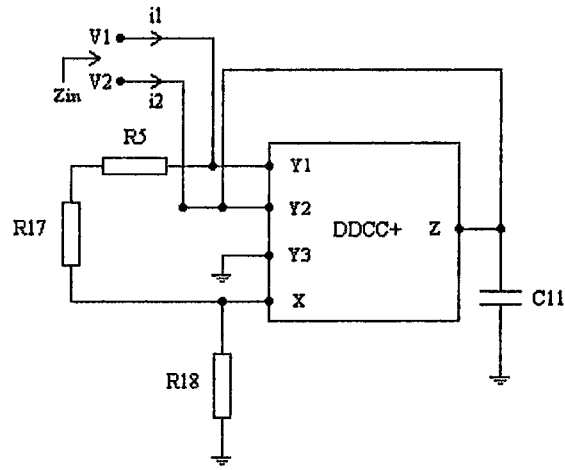
EK C



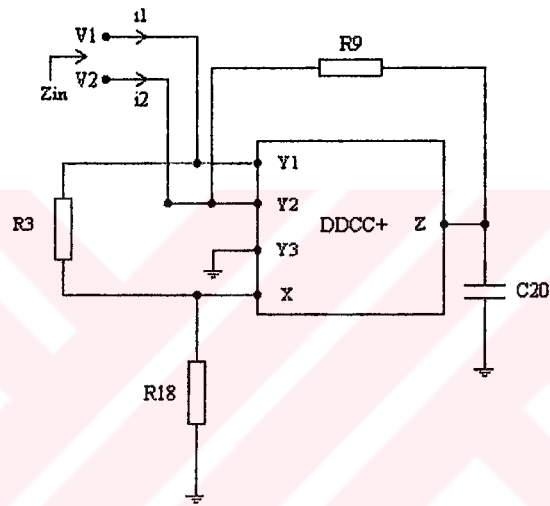
Şekil C.1: D1 endüktans devresi



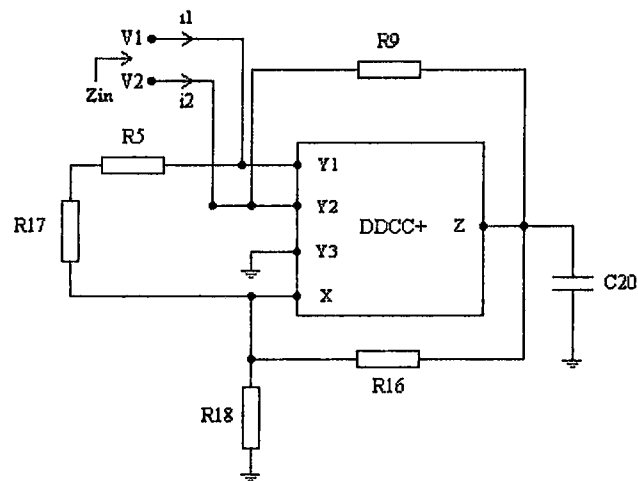
Şekil C.2: D2 endüktans devresi



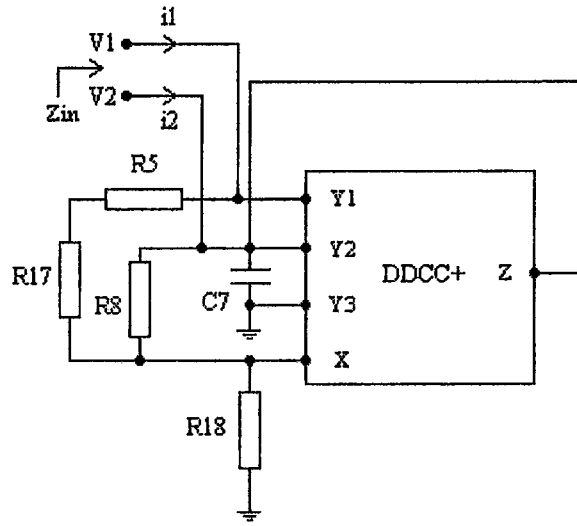
Şekil C.3: D3 endüktans devresi



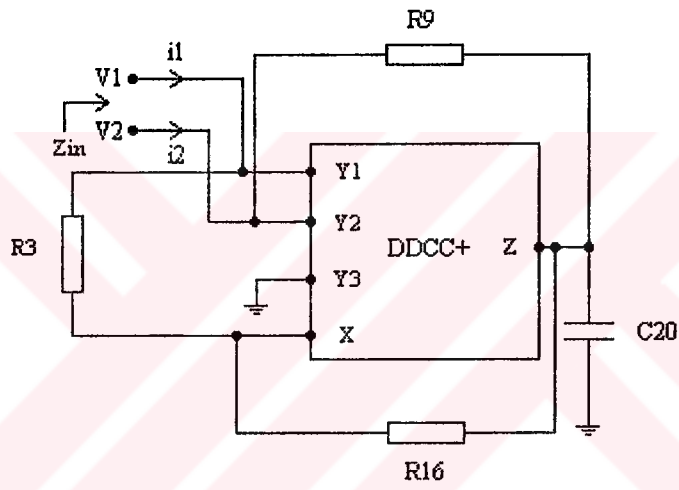
Şekil C.4: D4 endüktans devresi



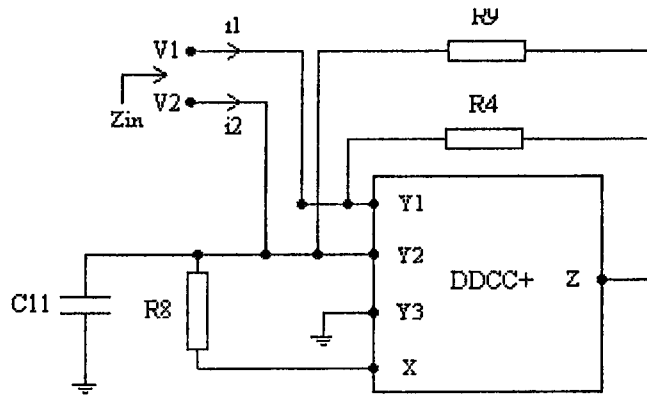
Şekil C.5: D5 endüktans devresi



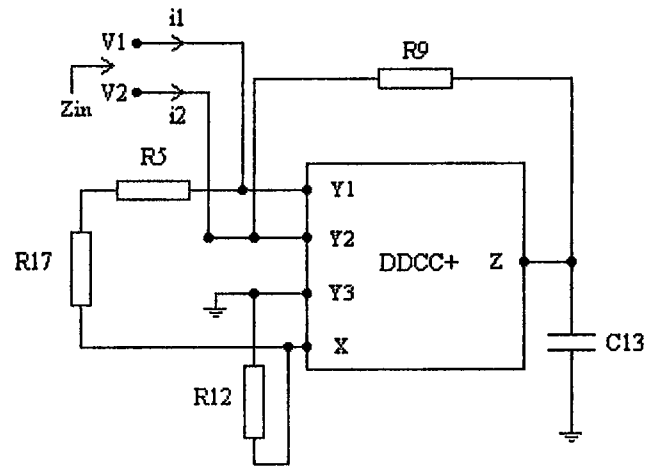
Şekil C.6: D6 endüktans devresi



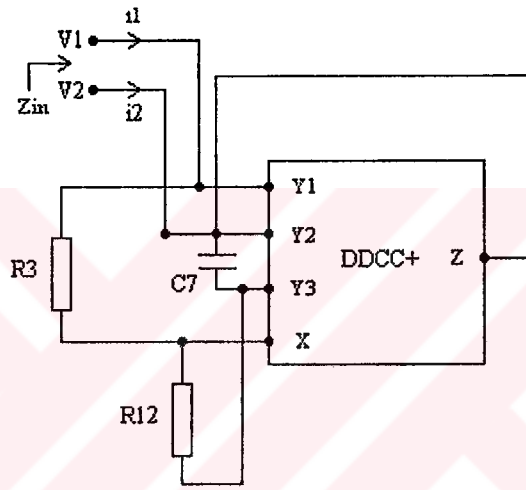
Şekil C.7: D7 endüktans devresi



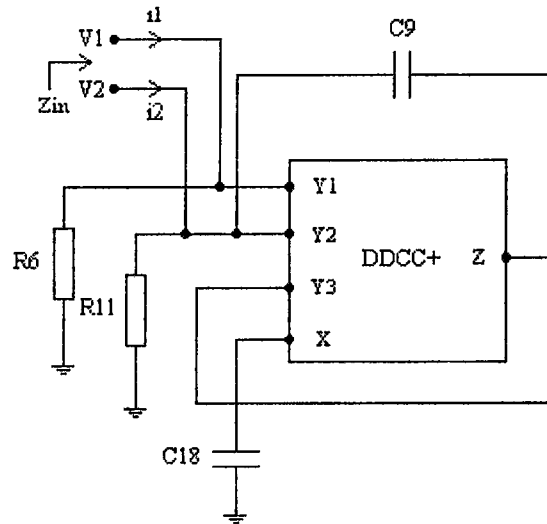
Şekil C.8: D8 endüktans devresi



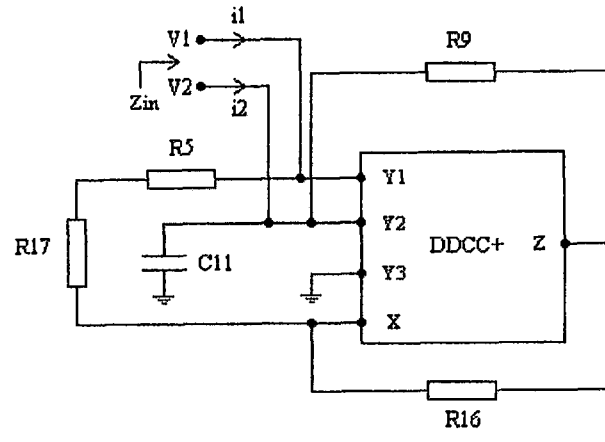
Şekil C.9: D9 endüktans devresi



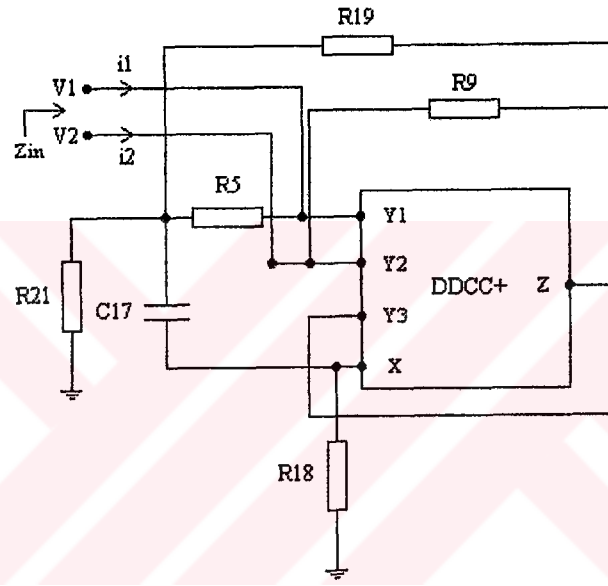
Şekil C.10: D10 endüktans devresi



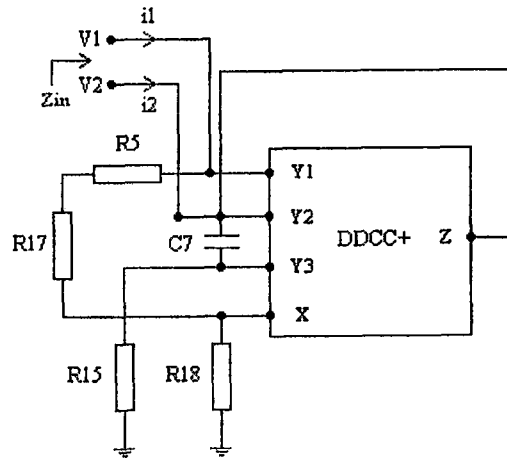
Şekil C.11: D11 endüktans devresi



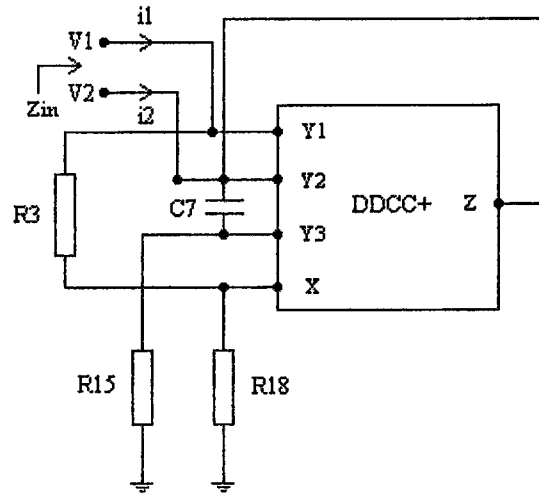
Şekil C.12: D12 endüktans devresi



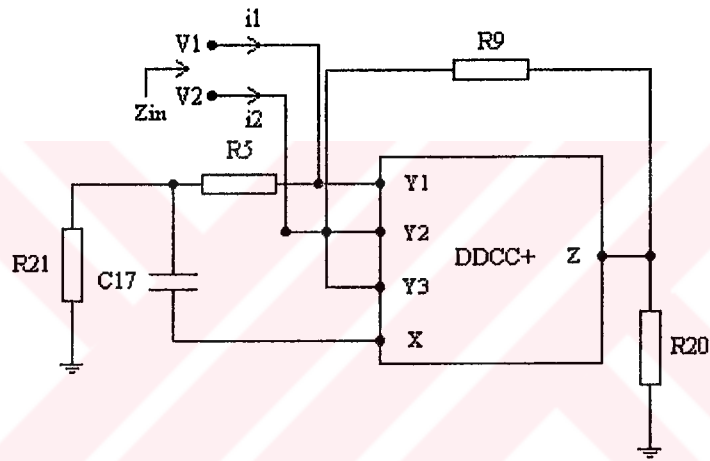
Şekil C.13: D13 endüktans devresi



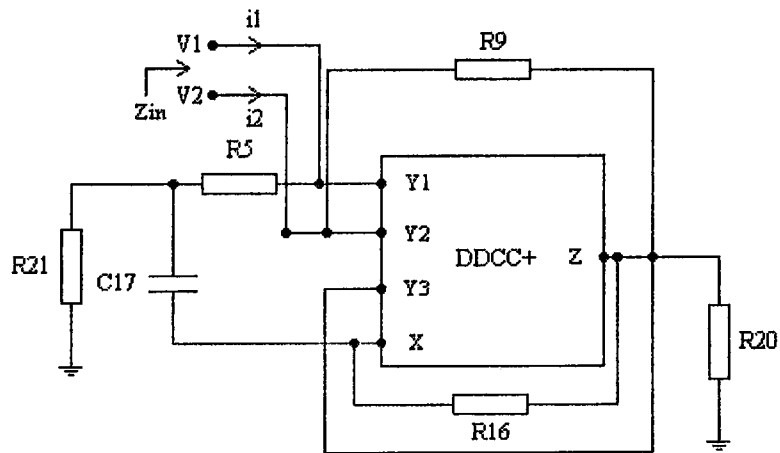
Şekil C.14: D14 endüktans devresi



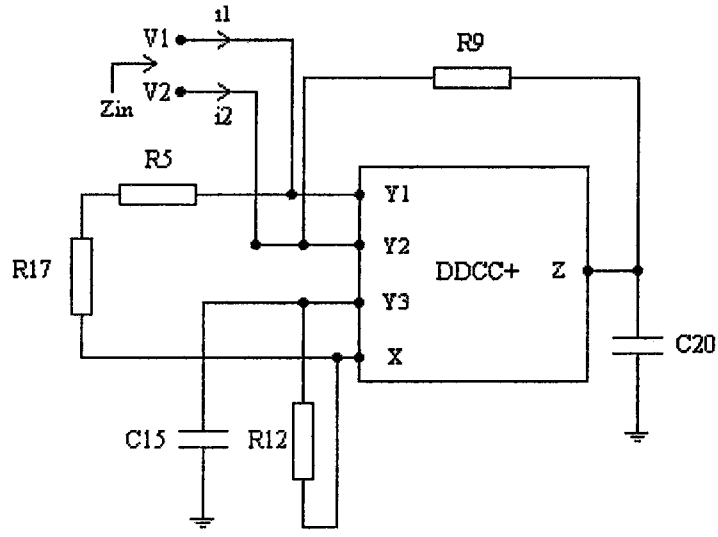
Şekil C.15: D15 endüktans devresi



Şekil C.16: D16 endüktans devresi



Şekil C.17: D17 endüktans devresi



Şekil C.18: D18 endüktans devresi

EK D

*Önerilen CMOS DDCC+ elemanın Pspice’da kullanılabilecek alt devre blok tanımı

.subckt DDCC+ 1 2 3 6 7 4 5

```
*      | | | | |
*      | | | | | (-) besleme
*      | | | | | (+) besleme
*      | | | | Z çıkışı
*      | | | X çıkışı
*      | | Y3 girişi
*      | Y2 girişi
*      Y1 girişi
```

VC1 31 0 DC -4.1

VC2 25 0 DC 4.1

VK 9 0 DC -3.8

*kompanzasyon

M43 50 4 30 5 nmos W=3u L=15u AD=9p AS=9p PD=12u PS=12u

M44 30 5 50 4 pmos W=9u L=15u AD=27p AS=27p PD=24u PS=24u

C 10 50 0.45p

*Giriş katı

M1 4 1 8 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u

M2 4 2 12 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u

M3 10 1 28 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u

M4 10 12 28 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u

M5 11 8 28 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u

M6 11 2 28 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u

M7 8 9 5 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u

M8 12 9 5 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u

M9 4 6 13 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u

M10 4 3 14 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u

M11 11 6 29 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u
M12 11 14 29 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u
M13 10 13 29 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u
M14 10 3 29 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u
M15 13 9 5 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u
M16 14 9 5 5 nmos W=6u L=6u AD=18p AS=18p PD=18u PS=18u
M17 11 11 4 4 pmos W=200u L=6u AD=600p AS=600p PD=406u PS=406u
M18 10 11 4 4 pmos W=200u L=6u AD=600p AS=600p PD=406u PS=406u
M19 28 9 5 5 nmos W=504u L=6u AD=1512p AS=1512p PD=1114u PS=1114u
M20 29 9 5 5 nmos W=504u L=6u AD=1512p AS=1512p PD=1114u PS=1114u

*Çıkış katı

M27 20 20 4 4 pmos W=370u L=6u AD=1110p AS=1110p PD=746u PS=746u
M28 21 20 4 4 pmos W=370u L=6u AD=1110p AS=1110p PD=746u PS=746u
M29 22 25 4 4 pmos W=40u L=6u AD=120p AS=120p PD=86u PS=86u
M30 23 20 22 4 pmos W=74u L=6u AD=222p AS=222p PD=154u PS=154u
M31 24 21 22 4 pmos W=74u L=6u AD=222p AS=222p PD=154u PS=154u
M32 7 24 21 4 pmos W=370u L=6u AD=1110p AS=1110p PD=746u PS=746u
M33 23 23 5 5 nmos W=4u L=24u AD=12p AS=12p PD=14u PS=14u
M34 24 23 5 5 nmos W=4u L=24u AD=12p AS=12p PD=14u PS=14u
M35 15 15 5 5 nmos W=120u L=6u AD=360p AS=360p PD=246u PS=246u
M36 16 15 5 5 nmos W=120u L=6u AD=360p AS=360p PD=246u PS=246u
M37 17 31 5 5 nmos W=12u L=6u AD=36p AS=36p PD=30u PS=30u
M38 18 15 17 5 nmos W=24u L=6u AD=72p AS=72p PD=54u PS=54u
M39 19 16 17 5 nmos W=24u L=6u AD=72p AS=72p PD=54u PS=54u
M40 7 19 16 5 nmos W=120u L=6u AD=360p AS=360p PD=246u PS=246u
M41 18 18 4 4 pmos W=12u L=24u AD=36p AS=36p PD=30u PS=30u
M42 19 18 4 4 pmos W=12u L=24u AD=36p AS=36p PD=30u PS=30u

*X çıkışı

M21 26 10 4 4 pmos W=200u L=6u AD=600p AS=600p PD=406u PS=406u
M22 27 9 5 5 nmos W=492u L=6u AD=1476p AS=1476p PD=990u PS=990u
M23 26 26 30 5 nmos W=100u L=3u AD=300p AS=300p PD=206u PS=206u
M24 20 26 6 5 nmos W=100u L=3u AD=300p AS=300p PD=206u PS=206u
M25 27 27 30 4 pmos W=300u L=3u AD=900p AS=900p PD=606u PS=606u
M26 15 27 6 4 pmos W=300u L=3u AD=900p AS=900p PD=606u PS=606u

**** 1.2U MIETEC 10V PROSES PARAM. ****

**.MODEL NMOS nmos (LEVEL=2 UO=515 VTO=.736 NFS=.452E12
+ TOX=23.8E-9 NSUB=3.33E16 UCRIT=28.7E4 UEXP=0.251 VMAX=77.3E3
+ RSH=25.5 XJ=175E-9 LD=50E-9 DELTA=0 PB=.96 JS=10E-6 NEFF=5.25
+ CJ=360E-6 MJ=430E-3 CJSW=2.5E-10 MJSW=.190 CGSO=290E-12
+ CGDO=290E-12 CGBO=170E-12 KF=0.101E-25 AF=1.33 WD=0.398E-624**

**.MODEL PMOS pmos (LEVEL=2 UO=175 VTO=-.751 NFS=1.3E12
+ TOX=23.8E-9 NSUB=1.8E16 UCRIT=21.6E4 UEXP=0.268 VMAX=54E3
+ RSH=46 XJ=56E-9 LD=43E-9 DELTA=0.798 PB=.97 JS=20E-6 NEFF=3.09
+ CJ=340E-6 MJ=0.530 CJSW=2.2E-10 MJSW=.2 CGSO=290E-12
+ CGDO=290E-12 CGBO=170E-12 KF=0.390E-27 AF=1.29 WD=0.448E-6)
.ends DDCC+**



ÖZGEÇMİŞ

Alper DURUK, 22 Eylül 1975'de Ankara'da doğmuştur. 1986 yılında girdiği Kadıköy Anadolu Lisesinden 1993'de mezun olmuştur. Aynı yıl İstanbul Teknik Üniversitesi Elektrik-Elektronik Fakültesi'nin Elektronik ve Haberleşme Mühendisliği Bölümüne girmiş, 1997 yılında bölüm birincisi ve İTÜ üçüncüsü olarak mezun olmuş ve mühendis ünvanı almıştır. Aynı yıl İstanbul Teknik Üniversitesi Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Anabilim Dalı'nda yüksek öğrenime başlamıştır.

Ocak 1998'de Elektronik ve Haberleşme Mühendisliği Bölümü Elektronik Anabilim Dalı'nda araştırma görevlisi olan DURUK, halen bu görevini sürdürmektedir.