

**MİKRODENETLEYİCİ KONTROLLU ÇOK
KANALLI ELEKTROKARDİYOĞRAFI CİHAZI
TASARIMI**

101196

YÜKSEK LİSANS TEZİ
Müh. Mustafa NİZAM
(504971071)

101196

Tezin Enstitüye Verildiği Tarih : 5 Haziran 2000
Tezin Savunulduğu Tarih : 26 Haziran 2000

Tez Danışmanı : Doç.Dr. Mehmet KORÜREK
Diğer Jüri Üyeleri Prof.Dr. Ertuğrul YAZGAN
Prof.Dr. Bülent ÖRENCİK

[Handwritten signatures]

HAZİRAN 2000

ÖNSÖZ

Günümüzde insan vücudunun elektriksel yapısı incelenerek hastalık teşhisi yapılması hem vücuda ameliyatlı müdahale yapılmadan gerçekleşmesi hem de doğru kesin teşhis yapılması açısından önem kazanmaktadır. Hastalıkların vücudun elektriksel yapısı kullanılarak teşhis edilmesi konusunda yapılan çalışmalarda özellikle kalp hastalıklarının teşhis edilmesi konusunda EKG işaretleri kullanılmaktadır. EKG işaretlerinin doğru olarak alınabilmesi ve hastalık teşhisi yapılabilmesi için tasarlanmış birçok sistem mevcuttur. Günümüzde, teknolojinin gelişimiyle bu alanda pek çok yeni imkan doğmuştur. Bunlardan bir tanesi tezin yapımında kullanılan ADC yöntemidir. Bu sistem kurulurken teşhisin doğru yapılabilmesi için çok kanallı bir sistem olması ve yüksek hızlı data akışını sağlaması ön planda tutulmuştur.

Bu konunun seçilmesinde ve tezin yapımında hiçbir yardımı esirgemeyen Sayın Hocam Mehmet KORUREK'e ve Sayın Ertuğrul YAZGAN'a en içten teşekkürlerimi sunar çalışmalarında başarılar dilerim.

Haziran 2000

Mustafa NİZAM

İÇİNDEKİLER

KISALTMALAR	v
TABLO LİSTESİ	vi
ŞEKİL LİSTESİ	vii
SEMBOL LİSTESİ	ix
ÖZET	x
SUMMARY	xi
1. GİRİŞ	1
1.1. Elektrokardiyografi	1
1.2. Elektrokardiyografi Cihazının Yapısı ve günümüzdeki Modern Elektrokardiyografi uygulamaları	1
2. KALBİN FİZYOLOJİSİ	4
2.1. Kalp hakkında genel bilgiler	4
2.1.1. Temel Kavramlar	4
2.1.2. Kalp Hücresinin Membranı	4
3. ELEKTROKARDİYOGRAM	8
3.1. Temel Tanımlar	8
3.2. Kalbin Uyarı iletim Yolları	8
3.3. Derivasyonlar	10
3.4. Kalp Vektörü	14
3.5. QRS dalgasının detaylı incelenmesi	16
3.5.1. P dalgası	16
3.5.2. PR Segmenti	16
3.5.3. Q Dalgası	17
3.5.4. ST Segmenti	18
3.5.5. T Dalgası	18
3.5.6. U Dalgası	18
3.5.7. QT Segmenti	19
3.6. P,Q,R dalgalarının tesbitinde yapılabilecek yaklaşımlar	19
3.7. Hastalık teşhisinde EKG 'nin yeri	20
4. TASARLANAN ELEKTROKARDİYOGRAF	22
4.1. Analog giriş Bloğu incelenmesi	22
4.1.1. İzleyici(Buffer)	22
4.1.2. Çentik Filtre	23
4.1.3. Sağ Bacak Sürücüsü	24
4.1.4. Shield Driver ("Ekran Sürücüsü")	25
4.1.4.1. Giriş Empedans Dengesi	25
4.1.4.2. Ekranlama	26
4.1.5. Baskılı Devrenin Topraklama Yapısı	29
4.2. ADC Bloğu	32
4.2.1. AD7716 Yapısı ve çalışması	32
4.2.2. AD7716'nın Programlanması	35
4.2.3. AD7716 Kontrol kütüğü programlanması	36
4.2.4. AD7716'nın okunması	37

4.2.5 Bağımlı ("Slave") Mod Arayüz	38
4.2.6 Ad7716'nın kaskatlanması	39
4.3. Mikrodenetleyici Bloğu	40
4.3.1 PIC16F877 Yapısı ve Genel Özellikleri	40
4.3.2 Arayüz Özellikleri	41
4.3.3 Bacak Diyagramı	42
4.3.4 İşlemcinin Bacak Tanımları	43
4.3.5 PIC16F877 Ailesinin İşlemci Seçimi İçin Temel Özellikleri	44
4.3.6 İşlemcinin Donanım Blok Diyagramı	45
4.3.7 İşlemcinin Program Belleği Organizasyonu	46
4.3.8 İşlemcinin Veri Bellek Organizasyonu	46
4.3.9 Kütük Açıklamaları	48
4.3.9.1 Durum("STATUS") Kütüğü	48
4.3.9.2 OPTION_REG Kütüğü	49
4.3.9.3 INTCON Kütüğü	50
4.3.10 Kesme Lojisi	50
4.3.11 I/O Portları	51
4.3.11.1 PORTA ve TRISA Kütüğü	51
4.3.11.2 PORTB ve TRISB Kütüğü	52
4.3.11.3 PORTC ve TRISC Kütüğü	53
4.3.11.4 PORTD ve TRISD Kütüğü	54
4.3.11.5 PORTE ve TRISE Kütüğü	55
4.3.12 PIC16F877'nin Senkron Seri Haberleşmesi	55
4.3.13.1 Master Synchronous Serial Port Yapısı	55
4.3.13.2 SPI Modu ve Çalışması	55
4.3.13.3 SPI Haberleşmesini Aktif Yapmak	57
4.3.13.4 SPI Haberleşmesini Koşullayan Kütükler	58
4.3.13.4.1 SSPSTAT ve SSPCON Kütüklerinin Yapısı	58
5. SONUÇLAR	62
KAYNAKLAR	63
EKLER	64
ÖZGEÇMİŞ	68

KISALTMALAR

EKG	: Elektrokardiyografi
ADC	: Analog Dijital Çevirici
G	: Geçirgenlik
SA	: Sinüs-Atriyum
RA	: Atriyum-Ventrikül
RLD	: Sağ Bacak Sürücüsü("Right Leg Driver")
AGF	: Alçak Geçiren Filtre
LA	: Sol Kol
LL	: Sol Bacak
RA	: Sağ Bacak
SADC	: Sigma-Delta Analog Dijital Çevirici
ST	: Schmitt Trigger



TABLO LİSTESİ

	<u>Sayfa No</u>
Tablo 4.1. Örnekleme frekansının filtre kesim frekansına bağlı olarak değişimi	33
Tablo 4.2. ADC Bacak Bağlantısı Açıklamaları	34-35
Tablo 4.3. Kontrol Kütüğü Programlama modeli	35
Tablo 4.4. ADC Çıkış veri biçimi	38
Tablo 4.5. İşlemci bacak tanımlamaları	43-44
Tablo 4.6. PIC16F877 için temel kriterler	44
Tablo 4.7. İşlemcinin veri belleği haritası	47
Tablo 4.8. Durum kütüğü bit açıklamaları	48
Tablo 4.9. OPTION_REG kütüğü bit açıklamaları	49
Tablo 4.10. INTCON kütüğünün bit açıklamaları	50
Tablo 4.11. SSPSTAT kütüğünün bit açıklamaları	58
Tablo 4.12. SSPCON kütüğünün bit açıklamaları	59
Tablo 4.13. SPI MASTER MODE dalga biçimlerinin seçimi	60

ŞEKİL LİSTESİ

	<u>Sayfa No</u>
Şekil 1.1	Günümüzde kullanılan standart EKG cihazı yapısı
Şekil 1.2	ADC kullanılarak yapılan EKG cihazı yapısı
Şekil 2.1	Kalbin elektriksel iletim sistemi
Şekil 3.1	Gerilim değerlerine göre QRS kompleksi
Şekil 3.2	Kalbin uyarı iletimi
Şekil 3.3	Aksiyon potansiyelleri ve EKG
Şekil 3.4	Derivasyonların vektörel gösterimi
Şekil 3.5	Unipolar taraf derivasyonları
Şekil 3.6	Golderberger'in unipolar taraf derivasyonları
Şekil 3.7	Kalp vektörünün değişimi
Şekil 3.8	PR aralığı
Şekil 3.9	QRS geçişleri
Şekil 4.1	İzleyici devresi
Şekil 4.2	Çentik filtre devresi
Şekil 4.3	Sağ bacak sürücüsü devresi
Şekil 4.4	Giriş empedans dengesi
Şekil 4.5	Şebeke hattından olan kapasitif kuplajın etkileri
Şekil 4.6	Bağlantı kablolarının ekranlanması
Şekil 4.7	Bağlantı kablolarının ekranlanması eşdeğeri
Şekil 4.8	Ekran sürücülü ekranlama devresi
Şekil 4.9	Ekran sürücülü ekranlama devresi eşdeğeri
Şekil 4.10	AD624 ile yapılan ekran sürücüsü
Şekil 4.11	Ortak toprak hattı
Şekil 4.12	Tek nokta toprağı
Şekil 4.13	Koruma halkası
Şekil 4.14	ADC blok diyagramı
Şekil 4.15	ADC bacak bağlantısı
Şekil 4.16	Kontrol kütüğü zamanlama karakteristiğı
Şekil 4.17	Bağımlı mod zamanlama karakteristiğı
Şekil 4.18	İşlemci bacak diyagramı
Şekil 4.19	İşlemci donanım yapısı
Şekil 4.20	İşlemcinin program belleğı haritası
Şekil 4.21	İşlemci kesme lojiğı
Şekil 4.22	İşlemci A portunun RA3:RA0 yapısı
Şekil 4.23	İşlemci A portunun RA4 yapısı
Şekil 4.24	İşlemci B portunun RB3:RB0 yapısı
Şekil 4.25	İşlemci B portunun RB7:RB4 yapısı
Şekil 4.26	İşlemci C portunun RC<0:2> ve RC<5:7> yapısı
Şekil 4.27	İşlemci C portunun RC<3:4> yapısı
Şekil 4.28	İşlemci D portunun yapısı
Şekil 4.29	İşlemci E portunun yapısı

Şekil 4.30	İşlemcinin SPI modu blok diyagramı	56
Şekil 4.31	ADC ve PIC 16F877 arasındaki bağlantılar	57
Şekil A.1	İşlemci programının blok diyagramı	64
Şekil B.1	Analog giriş katı çizimi	65
Şekil B.2	ADC-İşlemci-paralel port bağlantısı çizimleri	66



SEMBOL LİSTESİ

Ca	: Kalsiyum
K	: Potasyum
Na	: Sodyum
Yiç	: Hücre içi yoğunluk
Ydış	: Hücre dışı yoğunluk



MİKRODENETLEYİCİ KONTROLLÜ ÇOK KANALLI ELEKTROKARDİYOĞRAFI CİHAZI TASARIMI

ÖZET

İnsan vücudundaki organların çalışması esnasında ortaya çıkan biyolojik işaretler, çeşitli elektronik dönüştürücüler yardımı ile elektriksel işaretlere dönüştürülerek bilgisayar ortamına aktarılabilirler.

Elektrokardiyografik işaretlerin bilgisayar ortamına aktarılması işlemi için, günümüzde pek çok değişik teknik kullanılmaktadır. Bu tekniklerin genel ve en önemli adımlarından biri, insan vücudundan alınan bilgilerin, istenmeyen biyolojik etkilerden ve gürültüden arındırılarak saklama ortamına aktarılmasıdır. İnsan vücudundan elde edilen işaretler genellikle diferansiyel sinyaller olarak düşünülürler.

Bu tezin amacı, insan vücudundan alınacak Elektrokardiyografik (EKG) işaretleri, sayısala çevirerek bilgisayar ortamına atacak çok kanallı bir elektrokardiyografin tasarlanarak gerçekleştirilmesidir.

Tez çalışmasında, 22 bitlik Analog-sayısal dönüştürücüler (ADC) kullanarak, işaretlerin, elektrotlardan alındığı şekliyle kuvvetlendirilmeden, sadece ön tampon kuvvetlendiricilerden geçirilerek ADC'lere aktarılması, çalışmanın alışlagelen EKG cihazlarından olan farklılığını ortaya koymaktadır. Kullanılan Sigma-Delta ADC'ler kendi içlerinde 4 kanal bulundurmaktadır. Bu tip ADC'ler, ayrıca birbirleriyle kaskat bağlanarak, kanal sayısı 32'ye kadar çıkartılabilmektedir. Bu özellikleri nedeniyle bu tip ADC'lerin kullanılmaları, ayrıca, EKG cihaz tasarımında derivasyon seçici kullanma külfetini ve getireceği anahtarlama gürültülerini azaltmaktadır.

Çalışmada, ADC'leri senkron olarak çalıştırma ve elde edilen örnekleri bir protokol dahilinde kişisel bilgisayara aktarma görevi için, Microchip firmasının 8 bitlik PIC16F877 mikrodeneleyicisi kullanılmıştır. Seçilen mikrodeneleyicinin 8Kbayt'lık "Flash" hafızası bulunması nedeniyle, EPROM gibi ilave bellek kullanmaya gerek kalmadan, programın mikrodeneleyici içindeki hafıza elemanı ile defalarca denenmesi kolaylığı elde edilmiştir.

DESIGNING OF A MICROCONTROLLED MULTICHANNEL ELECTROCARDIAGRAPH

SUMMARY

The devices transferring the biological signals from the human organs to the personal computer (PC) media are known as biopotential amplifiers. Generally, these signals obtained by electrodes are differential signals.

Nowadays, a lot of techniques are used to transfer electrocardiographic (ECG) signals to the personal computer. These techniques, amplify and filter the ECG signals and then convert analog signal to the digital form by means of microprocessor controlled analog to digital converter.

The aim of this project is to design and realize a multichannel electrocardiograph that is able to process and digitize the ECG signals which obtained from human body and transmit them to the computer media.

At this project, 22 bits ADC is used to convert the signal without using any amplification processes. Thus, this project is differs from the conventional digital ECG processors. Sigma -Delta ADCs used in the project have four input channels. This ADCs can easily cascaded with the other ADCs to increase the number of channels. Using this type of ADC removes the needs of derivation selector and so decrease the noise effects of the selector. In this project, PIC16F877 microprocessor is selected for synchronising, programming and reading ADCs. Since this chip have 8 K flash memory, we can program it repeatedly to test what is going right and what is wrong without using extra EPROM memory.

1. GİRİŞ

1.1 Elektrokardiyografi

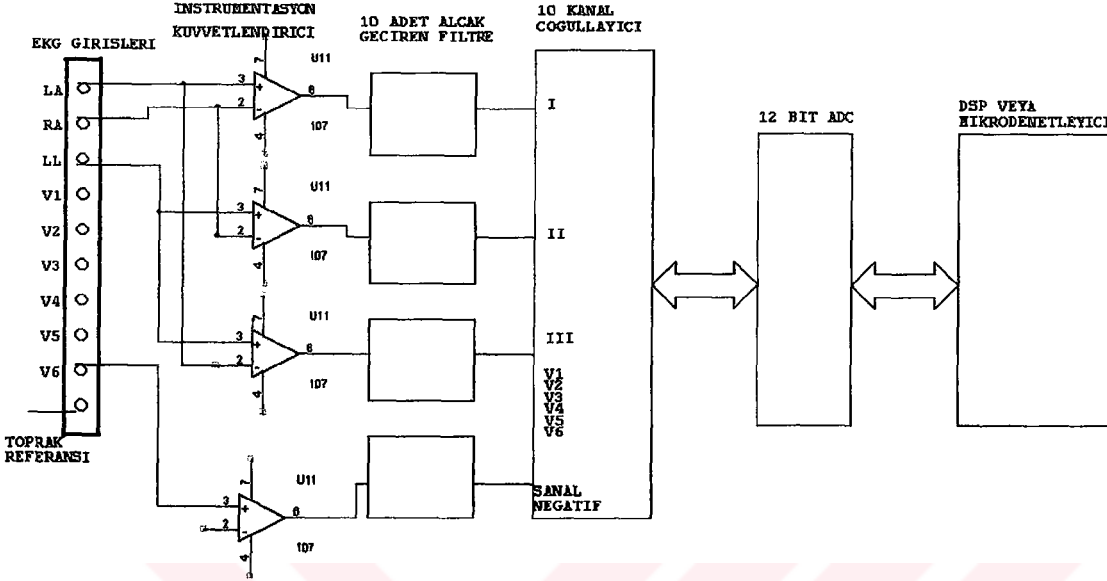
İnsan vücudu üzerinden algılanan ve kalbin elektriksel aktivitesinin sonucu olarak ortaya çıkan belli tipteki işaretlere, elektrokardiyogram, elektrokardiyografik işaret, EKG işareti veya kısaca EKG adı verilir. EKG işaretlerinin elde edilmesini, gösterilmesini veya kaydedilmesini sağlayan cihazlara elektrokardiyograf ve EKG ile ilgili sistemlere de genel olarak elektrokardiyografi denir. İnsan ölümlerinin büyük bir yüzdesini, kalp ve buna bağlı rahatsızlıklar oluşturmaktadır. Bu yüzden, kalbin çalışması sırasında oluşan bozuklukların bir göstergesi olan EKG işaretleri, işlenmeleri ve yorumlanmaları açısından büyük önem taşımaktadır [1], [2].

1.2 Elektrokardiyografi Cihazının Yapısı ve Günümüzdeki Modern Elektrokardiyografi Cihazı Uygulamaları

Elektrokardiyografi cihazı tasarımı, genellikle, giriş işaretlerinin doğru olarak alınabilmesi için, cihazın girişinin donanım yapısının giriş işaretlerine karşı çok hassas olmasını gerektirmektedir. Giriş işareti, tipik olarak 300mV'luk bir doğru gerilim ile tepeden tepeye değişimi 10 mV'lar ve maksimum bant genişliği 200Hz seviyelerinde olan bir değişken gerilimden oluşmaktadır. Günümüzde kullanılan elektrokardiyografi cihazlarının pek çoğunda kullanılan yapı Şekil 1.1'de gösterildiği gibi 8 kanal, 8 enstrumantasyon kuvvetlendiricisi, 8 kanal çoğullayıcı ("multiplexer") ve 12 bitlik bir ADC'den oluşmaktadır. Böyle bir sistem çok fazla sayıda elemandan oluştuğu için devre üzerinde yer sorunu ortaya çıkmakta ve devrenin boyutları büyümektedir. Aynı zamanda, çok fazla güç tüketmektedir ve maliyeti yüksektir.

Günümüzde, modern EKG cihazlarında, bu yönteme alternatif olarak, düşük maliyetli, yüksek rezolüsyonlu ve değişken ofset değerli bir ADC kullanılarak işaretin sayısallaştırılması kullanılmaktadır. Sayısallaştırma işleminin güvenilir

olarak yapılabilmesi için genellikle 20 bit ve daha yüksek rezolüsyonlu ADC'ler kullanılmaktadır. Kullanılan ADC'lerin Sigma-Delta dönüşüm tekniği kullanması böyle bir yapı için uygundur.



Şekil 1.1 Günümüzde kullanılan standart bir EKG sistemi yapısı

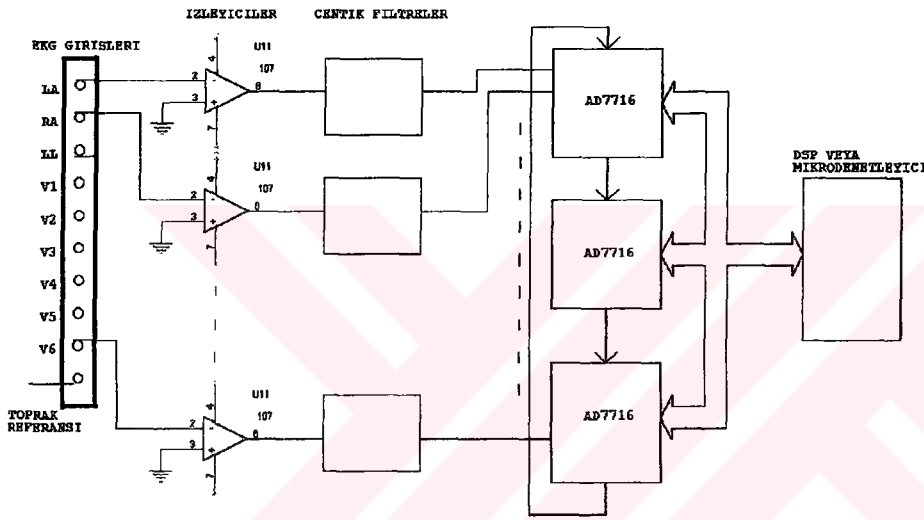
Sigma-Delta ADC (SADC) kullanan yapının getirmiş olduğu üstünlükler kısaca aşağıdaki gibi sıralanabilir.

- ❖ ADC'nin geniş dinamik sınırı ve düşük gürültü performansı yüksek performanslı enstrumantasyon kuvvetlendiricisine olan gereksinimi ortadan kaldırmaktadır.
- ❖ Analog alçak geçiren filtre kullanımı ADC'nin kendi içinde filtreleme yapması ile gereksiz hale gelir.
- ❖ Sigma-delta dönüştürücüler kullanılarak düşük güç tüketimi elde etmek mümkündür. Böylece sistem çok az güç tüketimi ile çalışacaktır.
- ❖ ADC'nin yapısına bağlı olarak çok kanallı sistemlerin geliştirilmesi kolaylaşmakta ve ucuzlamaktadır. Örnek olarak, AD7716 kullanılması durumunda her ADC için 4 giriş kanalı mevcuttur. Ayrıca, AD7716, çevrim oluşturabilme özelliğine sahiptir. Bu özellik yardımıyla 32 giriş kanalına kadar örnekleme yapabilmek mümkün olmaktadır. Gönderilen bilginin 22 biti dönüşüm sonucu, 3 biti ADC'nin adresi, 2 biti de verilen adresteki ADC'nin

kanal adresi, 1 biti Din girişı ve 1 biti taşıma biti ve kalan bitler tanımsız olmak üzere 32 bittir.

- ❖ Devrenin filtreleme özellikleri ve hızı değıştirilmek istendiğinde donanımsal olarak bir değışiklik yapılmasına gerek olmamaktadır. Sadece ADC'lerin programlanmasıyla ve mikrodeneleyicinin programının değıştirilmesiyle devrenin çalışma özelliklerinin değıştirilmesi mümkündür.

SADC kullanılarak yapılan elektrokardiyograf cihazının yapısı, Şekil 1.2'de verilmiştir.



Şekil 1.2 ADC kullanılarak gerçekleştirilen elektrokardiyograf yapısı

Tezin yapılmasındaki amaç, çok kanallı bir ADC sisteminin yapılması ve çalıştırılması, avantajlarının ortaya konması ve bu yapı kullanılarak gerçek zamanlı bir bilgi akış sisteminin gerçekleştirilmesidir. Gerçek zamanlı bilgi akış sisteminin gerçekleştirilebilmesi için AD7716 ADC'leri PIC16F877 mikrodeneleyicisine bağlanmıştır ve mikrodeneleyici de aldığı gerçek zamanlı verileri bilgisayarın paralel portu üzerinden göndermektedir. Gönderilen veriler paralel yapıda ve belirli bir biçimde gönderilmektedir. Böylece, bilgisayar ortamına gönderilen verilerin; saklanabilir, değerlendirilebilir, istenilen her türlü filtreleme işleminden geçirilebilir hale gelmesi amaçlanmıştır [3].

2. KALBİN FİZYOLOJİSİ

2.1 Kalp Hakkında Genel Bilgiler

2.1.1 Temel Kavramlar

Kalp, birbirini izleyen dönemler boyunca hiç durmadan belirli bir elektrik potansiyel üreten ve bu etkinliğin ardından kontraksiyon olarak da adlandırılan mekanik işi yapan bir organdır. Bu yüzden kalbi bir elektromotor kuvvet kaynağı olarak düşünülebiliriz [4].

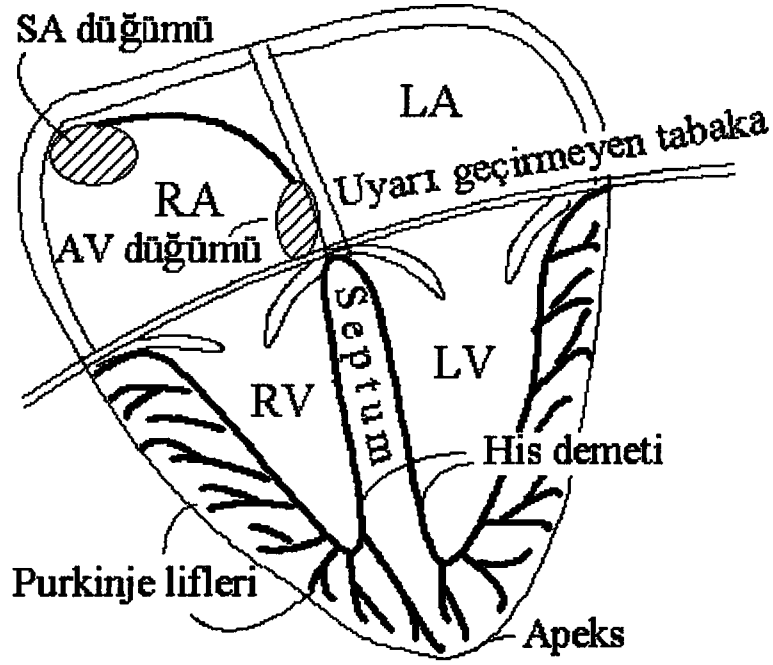
Miyokard, çok sayıda ince uzun hücreden oluşan bir dokudur. Yan uzantılarının yardımıyla yer yer birleşen miyokard hücreleri, bir takım diskler aracılığı ile uç uca bağlanarak dizilirler.

Miyokardın kasılması için ön koşul, hücre membranının elektriksel anlamda uyarımıdır. Elektriksel anlamda uyarımı mekanik harekete dönüştüren ana etmen Ca iyonudur.

Dinlenme durumundaki miyokard hücresinde belirli uyarım tarafından başlatılan elektrokimyasal içerikli etkinliğe, aksiyon potansiyeli ya da elektriksel sistol denir. Aksiyon potansiyeli, depolarizasyon ve repolarizasyon aşamalarından oluşur. Kalbin elektrik-iletim sistemi Şekil 2.1’de gösterilmiştir [1].

2.1.2 Kalp Hücresinin Membranı

Miyokard hücresinin membranı (sarkolema), fosfolipid moleküllerden oluşan iki katmanlı bir kılıf görünümündedir. Membranın elektrofizyolojik açıdan temel özelliği, iyonların hücre zarının bir yanından diğer yanına iletilmelerini sağlayan geçiş yerleri içermesidir. Bu iyon geçitleri, ya kanal adı verilen açıklıklar biçiminde ya da taşıyıcı protein bileşiklikleri niteliğinde yapılanmışlardır [4].



Şekil 2.1 Kalbin elektriksel iletim sistemi

İyonları yüksek yoğunlukta oldukları yerden düşük yoğunlukta yere ileten ve böylece yalın difüzyonlarını gerçekleştiren kanallar, seçici olarak geçirdikleri iyon türüne göre Na kanalı, Ca kanalı, K kanalı olarak adlandırılırlar. Kanallar genellikle birden çok kapı ile denetlenen geçiş aralıklarıdır. Protein yapısında, kapıları, membran potansiyelinin belirli bir düzeye ulaşması ile açılan kanala, gerilim aracılığı ile işleyen kanal denir. Na kanallarının, -90 mV dolayındaki membran potansiyelinin -65 mV dolayına ulaşması ile açılmalarına karşın Ca kanallarının çoğu, -40mV dolayında etkinleşirler. Gerilim değişikliği ile açılan kanallar yine gerilim değişikliği ve zaman ile bağımlı olarak kapanırlar.

Kanallar, iyon akımına elverişli duruma geçmeleri için gereken süreye bakılarak, hızlı kanal ve yavaş kanal olarak ikiye ayrılırlar. Na kanalları hızlı kanallardır, K ve özellikle Ca kanalları yavaş kanallardır.

Membrana yerleşik protein bileşikler, iyonların devinimi yönünden değişik davranırlar. Bir bölümü iyonları çok yoğun oldukları taraftan az yoğun olduklara tarafa yoğunluk gradyanı uyarınca geçiren pasif difüzyon öğeleridir. Bu, taşıyıcı aracılığı ile difüzyon ya da kolaylaştırılmış difüzyon olarak adlandırılır. Taşıyıcı

protein bileşikleri, yarı seçici olan özellikleri nedeni ile bazı iyonları az, bazılarını ise çok geçiren birimlerdir.

Miyokard hücresinin membranından iyon geçişi, yalın kanal difüzyonu, taşıyıcı aracılığı ile pasif difüzyon ve enerjiye dayalı aktif taşıma yollarından biri ile olur.

Bir iyonun, sürekli olarak hücre dışından hücre içine ya da hücre içinden hücre dışına geçişi kesinlikle söz konusu değildir. Kalbin elektriksel, dolayısı ile mekanik etkinliğinin belirli bir düzen içinde ardarda yinelenmesi için, elektriksel çevrimin bir döneminde hücreye giren ya da hücreden çıkan iyonun, o çevrim içinde yerine dönmesi gereklidir. Depolarizasyon evresinde kendine özgü kanallar içinden geçerek hücreye giren Na iyonu, Na-K pompası tarafından yeniden hücre dışına çıkarılır.

Yalın kanal difüzyonunun hızı, bu konuda hiç bir sınırlama olmaksızın, iyon yoğunluğu ile doğru orantılı olarak artar. Söz konusu bağıntı, sınırlı bir iyon değerine kadar da olsa, taşıyıcı aracılığı ile difüzyon içinde geçerlidir. Belirli bir iyon yoğunluğunun karşılığı olan kanal difüzyonunun hızı, taşıyıcı aracılığı ile difüzyonun hızından daha yüksektir.

Bir iyonun difüzyon yönünü ve hızını belirleyen başlıca etmenler, kanalların ya da taşıyıcı protein bileşiklerinin sayıları ve nitelikleri, membranın iki yanındaki iyon yoğunlukları arasındaki farkı (yoğunluk gradyanı), membrandan geçemeyen öbür iyonların oluşturdukları elektriksel potansiyel ve iki yandaki basınç farkı olarak sıralanabilir.

Bir iyon, yoğunluk gradyanı ile elektriksel gradyanının cebirsel toplamı sıfır oluncaya kadar hücre dışına akar. Dengenin kurulduğu ve difüzyonun durduğu andaki elektrokimyasal gerilime, denge potansiyeli ya da Nernst potansiyeli denir. 37 °C'lık normal vücut sıcaklığı için Nernst eşitliği, Eş. (2.1)'de gösterilmiştir.

$$E(mV) = \pm 61 \log (Y_{iç} / Y_{dış}) \quad (2.1)$$

Bu eşitlikte $Y_{iç}$ hücre içi yoğunluğu, $Y_{dış}$ hücre dışı yoğunluğu göstermektedir. Denge potansiyeli, konu edilen iyonun yükünün negatif olduğu durumlarda pozitif, iyonun yükünün pozitif olduğu durumlarda ise negatiftir.

Denge potansiyelinin gelişebilmesi ve Nerst eşitliğinin geçerli sayılabilmesi için gerekli ön koşullar, membranın yalnız bir iyon için seçici geçirgen olması, iyonun iç ve dış yoğunlukları arasında fark bulunmasıdır.

Membranın birden çok iyonla geçirgen olduğu durumlarda, denge potansiyelinin bulunması için aşağıdaki denklemden yararlanılır. Bu eşitlikteki G geçirgenlik değeridir.

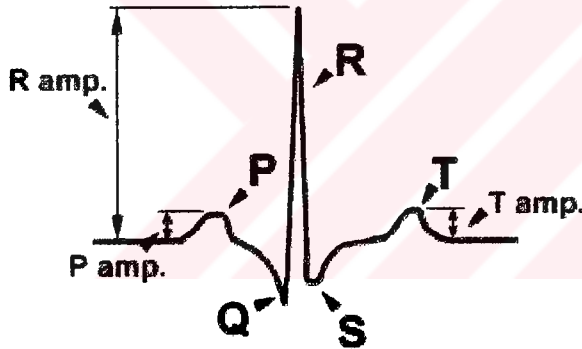
$$E(m) = -61 \log \left(\frac{G \cdot Y_{ic} + G' \cdot Y'_{ic}}{G \cdot Y_{dis} + G' \cdot Y'_{dis}} \right) \quad (2.2)$$

3. ELEKTROKARDİYOGRAM

3.1 Temel Tanımlar

Bölüm 1.1’de açıklandığı gibi, insan vücudu üzerinden algılanan ve kalbin elektriksel aktivitesinin sonucu olarak ortaya çıkan belli tipteki işaretlere elektrokardiyogram, elektrokardiyografik işaret, EKG işareti veya kısaca EKG adı verilir. EKG işaretlerinin elde edilmesini, gösterilmesini veya kaydedilmesini sağlayan cihazlara elektrokardiyograf ve EKG ile ilgili sistemlere de genel olarak elektrokardiyografi denir [1], [2].

Normal elektrokardiyogram, taban çizgisi üzerinde sıralanan ve P, Q, R, S, T, U adları verilen dalgalardan oluşur. Boyları 5 mm den küçük Q, R, S dalgaları q, r, s olarak da gösterilirler. Gerilim değerleri açısından incelendiğinde, normal bir QRS dalgası, Şekil 3.1’de gösterildiği gibidir.



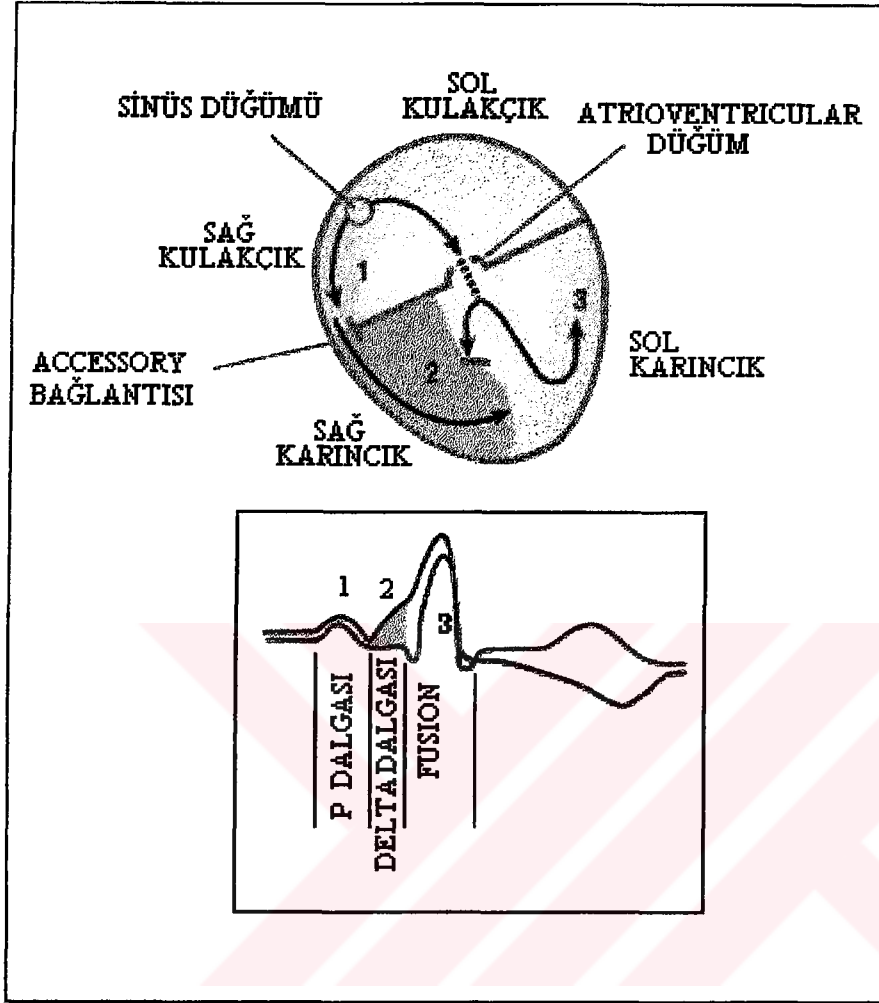
Şekil 3.1 Gerilim değerlerine göre QRS kompleksi

Bu bölümde, ilk olarak QRS dalgasının genel incelenmesi yapılacak, daha sonra tek tek QRS dalgasını oluşturan P,Q,R,S,T dalgaları hakkında detaylı bilgi verilecektir. Genel bir inceleme yapabilmek için de, kalbin uyarı iletim yolları ve derivasyon kavramları incelenecektir.

3.2 Kalbin Uyarı İletim Yolları

Kalbin doğal ya da diğer deyişle primer uyarı odağı, üst vena ile sağ atriyum kavşağı dolayındaki terminal sulkusta (“sinüsatriyum”) (SA) düğümüdür. Kalp,

kulakçık ve karıncıklarıyla, SA düğümü kontrolünde kasılır. SA düğümü, ön, orta ve arka internodal yollar aracılığı ile atriyum - ventrikül (AV) düğümüne bağlanır.



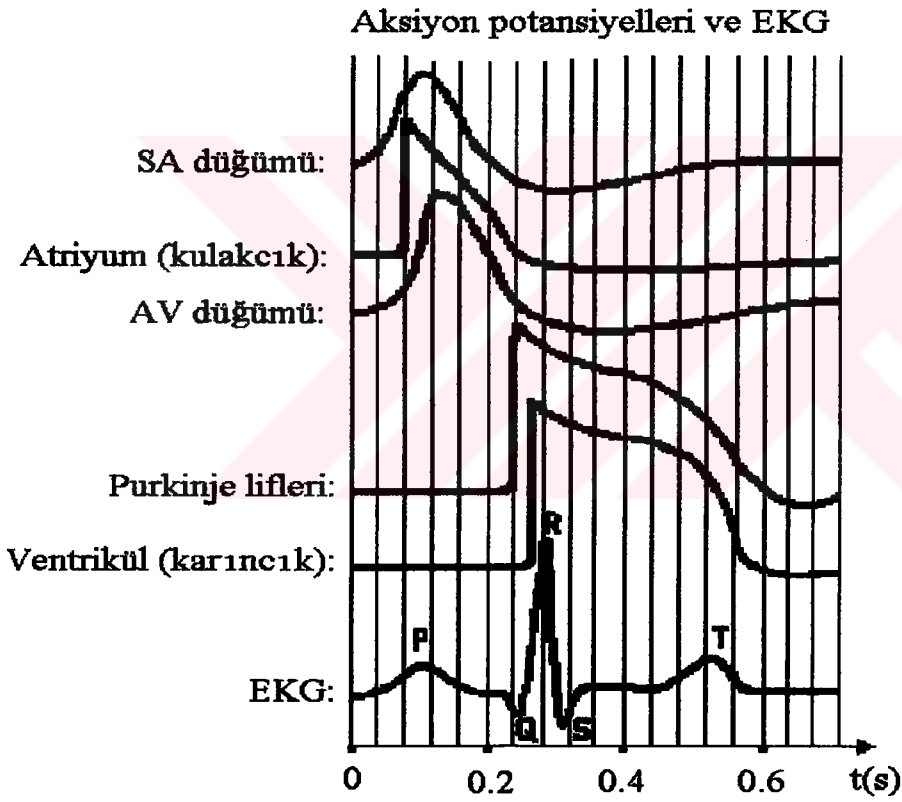
Şekil 3.2 Kalbin uyarı iletimi

SA düğümü tarafından üretilen doğal uyarı, ön, orta ve arka internodal yollar aracılığı ile önce sağ atriyuma, ardından atriyum septumuna ve son olarak sol atriyuma yayılır. Buna göre sol atriyumun depolarizasyonu, sağ atriyumun depolarizasyonundan daha sonra oluşur. Atriyum depolarizasyonunun elektrokardiyogramdaki karşılığı P dalgasıdır. Atriyum repolarizasyonunu yansıtan T dalgası, genellikle QRS içine giren ve açık seçik görülemeyen bir oluşumdur.

Atriyum depolarizasyonunu gerçekleştirerek internodal yollar aracılığı ile AV kavşağına ulaşan uyarı, önce AV düğümüne girer. AV düğümünün üst kesiminde yavaşlayan uyarı iletimi, düğümün orta kesiminde en düşük hıza iner ve düğümün alt kesiminde yeniden hızlanmaya başlayarak purkinje ipliklerinde en yüksek değere

ulaşır. Elektrokardiyogramdaki PR, daha doğru bir deyiş ile PQ aralığı, SA düğümünden kaynaklanan uyarının ventriküllere ulaşması için geçen süreyi gösterir.

AV düğümü ile his dalını aşan SA uyarısı, izleyen dönemde, sağ ve sol dallara girerek ventriküllerde yayılır. Uyarı ya da depolarizasyon dalgası, ventrikül duvarında, endokard yüzünden epikard yüzüne doğru ilerler. Ventrikül depolarizasyonunu yansıtan elektrokardiyografi dalgaları QRS bileşimini oluştururlar. QRS aralığı, uyarının ventriküllerde yayılma süresini yansıtır. QRS bileşimini izleyen T dalgası, ventrikül repolarizasyonuna ilişkin bir bulgudur. Kalbin çeşitli kısımlarındaki aksiyon potansiyelleri ve bu potansiyellerin EKG dalgası ile ilişkisi Şekil 3.3’de verilmiştir.



Şekil 3.3 Aksiyon potansiyelleri ve EKG

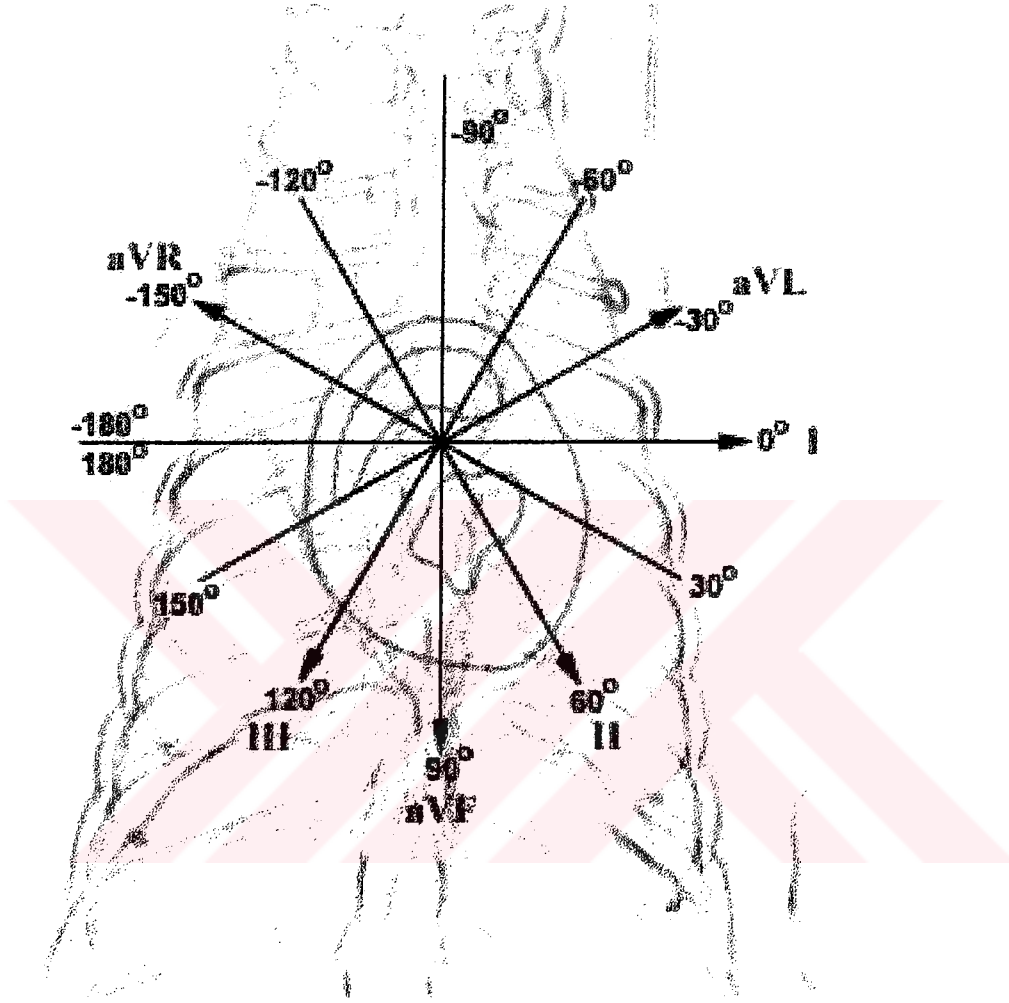
3.3 Derivasyonlar

Elektrokardiyogram örneklerinin açıklanıp kavranmalarında derivasyonlar önemli bir yer tutarlar. Günlük elektrokardiyografi uygulamaları sırasında kullanılan 12 derivasyon ;

❖ Çevre derivasyonları

❖ Göğüs derivasyonları

olarak iki gruba ayrılırlar. Bu yapı, Şekil 3.4’de gösterilmiştir.



Şekil 3.4 Derivasyonların vektörel gösterimi

Çevre derivasyonları bipolar (standart) ve unipolar olarak iki gruba ayrılırlar.

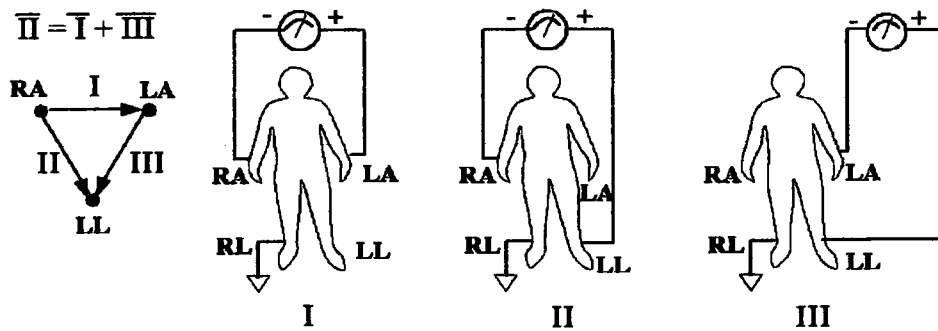
Bipolar çevre derivasyonları, bedenin iki noktası arasındaki potansiyel farkını saptamaya yararlar. I, II, III olarak gösterilirler, Şekil 3.5

Elektrokardiyografi aygıtının negatif ucuna bağlı elektrodun sağ kola, pozitif ucuna bağlı elektrodun ise sol kola bağlanması ile elde edilen bipolar çevre derivasyonu, derivasyon I dir. Bu derivasyon sağ ve sol kol arasındaki potansiyel farkını yansıtır.

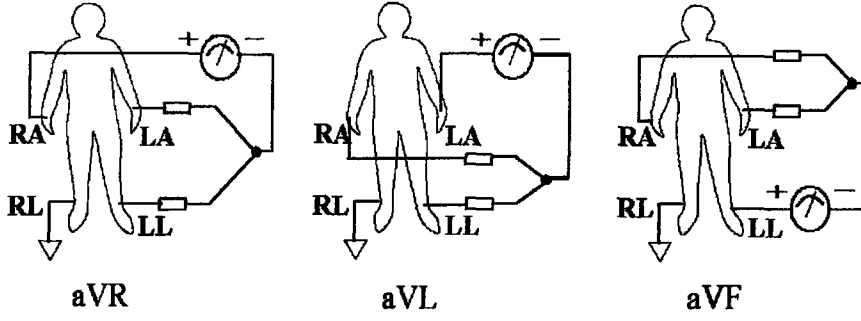
Elektrokardiyografin negatif ucuna bağılı elektrodun sağı kola, pozitif ucuna bağılı elektrodun ise sol bacağıba bağılanması ile derivasyon II düzenlenmiş olur. Böylece sağı kol ve sol bacak arasındaki potansiyel farkı ölçülmüş olur.

Elektrokardiyografin negatif ucuna bağılı elektrodun sol kola, pozitif ucuna bağılı elektrodun sol bacağıba bağılanması ile derivasyon III düzenlenmiş olur. Sol kol ile sol bacak arasındaki potansiyel fark, derivasyon III de ölçülür [1].

Sağı kola, sol kola ve sol bacağıba yerleştirilen elektrotlara bağılı teller birleştirilirse, Wilson'un santral terminali olarak adlandırılan ortak bir uç elde edilmiş olur. Kapalı bir devreyi oluşturan üç yük arasındaki farkların sıfır olduğı Kirchhoff yasasınca bilindiğıine göre, santral terminalin sağı kol, sol kol ve sol bacak arasındaki toplam potansiyel fark sıfır olur. Bu niteliğı ile duyarsız bir ortak elektrot gibi davranan santral terminal, elektrokardiyografin negatif ucuna iliştilir ve pozitif ucuna bağılı bir araştırmacı elektrot, sırası ile sağı kola, sol kola ve sol bacağıba yerleştirildiğinde, sırası ile VR, VL, VF olarak gösterilen unipolar çevre derivasyonları elde edilir. Bu unipolar derivasyonlar aracılığı ile çizilen potansiyel genlikleri küçük olduğı için bunların yerine Goldberger tarafından ölçülen ve potansiyel genliklerini 1.5 kat artıran yeni bir düzenleme getirilerek kullanıma sokulmuştur. Goldberger'in güçlendirdiğı unipolar çevre derivasyonlarını oluşturmak için izlenmesi gereken temel yol, elektrokardiyografin pozitif ucuna bağılı araştırmacı elektrot hangi tarafa yerleştirilmiş ise, o tarafın santral terminali ile ilişkisini kesmektir. Bu yöntemle elde edilen derivasyonlar Şekil 3.6'da görüldüğü gibi aVR, aVL, aVF olarak gösterilirler.



Şekil 3.5 Çevre derivasyonları



Şekil 3.6 Golderberger'in unipolar çevre derivasyonları

Santral Terminal, Wilsonun öngördüğü biçimde, elektrokardiyografin negatif ucu ile birleştirilir ve aygıtın pozitif ucuna bağlı bir araştırıcı elektrot, bu kez prekardiyumun belirli noktalarında gezdirilirse unipolar göğüs derivasyonları elde edilir. Araştırıcı elektrodun, sternumun hemen sağ yanına ve dördüncü kosta aralığına konması ile V1, sternumun hemen sol yanına ve yine dördüncü kosta aralığına konması ile V2, sol orta klavikula çizgisi ile beşinci kosta aralığının kesiştiği noktaya yerleştirilmesi ile V4 derivasyonları oluşur. V3 derivasyonu yeri, V2 ile V4 ün tam ortasıdır. V4 noktasından geçen yatay çizginin, ön koltuk çizgisi ile kesişme noktası V5'i, orta koltuk çizgisi ile kesişme noktası ise V6'yı verir. Az da olsa sol göğüs yarımındaki elektrot yerlerinin, sağ göğüs yarımındaki karşılıkları kullanılarak V3, V4, V5, V6 derivasyonları düzenlenir.

Bipolar çevre derivasyonlarına ilişkin elektrot çiftlerini birleştiren kavramsal düz çizgilere derivasyon eksenleri denir. Eksenin pozitif ucu, pozitif elektrodun yer aldığı ucudur. Derivasyon I, II, ve III'e ilişkin eksenler çizildiğinde, Einthoven adı ile bilinen üçgen elde edilir. Tam doğru olmayan bir takım varsayımlara dayanılarak, frontal düzlemde yer alan bu üçgenin eşkenarlı olduğu, köşelere eş uzaklıkta olan merkezin sıfır noktasını gösterdiği, üçgenin merkezinde kalbin anatomik merkezinin yer aldığı, kalbin elektriksel merkezi ile anatomik merkezinin çakıştığı öngörülür. Üçgenin köşelerinde, unipolar çevre derivasyonlarına ilişkin pozitif uçlar yer alırlar. Unipolar derivasyon eksenleri, üçgenin köşelerini, üçgenin merkezine birleştiren doğrular çizilerek elde edilirler. Eksenlerin, üçgenin karşı kenarını kestikleri noktalar, söz konusu derivasyonların gerçekte olmayan kuramsal negatif uçları yerlerine geçerler. Unipolar derivasyon eksenlerinin, üçgenin pozitif ucu gösteren

köşeleri ile sıfır noktasını yansıtan merkezi arasında kalan bölümleri, eksenlerin pozitif kesimlerini oluştururlar.

Unipolar göğüs derivasyon eksenleri içinde horizontal düzlemde yapılması gereken işlem söz konusu derivasyonların perikordiyumdaki pozitif uçlarını, üçgenin merkezi ile birleştirmektir. Eksenlerin pozitif uçları ile kalbin merkezi arasında kalan bölümleri pozitif eksen kesimlerini, merkezin öte yanında kalan kesimleri ise eksenin negatif kesimlerini oluştururlar. Derivasyon V1 ile derivasyon V6'nın eksenleri arasında yaklaşık 115 derecelik bir açı vardır.

Bipolar çevre derivasyonlarının Einthoven üçgenin merkezinden geçecek gibi kaydırıldıklarında, tümü bir noktada kesişen ve birbirleri ile 30 ar derecelik açılar yapan altı eksenli bir referans sistemi elde edilmiş olur. Bu sistemde, derivasyon I'nin pozitif ucu 0 derece, negatif ucu 180 derece, derivasyon II'nin pozitif ucu +60 derece, derivasyon aVF'nin pozitif ucu +90 derece, derivasyon III'ün pozitif ucu ise +120 derece olarak gösterilir. Eksenlerin öbür uçları -30, -60, -90, -120, ve -150 dereceleri bildirirler. Çevre derivasyonu eksenlerinden oluşan ve frontal düzlemde yer alan bu sistemden, kalbin elektriksel eksenini belirlemek için yararlanılabilir.

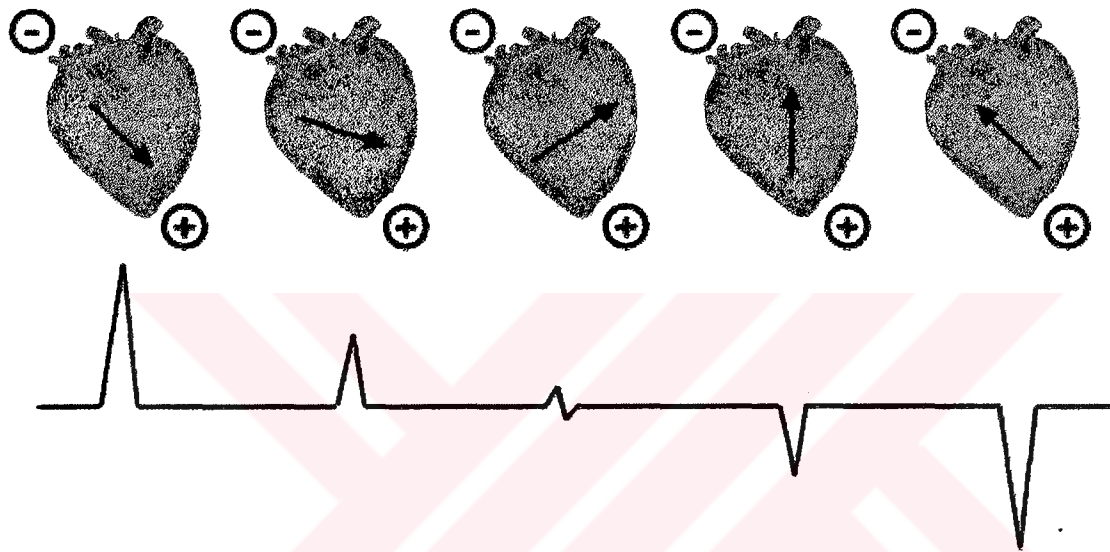
Göğüs duvarı üzerinde yer alan pozitif uçlar, kalbin merkezi ile birleştirilerek elde edilen göğüs derivasyonları eksenleridir. Eksenlerin merkezin ötesinde kalan uçları negatiftir.

3.4 Kalp Vektörü

Elektrokardiyogram örneklerinin oluşumunu kavrayabilmek için vektör kavramından söz edilmesi gerekmektedir. Kalp vektörünün değişimi Şekil 3.7'de gösterilmiştir.

Elektrik akımının çıktığı pozitif bir uç ile akımın girdiği negatif bir ucun, iletken bir ortamda, birbirine yakın olarak yerleştirilmesine dipol denir. Eş değerli ama ters yüklü iki uç anlamına gelen dipol, elektriksel etkinliği en küçük birim sayılabilir. Dipolün iki ucunu birleştiren çizgiye dipol eksen denir. Dipolün yerleştirildiği ortam ileri derecede iletken yani dirençsiz olduğu durumlarda, akım pozitif uçtan negatif uca düz bir çizgi biçiminde akar. Ortamın iletken ama -dirençli olduğu durumlarda (hacimli iletken ortamında), akım pozitif ve negatif uçlar arasında uzun,

eğik ama düzenli çizgiler oluşturarak ilerler. Akım çizgileri tarafından belirlenen bölge, akım alanı olarak adlandırılır. Akım alanındaki birbirine eş değerdeki potansiyel noktaları, akım çizgilerine yaklaşık dikey konumdaki eş potansiyel çizgilerini oluştururlar. Eş potansiyel çizgilerinin dağılımına göre, dipol orta noktasında dik olan doğru boyunca ve dolayısı ile eksenin tam ortasında potansiyel değeri sıfırdır. Sıfır potansiyel çizgisinin, dipolün pozitif ucuna doğru olan yanında gittikçe artan pozitif potansiyel değerleri, dipolün negatif ucuna doğru bakan yanında ise gittikçe artan potansiyel değerleri sıralanırlar.



Şekil 3.7 Kalp vektörünün değişimi

Potansiyelin ölçümü için, voltmetre olarak düzenlenmiş bir galvonometrenin ucunun, dipolü çevreleyen hacimli iletkenin yüzeyindeki bir noktaya yerleştirilmesi yeterlidir.

Dipolün çevresinde saptanan potansiyel değerleri, temelde dipol momenti (dipol değeri) denilen vektörel bir niceliğin ürünüdür. Dipolün yüklerinden biri q , yükler arasındaki uzaklık d ise dipol momenti $p=2dq$ dir. Dipol vektörü, dipol ekseninde yerleştirilen ve eksenin orta noktasından başlatılan bir okla belirtilir. Dipol vektörünün ucu pozitif yüke bakmalıdır.

Hacimli iletken yüzeyinin belirli bir noktasına uniplor derivasyona ilişkin pozitif araştırıcı elektrodun yerleştirildiği varsayıldığında, elektrodun bulunduğu nokta ile dipol ekseninin merkezini birleştiren doğru çizilerek o derivasyonun ekseninde elde edilebilir.

Hacimli iletkenin yüzeyinin iki simetrik noktasına, bipolar bir derivasyonun pozitif ve negatif uçları yerleştirildiğinde iki uç arasındaki potansiyel farkını kabaca ve vektörel anlamda gösterebilmek için dipol vektörünün derivasyon eksenini üzerinde izdüşümü alınabilir.

3.5 QRS Dalgasının Detaylı İncelenmesi

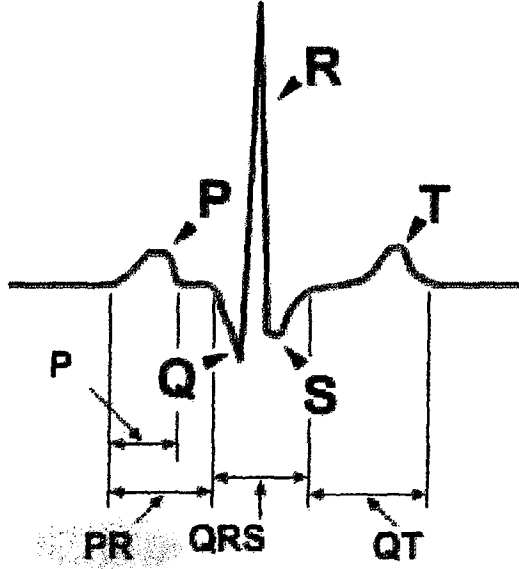
QRS bileşiği (kompleksi), çevre derivasyonlarında ölçülür ve en büyük değeri alınır. Erişkinler için geçerli bir değer olan QRS bileşiğinin süresi 0.10 sn' yi geçmez. QRS bileşiğine ilişkin en büyük dalga'nın genliği çevre derivasyonlarında 8 mm'den, göğüs derivasyonlarında ise 10 mm'den küçük ise düşük QRS genliğinden söz edilebilir [4].

3.5.1 P Dalgası

Atriyumların depolarizasyonunu yansıtan P dalgasının tepesi, yuvarlak, sivri, ya da çentikli olabilir. Tepecikler arası 0.03 sn'yi aşmadıkça çentiklenme normal görünümlüdür. Erişkinlerde P dalgasının genişliği en çok 0.10 sn olup genliği 2.5 mm'den küçüktür. En büyük P dalgasına, genellikle derivasyon I ve II de rastlanır. Sinüs ritimli kişilerde P dalgası, derivasyon I, II ve aVF'de pozitif, aVR'de negatif, aVL'de pozitif yada negatif ya da iki fazlı, V₁'de ise genellikle iki fazlı ya da negatiftir. Derivasyon V₁'de, P dalgasının, pozitif kesimini izleyen negatif kesimine P'nin geç kuvveti denir. Negatif kesimin kapsadığı alana eşit olan P'nin geç kuvveti, negatif kesimin mm olarak derinliği ile sn olarak genişliğinin cebirsel çarpımına eşittir ve normal olarak -0.04 (mm *sn)'den küçüktür.

3.5.2 PR Segmenti

SA düğümünden çıkan uyarının ventriküllere ulaşabilmesi için geçen sürenin karşılığı olan PR segmenti, Şekil 3.8'de gösterildiği gibi, P dalgasının başlangıç noktasından Q dalgasının başlangıcına, Q dalgasının görülmediği durumlarda ise R dalgasının başlangıç noktasına kadar uzaklık olarak ölçülür. PR segmenti, bipolar ya da unipolar çevre derivasyonlarında saptanarak, en büyük değer alınır. Kalp hızının 70-90 vuruş/dakika olduğunda PR segmentinin erişkinlerdeki değeri, 0.12-0.20 saniye arasındadır.



Şekil 3.8 PR Segmenti

3.5.3 Q Dalgası

Q dalgası, normal olarak derivasyon I ve II'de 0.04 sn'den dar, 2 mm'den ve izleyen R dalgasının %25'inden daha az derindir. Buna karşılık derivasyon III'deki Q dalgası, sağlıklı kişilerde bile en az 0.04 sn süreli ve 6 mm kadar derin olabilir. Derivasyon III'de yer alan bu nitelikteki Q dalgasının anlamını, öbür derivasyonlardaki Q dalgalarının özelliklerini belirler. Derivasyon aVR'de, normal olarak, 0.04 sn genişliğinde ve değişik derinliklerde Q dalgası ya da QS örneği görülebilir. Derivasyon aVL'deki Q dalgası 0.04 sn'den dar, 2 mm'den ve izleyen R dalgasının % 50'sinden daha az derindir. Derivasyon aVF'deki Q dalgasının normal kişilerde, genişliği 0.04 sn'den dar, derinliği 2mm'den ve izleyen R dalgasının %25'inden küçüktür. Göğüs derivasyonlarının V4, V5, V6 gibi sol ventrikülün karşısında yer alanlarında görülebilen Q dalgası, 0.04 sn den dar, 2mm den ve izleyen R dalgasının % 15 inden küçüktür.

Normal olarak derivasyon aVL'de de QS örneği görünebilir. Normal R dalgası genliği derivasyon I'de 14 mm'den, aVL'de 12 mm'den, aVF'de 21 mm'den, V4'de 7 mm'den, V5'de 26 mm'den, V6'da 21 mm'den küçüktür. S dalgasının derinliği ise derivasyon V₁'de 21 mm'den, V₂'de ise 30 mm'den küçüktür.

QRS bileşiminin sonlandığı nokta ile T dalgasının başlangıcını birleştiren aralık, ST segmenti olarak adlandırılır. QRS bileşimi ile ST segmenti arasındaki kavşak, J harfi ile gösterilir.

3.5.4 ST Segmenti

ST segmenti, genellikle taban çizgisi üzerinde uzanır. ST segmentinin yukarıya ya da aşağıya kayma derecesini değerlendirmek amacı ile, önceki ya da sonraki TP aralığı referans çizgisi olarak kullanılır. TP çizgisinin seçilemediği ya da taban çizgisi üzerinde yer almadığı durumlarda, PR aralığı referans olarak alınır.

ST segmentinin, çevre derivasyonlarında 1 mm'den yukarıya ya da 0.5 mm'den aşağıya kayması normal bir bulgudur. ST bölümünün daha çok göğüs derivasyonlarında, kimi olgularda ise çevre derivasyonlarında, 2 ya da 3 mm yukarıya kayması normal olup erken repolarizasyon olarak adlandırılır. Bu durumda, ST segmenti açıklığının yukarıya baktığı, izleyen T dalgasının pozitif yüksek ve geniş tabanlı olduğu görülür.

3.5.5 T Dalgası

Ventrikül repolarizasyonunu yansıtan T dalgasının erişkinlerdeki normal süresi, 0.10-0.25 sn'dir. Derivasyon I, II, V₂-V₆'da pozitif, aVR'de genellikle negatif, aVF ve aVL'de pozitif, yassı, iki fazlı ya da negatiftir. Otuz yaşın üzerindeki erişkinlerde, derivasyon V₁'de negatif olabilen T dalgası, otuz yaşın altındaki gençlerde V₂ ve V₄'de bile negatif görünebilir

3.5.6 U Dalgası

T dalgasını izleyen ve nasıl oluştuğu kesin olarak bilinmeyen bir dalgadır. Normal kişilerde de görülebilir. Genliği, kendisinden önceki T dalgasının genliğinin % 25'ini geçmez. Derivasyon V₂-V₄ de 2 mm'yi aşmayan U dalgasına rastlanabilir. T dalgasının pozitif olduğu derivasyonlarda, U dalgası da pozitifdir. U dalgasının negatif ya da önceki T dalgasından daha büyük genlikli olması normal bir bulgu değildir.

3.5.7 QT Segmenti

Ventriküllerin depolarizasyon ve repolarizasyonu için geçen toplam süreyi yansıtan QT segmenti, QRS bileşiğinin başlangıcından T dalgasının bitimine kadar olan uzaklığı kapsar. Erişkinlerde normal olarak 0.35-0.44 sn arasında değişen QT segmenti, kalp hızı ile olan bağımlılığı nedeni ile düzeltilerek bildirilir. Bazett eşitliği uyarınca, kalp hızına göre düzeltilmiş QT segmenti, sn olarak ölçülen QT uzaklığı, sn birimi ile RR aralığının kareköküne bölünerek bulunur. Düzeltilmiş QT segmentinin üst sınırı 0.425 sn'dir. Değerlendirme aşamasında, kural olarak, 12 derivasyondaki en uzun QT segmenti dikkate alınır. Bununla birlikte T dalgasının iyi seçildiği ve U dalgası ile karışmadığı bir derivasyonu seçmekte yarar vardır.

3.6 P,Q,R Dalgalarının Tespitinde Yapılabilecek Yaklaşımlar

Önceki bölümlerde bir QRS'e ilişkin tüm elemanlar verilmiştir. Herhangi bir QRS dalgası Q,R,S dalgalarının tümüne sahip olmayabilir. Yalnızca bu dalgaların birine sahip olabilir. QRS geçişleri, Şekil 3.9'da gösterilmiştir.



Şekil 3.9 QRS geçişleri

Aşağıda bir QRS dalgasının içerisindeki QRS dalgaların birbirinden ayırtebilebilmesi için gözönünde bulundurulması gerekli hususlar verilmiştir. Bu hususlar derivasyonlardaki ölçüm sonucunda ortaya çıkabilecek ters işaretler ve gürültü işaretleri ayrıştırıldıktan sonra dikkate alınmalıdır.

Q dalgası aşağıdaki şartları sağlamalıdır:

- ❖ Negatif bir genliğe sahip olmalıdır.
- ❖ QRS kompleksinin ilk bileşeni olmalıdır

- ❖ Bir R dalgası tarafından takip edilmelidir.
- ❖ Bir QRS içerisinde yalnızca bir Q dalgası olabilir.

P dalgası aşağıdaki şartları sağlamalıdır:

- ❖ Pozitif bir genliğe sahip olmalıdır. Tüm pozitif genlikli kısımlar R dalgasıdır ve tüm R dalgaları pozitif genliğe sahip olmalıdır.
- ❖ Herhangi bir QRS kompleksi içerisinde birden fazla P dalgası olabilir.

S dalgası aşağıdaki şartları sağlamalıdır:

- ❖ Negatif bir genliğe sahip olmalıdır.
- ❖ Bir R dalgasını takip etmelidir.
- ❖ Herhangi bir QRS kompleksi içerisinde birden fazla S dalgası olabilir.

QS dalgası aşağıdaki şartları sağlamalıdır:

- ❖ Negatif bir genliğe sahip olmalıdır.
- ❖ QRS kompleksi içerisinde R dalgası olmamalıdır.
- ❖ Yukarıdaki şartlar dikkate alındığında, bir QRS dalgası, en azından aşağıdaki dalga şekillerini içermelidir. Yalnızca bir R dalgası, yalnızca bir RS dalgası, yalnızca bir QS dalgası.

3.7 Hastalık Teşhisinde EKG'nin Yeri

Hastalıkların teşhis ve tedavisinde, yukarıda anlatıldığı şekilde çok büyük öneme sahip olan EKG analizleri kullanılırken aşağıdaki hususlar da gözönünde bulundurulmalıdır.

- ❖ İlk EKG'nin tanı koyduruculuk değeri %50'dir. Olguların yaklaşık %50'si, ilk EKG ile atlanabilir.
- ❖ Olguların peş peşe EKG'lerle takibi, EKG'nin tanısal değerini %95'lere kadar yükseltebilmektedir.

- ❖ Eski bir EKG'nin varlığı tanıda her zaman yardımcı ve hassasiyeti arttırıcıdır.
- ❖ Son olarak, EKG'nin normal olması, tek başına hiç bir zaman kişinin hasta olmadığını göstermez.



4. TASARLANAN ELEKTROKARDİYOGRAF

EKG Derivasyonlarını almak için tasarladığımız Elektrokardiyograf üç ana bölümden oluşmuştur.

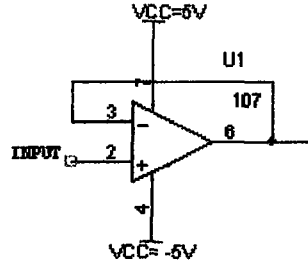
- ❖ Elektrotlarla insan vücudu üzerinden alınan elektriksel işaretler, dış ekrandan izole olarak BNC'ler yardımıyla kart üzerindeki giriş noktalarına gelmektedir. Burada izleyici ("buffer") üzerinden alınmakta, daha sonra analog çentik filtreler üzerinden filtrelenmekte ve ADC'lerin girişlerine verilmektedir. Burada aynı zamanda insan vücudu üzerindeki ortak mod işaretleri zayıflatmak için sağ bacak sürücü devresi kullanılmaktadır. Elektrot işaretleri, elektrotların kablo ekranları("shield driver") ile sürülmektedir.
- ❖ Gelen işaretler, Analog Devices firması tarafından EKG veya EEG işaretlerini almak için özel olarak üretilen AD7716 ADC'sine verilmektedir. Bu ADC 4 kanal analog işaret girişi kabul etmekte ve bu girişleri 22 bit çözünürlükte sayısallaştırmaktadır. Kendi içerisinde dijital AGF vardır ve bu filtrenin kesim frekansı 36.5, 73, 146, 292 ve 584 Hz. seçilebilmektedir. ADC'nin yapısı, geniş olarak devre bloklarının açıklandığı bölümde verilecektir.
- ❖ Mikrodenetleyici bloğu, ADC'den verinin alınmasında ve alınan verinin bilgisayara aktarılmasında kullanılan bloktur. Senkron seri portu yardımıyla ADC'yi programlamak ve ADC'den verileri okumaktadır. Gönderilecek veri bilgisayarın paralel portuna gönderilmektedir. Paralel porta gönderilen veriler, önce, 74125 üç konumlu izleyicisinden geçmekte ve sonra, izolasyon için 2231 optokuplörler'i üzerinden bilgisayara gönderilmektedir.

4.1 Analog Giriş Bloğu İncelenmesi

4.1.1 İzleyici (Buffer)

Devrenin analog girişleri, ilk aşamada, izleyici girişlerine gelir. İzleyici devresi kullanılmasının amacı, küçük olmayan kaynak empedansı ile büyük olmayan giriş empedansı arasında bir empedans dönüşümü sağlayarak giriş empedansını büyütme ve giriş işaretinin zayıflamasını önlemektir [1].

İzleyicinin yapısı Şekil 4.1’de verilmiştir.



Şekil 4.1 İzleyici devresi

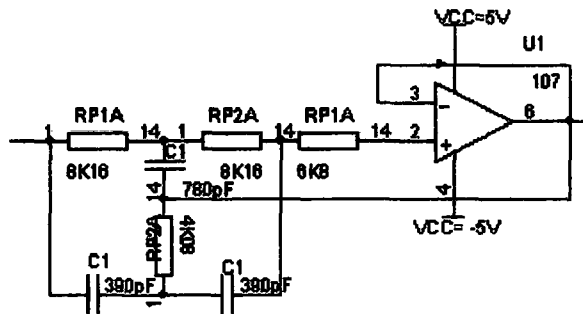
4.1.2 Çentik Filtre

İzleyiciye gelen işareti şebeke gürültüsünden arındırmak için 50Hz çentik filtre kullanılmaktadır. Çentik filtrenin köşe frekansı

$$f_0 = \frac{1}{2\pi RC} \quad (4.1)$$

olarak hesaplanmaktadır. Buna göre 50Hz için $R=8,2M\Omega$ ve $C=390pF$ alınabilmektedir.

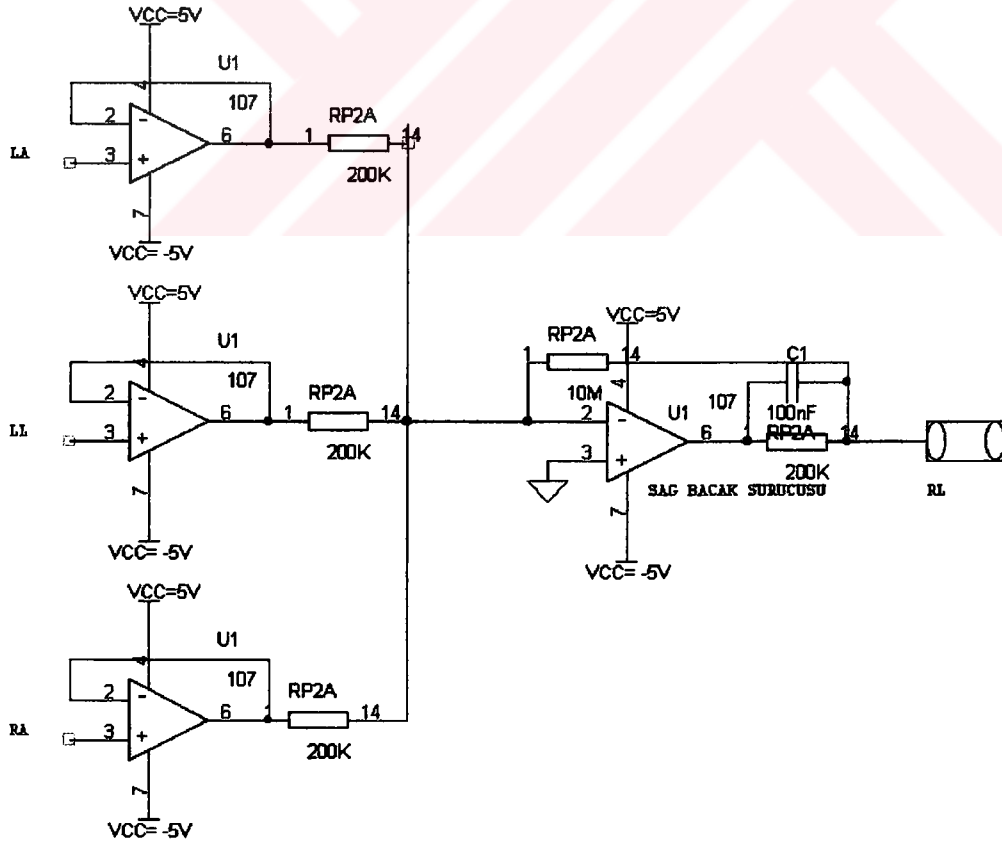
Çentik filtrenin yapısı Şekil 4.2’de verilmiştir.



Şekil 4.2 Çentik filtre devresi

4.1.3 Sağ Bacak Sürücüsü

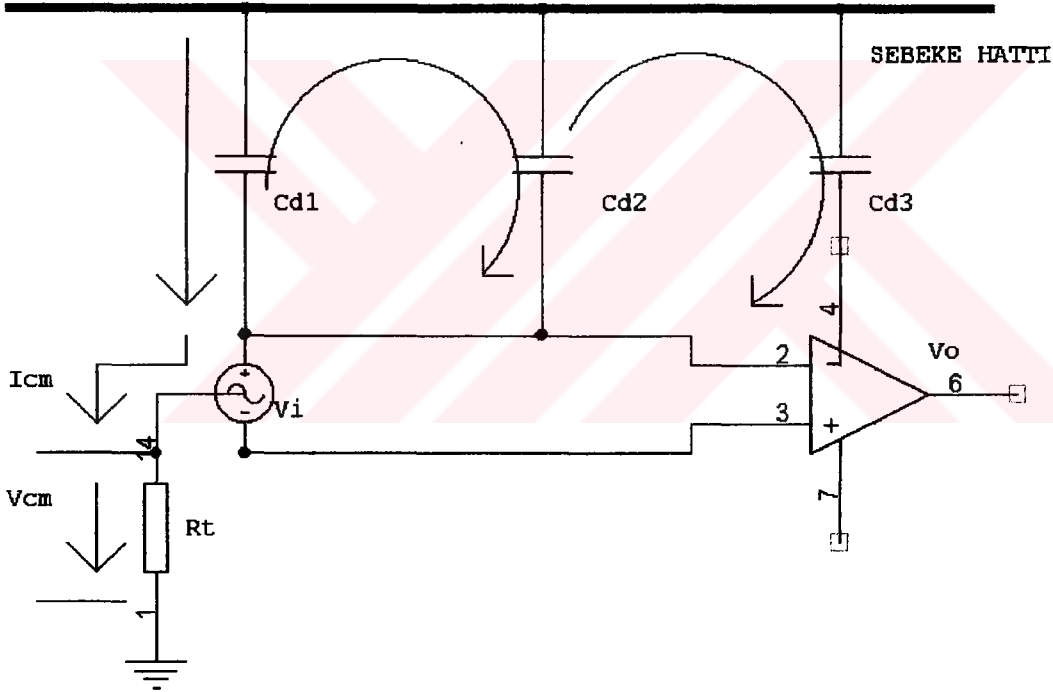
Günümüzde kullanılan EKG ölçüm düzenlerinin çoğunda, hastanın sağ bacak elektrodu, topraklanmayıp yardımcı işlemsel kuvvetlendirici adı verilen aktif elemanlı bir devrenin çıkışına bağlanmaktadır. Sağ bacak sürücüsünün yapısı Şekil 4.3’de verilmiştir. Ortalaması alınmış LA, LL, RA işaretleri, yardımcı işlemsel kuvvetlendiricinin eviren girişine uygulanmaktadır. Böylece vücuttan algılanan, sadece ortak moddaki işaretler ters fazda olarak vücuda uygulanmaktadır. Bu şekilde, vücutta oluşan ortak moddaki işaretler azaltılabilmekte, farksal moddaki işaretler içinse çevrimin bir etkisi olmamaktadır. Ayrıca, hasta üzerinde hayati tehlike oluşturabilecek değerlerde büyük akımlar akmasına neden olabilecek bir durumda ise yardımcı işlemsel kuvvetlendiricinin doymaya girmesi nedeni ile hasta, değeri büyük olan R_0 direnci üzerinden topraklandığından akan akım küçük tutulabilmektedir. Hasta üzerinde oluşan ortak moddaki işaretin büyük olmayan değerlerinde ise, bu çevrimin ölçüm düzenine ilavesiyle, bu işaretin azaltılmasıyla birlikte, hastanın küçük değerlerde bir direnç üzerinden topraklanması da sağlanmaktadır [2].



Şekil 4.3 Sağ bacak sürücüsü devresi

4.1.4.2 Ekranlama

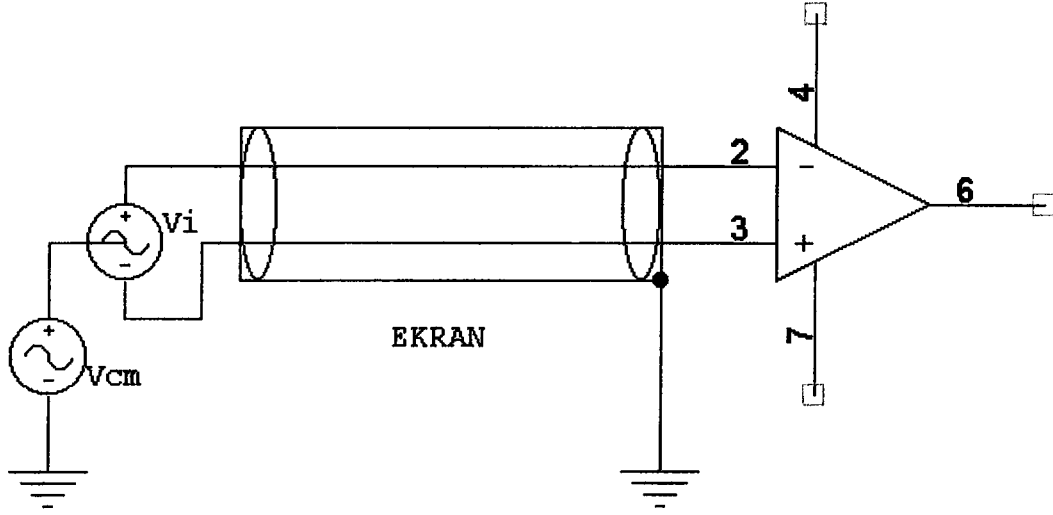
Şekil 4.4'teki modelde kuvvetlendiriciyle kaynak arasındaki kabloların uzun olması durumunda toprağa olan kablo kaçak kapasiteleri de etkili olmaya başlayacak ve bu etki, kuvvetlendirici girişleriyle toprak arasında temsili kaçak kapasiteleriyle gösterilebilecektir. Kabloların ekransız olması durumunda ise, kablolar, her türlü harici gürültü kaynağına karşı etkilenmeye açık durumda bulunacak ve bu durum, modelde, bu gürültü kaynağıyla kuvvetlendirici girişleri arasında başka kaçak kapasitelerin de temsili olarak gösterilmelerine neden olacaktır. Şekil 4.5'te harici alanın kaynağı, kabloya ve kuvvetlendiriciye olan kapasitif kuplajı temsili olarak gösterilmiştir. Gerek bu şekildeki elektrot kablosuna veya bağlantı kablosuna olan elektrik alan kuplajını engellemek ve gerekse kablo-toprak arasındaki kaçak kapasitelerin kuvvetlendirici giriş empedans dengesini bozmasının önüne geçmek için kabloların ekranlanması gerekecektir.



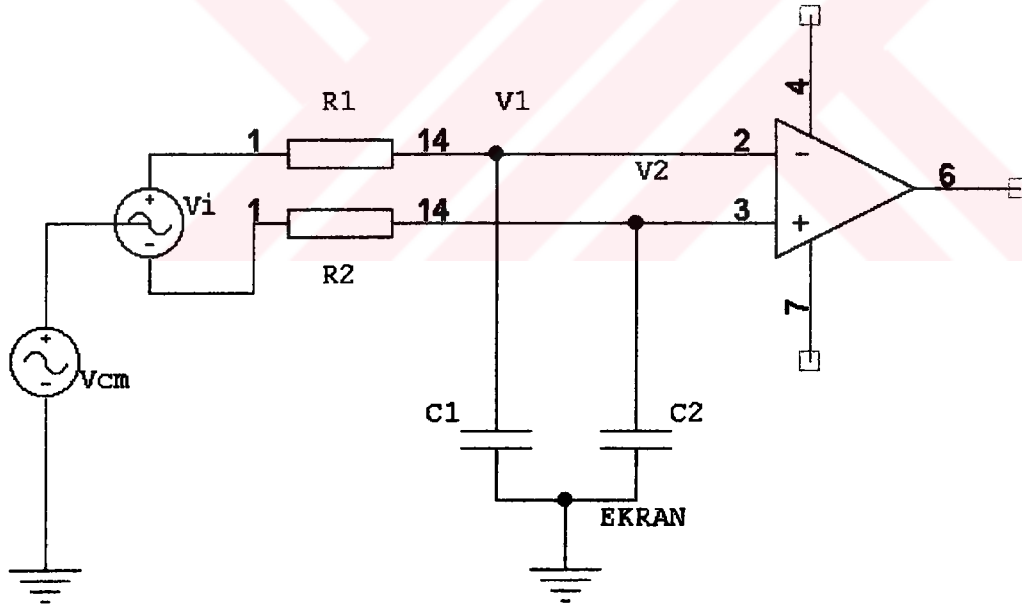
Şekil 4.5 Şebeke hattından olan kapasitif kuplajın etkileri

Elektrik alanına karşı kullanıldığı durumda, elektrik alanı etkisinde kalan ekranın, gürültülü işaret taşıyan bir kaynak durumunda olmasını engellemek için de topraklanması gerekli olur. Toprağa kaçak kapasiteleri gözönüne alınarak kullanıldığında ise, ekran, kaçak kapasitelerin belirli bir değerde kalmasını sağlayan bir unsur olmaktadır. Şekil 4.6

ve Şekil 4.7’de bağlantı kablolarının ekranlanması ve bunun eşdeğer devresi gösterilmektedir.



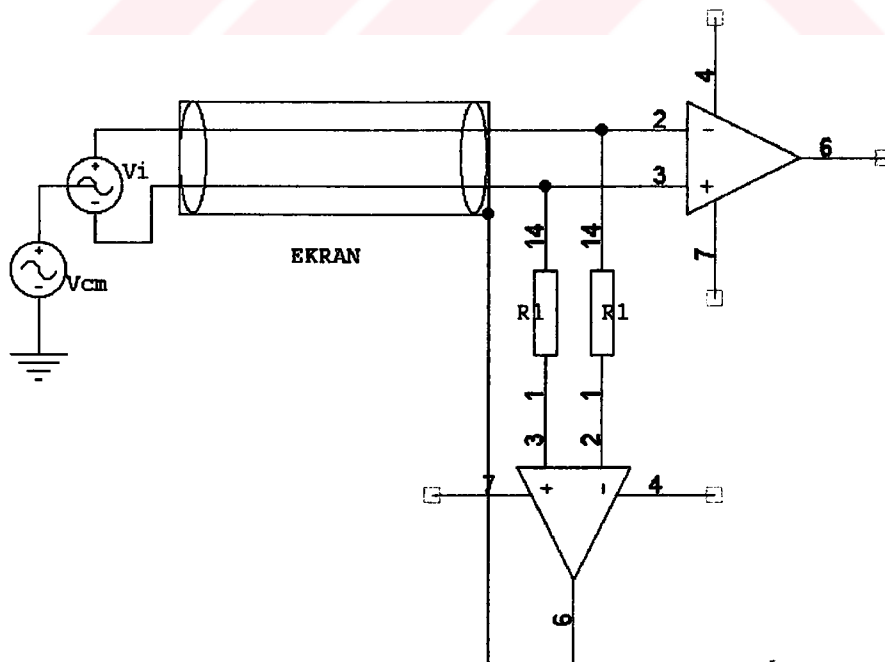
Şekil 4.6 Bağlantı kablolarının ekranlanması



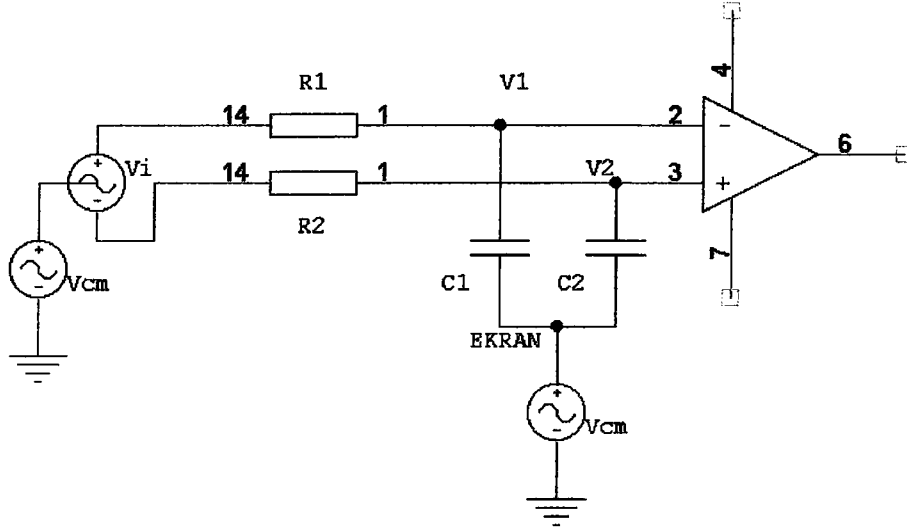
Şekil 4.7 Bağlantı kablolarının ekranlanması eşdeğeri

Bu eşdeğer devrede, kablolarla ekran arası kapasiteler, kablo iletkenlerinin ekrana karşı konumları kablo hareket etse bile bozulmayacağından, bu şekilde, kaçak kapasiteler

Şekil 4.8'deki eşdeğer devredeki R ve C'ler arasında $R_1=R_2$ ve $C_1=C_2$ eşitliklerinin olmaması halinde devrenin fark girişleri arasında, (4.2) eşitliğine benzer olarak ifade edilebilen V_{cm} ortak mod işaretinden kaynaklanan bir fark işareti daha oluşacaktır. Öyle ki, artık, devrenin CMRR'si çok yüksek olsa bile devredeki dengesizliğin oluşturacağı bu istenmeyen farksal giriş işareti, gerçekte alınmak istenen V_i işaretinden ayırtedilemeyecektir. O halde giriş işaretinin ortak moddaki işaretin bozucu etkisinden korunması amacı ile daha ayrıntılı önlemler alınması gerekmektedir. Bu amaçla kullanılan ekran sürücüsü ("shield driver") kullanan bir devre yapısı ve eşdeğer modeli Şekil 4.8 ve Şekil 4.9'da verilmiştir. Bu yapıda, kuvvetlendiricinin + ve - girişlerinde ortak olarak bulunan ortak mod işareti, birbirine eşit R dirençlerinden oluşmuş ortalama alma devresinden elde edilerek bir izleyici (ortak mod sürücüsü, ("shield driver")) yardımıyla ekrana uygulanır. Bu şekilde RC empedans gruplarının giriş ve çıkışlarında V_{cm} ortak mod gerilimi bulunacağından, giriş empedanslarında dengesizlik olsa bile, ortak mod işaretinin bu empedanslar üzerinden bölünerek girişte fark gürültü gerilimini oluşturması, başka bir deyişle V_1 farklı V_2 olması, engellenmiş olacaktır. Girişte işaret zayıflamasına neden olmamak için $R_1 > 1 \text{ M}\Omega$ olmalıdır.

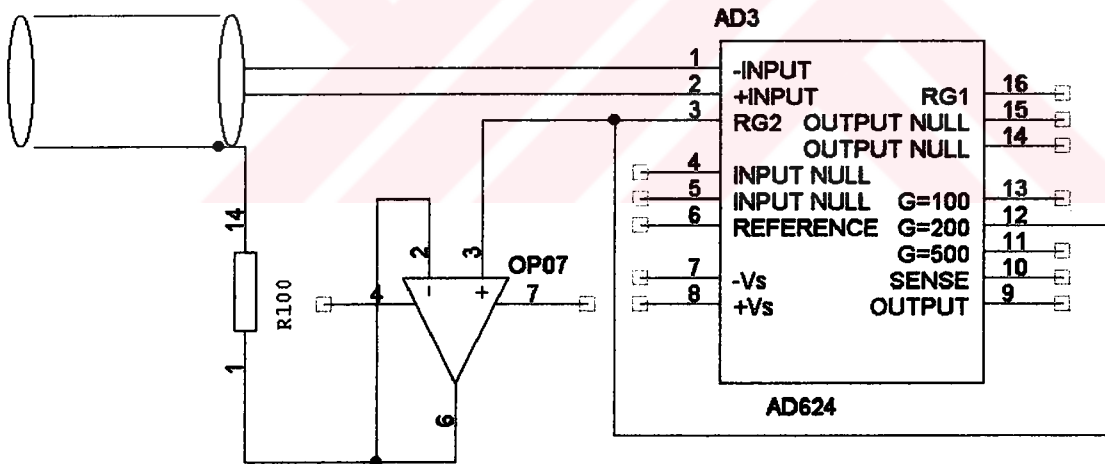


28



Şekil 4.9 Ekran sürücülü ekranlama devresi eşdeğeri

Tezin yapımında yukarıda anlatılanlara benzer şekilde, Analog Devices firması tarafından üretilmiş olan enstrümantasyon kuvvetlendiricisi (AD624) yapısında $G \geq 100$ olan kazançlar için Şekil 4.10'da görülen ekran sürücüsü yapısı kullanılmıştır [3].

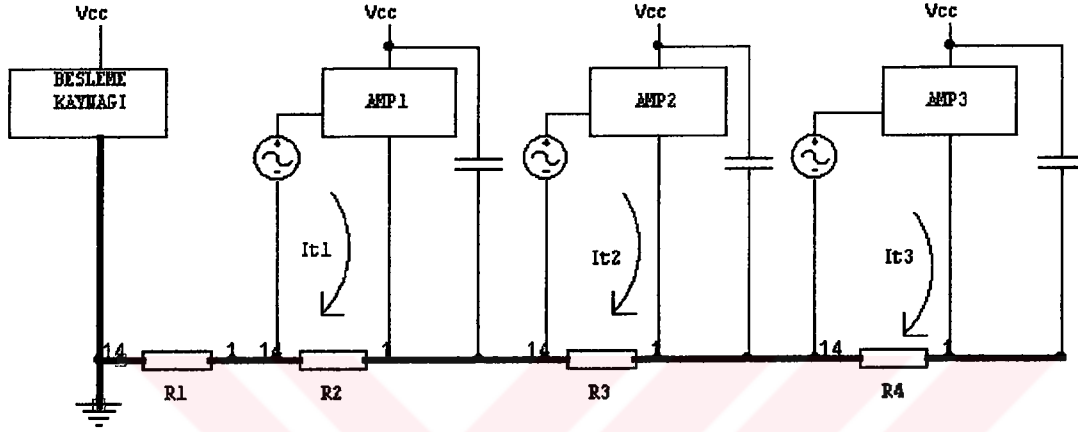


Şekil 4.10 AD624 ile yapılan ekran sürücüsü

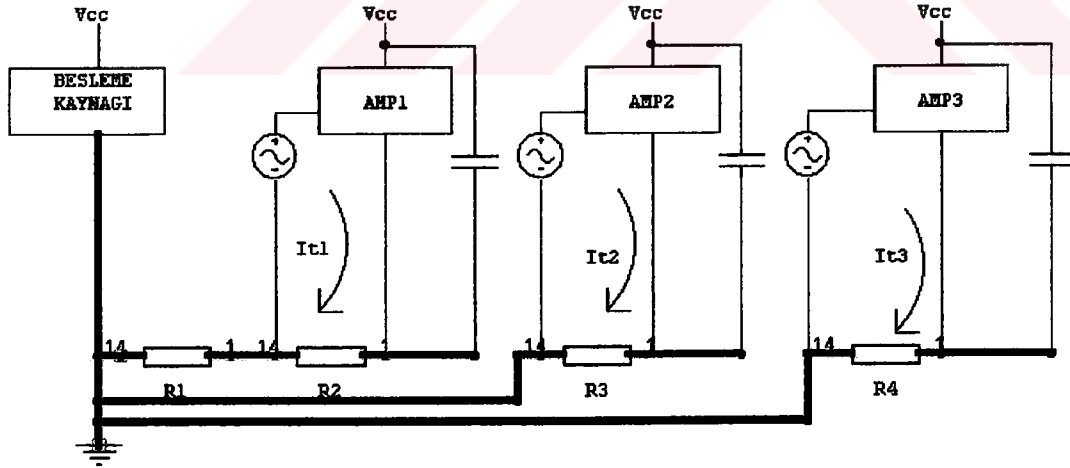
4.1.5 Baskılı Devrenin Topraklama Yapısı

Şekil 4.11'de, tasarlanan devre elemanlarının müşterek toprak hattını kullanmaları durumu gösterilmektedir. Burada, örnek olarak, AMP2 elemanını referans olarak alalım. Bu kuvvetlendiriciden önceki AMP1 elemanının toprak akımının, ortak toprak hattından akarken oluşturduğu $(R1+R2) \cdot I_{t1}$ gerilimi, AMP2 elemanının toprak potansiyelini, besleme kaynağının toprak potansiyelinden farklı bir potansiyele getirmektedir. Benzer

şekilde AMP2'den sonra gelecek elemanların akımları da AMP2'nin toprak potansiyelini $(R1+R2+...+Rn) \cdot (It1+It2+...+Itn)$ kadar arttıracaktır. Gerek $It1$ ve gerekse $It3, It4, ..., Itn$ toprak akımlarının gürültülü olması durumunda AMP2 çıkışındaki işaret, bu akımlarla orantılı ortak mod ve fark gerilimlerinden etkilenecektir. Bunun önüne geçmek için Şekil 4.12'de gösterilen tek nokta toprağı uygulaması gerçekleştirilmelidir.



Şekil 4.11 Ortak toprak hattı.



Şekil 4.12 Tek nokta toprağı

Bu durumda elemanların toprak akımları, diğer elemanların toprak potansiyellerini etkilemeyecektir. Bu durum, özellikle analog ve sayısal devre topraklarını ayırarak analog

devre elemanlarının, gürültülü sayısal devre elemanlarının toprak akımlarından etkilenmelerini önlemede çok önemlidir.

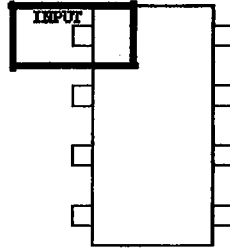
Gürültü oluşumunu engellemede bir diğer önemli unsur, genellikle her elemanın besleme kaynağına giden uçlarını, elemene en yakın yerden, bir kapasite elemanı (topraklama kapasitesi, “bypass capacitance”) ile toprağa bağlamaktır. Genellikle gürültüyü azaltmada uygulanan yöntemlerden biri de, hemen her kuvvetlendiriciyi alçak geçiren tarzda gerçekleştirmektir.

Tek nokta topraklamasının yapılamadığı yerlerde ortak toprak hattı, toprak direncini azaltacak şekilde mümkün olduğu kadar kalın yapılmalıdır. Ancak fazla geniş bir topraklama hattı alanı, dış ortama karşı gürültü kuplajında istenmeyen kusurlu bir durum ortaya çıkarabilir. Bunun önüne geçmek ve geniş topraklama yüzeylerinde oluşacak çevrim akımlarını önlemek üzere, geniş yüzeyli toprak hattı dantelli olarak (bu alan içinde birbirini çapraz olarak kesen ince bakır yollar şeklinde) yapılmaya çalışılır.

Tek nokta topraklaması yapılamadığı durumlarda dikkat edilmesi gerekli durumlardan biri de, devre girişi ile çıkışı arasındaki elemanların toprak hattına bağlanmaları sırasında, üzerinden işaret akımı akan geniş toprak çevrimlerinin oluşmasına engel olmaktır. Giriş katları izole yapıldığında (izole edilmiş kaynaktan beslendiğinde), gürültüye çok açık olan giriş katlarının çıkışla böyle bir toprak çevrimine girmeleri engellenmiş olur. Endüktif gürültü kuplajını önlemek için, devre üzerinde, işaret ve işaret dönüş hatlarının bir çevrim oluşturmaması gerekir. Bunun için, çok katmanlı baskı devre kullanılarak bir katman yalnızca dönüş işaretleri için ayrılmalıdır. Bu durumda, dönüş hattının, mümkün mertebe işaret hattına yakın olacak şekilde gerçekleştirilmesi, geniş işaret-ışaret dönüş hattı çevrimlerinin oluşmasını engelleyecektir.

İşaret taşıyan hatların da aralarındaki kapasitif kuplajın azaltılabilmesi için, birbirine paralel götürülmemesi gerekir. Bu tedbir alınamıyorsa, mümkünse, bu işaret hatları arasına ekranlama görevi görececek olan ve dönüş akımı taşımayan bir toprak hattı konulmalıdır.

Giriş işaretine gürültü karışmasını önlemenin bir yolu olarak, Şekil 4.13’de gösterildiği gibi, işareti, yakındaki yüksek gerilimli noktalardan gelecek olan kaçak akımlara karşı koruyabilecek koruma halkaları kullanılmalıdır.



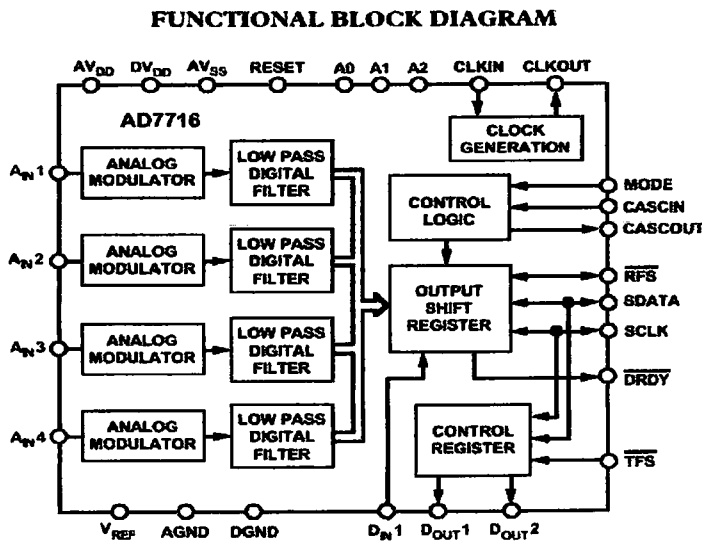
Şekil 4.13 Koruma halkası

4.2 ADC Bloğu

Bu blok, AD7716, ADC'nin gerilim referansları ve mikroişlemci arayüzünden oluşmuştur. Gerilim Referansı olarak Analog Devices'in AD780 veya Texas Enstruments'in TL431 elemanı seçilmiştir. Her ikisi de 2.5 V referansı verebilmektedir. Yapılan devre için referans, 2.5 Volttur.

4.2.1 AD7716 Yapısı ve Genel Çalışma Prensipleri

AD7716, veri toplama sistemleri tarafından yaygın olarak kullanılan bir veri işleme bloğudur. 4 kanaldan aldığı veriyi, 584 Hz band genişliğine kadar işleme yeteneğine sahiptir. Bu verileri 22 bit çözünürlükte işleyebilmektedir. ADC'nin blok yapısı Şekil 4.14'de verilmiştir [6].



Şekil 4.14 ADC Blok diyagramı

AD7716, Sigma-Delta teknolojisi ile gerçekleştirilmiş 4 ayrı ADC içermektedir. Sigma-Delta ADC'ler kendi içlerinde filtreleme de yapmaktadırlar. Böylece filtreleme işlemleri kolaylaşmış olmaktadır.

Üç adres bacağı A0, A1 ve A2, AD7716'nın adresini belirlemektedir. Bu da AD7716'nın 32 kanal adresleyebilmesine imkan sağlamaktadır. Çıkış sözcüğü 32 bit veriden oluşmaktadır. Bu verinin 22 biti, analog giriş dönüşüm sonucunu göstermek için kullanılmaktadır. 2 bit kanal bilgisi ve 3 bit de aygıt bilgisini vermektedir. CASCOUT ve CASCIN bacakları ise, veri akışında birden fazla AD7716 kullanıldığında senkronizasyonu sağlamaktadırlar.

“On-Chip” kontrol kütüğü ise, SCLK, $\overline{\text{TFS}}$ ve SDATA pinleri kullanılarak programlanmaktadır. Kontrol kütüğünün 3 biti kesim frekansını 584, 292, 146, 73, 36.5 olarak ayarlamaktadır. 2 Çıkış bacağı (Dout1 ve Dout2) de bu kütüğün programlanıp programlanmadığını belirlemek amacıyla kullanılabilir.

Kullanılan filtreleme frekansına bağlı olarak örnekleme frekansının değişimi, aşağıdaki Tablo 4.1'deki gibi olmaktadır. Maksimum veri çıkış hızında, en yüksek gürültü oranı ve en düşük grup gecikmesi olmaktadır. Filtre oturma zamanı da en düşük olmaktadır. Nyquist kriterine de dikkat edilerek örnekleme hızı 558 Hz olarak seçilebilir. Bu durumda, ADC içi örtüşme önleme filtrelerinin kesim frekansı 146 Hz olmaktadır. Bu kesim frekansı, üst kesim frekansı 150 Hz olarak düşünülen EKG işaretleri için uygun olmaktadır.

Tablo 4.1 Örnekleme frekansının filtre kesim frekansına bağlı olarak değişimi

Typical Usable Dynamic Range, RMS Noise and Filter Settling Time vs. Filter Cutoff Frequency

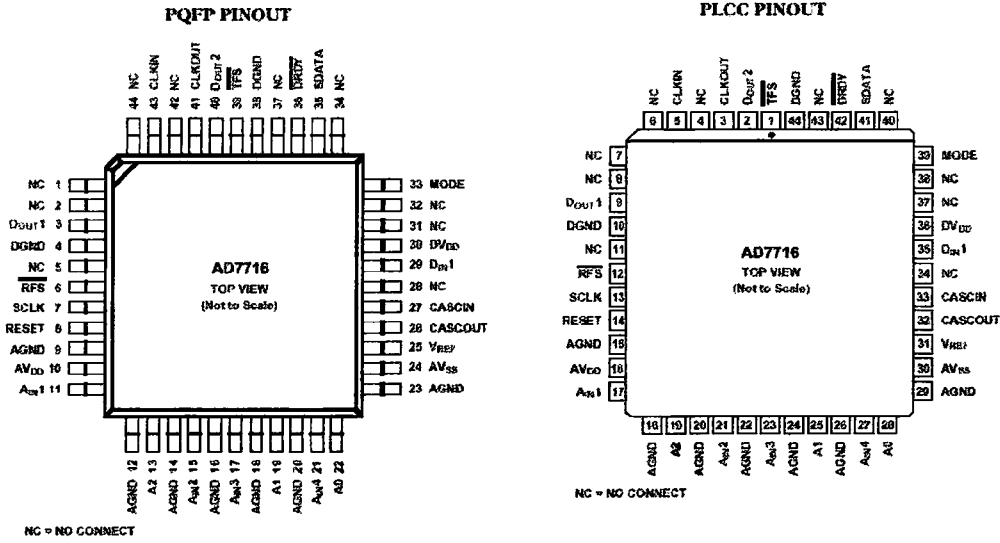
N	Programmed Cutoff Frequency (Hz)	Output Update Rate (Hz)	Usable Dynamic Range (dB)	RMS Noise (μV)	Filter Settling Time to $\pm 0.0007\%$ FS (ms)	Absolute Group Delay (ms)
0	584	2232	99	21	1.35	0.675
1	292	1116	102	14	2.7	1.35
2	146	558	105	10	5.4	2.7
3	73	279	108	7	10.8	5.4
4	36.5	140	111	5	21.6	10.8

NOTE

Usable Dynamic Range is defined as the ratio of the rms full-scale reading (sine wave input) to the rms noise of the converter.

AD7716, PLCC veya PQFP paket tiplerinde imal edilmektedir. Bu paket tiplerinin her ikisinin de yapısı Şekil 4.15'de verilmiştir [6]. Çalışmada, PLCC paketi kullanılmıştır.

Paket, soket içine monte edilmiştir; devreye direkt lehimlenmemiştir. Bu sayede, bacak mesafelerinin daha açık olması, bacak kontrolü ve lehimleme kolaylıkları sağlamıştır.



ORDERING GUIDE

Model	Temperature Range	Output Noise (Filter: 146 Hz)	Package Option*
AD7716BP	-40°C to +85°C	11 μ V rms	P-44A
AD7716BS	-40°C to +85°C	11 μ V rms	S-44

*P = PLCC (Plastic Leaded Chip Carrier), S = PQFP (Plastic Quad Flatpack).

Şekil 4.15 ADC Bacak Bağlantısı

Yukarıda gösterilen paket tipleri için AD7716'nın pin işlevleri, tablo 4.2'de verilmiştir.

Tablo 4.2 ADC Bacak bağlantısı açıklamaları

A_{VDD}	Analog modülörlere ait pozitif besleme kaynağı. +5V nominal değeri
D_{VDD}	Dijital filtreler ve kütüklere ait besleme kaynağı. +5V nominal değeri.
A_{VSS}	Analog modülörlere ait negatif besleme kaynağı. -5V nominal değeri.
RESET	Giriş kanallarının örnekleme zamanlarını eşzamanlı kılan giriş bacağı. 5V'luk darbeye aktif hale gelir. Aynı zamanda çok kanallı veri sistemlerinin de senkronizasyonun sağlanması için kullanılmaktadır.
A0-A2	Her bir ADC'nin tek adres almasını sağlayan çıkış bacağı. Bu bacaklar kullanılarak 32 kanala kadar giriş yelpazesi genişletilebilir.
CLKIN	Harici Saat girişi.
CLKOUT	CLKIN ve CLKOUT arasında bir kristal bağlandığında dahili bir saat üretilmesi sağlayan output pini.
MODE	Arayüz modunu belirleyen giriş bacağı. Eğer düşük seviyeli(low) ise Master Mode Interface, yüksek seviyeli(high) ise Slave Mode Interface seçilir.
CASCIN	Yüksek seviyede aktif olan, Seviye Tetiklemeli giriş bacağı. Bilgi Akış

	dizisine(Veri Output Stream) izin verir. Bu giriş çok kanallı sistemlerde ADC'leri birbirine ardarda bağlamak amacı ile kullanılmaktadır.
CASCOUT	4 kanalın veri transferinden sonra yüksek seviyeli(high) olan çıkış bacağı. Bu pin çok kanallı bir sistemde bir sonraki ADC'ye veri transferinin kontrolü için bağlanır.
(RFS)'	Alış Çerçevesi Eşzamanlılığı(Receice Frame Synchronisation) sinyali. Arayüz moduna göre giriş veya çıkış olabilir.
SDATA	Seri bilgi giriş çıkış bacağı.
SCLK	Seri bilgi giriş çıkış saat sinyali. Mode bacağının durumuna göre giriş veya çıkış olabilir.
(DRDY)'	Bilgi hazır çıkış sinyali. ("Data ready output")
TFS	Gönderme Çerçevesi Eşzamanlılığı("Transmit Frame Synchronisation") sinyali
D _{in} 1	Sayısal veri girişi
D _{out} 1,D _{out} 2	Sayısal veri çıkışları
V _{ref}	Referans girişi. Nominal 2.5V.
AGND	Analog Toprak.
DGND	Dijital Toprak.
A _{in} 1-4	Analog giriş işareti bacakları.

4.2.2 AD7716'nın Programlanması

AD7716'nın programlanması, aynı zamanda, AD7716'nın kontrol kütüğünün programlanması demektir. ADC'nin çalışması ile ilgili tüm bilgiler kontrol kütüğü üzerinde tutulmaktadır. Kontrol kütüğünün yapısı Tablo 4.3'de verilmiştir [6].

Tablo 4.3 Kontrol kütüğü programlama modeli

Control Register Programming Model															
Most Significant Byte								Least Significant Byte							
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
A3	A2	A1	A0	M0	FC2	FC1	1	FC0	DOUT2	DOUT1	X	X	X	X	0

Table III. M0 Truth Table

M0	Programming Mode
0	A2, A1, A0 determine which device is addressed and programmed with cutoff frequency and digital output.
1	A2, A1, A0 ignored. All devices are addressed and programmed with common cutoff frequency and digital output.

Table IV. Cutoff Frequency Truth Table

FC2	FC1	FC0	Cutoff Frequency (Hz)
0	0	0	584
0	0	1	292
0	1	0	146
0	1	1	73
1	0	0	36.6

DB0-DB8 : Her bir kontrol kelimesini ayırmak için gönderilen verilerdir. DB0 her zaman 0, DB1 her zaman 1 olmaktadır.

DB5 : Dijital output1

DB6 : Dijital output2

FC0-1-2 : Dijital filtrenin kesim frekansını belirleyen uçlar.

M0 : Birden fazla ADC kullanılan bir sistemde 1 olduğunda tüm ADC'ler aynı kesim frekansında programlanır. 0 İse her ADC için ayrı bir kesim frekansı belirlenebilir.

A0-1-2 : ADC'nin adres bitleri.

A3 : Programlama kontrolü adres biti. 1 Olduğunda, AD7716'nın programlanmasına izin verilir.

4.2.3 AD7716 Kontrol Kütüğü Programlanması

AD7716'ya besleme gerilimi uygulandığında, Kontrol kütüğü, bilinmeyen durum ("undetermined-state") durumundadır. Kontrol kütüğünü programlamak için $\overline{TFS}$, SCLK ve SDATA bacakları yeterlidir. Her üç uç da giriş olmalıdır. MODE bacağı Ana (Master) veya yardımcı (slave) mod seçimi yapar. Hangi mod seçili olursa olsun $\overline{TFS}$ 'nin düşen kenarı, ADC'nin SDATA ve SCLK kontrolünü bırakmasına sebep olur. $\overline{TFS}$, lojik 0 ("low state") durumuna geldiğinde, SDATA hattındaki bilgi, SCLK'nın her bir düşen kenarında, ADC'ye gönderilir. ADC 8 bit aldığı anda, transfer otomatik olarak durur. Sadece $\overline{TFS}$ 'nin yeni bir düşen kenarında yeniden transfere izin verilir. Kontrol kütüğünün 16 bit verisi gönderilirken, önce düşük ağırlıklı bayt ("low byte"), sonra yüksek ağırlıklı bayt ("high byte") gönderilmelidir. Kontrol kütük programlaması bittikten sonra, ADC'ler arası senkronizasyonu sağlamak için, her 3 ADC'de resetlenmelidir.

Kontrol kütüğü programlarken uyulması gereken yapı Şekil 4.16'da gösterilmiştir. Yapılan tez çalışması için 556 hz örnekleme hızı standart olarak seçilmiştir. 3 ADC kullanılacaktır ve bu ADC'ler birbirlerine kaskad olarak bağlanmışlardır. Adreslemeler 000,001,010 olarak gerçekleştirilmiştir. Bunu yapabilmek için gerekli olan kontrol kelimeleri mikroişlemcinin kaynak kodunda ayrıntılı olarak belirtilmiştir.

CONTROL REGISTER TIMING CHARACTERISTICS^{1,2} ($AV_{DD} = DV_{DD} = +5V \pm 5\%$; $AV_{SS} = -5V \pm 5\%$; $AGND = DGND = 0V$; $f_{CLKIN} = 8\text{ MHz}$; Input Levels: Logic 0 = 0 V, Logic 1 = DV_{DD} ; unless otherwise noted)

Parameter	Limit at T_{MIN} , T_{MAX} (B Version)	Units	Conditions/Comments
t_1	$1/f_{CLKIN}$	ns min	SCLK Period
t_2	77	ns min	SCLK Width
t_3	30	ns min	TFS Setup Time
t_4	20	ns min	SDATA Setup Time
t_5	10	ns min	SDATA Hold Time
t_6	20	ns min	TFS Hold Time

NOTES

¹Sample tested at +25°C to ensure compliance. All input signals are specified with $t_r = t_f = 5\text{ ns}$ (10% to 90% of 5 V) and timed from a voltage level of 1.6 V.

²See Figure 2

³CLKIN Duty Cycle range is 40% to 60%.

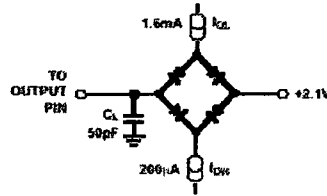
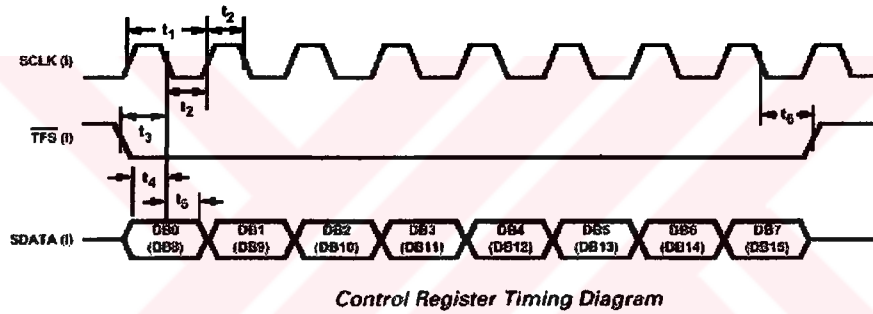


Figure 1. Load Circuit for Access Time and Bus Relinquish Time



Control Register Timing Diagram

Şekil 4.16 Kontrol kütüğü zamanlama karakteristiği

4.2.4 AD7716'nın Okunması

Kontrol Kütüğü programlandıktan ve ADC'ler resetlendikten sonra ADC çevirme işlemine başlayacaktır. Resetleme sonrasında dijital filtrelerin aktif hale gelmeleri için başlangıç gecikmesi olmaktadır. ADC çevirme işlemi yaptıktan sonra, sonucu, çıkış kaydırma kütüğüne koyar. (DRDY) çıkış bacağına düşen kenarı Çıkış Kaydırma kütüğünün dolduğunu mikrokontrolöre bildirir. 2 Tip arayüz modu vardır. Birincisi "Master" moddur. Bu modda ADC sistemde "Master"dır ve mikrokontrolör ADC ile "Slave" olarak haberleşir. İkincisi "Slave" moddur. "Slave" modda mikrokontrolör sistemde "Master"dir ve ADC mikrokontrolörle "Slave" olarak haberleşir. Her iki modda da çıkış, dört giriş kanalına göre, 4X32 bit formatındadır. Tezin yapımında "Slave" mod

kullanılmıştır. Buna göre PIC16F877 “Master”, AD7716 Slave’dir. ADC’nin göndermiş olduğu veri formatı ve bunun açıklaması Tablo 4.4’de verilmiştir [6].

Tablo 4.4 ADC çıkış veri formatı

Output Data Word Format									
DB31 . . . DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1 DB0
DB21 . . . DB0 Conversion Result	CA0	CA1	A0	A1	A2	D _{IN} 1 Pace Detect	OVFL Overflow	X	X X
	Channel Address		Device Address					Indeterminate	

Table VI. Channel Address Format

Channel	CA1 (DB8)	CA0 (DB9)
A _{IN} 1	0	0
A _{IN} 2	0	1
A _{IN} 3	1	0
A _{IN} 4	1	1

DB0-1-2 : Tanımlanmamış durum.

DB3 : Taşma

DB4 : “Pace Dedect”. Bu bit, harici bir “pacemaker” deteksiyon devresi tarafından ADC’ye verilen bir giriş işaretidir. Eğer aktif ise o anki çıkış kelimesi geçersizdir. EEG işaretleri için kullanılabilir.

DB5-6-7 : ADC Adresi.

DB8-9 : ADC üzerindeki kanal adresleri.

DB10-31 : Giriş işaretinin dijital dönüşüm sonucu.

4.2.5 Bağımlı “Slave” Mod Arayüzü

MODE pini, yüksek seviye lojik1(H) olarak bağlanmışsa AD7716 “Slave” olarak şartlanır. Bu modda mikrokontrolör, veri dönüşüm bloğundan gönderilen verinin kontrolünü elinde tutar. Mikrokontrolör, ADC’ye çerçeve (“frame”) senkronizasyon darbelerini ve seri saat darbelerini gönderir. Bu durum, ADC’den gelen DRDY kesmesinin bir sonucu da olabilir. Eğer ADC, CASCIN girişinin lojik1(H) olduğunu detekte etmişse veya 000 adresine sahipse (bu adreste olan ADC ilk veri transferini yapacak ADC’dir), SCLK’nın bir sonraki yükselen kenarında veri transferine başlar. Gönderilen veri SCLK’nın düşen kenarında geçerli (“valid”) olur. Tüm veri

gönderildiğinde, son geçerli veri biti ile birlikte CASCOUT ve DRDY, lojik1 (H) olur. Aynı şekilde transfer, diğer ADC'ler için de tekrarlanır. Bu veri transfer yapısı, aşağıda zaman diyagramı şeklinde, Şekil 4.17'de verilmiştir [6].

SLAVE MODE TIMING CHARACTERISTICS^{1, 2} ($AV_{DD} = DV_{DD} = +5 V \pm 5\%$; $AV_{SS} = -5 V \pm 5\%$; $AGND = DGND = 0 V$; $f_{CLKIN} = 8 MHz$; Input Levels: Logic 0 = 0 V, Logic 1 = DV_{DD} ; unless otherwise noted)

Parameter	(B Version)	Units	Conditions/Comments
$f_{CLKIN}^{1, 4}$	400	kHz min	CLKIN Frequency
t_r^5	8	MHz max	
t_f^6	40	ns max	Digital Output Rise Time. Typically 20 ns
t_{23}	40	ns max	Digital Output Fall Time. Typically 20 ns
t_{24}	$1/f_{CLKIN}$	ns min	CASCIN Pulse Width
t_{25}	50	ns min	SCLK Width
t_{26}	125	ns min	SCLK Period
t_{27}	$1/f_{CLKIN} + 30$	ns min	CASCIN High to RFS Setup Time
t_{28}	30	ns min	RFS Low to SCLK High Setup Time
t_{29}^{10}	50	ns max	SCLK High to SDATA Valid Delay
t_{29}^{11}	50	ns min	RFS Hold Time After SCLK High
t_{30}^{12}	50	ns min	SCLK High to SDATA High Impedance Delay
t_{31}	0	ns min	
t_{32}	60	ns max	SCLK High to CASCOUT High Delay.
t_{32}	$2/f_{CLKIN}$	ns max	CASCOUT Pulse Width

NOTES

¹Sample tested at +25°C to ensure compliance. All input signals are specified with $t_r = t_f = 5$ ns (10% to 90% of 5 V) and timed from a voltage level of 1.5 V.

²See Figures 1 and 4.

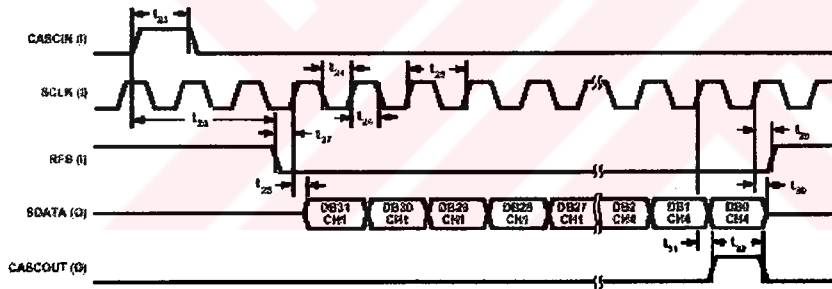
³CLKIN duty cycle range is 40% to 60%.

⁴The AD7716 is production tested with f_{CLKIN} at 8 MHz in the slave mode. It is guaranteed by characterization to operate at 400 kHz.

⁵Specified using 10% and 90% points on waveform of interest.

⁶ t_{27} is measured with the load circuit of Figure 1 and defined as the time required for an output to cross 0.5 V or 2.4 V.

¹⁰ t_{29} is derived from the measured time taken by the data outputs to change 0.5 V when loaded with the circuit of Figure 1. The measured number is then extrapolated back to remove the effects of charging or discharging the 100 pF capacitor. This means that the time quoted in the timing characteristics is the true bus relinquish time of the part and as such is independent of external bus loading capacitance.



Slave Mode Timing Diagram

Şekil 4.17 Bağımlı mod zamanlama karakteristiği

4.2.6 AD7716'nın Kaskatlanması

AD7716, gerektiğinde, kaskatlanarak 32 giriş kanalına kadar çıkabilmektedir. CASCIN ve CASCOUT bacakları kullanılarak bu işlem yapılabilir. CASCOUT pinini bir sonraki ADC'nin CASCIN pinine bağlamak, birinci ADC'nin çıkış kaydırma kütüğü boşalınca kadar ikinci ADC'nin seri veri çıkışına izin verilmemesi anlamına gelmektedir.

Birinci kaskatlama yolu ADC'ler arasında bir çevrim kurmaktır. Birinci ADC'nin CASCOUT pini ikinci ADC'nin CASCIN pinine gitmeli ve dizi bu şekilde devam

ettikten sonra en son ADC'nin CASCOUT'u birinci ADC'nin CASCIN'ine gitmelidir. Bu yapı kurulduğunda, senkronizasyonun bozulmaması için, kontrol kütüğüne her yazışımızdan sonra tüm sistemi resetlememiz gerekmektedir.

İkinci kaskatlama yolu DRDY çıkışı evirip birinci ADC'nin CASCIN'ine vermektir. Böylece çevrim kurmadan birinci ADC tüm sistemi senkronize edecektir.

4.3 Mikrodenetleyici Bloğu

PIC16F877, bu tez için mikroişlemci olarak seçilmiştir. Devredeki görevi AD7716'yı programlamak ve AD7716'dan aldığı verileri çıkış portları yardımıyla bilgisayarın paralel portuna göndermektir.

4.3.1 PIC16F877 Yapısı ve Genel Özellikleri

- ❖ RISC mimarisinde CPU
- ❖ Sadece 35 komutluk komut seti
- ❖ Max. 20MHz clock input, 200ns komut döngüsü
- ❖ 8k program belleği
- ❖ 368 Byte RAM
- ❖ 256 Byte EEPROM
- ❖ 14 Kesme kaynağı
- ❖ 8 seviye Stack
- ❖ Doğrudan(Direct) ve Dolaylı(Indirect) adresleme modları
- ❖ Power On Reset(POR)
- ❖ Power Up Timer(PWRT), Oscillator Start Up Timer (OST)
- ❖ WDT ve onun güvenli çalışması için On-Chip RC osilatörü.

- ❖ Code protection
- ❖ Güç harcamasını azaltmak için SLEEP modu
- ❖ Seçilebilir osilatör opsiyonları.
- ❖ 2 pin yardımıyla seri olarak programlanabilme.
- ❖ Programlama için 5V gerilim yeterli.
- ❖ Geniş aralıkta çalışma gerilimi. 2-5.5V.
- ❖ Düşük güç harcaması. - < 2ma Tipik olarak 5V, 4MHz , 1µA stand by akımı
- ❖ İşlemcinin program belleğine erişme özelliği var.
- ❖ Düşük güçlü, yüksek hızlı CMOS FLASH/EEPROM teknolojisi.
- ❖ Tamamen kararlı bir tasarım.

4.3.2 Arayüz Özellikleri

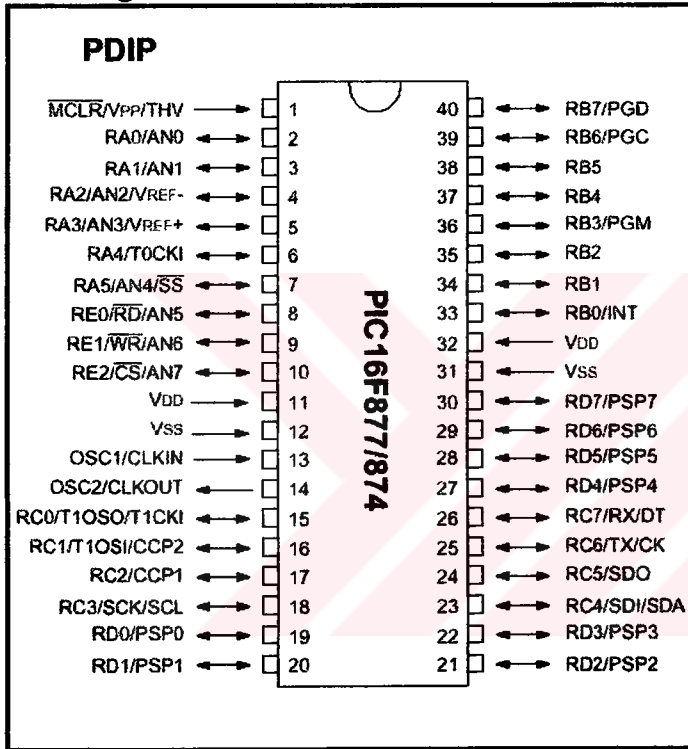
- ❖ Timer0:8 Bit Timer/Counter. Ön skala değeri verilebilir.
- ❖ Timer1:16 bit Timer/Counter. Ön skala değeri verilebilir. İşlemci SLEEP modunda iken harici clock darbesi ile artabilir. Taşma verdiğinde işlemciyi uyandırabilir.
- ❖ Timer2:8 bit Timer/Counter.Periyot kütük'ı var. Ön ve son skala işlemi uygulanabilir.
- ❖ İki Capture, Compare ve PWM modülü.
- ❖ Capture 16 bit, max rezolüsyon 12.5 ns. Compare 16 bit, max rezolüsyon 200 ns. PWM max rezolüsyon 10 bit.
- ❖ 10 bit, 8 kanallı ADC.
- ❖ SSP(Synchronous Serial Port) var. SPI(Serial Port Interface) ve I²C(Inner Integrated Circuit) modlarında çalışabilir.

- ❖ USART(Universal Synchronous Asynchronous Receiver Transmitter). 9 bit adres dedeksiyonu yapılabilir.
- ❖ 64k'ya kadar bellek adresleyebilmek için paralel slave port. RD, WR ve CS kontrolleri ile birlikte.

4.3.3 Bacak Diyagramı

İşlemcinin bacak diyagramı Şekil 4.18'de verilmiştir.[8-S1-15]

Pin Diagram



Şekil 4.18 İşlemci bacak diyagramı

4.3.4 İşlemcinin Bacak Tanımlamaları

Aşağıda tablo 4.5'te işlemcinin bacak tanımları ayrıntılı bir şekilde açıklanmıştır.

Tablo 4.5 İşlemci bacak tanımlamaları

PİN ADI	DIP NO	I/O TİPİ	İZLEYİCİ TİPİ	TANIMLAMASI
OSC1/CLKIN	13	I	ST/CMOS	Osilatör veya harici saat giriş pini.
OSC1/CLKOUT	14	O	-	Osilatör çıkışı
(MCLR)/Vpp/THV	1	I/P	ST	Master Clear(reset), Programlama gerilim girişi veya yüksek volt test girişi
RA0/AN0	2	I/O	TTL	PORTA'nın 0.pini. Aynı zamanda Analog input0
RA1/AN1	3	I/O	TTL	PORTA'nın 1.pini. Aynı zamanda Analog input1
RA2/AN2/Vref-	4	I/O	TTL	PORTA'nın 2.pini. Aynı zamanda Analog input2 veya negatif gerilim referansı.
RA3/AN3	5	I/O	TTL	PORTA'nın 3.pini. Aynı zamanda Analog input3 veya pozitif gerilim referansı.
RA4/T0CKI	6	I/O	ST	PORTA'nın 4.pini. TIMER0 için harici saat girişi.
RA5/(SS)/AN5	7	I/O	TTL	PORTA'nın 5. pini. Analog input5. SPI için Slave Select çıkışı.
RB0/INT	33	I/O	TTL/ST	RB0 pini. Harici INT interrupt girişi.
RB1	34	I/O	TTL	RB1 pini.
RB2	35	I/O	TTL	RB2 pini.
RB3/PGM	36	I/O	TTL	RB3 pini. Düşük gerilimli programlama girişi.
RB4	37	I/O	TTL	RB4 pini. Interrupt On Change girişi.
RB5	38	I/O	TTL	RB5 pini. Interrupt On Change girişi.
RB6/PGC	39	I/O	TTL	RB6 pini. Interrupt On Change girişi. "In Circuit Debugger" pini. Seri programlama saat darbesi.
RB7/PGD	40	I/O	TTL	RB7 pini. Interrupt On Change girişi. "In Circuit Debugger" pini .Seri programlama verisi.
RC0/T1OSO/T1CI	15	I/O	ST	RC0 pini. Timer1 osilatör çıkışı veya Timer1 saat girişi.
RC1/T1OSI/CCP2	16	I/O	ST	RC1 pini. Timer1 osilatör girişi.Capture2 girişi. Compare2 çıkışı.PWM2 çıkışı.
RC2/CCP1	17	I/O	ST	RC2 pini. Capture1 girişi. Compare1 çıkışı. PWM1 çıkışı.
RC3/SCK/SCL	18	I/O	ST	RC3 pini. Senkron seri saat girişi (master) veya çıkışı(slave)
RC4/SDI/SDA	23	I/O	ST	RC4 pini. Senkron seri veri girişi (SPI veya I ² C).
RC5/SDO	24	I/O	ST	RC5 veya senkron seri veri çıkışı.
RC6/TX/CK	25	I/O	ST	RC6 pini. Usart asenkron gönderilen veri veya Senkron saat.

RC7/RX/DT	26	I/O	ST	RC7 pini. Usart asenkron alınan veri veya senkron veri.
RD0/PSP0	19	I/O	ST/TTL	RD0 pini. Dportu paralel slave porttur.
RD1/PSP1	20	I/O	ST/TTL	RD1 pini.
RD2/PSP2	21	I/O	ST/TTL	RD2 pini.
RD3/PSP3	22	I/O	ST/TTL	RD3 pini.
RD4/PSP4	27	I/O	ST/TTL	RD4 pini.
RD5/PSP5	28	I/O	ST/TTL	RD5 pini.
RD6/PSP6	29	I/O	ST/TTL	RD6 pini.
RD7/PSP7	30	I/O	ST/TTL	RD7 pini.
RE0/(RD) ⁷ /AN5	8	I/O	ST/TTL	PORTE'nin 0. pini. Paralel Slave Port okuma kontrol pini. Analog input5.
RE1/(WR) ⁷ /AN6	9	I/O	ST/TTL	PORTE'nin 1. pini. Paralel Slave Port yazma kontrol pini. Analog input6.
RE2/(CS) ⁷ /AN/	10	I/O	ST/TTL	PORTE'nin 2. pini. Paralel Slave Port çip seçme kontrol pini. Analog input7.
Vss	12,31	Power	-	Lojik I/O pinleri için toprak referansı
Vdd	11,32	Power	-	Lojik I/O pinleri için besleme gerilimi.

4.3.5 16F8X Ailesinin İşlemci Seçimi İçin Temel Özellikleri

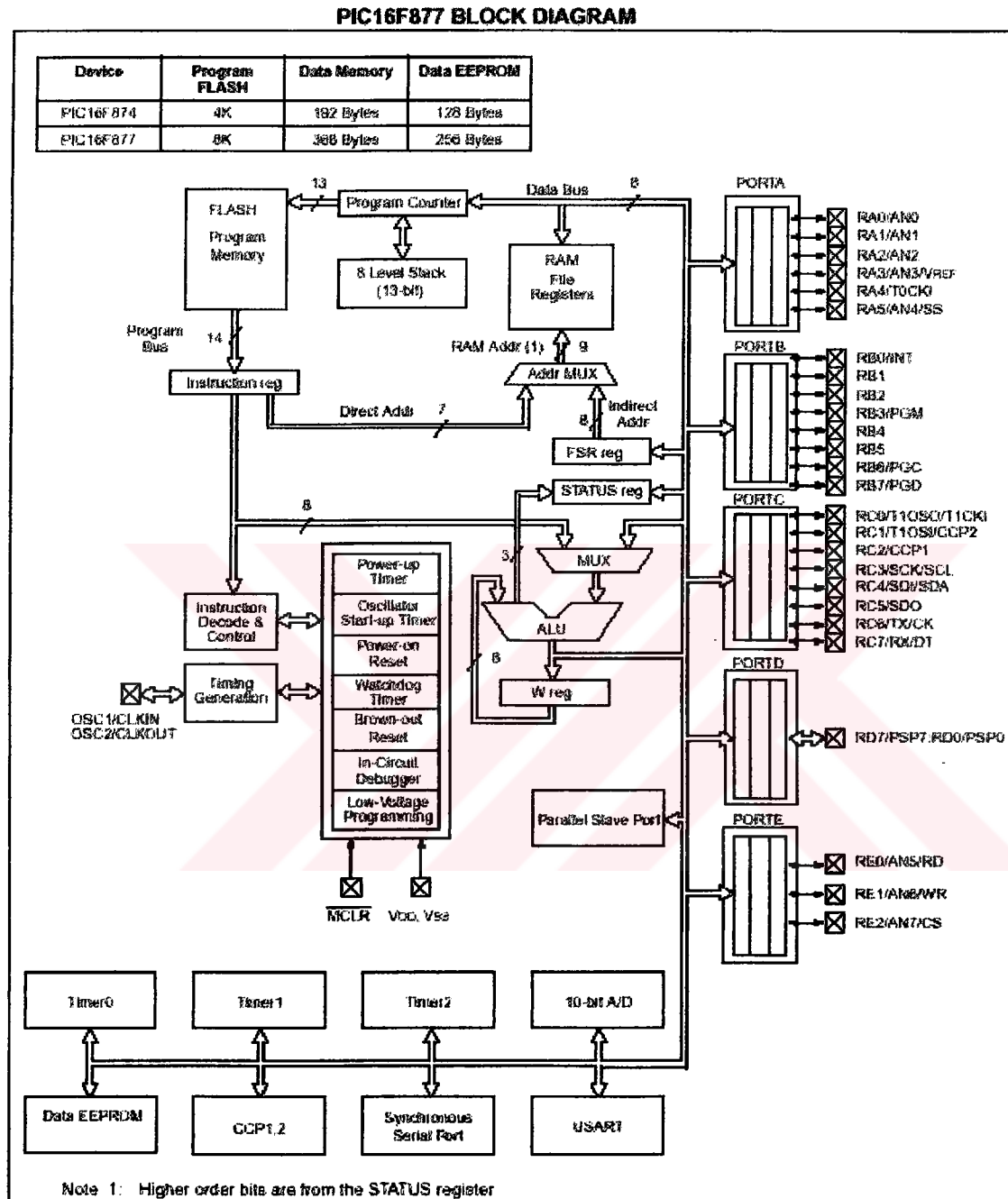
Aşağıda Tablo 4.6'da genel kriterler belirtilmiştir.

Tablo 4.6 PIC16F877 için temel kriterler

Key Features PICmicro™ Mid-Range Reference Manual (DS33023)	PIC16F873	PIC16F874	PIC16F876	PIC16F877
Operating Frequency	DC - 20 MHz	DC - 20 MHz	DC - 20 MHz	DC - 20 MHz
Resets (and Delays)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)
FLASH Program Memory (14-bit words)	4K	4K	8K	8K
Data Memory (bytes)	192	192	368	368
EEPROM Data Memory	128	128	256	256
Interrupts	13	14	13	14
I/O Ports	Ports A,B,C	Ports A,B,C,D,E	Ports A,B,C	Ports A,B,C,D,E
Timers	3	3	3	3
Capture/Compare/PWM modules	2	2	2	2
Serial Communications	MSSP, USART	MSSP, USART	MSSP, USART	MSSP, USART
Parallel Communications	—	PSP	—	PSP
10-bit Analog-to-Digital Module	5 input channels	8 input channels	5 input channels	8 input channels
Instruction Set	35 Instructions	35 Instructions	35 Instructions	35 Instructions

4.3.6 İşlecinin Donanım Blok Diyagramı

Donanım blok şeması aşağıda Şekil 4.19’da verilmiştir.



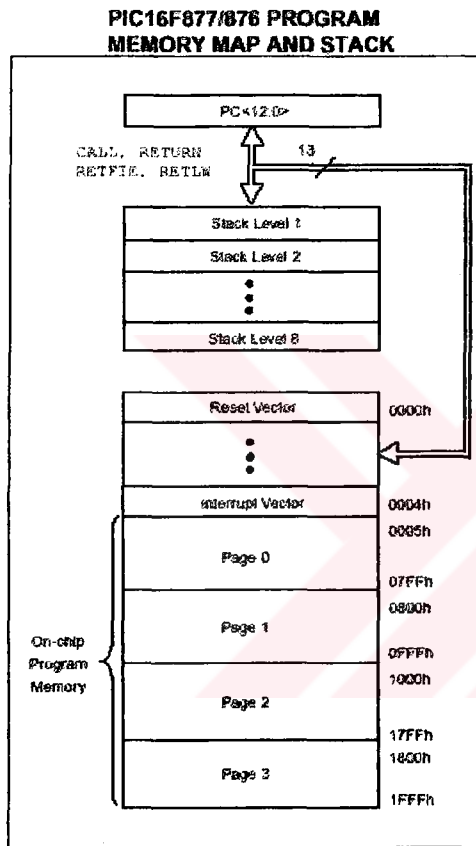
Şekil 4.19 İşlecimci donanım yapısı

4.3.7 İşlemcinin Program Belleği Organizasyonu

16F877, 13 bit genişliğinde 8k program belleğine sahiptir. Bu belleği adreslemek için yine 13 bit genişliğinde Program counter'ı vardır.

Bellek başlangıç adresi 0000H, interrupt vektör adresi 0004H'dir.

Bu yapı aşağıda Şekil 4.20'de şematik olarak gösterilmiştir.



Şekil 4.20 İşlemci program belleği haritası

4.3.8 İşlemcinin Veri Bellek Organizasyonu

İşlemcinin veri belleği özel ve genel amaçlı kütükler'dan oluşmuştur ve bunlar 4 bank içindedir. Bank seçimi durum kütüğü("status register") adı verilen kütüğün 5 ve 6. bitleri tarafından yapılmaktadır. Bu bitlerin çalışması aşağıda verilmiştir.

RP1:RP0 00 → 0. BANK

RP1:RP0 01 → 1. BANK

RP1:RP0 10 → 2. BANK

RP1:RP0 11 → 3. BANK

Her bank 7F'e kadardır (128Byte). Düşük byte'lı bölgeler özel fonksiyon kütüğüne ayrılmıştır. Yüksek byte'lı bölgeler genel amaçlı kütüklere ayrılmıştır. Genel amaçlı kütükler, Statik RAM şeklinde gerçekleştirilmiştir. Çok kullanılan bazı kütükler, kullanım kolaylığı için her banka konmuştur.

Kütük haritası aşağıda tablo 4.7'de gösterilmiştir.

Tablo 4.7 İşlemci veri belleği haritası

PIC16F877/876 REGISTER FILE MAP

Indirect addr. (*)		Indirect addr. (*)		Indirect addr. (*)		Indirect addr. (*)		File Address
TMRO	00h	OPTION_REG	80h	TMRO	100h	OPTION_REG	180h	
PCL	01h	PCL	81h	PCL	101h	PCL	181h	
STATUS	02h	STATUS	82h	STATUS	102h	STATUS	182h	
FSR	03h	FSR	83h	FSR	103h	FSR	183h	
PORTA	04h	TRISA	84h	PORTA	104h	TRISA	184h	
PORTB	05h	TRISB	85h	PORTB	105h	TRISB	185h	
PORTC	06h	TRISC	86h	PORTC	106h	TRISC	186h	
PORTD (1)	07h	TRISD (1)	87h	PORTD	107h	TRISD	187h	
PORTE (1)	08h	TRISE (1)	88h	PORTD	108h	TRISE	188h	
PCLATH	09h	PCLATH	89h	PCLATH	109h	PCLATH	189h	
INTCON	0Ah	INTCON	8Ah	INTCON	10Ah	INTCON	18Ah	
PIR1	0Bh	PIE1	8Bh	EECON1	10Bh	EECON1	18Bh	
PIR2	0Ch	PIE2	8Ch	EECON2	10Ch	EECON2	18Ch	
TMR1L	0Dh	PCON	8Dh	EEADRH	10Dh	Reserved (2)	18Dh	
TMR1H	0Eh	PCON	8Eh	EEADRH	10Eh	Reserved (2)	18Eh	
T1CON	0Fh		8Fh	EEADRH	10Fh	Reserved (2)	18Fh	
TMR2	10h	SSPCON2	90h		110h		190h	
T2CON	11h	PR2	91h		111h		191h	
SSPBUF	12h	SSPADD	92h		112h		192h	
SSPCON	13h	SSPSTAT	93h		113h		193h	
CCPR1L	14h		94h		114h		194h	
CCPR1H	15h		95h		115h		195h	
CCP1CON	16h		96h		116h		196h	
RCSTA	17h		97h		117h		197h	
TXREG	18h	TXSTA	98h		118h		198h	
RCREG	19h	SPBRG	99h		119h		199h	
CCPR2L	1Ah		9Ah		11Ah		19Ah	
CCPR2H	1Bh		9Bh		11Bh		19Bh	
CCP2CON	1Ch		9Ch		11Ch		19Ch	
ADRESH	1Dh		9Dh		11Dh		19Dh	
ADCON0	1Eh	ADRESL	9Eh		11Eh		19Eh	
	1Fh	ADCON1	9Fh		11Fh		19Fh	
	20h		A0h		120h		1A0h	
General Purpose Register 96 Bytes		General Purpose Register 80 Bytes		General Purpose Register 80 Bytes		General Purpose Register 80 Bytes		
	7Fh	accesses 70h-7Fh	EFh	accesses 70h-7Fh	16Fh	accesses 70h-7Fh	1EFh	
Bank 0		Bank 1	FFh	Bank 2	17Fh	Bank 3	1FFh	

(*) Unimplemented data memory locations, read as '0'.
 (1) Not a physical register.
 Note 1. These registers are not implemented on 28-pin devices.
 Note 2. These registers are reserved, maintain these registers clear.

4.3.9 Kütük Açıklamaları

16F877 işlemcisinin içinde çok sayıda özel amaçlı kütük bulunmaktadır. Bu tez için hepsinin açıklanması gerekli değildir. Bu bölümde, ADC ile çalışan programın anlaşılabilmesi için gerekli olan kütükler açıklanacaktır.

4.39.1 Durum (“STATUS”) Kütüğü

Diğer kütüklerin yapmış olduğu işlemlerden veya işlenen komutlardan etkilenen bir kütüktür. Etkilenen bitleri Z(Zero-sıfır), DC(Digit Carry-Yarım Elde), C(Carry-Elde) bitleridir. RP0 ve RP1 sayfa seçimi yaptığımız bitlerdir. Kütük bitlerinin fonksiyonları aşağıdaki tablo 4.8’de özet olarak verilmiştir.

Tablo 4.8 Durum kütüğü bit açıklamaları

STATUS REGISTER (ADDRESS 03h, 83h, 103h, 183h)

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	TO	PD	Z	DC	C
bit7							bit0
R = Readable bit W = Writable bit U = Unimplemented bit, read as '0' - n = Value at POR reset							
bit 7: IRP : Register Bank Select bit (used for indirect addressing) 1 = Bank 2, 3 (100h - 1FFh) 0 = Bank 0, 1 (00h - FFh)							
bit 6-5: RP1:RP0 : Register Bank Select bits (used for direct addressing) 11 = Bank 3 (180h - 1FFh) 10 = Bank 2 (100h - 17Fh) 01 = Bank 1 (80h - FFh) 00 = Bank 0 (00h - 7Fh) Each bank is 128 bytes							
bit 4: TO : Time-out bit 1 = After power-up, CLRWDI instruction, or SLEEP instruction 0 = A WDT time-out occurred							
bit 3: PD : Power-down bit 1 = After power-up or by the CLRWDI instruction 0 = By execution of the SLEEP instruction							
bit 2: Z : Zero bit 1 = The result of an arithmetic or logic operation is zero 0 = The result of an arithmetic or logic operation is not zero							
bit 1: DC : Digit carry/borrow bit (ADDWF, ADDLW, SUBLW, SUBWF instructions) (for borrow the polarity is reversed) 1 = A carry-out from the 4th low order bit of the result occurred 0 = No carry-out from the 4th low order bit of the result							
bit 0: C : Carry/borrow bit (ADDWF, ADDLW, SUBLW, SUBWF instructions) 1 = A carry-out from the most significant bit of the result occurred 0 = No carry-out from the most significant bit of the result occurred Note: For borrow the polarity is reversed. A subtraction is executed by adding the two's complement of the second operand. For rotate (RRF, RLF) instructions, this bit is loaded with either the high or low order bit of the source register.							

Burada Z bitinin açıklaması şu şekildedir.

Herhangi bir komut işlenmesinden sonra sonuç=0→Z=1 sonuç=1→Z=0 olmaktadır.

DC biti ise, sonucun 3. bitinden 4. bitine taşma olması durumunda 1 olmaktadır.

C biti, toplama durumunda, sonucun 7. bitinden taşma olması durumunda 1 olmakta,

Çıkarma durumunda sonuç ≥ 0 ise 1 <0 ise 0 olmaktadır.

4.3.9.2 OPTION_REG Kütüğü

OPTION_REG kütüğü, Timer0 ön skalasını oluşturmak için , Timer0 saat seçimi ve saat kenarı seçimi için, PORTB pull-up dirençlerini aktif etmek için ve harici kesme girişinin kenarını belirlemek için kullanılır. Burada harici kesme girişi önemlidir, çünkü, devre üzerinde DRDY kesme ucudur. Kesme seçimi de ADC'ye uygun olarak düşen kenardır. İçine yazdığımız değer 0'dır. Bit açıklamaları Tablo 4.9'da verilmiştir.

Tablo 4.9 OPTION_REG kütüğü bit açıklamaları

OPTION_REG REGISTER (ADDRESS 81h, 181h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RBPu	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit7						bit0	

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
- n = Value at POR reset

bit 7: **RBPu**: PORTB Pull-up Enable bit
1 = PORTB pull-ups are disabled
0 = PORTB pull-ups are enabled by individual port latch values

bit 6: **INTEDG**: Interrupt Edge Select bit
1 = Interrupt on rising edge of RB0/INT pin
0 = Interrupt on falling edge of RB0/INT pin

bit 5: **T0CS**: TMR0 Clock Source Select bit
1 = Transition on RA4/T0CKI pin
0 = Internal instruction cycle clock (CLKOUT)

bit 4: **T0SE**: TMR0 Source Edge Select bit
1 = Increment on high-to-low transition on RA4/T0CKI pin
0 = Increment on low-to-high transition on RA4/T0CKI pin

bit 3: **PSA**: Prescaler Assignment bit
1 = Prescaler is assigned to the WDT
0 = Prescaler is assigned to the Timer0 module

bit 2-0: **PS2:PS0**: Prescaler Rate Select bits

Bit Value	TMR0 Rate	WDT Rate
000	1:2	1:1
001	1:4	1:2
010	1:8	1:4
011	1:16	1:8
100	1:32	1:16
101	1:64	1:32
110	1:128	1:64
111	1:256	1:128

4.3.9.3 INTCON Kütüğü

Intcon kütüğü işlemcinin kesme lojijini oluştururken kullandığımız kütüktür. Burada tüm kesmeler izin verilmemiş konumdadır. Program içinde ilgileneceğimiz konum kesmelerin bayrak kaldırmalarıdır. Bit tanımlamaları, Tablo 4.10'da verilmiştir. Kesme lojiji, kütük açıklamalarından sonra verilecektir.

Tablo 4.10 INTCON kütüğü bit açıklamaları

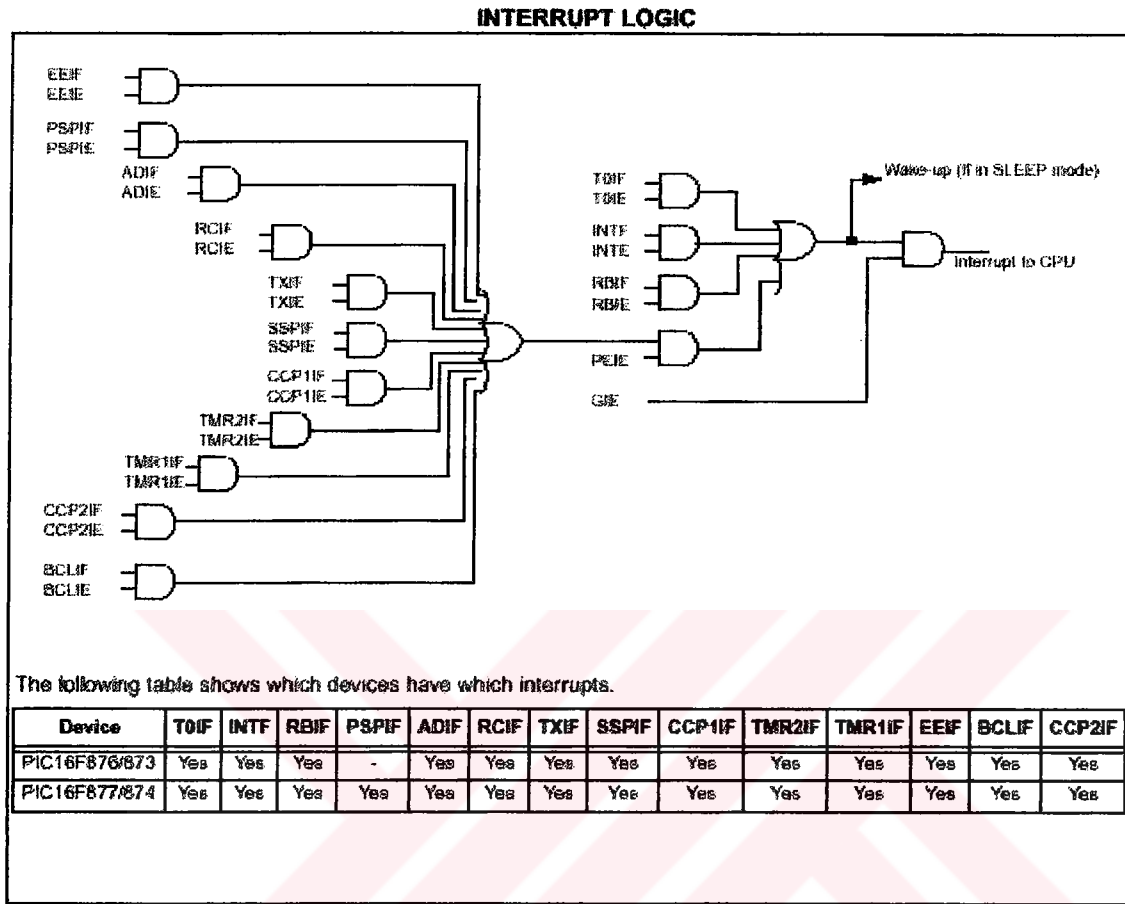
INTCON REGISTER (ADDRESS 0Bh, 8Bh, 10Bh, 18Bh)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF
bit7							bit0
R= Readable bit W= Writable bit U= Unimplemented bit, read as '0' - n= Value at POR reset							
bit 7:	GIE: Global Interrupt Enable bit 1 = Enables all un-masked interrupts 0 = Disables all interrupts						
bit 6:	PEIE: Peripheral Interrupt Enable bit 1 = Enables all un-masked peripheral interrupts 0 = Disables all peripheral interrupts						
bit 5:	TOIE: TMR0 Overflow Interrupt Enable bit 1 = Enables the TMR0 interrupt 0 = Disables the TMR0 interrupt						
bit 4:	INTE: RB0/INT External Interrupt Enable bit 1 = Enables the RB0/INT external interrupt 0 = Disables the RB0/INT external interrupt						
bit 3:	RBIE: RB Port Change Interrupt Enable bit 1 = Enables the RB port change interrupt 0 = Disables the RB port change interrupt						
bit 2:	TOIF: TMR0 Overflow Interrupt Flag bit 1 = TMR0 register has overflowed (must be cleared in software) 0 = TMR0 register did not overflow						
bit 1:	INTF: RB0/INT External Interrupt Flag bit 1 = The RB0/INT external interrupt occurred (must be cleared in software) 0 = The RB0/INT external interrupt did not occur						
bit 0:	RBIF: RB Port Change Interrupt Flag bit 1 = At least one of the RB7:RB4 pins changed state (must be cleared in software) 0 = None of the RB7:RB4 pins have changed state						

4.3.10 Kesme Lojiji

PIC16F877 işlemcisi için programda bir kesme verdirmek istediğimiz zaman aşağıdaki kesme lojijini uygulamalıyız. Programda verdiğimiz kesme, SSPSTAT kütüğünün BF bayrağıyla ve RB0/INT bacağının değişimiyle olmaktadır . Bunu gerçekleştirmek için

INTE biti ve GIE biti 1 olmalıdır. BF, giriş tamponunun bir bayrağı olduğundan ayrıca bir ön koşullandırma gerekmemektedir. Kesme lojisi Şekil 4.21’de verilmiştir.



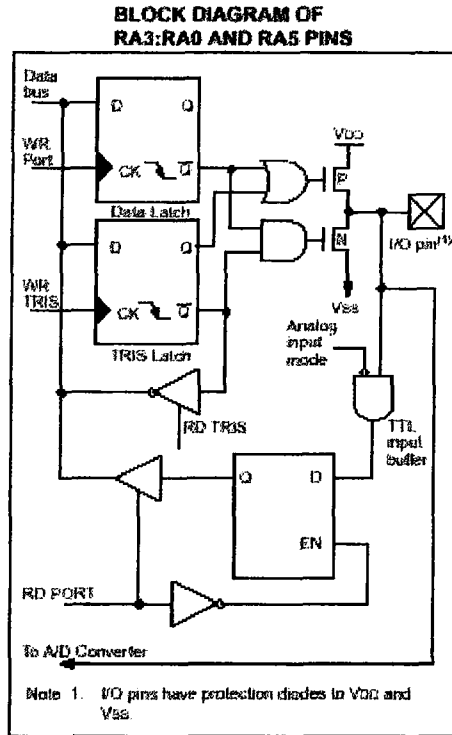
Şekil 4.21 İşlemci kesme lojisi

4.3.11 I/O Portları

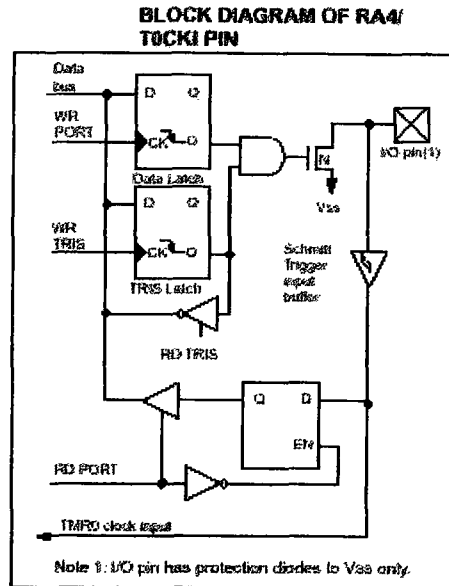
Portların açıklamaları kısaca aşağıdaki gibidir[8-S29-36]

4.3.12.1 PORTA ve TRISA Kütüğü

PORTA, 6 bitlik bir I/O kütüğüdür. PORTA ile eşleşen yön kütüğü TRISA kütüğüdür. TRISA kütüğünün herhangi bir bitine yazılan 0, onunla eşleşen PORTA bitini çıkış olarak; her 1, giriş olarak şartlar. PORTA'nın RA4 pini dışında tüm pinler, TTL I/O yapısındadır. RA4 pini Timer0'ın saat girişi olarak da kullanılmaktadır ve Open-Drain yapısındadır. Diğer pinler de işlemcinin ADC girişleri ve referansı olarak da görev yapabilmektedirler. PORTA, tezin yapımında, paralel port giriş çıkışı ve arayüz izleyicilerinin kontrolörü olarak kullanılmıştır. PORTA'nın yapısı Şekil 4.22 ve 4.23'te gösterilmiştir.



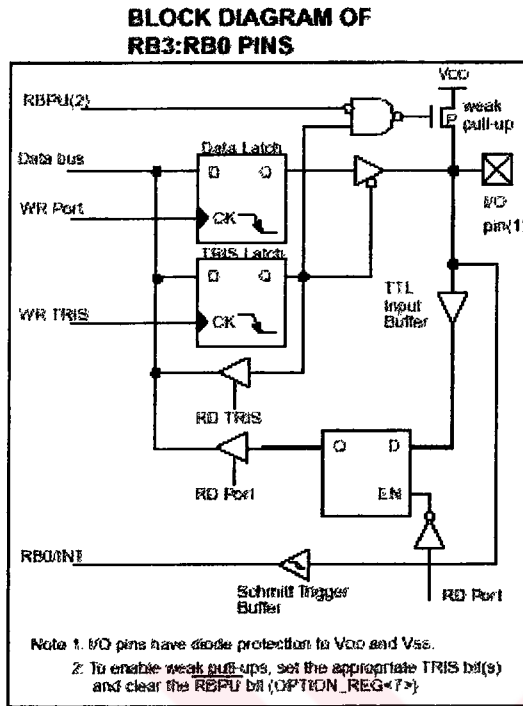
Şekil 4.22 İşlemci A portunun RA3:RA0 yapısı



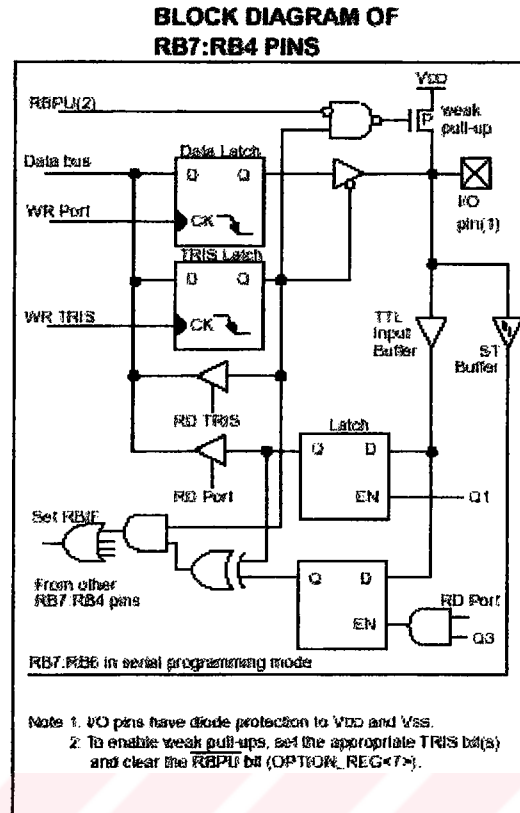
Şekil 4.23 İşlemci A portunun RA4 yapısı

4.3.12.2 PORTB ve TRISB Kütüğü

PORTB 8 bitlik bir I/O kütüğüdür. PORTB ile eşleşen yön kütüğü TRISB kütüğüdür. TRISB kütüğünün herhangi bir bitine yazılan 0, onunla eşleşen PORTB bitini çıkış olarak; her 1, giriş olarak şartlar. PORTB'nin 0,6 ve 7. pinleri ST/TTL, diğer pinleri TTL yapıdadır. PORTB, aynı zamanda, 2 bacakla işlemcinin seri olarak programlanmasını sağlar. PORTB giriş olarak kullanıldığında, kendi iç yapısında olan zayıf yukarı çekici("pull-up") dirençler aktif yapılabilir. Çıkış olarak kullanıldığında işlemci bu zayıf yukarı çekici dirençleri otomatik olarak iptal eder. PORTB'nin RB[4:7] pinleri, durumları değiştiğinde işlemciye kesme verebilme özelliğine sahiptirler. RB0/INT girişi de, darbe kenarına göre işlemciye kesme verebilmektedir. Tezin yapımında PORTB DRDY kesmesini almak için ve ADC'yi kontrol etmek için kullanılmıştır. Ayrıntılı bilgi açık şemada verilmiştir. PORTB'nin yapısı Şekil 4.24 ve 4.25'te gösterilmiştir.



Şekil 4.24 İşlemci B portunun RB3:RB0 yapısı

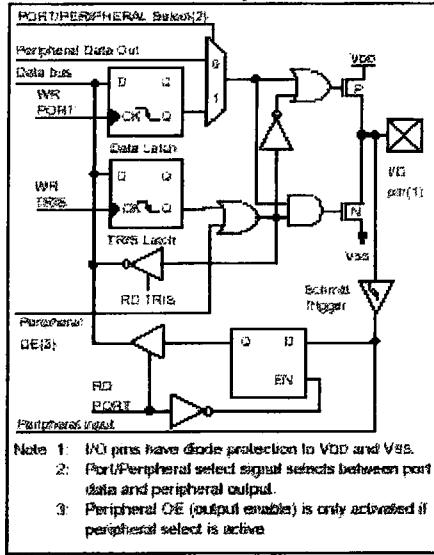


Şekil 4.25 İşlemci B portunun RB7:RB4 yapısı

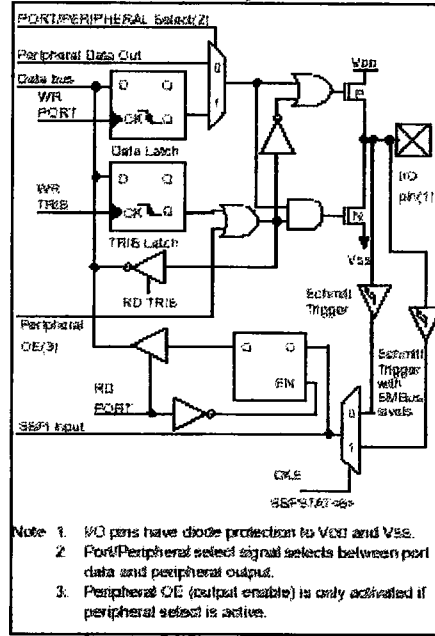
4.3.12.3 PORTC ve TRISC Kütüğü

PORTC, 8 bitlik bir I/O kütüğüdür. PORTC ile eşleşen yön kütüğü TRISC kütüğüdür. TRISC kütüğünün herhangi bir bitine yazılan 0, onunla eşleşen PORTC bitini çıkış olarak; her 1, giriş olarak şartlar. PORTC'nin bacakları ST("Schmitt Trigger") giriş izleyici yapısına sahiptir. Yakalama ("Capture"), karşılaştırma ("compare"), PWM modülleri ve senkron seri portu vardır. İşlemci içine donanım olarak entegre edilmiş olan USART ("Universal Synchronous Asynchronous Receiver Transmitter"), PORTC'nin 6 ve 7. pinlerini kullanmaktadır. Tezin yapımında PORTC, senkron seri haberleşme için kullanılmıştır. Senkron seri haberleşme, PORTC'nin SPI arayüzü kullanılarak yapılmıştır. PORTC'nin yapısı Şekil 4.26 ve Şekil 4.27'de gösterilmiştir.

**FIGURE 3-5: PORTC BLOCK DIAGRAM
(PERIPHERAL OUTPUT
OVERRIDE) RC<0:2> RC<5:7>**



**FIGURE 3-6: PORTC BLOCK DIAGRAM
(PERIPHERAL OUTPUT
OVERRIDE) RC<3:4>**



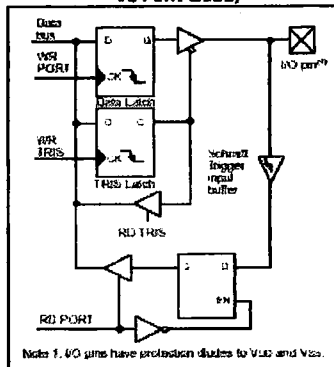
**Şekil 4.26 İşlemci C portunun RC<0:2>
RC <5:7> yapısı**

**Şekil 4.27 İşlemci C portunun RC<3:4> ve
yapısı**

4.3.12.4 PORTD ve TRISD Kütüğü

PORTD, 8 bitlik bir I/O kütüğüdür. Her pini ST girişine sahiptir. PORTD ile eşleşen yön kütüğü TRISD kütüğüdür. TRISD kütüğünün herhangi bir bitine yazılan 0, onunla eşleşen PORTD bitini çıkış olarak; her 1, giriş olarak şartlar. PORTD, 64k'ya kadar dış bellek adreslemek gerektiğinde kullanılmaktadır. Tezin yapımında, PORTD, paralel portla haberleşme arayüzü olarak kullanılmıştır. PORTD bacak yapısı aşağıda Şekil 4.28'de verilmiştir.

**FIGURE 3-7: PORTD BLOCK DIAGRAM (IN
I/O PORT MODE)**

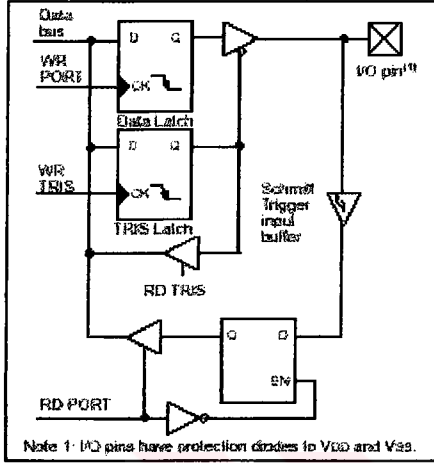


Şekil 4.28 İşlemci D portunun yapısı

4.3.12.5 PORTE ve TRISE Kütüğü

PORTE, PORTD'nin yazma ve okuma çevrimlerini kontrol eden kütüktür. (WR), (RD) ve (CS) pinlerine sahiptir. Tez için kullanılmamıştır. PORTE'nin pin yapısı, Şekil 4.29'da verilmiştir.

FIGURE 3-8: PORTE BLOCK DIAGRAM (IN I/O PORT MODE)



Şekil 4.29 İşlemci E portunun yapısı

4.3.13 PIC16F877'NİN Senkron Seri Haberleşmesi

4.3.13.1 MASTER SYNCHRONOUS SERIAL PORT(MSSP) Yapısı

İşlemcinin diğer ADC'ler veya mikrokontrolörler ile haberleşmesi için kullandığı port'tur. MSSP iki şekilde çalışabilir:

Serial Peripheral Interface (SPI)

Inner Integrated Circuit (I²C modları.)

Tez için SPI modu kullanılmaktadır.

4.3.13.2 SPI Modu ve Çalışması

SPI modu 8 bit verinin senkron olarak alma/göndermesini sağlayan moddur. Tipik olarak 3 pin kullanılır.

SDI (Serial Data Input)

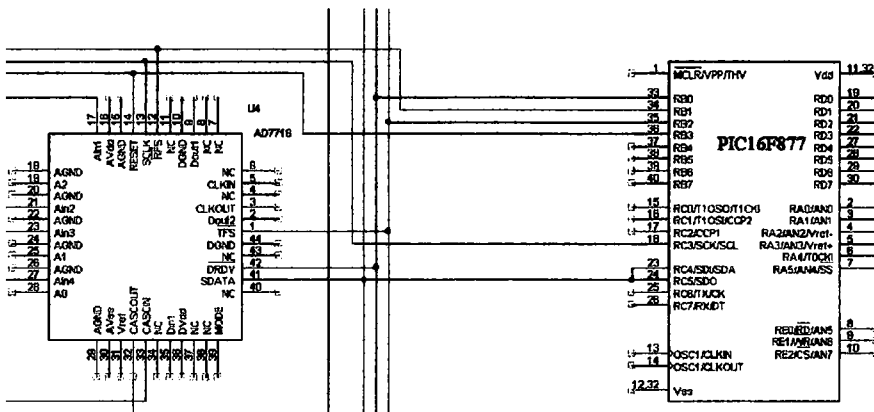
MSSP, SSPRS ve SSPBUF kütüklerini kullanarak okuma/yazma tamponlaması yapmaktadır. Yazma çevriminde veri SSPSR'a direkt yazılmakta ve her saat çevriminde ilk çıkan bit MSB(en anlamlı bit) olmak üzere bir bit dışarı çıkarılmaktadır. Transmisyon bittiğinde, BF biti set olmaktadır. SSPBUF, yeni veri okunmadığı müddetçe, üzerine yazılan veriyi tutmaktadır. Okuma çevriminde, SSPREG dolduğu zaman, veri, SSPBUF kütüğüne aktarılmaktadır. Aynı anda izleyici dolu durum biti ("Buffer full status bit"), (BF) aktif olmaktadır. Bu yapı ikinci bayt alındığında birinci baytın okunmasını ve bu şekilde veri kaybı olmamasını sağlamaktadır. BF aktif olduğunda SSPBUF içindeki veri yazılımla okunmalıdır. Veri okunduğunda BF otomatik olarak resetlenmektedir. Eğer veri transfer edilirken, SSPBUF'a yazılmaya çalışılırsa, yazılan veri iptal edilmekte ve WCOL(Write collision) biti aktif olmaktadır.

4.3.13.3 SPI Haberleşmesini Aktif Yapmak

SPI haberleşmesini aktif hale getirebilmek için PORTC pinlerini aşağıdaki şekilde koşullamak gereklidir.

- ❖ SDI, SPI modülü tarafından otomatik olarak koşullanmaktadır.
- ❖ PORTC'nin SDO pini çıkış olarak koşullanmalıdır
- ❖ SCK master mod için çıkış olarak koşullanmalıdır.
- ❖ SCK slave mod için giriş olarak koşullanmalıdır.

SCK'nın bağlantı yapısı, devrenin şematik çiziminde, aşağıda Şekil 4.31'deki gibi gösterilmiştir.



4.3.13.4 SPI Haberleşmesini Koşullayan Kütükler

SPI haberleşmesini koşullamak için 3 kütük kullanılmaktadır. Bunlar sırasıyla SSPSTAT, SSPCON, SSPCON2 kütükleridir. SSPCON2, tez için kullanılmamıştır. Çünkü I²C modunda kullanılmamaktadır. Bu kütüklerin yapıları, aşağıda, ayrıntılı şekilde gösterilmiştir.

4.3.13.4.1 SSPSTAT ve SSPCON kütüklerinin yapısı

Tablo 4.11’de, SSPSTAT kütüğünün bit açıklamaları gösterilmiştir.

Tablo 4.11 SSPSTAT kütüğünün bit açıklamaları
SSPSTAT: SYNC SERIAL PORT STATUS REGISTER (ADDRESS: 94h)

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/A	P	S	R/W	UA	BF
bit 7							bit 0
bit 7 SMP: Sample bit <u>SPI Master Mode</u> 1 = Input data sampled at end of data output time 0 = Input data sampled at middle of data output time <u>SPI Slave Mode</u> SMP must be cleared when SPI is used in slave mode <u>In I²C master or slave mode:</u> 1 = Slew rate control disabled for standard speed mode (100 kHz and 1 MHz) 0 = Slew rate control enabled for high speed mode (400 kHz)							
bit 6 CKE: SPI Clock Edge Select (Figure 9-6, Figure 9-8, and Figure 9-9) <u>SPI Mode</u> <u>CKP = 0</u> 1 = Data transmitted on rising edge of SCK 0 = Data transmitted on falling edge of SCK <u>CKP = 1</u> 1 = Data transmitted on falling edge of SCK 0 = Data transmitted on rising edge of SCK <u>In I²C Master or Slave Mode:</u> 1 = Input levels conform to SMBUS spec 0 = Input levels conform to I²C spec							
bit 5 D/A: Data/Address bit (I²C mode only) 1 = Indicates that the last byte received or transmitted was data 0 = Indicates that the last byte received or transmitted was address							
bit 4 P: Stop bit (I²C mode only: This bit is cleared when the MSSP module is disabled, SSPEN is cleared) 1 = Indicates that a stop bit has been detected last (this bit is '0' on RESET) 0 = Stop bit was not detected last							
bit 3 S: Start bit (I²C mode only: This bit is cleared when the MSSP module is disabled, SSPEN is cleared) 1 = Indicates that a start bit has been detected last (this bit is '0' on RESET) 0 = Start bit was not detected last							
bit 2 R/W: Read/Write bit information (I²C mode only) This bit holds the R/W bit information following the last address match. This bit is only valid from the address match to the next start bit, stop bit, or not ACK bit. <u>In I²C slave mode:</u> 1 = Read 0 = Write <u>In I²C master mode:</u> 1 = Transmit is in progress 0 = Transmit is not in progress. Or'ing this bit with SEN, RSEN, PEN, RCEN, or ACKEN will indicate if the MSSP is in IDLE mode.							
bit 1 UA: Update Address (10-bit I²C mode only) 1 = Indicates that the user needs to update the address in the SSPADD register 0 = Address does not need to be updated							
bit 0 BF: Buffer Full Status bit <u>Receive (SPI and I²C modes)</u> 1 = Receive complete, SSPBUF is full 0 = Receive not complete, SSPBUF is empty <u>Transmit (I²C mode only)</u> 1 = Data Transmit in progress (does not include the ACK and stop bits). SSPBUF is full 0 = Data Transmit complete (does not include the ACK and stop bits). SSPBUF is empty							

Tablo 4.12 'de SSPCON kütüğünün bit açıklamaları gösterilmiştir.

Tablo 4.12 SSPCON kütüğünün bit açıklamaları.

SSPCON: SYNC SERIAL PORT CONTROL REGISTER (ADDRESS 14h)

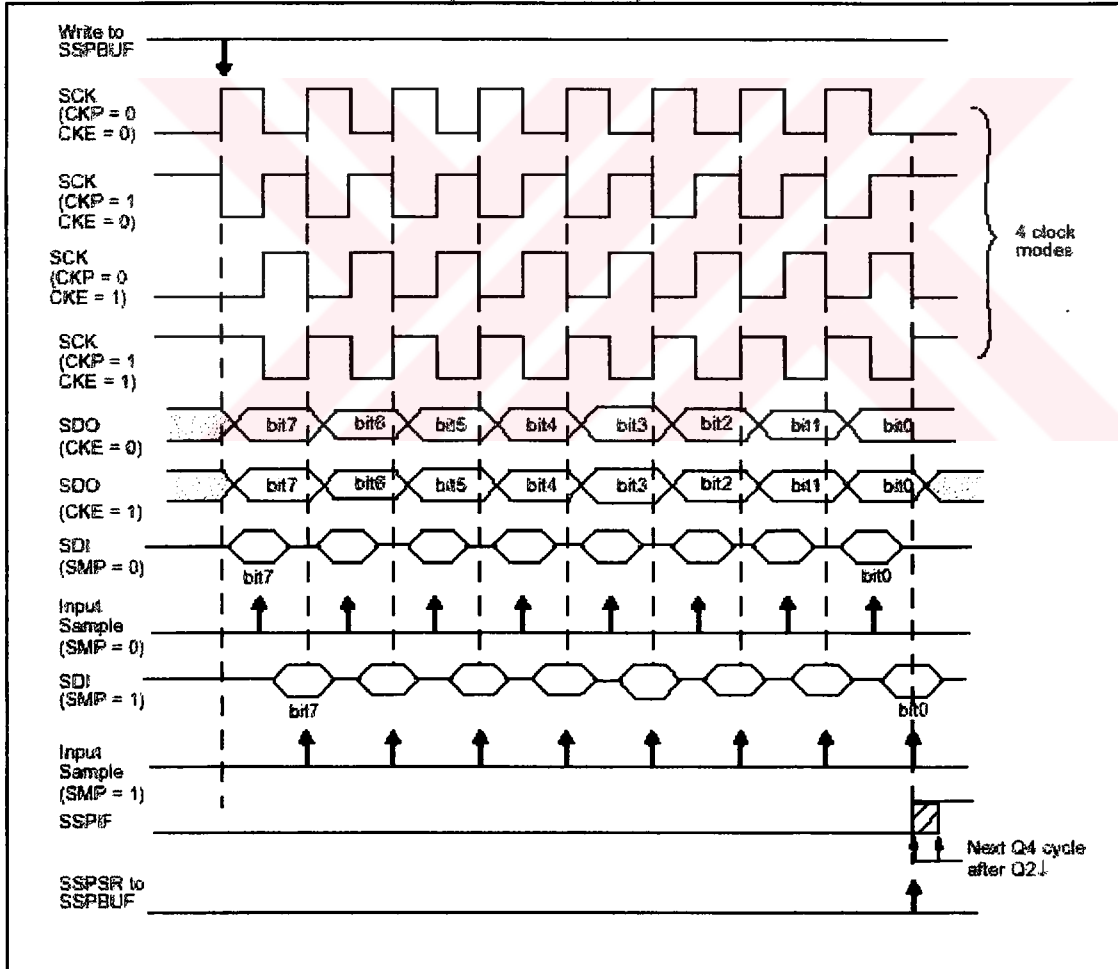
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	
bit7				bit0				R = Readable bit W = Writable bit - n = Value at POR reset
bit 7:	WCOL: Write Collision Detect bit <u>Master Mode:</u> 1 = A write to SSPBUF was attempted while the I ² C conditions were not valid 0 = No collision <u>Slave Mode:</u> 1 = SSPBUF register is written while still transmitting the previous word (must be cleared in software) 0 = No collision							
bit 6:	SSPOV: Receive Overflow Indicator bit <u>In SPI mode</u> 1 = A new byte is received while SSPBUF holds previous data. Data in SSPSR is lost on overflow. In slave mode the user must read the SSPBUF, even if only transmitting data, to avoid overflows. In master mode the overflow bit is not set since each operation is initiated by writing to the SSPBUF register. (Must be cleared in software). 0 = No overflow <u>In I²C mode</u> 1 = A byte is received while the SSPBUF is holding the previous byte. SSPOV is a "don't care" in transmit mode. (Must be cleared in software). 0 = No overflow							
bit 5:	SSPEN: Synchronous Serial Port Enable bit <u>In SPI mode</u> , when enabled, these pins must be properly configured as input or output. 1 = Enables serial port and configures SCK, SDO, SDI, and SS as the source of the serial port pins 0 = Disables serial port and configures these pins as I/O port pins <u>In I²C mode</u> , when enabled, these pins must be properly configured as input or output. 1 = Enables the serial port and configures the SDA and SCL pins as the source of the serial port pins 0 = Disables serial port and configures these pins as I/O port pins							
bit 4:	CKP: Clock Polarity Select bit <u>In SPI mode</u> 1 = Idle state for clock is a high level 0 = Idle state for clock is a low level <u>In I²C slave mode</u> , SCK release control 1 = Enable clock 0 = Holds clock low (clock stretch) (Used to ensure data setup time) <u>In I²C master mode</u> Unused in this mode							
bit 3-0:	SSPM3:SSPM0: Synchronous Serial Port Mode Select bits 0000 = SPI master mode, clock = FOSC/4 0001 = SPI master mode, clock = FOSC/16 0010 = SPI master mode, clock = FOSC/64 0011 = SPI master mode, clock = TMR2 output/2 0100 = SPI slave mode, clock = SCK pin, SS pin control enabled. 0101 = SPI slave mode, clock = SCK pin, SS pin control disabled. SS can be used as I/O pin 0110 = I ² C slave mode, 7-bit address 0111 = I ² C slave mode, 10-bit address 1000 = I ² C master mode, clock = FOSC / (4 * (SSPAD+1)) 1011 = I ² C firmware controlled master mode (slave idle) 1110 = I ² C firmware controlled master mode, 7-bit address with start and stop bit interrupts enabled 1111 = I ² C firmware controlled master mode, 10-bit address with start and stop bit interrupts enabled. 1001, 1010, 1100, 1101 = reserved							

Tezin yapımında, işlemci master yapıda olduğu için, Master yapının dalga formları, senkron seri haberleşme yapılabilmesi için gereklidir. Master yapıda işlemci master, ADC slave durumundadır. İşlemci, ADC ile haberleşmesinde, maksimum $f_{osc}/4$ hızında darbe üretmektedir. Seçilen osilatör frekansı 20MHz'dir. Buna göre 5MHz ile senkron haberleşme yapılmaktadır. Aşağıdaki şemada işlemciden ilk çıkan bit, MSB'dir. ADC'nin haberleşme yapısında, veri, her zaman darbenin düşen kenarında geçerli olmaktadır. Bu yüzden yapılacak seçimler CKE=0, CKP=0 ve SMP=0 olmaktadır.

Bu seçimlerin ne şekilde yapılacağı tablo 4.1'de gösterilmiştir.

Tablo 4.13 SPI MASTER MODE dalga biçimlerinin seçimi

FIGURE 9-6: SPI MODE WAVEFORM (MASTER MODE)



Tüm bu işlemlerden sonra, işlemci, senkron seri haberleşme ile verileri almakta ve bilgisayarın paralel portuna göndermektedir. Paralel porta veri gönderilirken, devre ile

paralel port arasında izolasyon yapılması gereklidir. Aksi halde bilgisayardan gelebilecek hayati tehlikesi olan kaçak akımlar devrenin girişine ve oradan da hastaya geçebilecektir. Bu yüzden, veri işlemciden gönderilirken önce izleyici üzerinden geçirilir, izleyiciden sonra optokuplörden geçirilerek paralel porta bağlanır. Tezin yapımında, izleyici olarak 74125, optokuplor olarak HP2231 kullanılmıştır. Bu yapılar, ayrıntılı biçimde, devrenin şematik çiziminde gösterilmiştir.



5. SONUÇLAR

Yapılan tez çalışmasında, çok kanallı bir EKG cihazı tasarlanmış ve bu cihaz aldığı bilgileri bilgisayar ortamına aktaracak şekilde yapılmıştır. Alınan örnekler, 558Hz hızında örneklenmiş ve 146Hz'lik bir alçak geçiren filtreden geçirilmiştir. Alınan veriler, bilgisayarın paralel portu kullanılarak, bilgisayar ortamına aktarılabilmektedir. Bu işlem, mikroişlemci kontrollü olarak yapılmaktadır.

Böyle bir sistemin yapılmasıyla, insan vücudundan çok kanallı olarak ve 22 bit hassasiyette alınan EKG verileri, bilgisayar ortamında saklanabilecek ve istenildiği zaman gösterilebilecektir. Bu da, doktorun istediği derivasyonları görebilmesine, bilgisayar ortamında istenilen filtreleri ve kuvvetlendirme işlemlerini yapabilmesine çok yüksek hassasiyetli olarak olanak sağlayacaktır. Böylece, hastalık teşhisinde doktorun karar verebilme inancı artmış ve hastanın yanında bulunmadan da teşhis koyabilme imkanı doğmuş olacaktır.

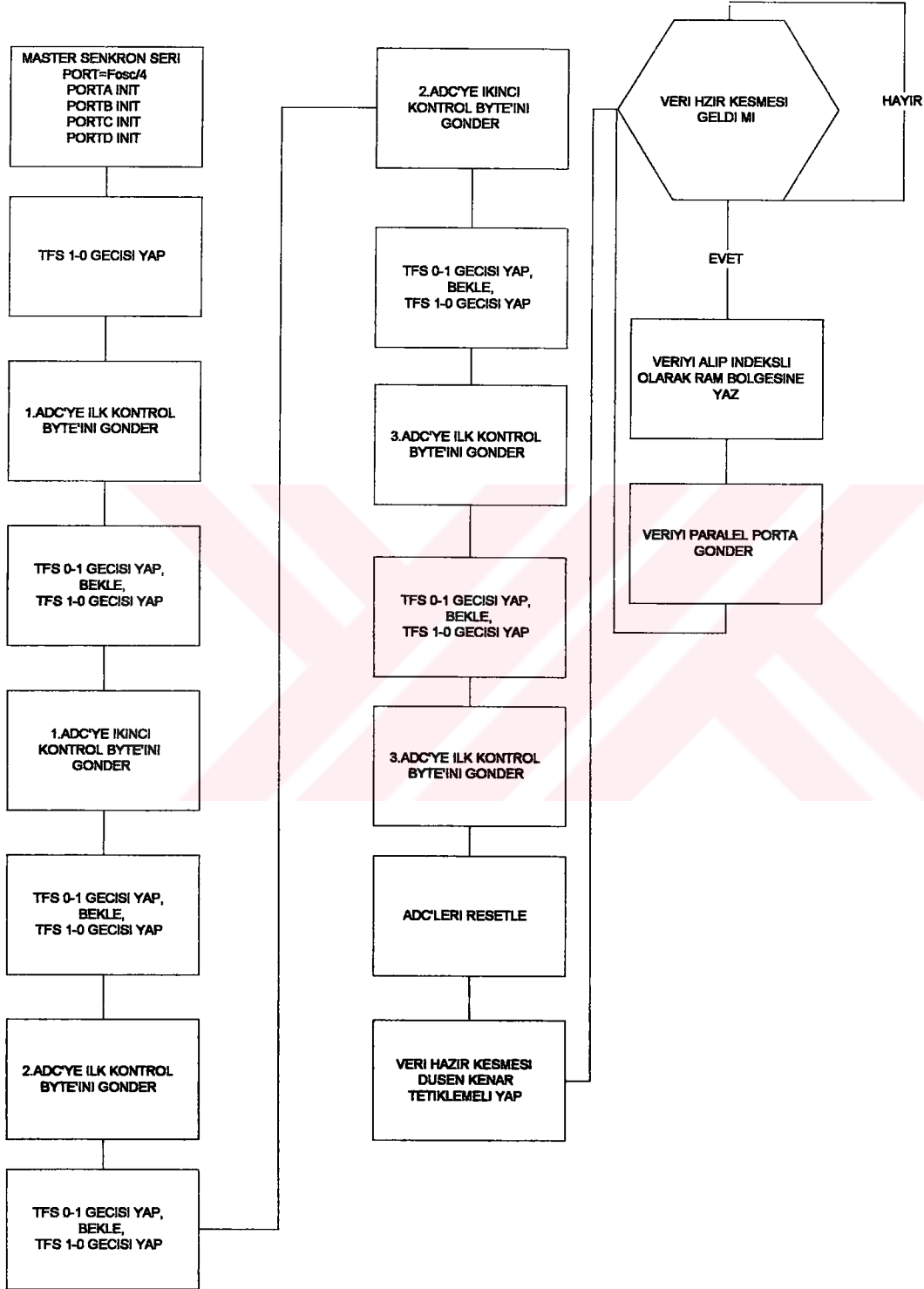
KAYNAKLAR

- [1] **Korürek, M.**,1996. Tıp Elektronikinde Tasarım İlkeleri, İTÜ.Elektrik-Elektronik Fakültesi, Ofset Baskı Atölyesi.
- [2] **Yazgan, E. ve Korürek, M.**, 1996. Tıp Elektronik, İTÜ.Elektrik-Elektronik Fakültesi, Ofset Baskı Atölyesi.
- [3] **Linear Products Databook** Analog Devices,1988.
- [4] **Murthy, J. S. N. and Durga P. ,** Analysis of ECG From-Zero Models,
IEEE Trans. On Biomed. Eng. , Vol. 37, No. 7, pp. 741-751, 1992.
- [5] **Bryne,M.** Instrumentation Applications of New Sigma-Delta A/D Converters.
Analog Dialogue 28-2, 1994
- [6] **PIC16F877 DATASHEET**, Microchip Technology Inc. ,1998
- [7] **LC²MOS 22 BIT DATA ACQUISATOIN SYSTEM, AD7716 DATASHEET**,
Analog Devices,1995

EKLER

EK A

İşlemci Programının Blok Diyagramı

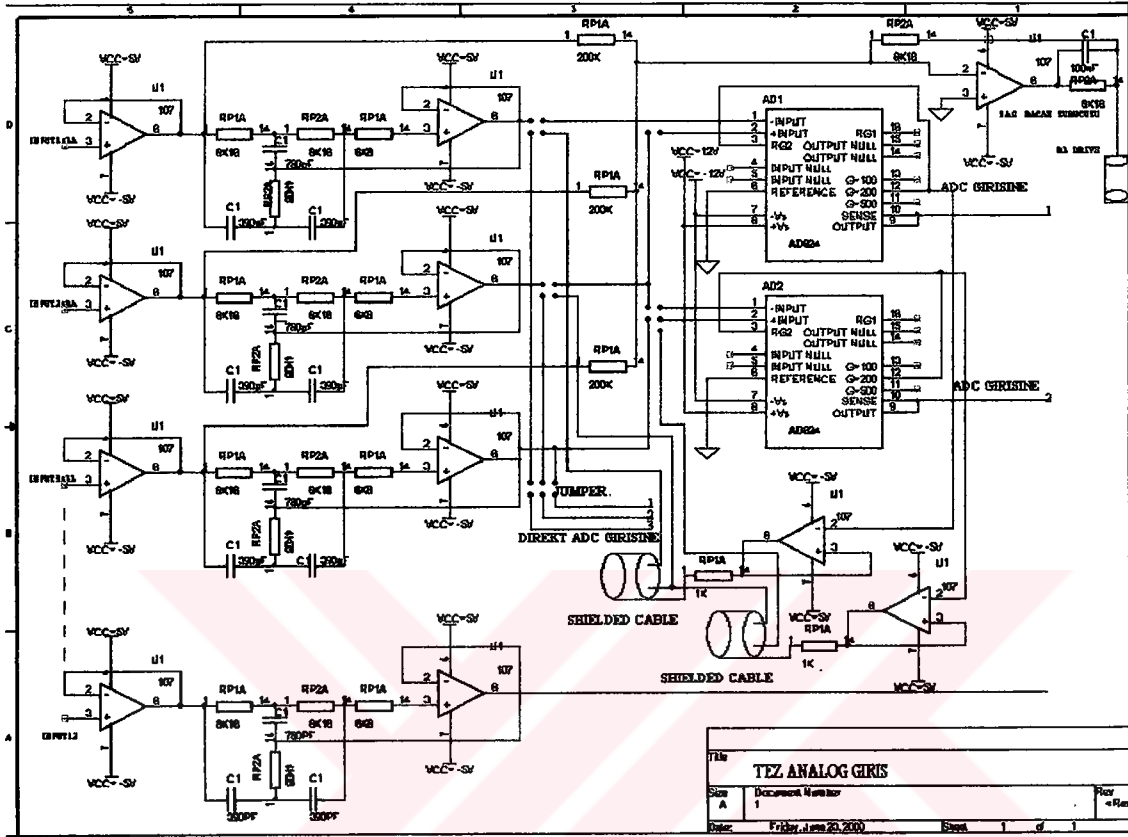


Şekil A.1 İşlemci programının blok diyagramı

EK B

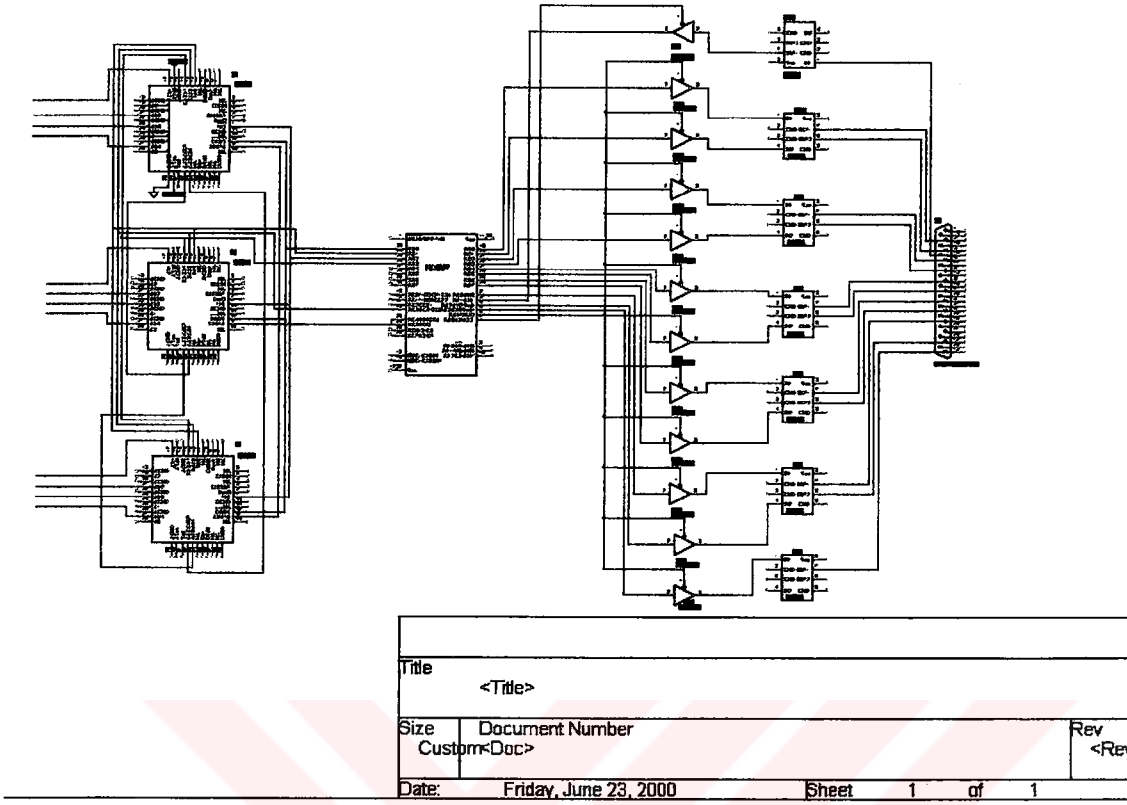
BASKI DEVRE ŞEMATİK ÇİZİMLERİ

ANALOG GİRİŞ KATI



Şekil B.1 Analog giriş kati çizimi

ADC-MİKRODENETLEYİCİ-PARALEL PORT KATI



Şekil B.2 ADC İşlemci-Paralel port bağlantısı Çizimleri

Çizimler diskette ayrıca verilmiştir.

EK C

İŞLEMCİ PROGRAMI

Diskette verilmiştir.



ÖZGEÇMİŞ

1975 yılında İstanbul'da doğdu. 1982 yılında Ertuğrul Gazi İlkokuluna başladı. Ortaokulu 1987 yılında başladığı Kadri Yörükoğlu ortaokulunda okudu. 1989 yılında Eyüp otakçılar lisesine başladı. 1992 yılında mezun oldu ve aynı yıl Yıldız Teknik Üniversitesi Elektronik ve Haberleşme Mühendisliğini kazandı. Yıldız Teknik Üniversitesinden 1996 yılında mezun oldu ve aynı yıl Yıldız Teknik Üniversitesinde yüksek lisansa başladı. Bir yıl boyunca Yıldız Teknik Üniversitesi'nde yüksek lisans yaptıktan sonra İstanbul Teknik Üniversitesi'nin sınavlarını kazanarak İstanbul Teknik Üniversitesi'nde yüksek lisansa başladı.

