

**GLOBAL FARKLI YER BELİRLEME SİSTEMLERİ İÇİN
ATİK SÜZGEÇ UYGULAMALARI**

YÜKSEK LİSANS TEZİ

Mesut ATASOYU

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Programı

MAYIS 2014

**GLOBAL FARKLI YER BELİRLEME SİSTEMLERİ İÇİN
ATİK SÜZGEÇ UYGULAMALARI**

YÜKSEK LİSANS TEZİ

**Mesut ATASOYU
(504121382)**

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Programı

Tez Danışmanı: Prof. Dr. Hakan KUNTMAN

MAYIS 2014

İTÜ, Fen Bilimleri Enstitüsü'nün 504121382 numaralı Yüksek Lisans Öğrencisi **Mesut ATASOYU**, ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı “**GLOBAL FARKLI YER BELİRLEME SİSTEMLERİ İÇİN ATIK SÜZGEÇ UYGULAMALARI**” başlıklı tezini aşağıdaki imzaları olan jüri önünde başarı ile sunmuştur.

Tez Danışmanı : **Prof. Dr. Hakan KUNTMAN**
İstanbul Teknik Üniversitesi

Jüri Üyeleri : **Prof. Dr. Sadri Özcan**
İstanbul Teknik Üniversitesi

Prof. Dr. Herman Sedef
Yıldız Teknik Üniversitesi

.....

Teslim Tarihi : **5 Mayıs 2014**
Savunma Tarihi : **21 Mayıs 2014**

Aileme,

ÖNSÖZ

Bu tez çalışmasında danışmanlığımı yapan değerli hocam Prof.Dr.Hakan KUNT-MAN'a teşekkür ederim.

Aileme maddi ve manevi olarak sağladıkları tüm destekler için ve bana inandıkları için teşekkür ederim.

Çalışma arkadaşım Yüksek Mühendis Ersin ALAYBEYOĞLU'na tez çalışmama katkılarından dolayı teşekkür ederim.

Mayıs 2014

Mesut ATASOYU
(Elektrik - Elektronik Mühendisi)

İÇİNDEKİLER

	<u>Sayfa</u>
ÖNSÖZ	vii
İÇİNDEKİLER	ix
KISALTMALAR.....	xi
ÇİZELGE LİSTESİ.....	xiii
ŞEKİL LİSTESİ.....	xv
ÖZET	xix
SUMMARY	xxi
1. GİRİŞ.....	1
1.1 Amaç.....	1
1.2 Temel Yaklaşım	2
1.3 Literatür Araştırması	2
1.4 Motivasyon	3
1.5 Tezin Kapsamı	4
1.6 Teori.....	5
1.7 Şifreli ve Bilişsel Haberleşme Sistemleri	7
1.7.1 Yazılım tabanlı radyo	7
1.7.2 Farklı yer belirleme sistemleri	7
1.7.3 Çoklu standart alıcı-verici mimarileri	8
1.7.4 Yeniden ayarlanabilir elemanlarla oluşturulan alıcılar	8
1.7.5 Yeniden ayarlanabilir aktif süzgeçler	8
1.7.6 Atiklik.....	8
2. CMOS CCCII+ DEVRE YAPISI TABANLI AYARLANABİLİR ATİK SÜZGEÇ UYGULAMASI	9
2.1 CMOS CCCII+ Devre Yapısı	9
2.2 CMOS CCCII+ Devresinin Ana Karakteristikleri.....	11
2.3 CMOS CCCII+ Devresi Atik Süzgeç Uygulaması.....	15
2.4 CMOS CCCII+ Devresi Serimleri ve Serim Sonrası Benzetimleri.....	20
3. CMOS CDTA DEVRE YAPISI TABANLI AYARLANABİLİR ATİK SÜZGEÇ UYGULAMASI	25
3.1 CMOS CDTA Devre Yapısı.....	25
3.2 CMOS CDTA Devresinin Ana Karakteristikleri.....	28
3.3 CMOS CDTA Devresi Atik Süzgeç Uygulaması.....	31
3.4 CMOS CDTA Serimi ve Serim Sonrası Benzetimleri.....	36
4. CMOS ECCII+ DEVRE YAPISI TABANLI AYARLANABİLİR ATİK SÜZGEÇ UYGULAMASI	39
4.1 CMOS ECCII+ Devre Yapısı	39
4.2 CMOS ECCII+ Devresinin Ana karakteristikleri.....	41

4.3 CMOS ECCII+ Devresi Atık Süzgeç Uygulaması.....	45
4.4 CMOS ECCII+ Serimi ve Serim sonrası Benzetimleri	49
5. SİMETRİK CMOS OTA DEVRE YAPISI TABANLI AYARLANABİLİR	
ATİK SÜZGEÇ UYGULAMASI	51
5.1 Simetrik CMOS OTA Devre Yapısı.....	51
5.2 Simetrik CMOS OTA Devresinin Ana karakteristikleri	53
5.3 Simetrik CMOS OTA Devresi Atık Süzgeç Uygulaması.....	57
5.4 Simetrik CMOS OTA Devresi Serimi ve Serim Sonrası Benzetimleri	61
6. SONUÇLAR VE ÖNERİLER.....	63
6.1 Sonuçlar	63
6.2 Karşılaştırmalar	63
6.3 Öneriler.....	66
6.4 Gelecek Çalışmalar.....	67
KAYNAKLAR.....	69
ÖZGEÇMİŞ	73

KISALTMALAR

CCCH	: Akım Kontrollü İkinci Kuşak Akım Taşıyıcısı
CDTA	: Akım Farkı Alan Geçiş İletkenliği Kuvvetlendiricisi
ECCCH	: Elektronik olarak Kontrol edilebilen İkinci Kuşak Akım Taşıyıcısı
OTA	: Geçiş İletkenliği Kuvvetlendiricisi
THD	: Toplam Harmonik Distorsiyonu
LNA	: Düşük gürültülü Kuvvetlendirici
GNSS	: Global Yer Belirleme Uydu Sistemleri
GPS	: Global Yer Belirleme Sistemleri
DRC	: Programlanabilir Dizi Mantığı
LVS	: Serim Şematik Eşleştirmesi
QRC	: Parazitik Çıkarımı

ÇİZELGE LİSTESİ

	<u>Sayfa</u>
Çizelge 1.1: <i>Class-1</i> ve <i>class-n</i> süzgeç yapıları için karakteristik analizleri.	7
Çizelge 2.1: Tasarlanan devrenin transistör boyutları.	11
Çizelge 3.1: Tasarlanan devrenin transistör boyutları.	28
Çizelge 5.1: Tasarlanan devrenin transistör boyutları.	52
Çizelge 6.1: CCCII+ devresi performans analizi.....	64
Çizelge 6.2: CDTA devresi performans analizi.	64
Çizelge 6.3: ECCII+ devresi performans analizi.....	65
Çizelge 6.4: OTA devresi performans analizi.....	66

ŞEKİL LİSTESİ

	<u>Sayfa</u>
Şekil 1.1 : Bir alıcı blok diyagramı [1].	2
Şekil 1.2 : Temel <i>class-1</i> süzgeç yapısı [2].	6
Şekil 1.3 : <i>Class-n</i> frekans atık süzgeç yapısı [2].	6
Şekil 2.1 : CMOS CCCII+ blok gösterimi [3].	10
Şekil 2.2 : CMOS CCCII+ eşdeğer devresi [4].	10
Şekil 2.3 : Tasarlanan CMOS CCCII+ devresi	11
Şekil 2.4 : Tasarlanan devre için gerilim transfer karakteristiği.	12
Şekil 2.5 : Tasarlanan devre için gürültü analizi.	12
Şekil 2.6 : Tasarlanan devre için akım transfer karakteristiği.	13
Şekil 2.7 : Tasarlanan devre için akım kazanç karakteristiği.	13
Şekil 2.8 : Tasarlanan devre için akım zaman bölgesi analizi karakteristiği.	14
Şekil 2.9 : $11\mu A$ 'lık kutuplama akımı için tasarlanan devrenin X ucu girişi parazitik direnci.	14
Şekil 2.10 : Temel <i>class-0</i> süzgeç yapısı [2].	16
Şekil 2.11 : <i>class-2</i> süzgeç yapısı [2].	16
Şekil 2.12 : Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.	17
Şekil 2.13 : Tasarlanan devre için dördüncü dereceden band geçiren süzgeç karakteristiği.	18
Şekil 2.14 : Tasarlanan devrenin R_x parazitik direnci için en kötü durum analizi..	18
Şekil 2.15 : Tasarlanan devre için ikinci dereceden band geçiren süzgeç THD karakteristiği.	19
Şekil 2.16 : Tasarlanan devre için dördüncü dereceden band geçiren süzgeç THD karakteristiği.	19
Şekil 2.17 : CMOS CCCII+ devresi serimi.	20
Şekil 2.18 : CMOS CCCII+ çift çıkışlı devre serimi.	21
Şekil 2.19 : Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.	22
Şekil 2.20 : Tasarlanan devre için serim sonrası dördüncü dereceden band geçiren süzgeç karakteristiği.	23
Şekil 2.21 : Tasarlanan devrenin dördüncü dereceden band geçiren süzgeç merkez frekansı için MONTE CARLO analizi.	23
Şekil 3.1 : CDTA yapısının sembolik gösterimi [5].	26
Şekil 3.2 : CDTA eşdeğer devre gösterimi [5].	27
Şekil 3.3 : CMOS CDTA iç yapısı.	27
Şekil 3.4 : Tasarlanan devre için P ve N giriş uçları akımı için Z çıkış ucu akım karakteristiği.	28

Şekil 3.5	: Tasarlanan devre için Z ucu giriş gerilim işareti için P ve N giriş uçları akım karakteristiği.	29
Şekil 3.6	: Tasarlanan devre için P ve N giriş uçları akım kazanç karakteristiği..	29
Şekil 3.7	: Tasarlanan devre için P ve N giriş uçları empedans karakteristiği.....	30
Şekil 3.8	: Tasarlanan devre için X+ ve X- çıkış uçları empedans karakteristiği.	30
Şekil 3.9	: Tasarlanan devre için gürültü analizi.....	31
Şekil 3.10	: İkinci dereceden ayarlanabilir atık süzgeç yapısı [2].	31
Şekil 3.11	: CMOS CDTA tabanlı ikinci dereceden süzgeç yapısı [5].	32
Şekil 3.12	: CMOS CDTA tabanlı ikinci dereceden ayarlanabilir süzgeç yapısı. ..	33
Şekil 3.13	: Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.	34
Şekil 3.14	: Tasarlanan devre için ikinci dereceden band geçiren süzgeç THD karakteristiği.	34
Şekil 3.15	: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Corner analizi.	35
Şekil 3.16	: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Monte Carlo analizi.....	35
Şekil 3.17	: CMOS CDTA devresi serimi.....	36
Şekil 3.18	: Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.	37
Şekil 4.1	: ECCII+ sembolik gösterimi [6]......	39
Şekil 4.2	: ECCII+ ideal gösterimi [6]......	39
Şekil 4.3	: CMOS ECCII+ iç yapısı.	40
Şekil 4.4	: Tasarlanan devre için Z çıkış ucu akım dinamik aralığı.....	41
Şekil 4.5	: Tasarlanan devre için X giriş ucu gerilim dinamik aralığı.	42
Şekil 4.6	: Tasarlanan devre için akım kazanç karakteristiği.....	42
Şekil 4.7	: Tasarlanan devre için gerilim kazanç karakteristiği.	43
Şekil 4.8	: Tasarlanan devre için X giriş ucu empedans karakteristiği	43
Şekil 4.9	: Tasarlanan devre için Y giriş ucu empedans karakteristiği.	44
Şekil 4.10	: Tasarlanan devre için Z çıkış ucu empedans karakteristiği.	44
Şekil 4.11	: Tasarlanan devre için gürültü analizi.....	45
Şekil 4.12	: İkinci dereceden ayarlanabilir atık süzgeç yapısı [2].	45
Şekil 4.13	: CMOS ECCII+ tabanlı ayarlanabilir ikinci dereceden süzgeç yapısı.	46
Şekil 4.14	: Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.	47
Şekil 4.15	: Tasarlanan devre için ikinci dereceden band geçiren süzgeç THD karakteristiği.	47
Şekil 4.16	: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Corner analizi.....	48
Şekil 4.17	: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Monte Carlo analizi.....	48
Şekil 4.18	: CMOS ECCII+ devresi serimi.	49
Şekil 4.19	: Tasarlanan devre için serim sonrası ikinci dereceden band geçiren süzgeç karakteristiği.....	50
Şekil 5.1	: OTA devresinin sembolik gösterimi.....	51
Şekil 5.2	: Simetrik CMOS OTA yapısı.	52

Şekil 5.3	: Tasarlanan devre için çıkış ucu akım dinamik aralığı.	53
Şekil 5.4	: Tasarlanan devre için giriş uçları gerilim dinamik aralığı.....	53
Şekil 5.5	: Tasarlanan devre için pozitif çıkış eğiminin frekansla değişimi karakteristiği.	54
Şekil 5.6	: Tasarlanan devre için pozitif çıkış eğiminin band genişliği karakteristiği.	54
Şekil 5.7	: Tasarlanan devre için negatif çıkış eğiminin frekansla değişimi karakteristiği.	55
Şekil 5.8	: Tasarlanan devre için negatif çıkış eğiminin band genişliği karakteristiği.	55
Şekil 5.9	: Tasarlanan devre için çıkış eğimlerinin kutuplama akımı ile değişimi.	56
Şekil 5.10	: Tasarlanan devre için çıkış ucu empedans karakteristiği.	56
Şekil 5.11	: Tasarlanan devre için gürültü analizi.....	57
Şekil 5.12	: Simetrik CMOS OTA tabanlı ikinci dereceden süzgeç yapısı.	58
Şekil 5.13	: Simetrik CMOS OTA devresi için kutuplama akımı belirleme yapısı.	58
Şekil 5.14	: Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.	59
Şekil 5.15	: Tasarlanan devre için ikinci dereceden band geçiren süzgeç THD karakteristiği.	59
Şekil 5.16	: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Corner analizi.....	60
Şekil 5.17	: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Monte Carlo analizi.....	61
Şekil 5.18	: Tasarlanan devre için serim sonrası ikinci dereceden band geçiren süzgeç karakteristiği.....	61
Şekil 5.19	: Simetrik CMOS OTA devresi serimi.....	62

GLOBAL FARKLI YER BELİRLEME SİSTEMLERİ İÇİN ATİK SÜZGEÇ UYGULAMALARI

ÖZET

Fabre tarafından önerilen frekans atik süzgeç yapısı bu çalışma kapsamında çok protokollü bir GPS süzgeç yapısında uygulanması önerilmiştir. GPS kırmık üstü yapılarında farklı kıtaların konumlandırma sistemleri için farklı protokoller bulunmaktadır. Bu sistemlerin desteklenmesi için ayrıık süzgeç yapıları kullanılmaktadır. Bu sistemler için bu çalışma kapsamında tek süzgeç yapısından oluşmuş uygulamalar önerilmiştir. Çoklu kanal haberleşme sistemlerine esneklik özelliği, bu sistemlerin en önemli paraçası olan alıcı-verici bloklarında yer alan yeniden ayarlanabilir analog elemanlarla mümkündür. Alıcı ve verici mimarilerinde yeniden ayarlanabilir analog elemanları; Düşük gürültülü kuvvetlendiriciler, yerel osilatörler, karıştırıcılar, süzgeçlerdir. Düşük gürültülü kuvvetlendiriciler ve yerel osilatör analog elemanlarıyla sağlanmış yeniden ayarlanabilir sistemler tasarlamak zordur. Aynı zamanda yeniden ayarlanabilir ve tümleştirilebilir RF süzgeçler tasarlamakta zordur, alıcı-verici mimarilerinde yeniden ayarlanabilir yapıların tasarım maliyeti fazladır. Bu temel sorunlara bu çalışmada düşük güçlü, düşük gürültülü, az yer kaplayan ve aynı yonga üzerine tümleştirilebilen akım modlu yeniden ayarlanabilir aktif süzgeç uygulamaları tasarlanmıştır.

Çoklu standart tasarım gerçeklemesi basit olmasına rağmen üretimi ekonomik olarak tercih edilmemektedir. Bu nedenle tamamen ayarlanabilir alıcılar için ayarlanabilir bloklar tasarlanarak maliyeti azaltma yoluna gidilmek istenmektedir. Bu amaçla farklı aktif elemanlarla dört ayrı yapı oluşturulmuş, bunların başarımları CADENCE Spectre araçlarıyla incelenmiş, elde edilen sonuçlar kıyaslanarak birbirine göre üstünlükleri ve zayıflıkları ortaya konmuştur. Bu çalışmada yer alan uygulama devreleri literatürdeki örnek çalışmalardan kısmi özellikleriyle daha iyi bir öneri getirmektedir. Tümleşik tasarlanan analog aktif süzgeçlerin en büyük sorunu ise fiziksel gerçeklemede önceden belirlenen merkez frekansında meydana gelen aşırı sapmalardır. Bu sorunun tespiti için her uygulama Monte Carlo ve Corner analizinden geçirilmiştir. Tasarlanan yapılarda bu sorun el analizleriyle uyumlu ve tasarım kriterlerine uygun transistör boyutlandırmasıyla aşıldığı yine bu analiz sonuçlarıyla teyit edilmiştir. Ekonomik ve teknolojik gelişmelere bağlı olarak günümüzde haberleşme teknolojileri önemli bir rol oynamaktadır. Bir alıcı-verici mimarisinin iyi tanımlanabilirliği geniş ölçüde yeniden ayarlanabilirliğine bağlıdır. Çoklu standart tasarım gerçeklemesi basit olmasına rağmen üretimi ekonomik olarak tercih edilmemektedir. Bu nedenle tamamen ayarlanabilir alıcılar için ayarlanabilir blok tasarlanarak maliyeti azaltma yoluna gidilmek istenmektedir.

Bu tezin amacı akım modlu ayarlanabilir bloklar tasarlayarak şifreli ve bilişsel haberleşme için öneriler getirmektir. Akım modlu devreler daha az güç tüketimine sahip olmaları ve daha geniş band genişliğine sahip olmalarından dolayı tercih edilirler. Son zamanlarda akım modlu devre teknikleri çeşitli elektronik devre tasarımına uygulanmaktadır. Sinyal işlemede gerilim işaretiinden ziyade akım

modlu devre tekniğinde akım işareti niteliği gerektirir. Akım modlu sinyal işleme; gerilim işaretlerinin devre performansını belirlemede baskın olmadığı ortamlarda akım işaretlerinin işlenmesi olarak tanımlanabilir. Akım modlu yaklaşımda bir sistem akım transfer fonksiyonları ile ifade edilir. Akım kontrollü akım taşıyıcı büyük ölçekte elektronik olarak kontrol edilebilen kuvvetlendiricilerde, süzgeçlerde kullanılır. Devre tasarımında parazitik etkiler ve gürültü çok önemlidir. Bu uygulamada elektronik olarak kontrol X ucundan görülen parazitik direnç ile sağlanılmıştır. CMOS CCCII+ gerçekleştirilmesi, ayarlanabilir band geçiren aktif süzgeç uygulaması bu kısımda anlatılmıştır.

Akım farkı alan geçiş iletkenliği kuvvetlendiricisi (CDTA) en kullanışlı akım modlu işlemsel kuvvetlendiricilerden biridir. Bu kısımda sadece iki pasif kapasite elemanı kullanılarak aktif süzgeç uygulaması gerçekleştirilmiştir. ECCII+ devresinin akım kazancı; dc kutuplama akımlarının elektronik olarak değiştirilmesiyle kontrol edilebilir. ECCII+ devresi iki giriş ucuna sahiptir. Giriş uçlarının biri düşük empedansa diğeri ise yüksek empedansa ve çıkış ucu ise yüksek empedansa sahiptir. Literatürdeki çoğu çalışmada yüksek frekanslı tümleşik süzgeç uygulaması için geçiş iletkenliği kuvvetlendiricilerinden oluşmuş $g_m - C$ süzgeç yapılarına odaklanılmıştır. Literatürdeki çalışmalarda $g_m - C$ süzgeç yapılarına yoğun olarak yer verilmektedir. Geçiş iletkenliği kuvvetlendiricileri daha yüksek band genişliğine sahip olmaları, elektronik olarak akort edilebilme özellikleri ile işlemsel kuvvetlendiricilerden daha işlevseldirler. Bu çalışmada yer alan uygulama devreleri literatürdeki örnek çalışmalardan kısmi özellikleriyle daha iyi bir öneri getirmektedir. Sonuçlar incelendiğinde tasarımı gerçekleştirilen bütün uygulama devreleri için Corner ve Monte Carlo analizleri yapılarak çalışmaların fiziksel olarak gerçekleştirilmesi durumunda başarılı olunma durumu incelenmiş ve analizler sonucu fiziksel gerçekleştirme için tasarımların uygunluğu teyit edilmiştir.

AGILE FILTER APPLICATIONS DESIGNED FOR DIFFERENT GLOBAL POSITIONING SYSTEMS

SUMMARY

Multiprotocol GPS filter is proposed as part of this work agile filter structure that suggested by Fabre and his team. Different protocols is located for positioning systems of different continents in GPS chip size over structure. Discrete filter structures is used to support this systems. The single filter structure applications are proposed in this work. Although confirmation of multiple standard design is simple, production of it does not preferred. Reduction of the total cost is desired by designing adjustable blocks for completely adjustable receivers. Thus, four different structures were designed by using different active elements performance of this structures were analyzed by CADENCE Spectre tools, and then the obtained results were compared with each other by their superiority and weakness. The application circuits presented in this work provide as a better solution with particular characteristics than the samples which in the literature.

Communication technologies play an important role in parallel to economic and technological developments. The good comprehensibility of receiver-transmitter architecture highly depends on the tunability of it. Although realization of multiple design is simple, it is not preferred in manufacturing because of economical considerations. Therefore, by designing fully tunable blocks for current mode circuits are used widely because of their low power consumption and wide bandwidth. Recently, current mode design techniques are used in electronic circuit design. Flexibility is not easy realizeable for multi channel communications systems. Flexibility in this systems is possible that reconfigurable analog elements is located in transreceivers architecture.

Reconfigurable analog elements in transreceivers systems is LNA, local oscillators, mixers, filters. Reconfigurable structures is not easy realize in LNA and local oscillators. Also, Designed of RF filters is not easy reconfigurable and integrated. In transreceiver systems is over cost designed reconfigurable structures. As suggested in this work that current mode filters are low noise, low power consumption, low total layout area and be integrated in the same chip. Integrated current mode filters is the biggest problem excessive deviation on the designed filter of center frequency. This problem is determined to succeed performance Monte Carlo and Corner analysis. In this work, the results of Monte Carlo and Corner analysis for application circuits is succesful across this problem. In current mode design of signal processing applications current waveforms are used instead of voltage waveforms. Current mode signal processing can be defined as processing of current waveforms situations where voltage waveform is not a dominant factor on determination of circuit performance. Low impedance input nodes are important in current mode circuits. A system is defined by a transfer function in current node approach.

Current controlled current conveyor (CCCI) is widely used in electronically tunable amplifiers, filters, etc. Parasitic effects and noise are two important factors in

circuit design. In this application, electronically control is provided by the parasitic resistance seen from X node. Realisation of CMOS CCII+, tunable agile bandpass filter applications are explained in chapter 2. Current differencing transconductance amplifier (CDTA) is one of the most useful current mode operational amplifier. In chapter 3, agile filter applicaiton is realised by using only two passive capacitance. ECCII+ circuit topology can be electronically controlled with current gain. Also, current gain can be controlled with bias currents. ECCII+ has two input terminal. One of the input terminals is low impedance and the other is high impedance. The output terminal is also high impedance. It is aimed to realise tunable bandpass filter by using ECCII+ circuit. Main characteristics of the proposed circuit structure, frequency agile filter applications, the layout of the proposed circuit, post layout simulations are introduced in chapter 4.

Most works in literature are focused on g_m -C filters which are composed of conductance amplifiers. g_m -C filters is high frequency continuous timing filter method. Since transconductance amplifiers has wider bandwidth and electronically tunable. So this amplifier is more functionality operational amplifiers. The designed of symmetric CMOS OTA is usable high frequency active filters. g_m of OTA and tunable filter are adjustable with bias current. The designed of circuit output resistance can be increased with cascode mirrors in place of simple current mirrors. But while output resistance of circuit is increased, the circuit of g_m is decreased. Realisation of symmetric CMOS OTA, tunable agile bandpass filter applications in chapter 5. The application circuits in this thesis provides better suggestions than related works in literature.

Corner and Monte Carlo simulations of the design show that physical implementation of the circuit feasible. If circuit and filter structure designed by CCCII+ is examined, the electronic control with the intermediate frequency bias current is provided by block circuit structure. The power consumption and the total area of the circuit is low. Thererore, these main criterias are accomplished with this study. The THD of the designed circuit is higher than other ones. This fact is important in the real time performance of the circuit. Noise analysis leads to the fact that the design provides low noise operation. Input terminals of CDTA are composed of current differencing structure. Current dynamic range of CDTA is very stable. THD analysis of this circuit gives the best result compared with the literature and applications in the thesis. Also, this work provides better low noise performance compared with other works. The bias currents used in current differencing structure and transconductance structure are higher valued than other applications related with this work has the best characteristic among others. This circuit achieves the goals of low total area and low power consumption. The current gain bandwidth of the aimed ECCII+ is better than other designs in this work. THD analysis of this is in acceptable values which is in %1. The THD values of the filter circuits given in thesis is also in the acceptable limits.

The proposed structure achieved the proposed figure of merits such as low area and low power consumption. Since there are more than one bias current in proposed circuit, the realization becomes harder. CCII+ provides better offset current performance than ECCII+. Also, The disadvantages of ECCII+ compared with other ones is a passive resistor used in the proposed circuit. The power consumption of the circuit is higher than other circuits in this work. Also, the layout area of the proposed circuit is larger compared with other ones. On the other hand The noise analysis results is better compared with other ones but except for CCCII+ circuit. An addition, Corner and Monte Carlo analysis state that this circuit would works well other

the physical implementation. g_m -c filters is known analog filters that composed with transconductances structures. The proposed circuit has the best one input voltage dynamic range in this work. Also the proposed circuit has the best one output current dynamic range in this work. The proposed circuit of Corner and Monte Carlo analysis results are successful realization of physical design. The proposed circuit of layout area is the best one in this work. The specifications of this circuit is low noise performance, low power consumption and reasonable THD results. This application circuit is accomplished realization of design criterias within this work.

Especially, for filter structures used in this study and presented in the literature current mode amplifiers with feedback which has different circuit topologies were suggested. In the future studies upon different filter structures based on only OTA circuit structure should be concentrated on about this topic. In literature only OTA based design studies are presented about this topic. In this study by using different circuit topology and filter structure suggestions for this research area were obtained and great contribution were provided. In recent studies by comparing voltage mode circuits and current mode circuits the importance of current mode circuits will be supported. The order of filter structure generated by application circuits which are presented this study can be increased to improve rejection ratio of filter structure. The filter types in this study are butterworth type filters.

1. GİRİŞ

Fabre tarafından önerilen frekans atık süzgeç yapısı bu çalışma kapsamında çok protokollü bir GPS süzgeç yapısında uygulanması bu çalışma kapsamında önerilmiştir. GPS kırmık üstü yapılarında farklı kıtaların konumlandırma sistemleri için farklı protokoller bulunmaktadır. Bu sistemlerin desteklenmesi için ayrıık süzgeç yapıları kullanılmaktadır. Bu sistemler için bu çalışma kapsamında tek süzgeç yapısından oluşmuş uygulamalar önerilmiştir. Çoklu kanal haberleşme sistemlerine esneklik özelliği, bu sistemlerin en önemli paraçası olan alıcı-verici bloklarında yer alan yeniden ayarlanabilir analog elemanlarla mümkündür. Alıcı ve verici mimarilerinde yeniden ayarlanabilir analog elemanları; LNA, yerel osilatörler, karıştırıcılar, süzgeçlerdir [2, 7].

LNA ve yerel osilatör analog elemanlarıyla sağlanmış yeniden ayarlanabilir sistemler tasarlamak zordur. Aynı zamanda yeniden ayarlanabilir ve tümleştirilebilir RF süzgeçler tasarlamak da zordur, alıcı-verici mimarilerinde yeniden ayarlanabilir yapıların tasarım maliyeti fazladır. Bu temel sorunlara bu çalışmada düşük güçlü, düşük gürültülü, az yer kaplayan ve aynı yonga üzerine tümleştirilebilen akım modlu yeniden ayarlanabilir aktif süzgeç uygulamaları tasarlanmıştır [2, 7–11]. Tümleşik tasarlanan analog aktif süzgeçlerin en büyük sorunu ise fiziksel gerçeklemede önceden belirlenen merkez frekansında meydana gelen aşırı sapmalardır. Bu sorunun tespiti için her uygulama Monte Carlo ve Corner analizinden geçirilmiştir. Tasarlanan yapılarda bu sorunun aşıldığı bu analizler sonucu görülmüştür

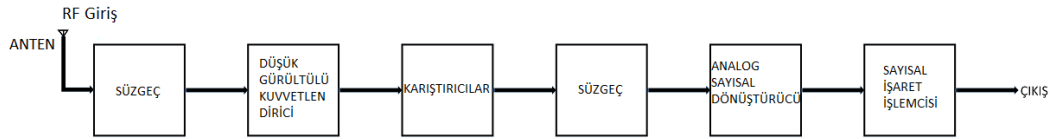
1.1 Amaç

Ekonomik ve teknolojik gelişmelere bağılı olarak günümüzde haberleşme teknolojileri önemli bir rol oynamaktadır. Bir alıcı-verici mimarisinin iyi tanımlanabilirliği geniş ölçüde yeniden ayarlanabilirliğine bağılıdır. Tamamen ayarlanabilir alıcılar için daha az maliyetli tasarımlar gerçekleştirmek istenmektedir. Bu tezin amacı akım modlu ayarlanabilir bloklar tasarlayarak şifreli ve bilişsel haberleşme için öneriler getirmektir.

Bu amaçla farklı aktif elemanlarla dört ayrı yapı oluşturulmuş, bunların başarımları CADENCE Spectre araçlarıyla incelenmiş, elde edilen sonuçlar kıyaslanarak birbirine göre üstünlükleri ve zayıflıkları ortaya konmuştur. Akım modlu devreler daha az güç tüketimine sahip olmaları ve daha geniş band genişliğine sahip olmalarından dolayı tercih edilirler. Son zamanlarda akım modlu devre teknikleri çeşitli elektronik devre tasarımına uygulanmaktadır. Akım modlu yaklaşımda bir sistem akım transfer fonksiyonları ile ifade edilir [2, 7, 12–17].

1.2 Temel Yaklaşım

Günümüzde sayısal bilgisayarlar ve haberleşme cihazlarında analog aktif süzgeçler kullanılır. Bir alıcı; düşük gürültülü kuvvetlendirilerden, karıştırıcılardan, süzgeçlerden oluşur. Şekil 1.1’de bir alıcı blok diyagramı gösterilmiştir. Analog aktif süzgeçler analog-sayısal dönüştürücülerden önce gelir. Analog aktif süzgeçlerin temel işlevi beklenen işaretteki beklenmeyen bileşenleri ayırmaktır. Analog aktif süzgeçlerin şifreli ve bilişsel haberleşmede kullanımını cazip hale getirmek için daha düşük güç harcayan akım modlu aktif süzgeç önerileri bu çalışmada sunulmuştur. Analog süzgeçler; alıcı ve verici mimarilerinde istenmeyen frekans bileşenlerinin ayrılmasında gereklidir. Analog sürekli zamanlı süzgeçler, modern haberleşme sistemleri için önemlidir. Yonga üzerine böyle süzgeçlerin tümleştirilmesiyle; maliyet, fiziksel büyüklük ve tasarım rahatlığı açısından önemli kazançlar sağlanmaktadır [1, 8–10, 18, 19].



Şekil 1.1: Bir alıcı blok diyagramı [1].

1.3 Literatür Araştırması

30 yılı aşkın süredir devam eden çalışmalar aktif süzgeçlerin yonga üzerine tümleştirilmesi üzerine yoğunlaşmıştır. Bu çalışmalarda yarı iletken teknolojinin gelişmesiyle transistör boyutlarının küçülmesi teşvik edici olmuştur. Bu çalışmalarda akım ve gerilim modlu devre topolojileri kullanılarak ve bu topolojilerden oluşan bloklardan yararlanarak oluşturulan süzgeç yapıları yer almaktadır. Daha önceki

yapılan çalışmalarda yüksek frekans çalışma bölgeleri için aktif süzgeç uygulamasına Fabre ve Lakys tarafından [2] önerilen BiCMOS teknolojisi kullanılarak oluşturulan ikinci kuşak akım kontrollü akım taşıyıcıları kullanılarak oluşturulmuş süzgeç topolojisi örnek verilebilir.

Orta frekans çalışma bölgeleri için Pan Wenguang tarafından önerilen, S. Hintea tarafından önerilen, Cristian Rus tarafından önerilen, Emrah Armağan tarafından önerilen, farklı devre topolojilerinde ve farklı süzgeç yapılarında çalışmalar örnek verilebilir [10, 20, 21]. Bu çalışmada yer alan devre topolojileri detaylı bir literatür araştırması sonucunda CCCII+ tabanlı uygulama devresi için [2, 4] referanslarında öne sürülen devre topolojisi ve süzgeç yapıları bu çalışma kapsamında kullanılmıştır. CDTA tabanlı uygulaması devresi için [5, 22] referanslarında öne sürülen devre topolojileri ve süzgeç yapıları bu çalışma kapsamında kullanılmıştır. ECCII+ tabanlı uygulama devresi için [6, 23] referanslarında öne sürülen devre topolojisi ve süzgeç yapıları bu çalışma kapsamındaki [17, 24–26] referanslardan yararlanılarak gerçekleştirilmiştir. OTA tabanlı uygulama devresi için [12, 27, 28] referanslarında öne sürülen devre topolojisi ve süzgeç yapıları bu çalışma kapsamında kullanılmıştır.

1.4 Motivasyon

Haberleşme teknolojilerinde güç tüketimi ve alan önemli bir yer tutmaktadır. Yarı iletken teknolojilerindeki gelişmeler de bu teknolojiler üzerinde önemlidir. I.T.U VLSI laboratuvarı tarafından sağlanan lisans ile AMS 0.18 μ m teknolojisiyle tasarım yapılabilmektedir. Bu çalışmada AMS 0.18 μ m teknolojisi kullanılmıştır. Bu çalışmanın temel motivasyonunu literatürde var olan devre topolojilerini kullanarak bir alıcı sisteminde karıştırıcı kısmından sonra ve analog-sayısal dönüştürücülerden önce oluşturulmuş bir aktif süzgeç yardımıyla istenmeyen bozucu etkileri ana işaretten ayırmaktır.

Pasif elemanlarla oluşturulmuş süzgeç yapılarının tümleştirilmesinde yaşanan sorunlar ve tümleştirilse bile kaplayacağı alanın; bu çalışma kapsamındaki tasarımların kapladığı alana göre büyüktür. Günümüz teknolojilerinde ve gelecekte var olacak teknolojilerde üretilen sistemin küçük boyutlu olması istenecektir. Bu çalışmada bu kapsamdaki alan sorununa çözüm olacaktır. Ayrıca bu amaca göre tasarlanan pasif elemanlarla oluşturulmuş ve akım modlu olmayan aktif elemanlarla oluşturulmuş

süzgeç yapıları daha fazla güç tüketimi nedeniyle bu alanda bu soruna yönelik çalışma zemini oluşturmuştur. Bu çalışmada önerilen akım modlu aktif süzgeç yapıları daha az güç tüketmelerinden dolayı bu çalışmada önerilen yapıları cazip hale getirmektedir. Çoklu standart protokolleri için geliştirilmiş ayarlanabilirlik yöntemleri ekonomik olarak uygun olmadığı bu sorunun çözümüne yönelik tümleştirilebilir aktif süzgeç uygulamaları önerilmektedir, bu öneriler; bu çalışmanın kapsamı içindedir. Bu çalışma kapsamında tasarlanan süzgeçlerde merkez frekansının istenilen frekansa çekilmesi kutuplama akımıyla veya bu çalışma kapsamında sunulan yöntemlerle elektronik olarak sağlanmaktadır. Bu yöntemleri şöyle sıralayabiliriz: Geri besleme akım kontrolü ve sayısal olarak seçilebilen farklı kutuplama akımlarının seçimi. Literatürde de yer alan bu süzgeç tasarımında ayarlanabilirlik yöntemlerinin hepsi için uygun devre topolojileriyle ayarlanabilirlik ya da atik süzgeç tasarımları geliştirilmiştir [13,20,29,30].

1.5 Tezin Kapsamı

Bu tezde 1. bölümde tasarlanan devrelerin amacı, kapsamı ve fayda sağlanan literatürdeki çalışmalar incelenmiştir. 2. bölümde akım kontrollü ikinci kuşak akım taşıyıcılardan faydalanarak oluşturulan sayısal olarak anahtarlanabilen, kutuplama akımları ile elektronik olarak kontrol edilebilen atik süzgeç yapısı gerçekleştirilmiştir. Bu yapıyı oluşturan ikinci kuşak akım taşıyıcıların ana karakteristikleri ve dc koşullarının sağlandığı benzetimlerle teyit edilmiştir. Süzgeç karakteristikleri de başarıyla gerçekleştirilmiştir. 3. bölümde akım farkı alan blok ve işlemsel geçiş iletkenliği kuvvetlendirisinden oluşmuş bir blok olan CDTA blok devre yapısının dc koşulları sağlanmıştır, ana karakteristikleri benzetimlerle belirlenmiştir. Bu blok devre yapısı oluşturularak geri beslemeli kutuplama akımı ile elektronik kontrolü sağlanmış ve amaçlanan aktif atik süzgeç yapısı oluşturulmuştur. Süzgeç karakteristikleride başarıyla gerçekleştirilmiştir.

4. bölümde ECCII+ devre yapısı dc koşulları ve tasarım kriterleri başarıyla gerçekleştirilmiştir. Bu devre yapısı kullanılarak oluşturulması amaçlanan atik süzgeç ya da ayarlanabilir süzgeç yapısı için gerekli benzetimler yapılmış ve amaçlanan yapıya uygunluğu gösterilmiştir. 5. bölümde OTA devre yapısı dc koşulları sağlanmış süzgeç tasarımı istenilen frekans aralığı için belirlenen kutuplama akımları ile tasarlanan OTA

devresinin kararlılığı incelenmiştir. Bu amaçlanan devre kullanılarak ve anahtarlamalı kutuplama akımları yöntemi ile elektronik kontrol sağlanarak frekans atıklık özelliği süzgeç yapısında gerçekleştirilmiştir.

1.6 Teori

[2]'de yer verilen *class-1* süzgeç yapısı Şekil 1.2'de gösterilmiştir. Bu süzgeç yapısı bu çalışmanın temel süzgeç teorisini oluşturacaktır. Eşitlik 1.1'de alçak geçiren çıkış için transfer fonksiyonu ve Eşitlik 1.2'de band geçiren çıkış için transfer fonksiyonları verilmiştir.

$$\frac{I_{BP}(s)}{I_{in}(s)} = \frac{a's}{1 + as + bs^2} \quad (1.1)$$

$$\frac{I_{BP}(s)}{I_{in}(s)} = \frac{d'}{1 + as + bs^2} \quad (1.2)$$

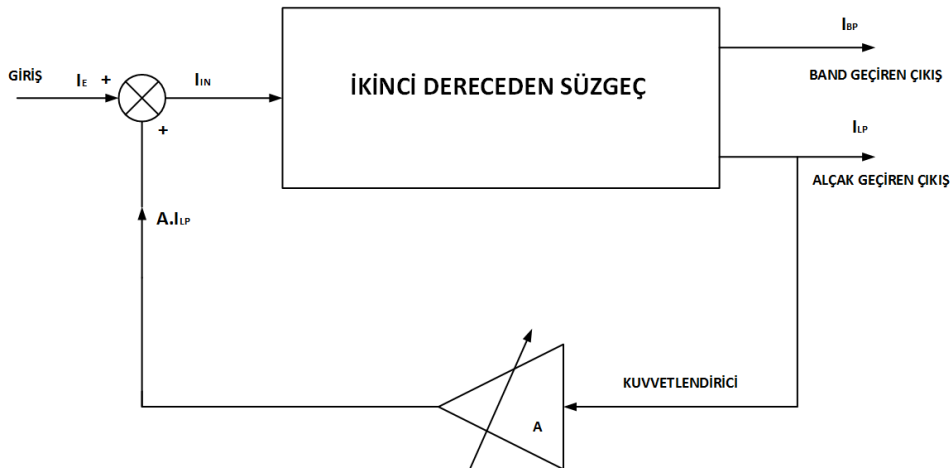
Bu eşitliklerde a ve b süzgecin kararlılığını sağlamak için reel pozitifdir. Aynı zamanda a' ve d' katsayıları da reel pozitif varsayılır. Bu katsayılar amaçlanan süzgecin karakteristik parametrelerinin belirlemede kullanılır. Merkez frekansı Eşitlik 1.3'de verilmiştir. Kalite faktörü Eşitlik 1.4'de verilmiştir. Eşitlik 1.5'de band geçiren süzgeç için band genişliği verilmiştir.

$$f_0 = \frac{1}{2\pi\sqrt{b}} \quad (1.3)$$

$$Q = \frac{\sqrt{b}}{a} \quad (1.4)$$

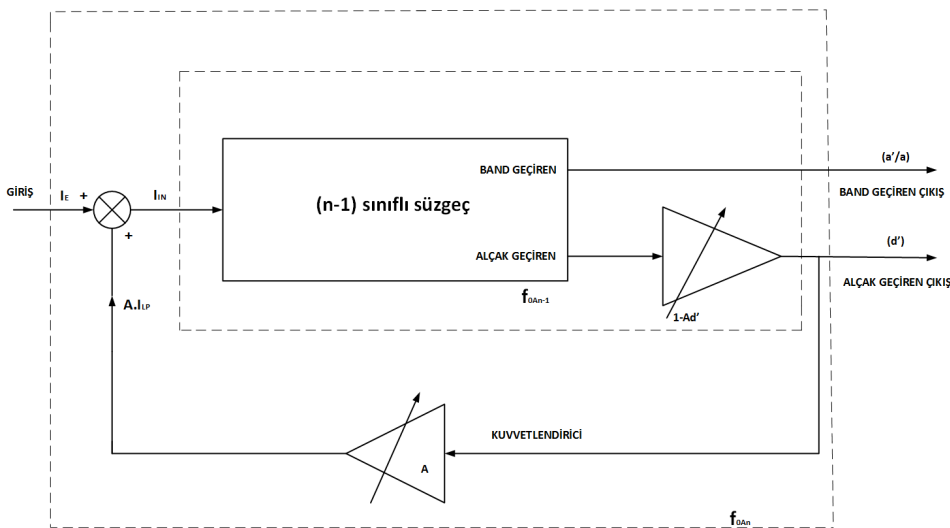
$$\Delta f = \frac{a}{2\pi b} \quad (1.5)$$

Şekil 1.2’de *class-1* süzgeç yapısı gösterilmiştir.



Şekil 1.2: Temel *class-1* süzgeç yapısı [2].

Temel *class-1* yapısından çıkarılan n-sınıflı frekans atik süzgeç yapısı Şekil 1.3’de gösterilmiştir. Şekil 1.2’deki *class-1* süzgeç yapısı kullanılarak oluşturulan atik süzgeç uygulamaları için bu çalışma kapsamında farklı genliği ayarlanabilir akım modlu kuvvetlendirici tasarım önerileri getirilmiştir.



Şekil 1.3: *Class-n* frekans atik süzgeç yapısı [2].

Çizelge 1.1’de *Class-1* ve *class-n* süzgeç yapıları için merkez frekansı, kalite faktörü, band geçiren süzgeç kazancı, band geçiren süzgeç band genişliği ve alçak geçiren süzgeç kazanç ifadeleri verilmiştir. Bu ifadeleri oluşturan katsayılar Şekil 1.2’deki temel süzgeç yapısına göre çıkarılmış olan akım geçiş fonksiyonlarından elde edilmektedir.

Çizelge 1.1: *Class-1* ve *class-n* süzgeç yapıları için karakteristik analizleri.

Karakteristikler	<i>class-1</i>	<i>class-n</i>
Merkez frekansı	$f_0 = \frac{1}{2\pi\sqrt{b}}$	$f_{0A_n} = (1 - Ad')^{n/2} f_0$
Kalite faktörü	$Q = \frac{\sqrt{b}}{a}$	$Q_{A_n} = (1 - Ad')^{n/2} Q$
Band geçiren süzgeç kazancı	$G_{BP} = \frac{a'}{a}$	$G_{BPA_n} = G_{BP}$
Band geçiren süzgeç band genişliği	$\Delta f = \frac{a}{2\pi b}$	$\Delta f_{A_n} = \Delta f_{A_{n-1}} = \Delta f$
Alçak geçiren süzgeç kazancı	$G_{LP} = d'$	$G_{LPA_n} = \frac{G_{LP}}{1 - Ad'}$

1.7 Şifreli ve Bilişsel Haberleşme Sistemleri

1.7.1 Yazılım tabanlı radyo

Yazılım tabanlı radyo teknolojisi günümüz haberleşme sistemlerinde gittikçe önemini artırmaktadır. Yazılım tabanlı radyo bir iletim alım sistemidir. Bu alıcının donanımını bir elektronik devre oluştururken kontrolü ise bir bilgisayar yazılımı ile sağlanmaktadır. Yazılım tabanlı radyonun karakteristikleri (frekans, band genişliği, vs) bilgisayar yazılım aracılığıyla seçilir ve kontrol edilir. Böyle bir alıcının karakteristikleri önceden belirlenmesine rağmen yeniden düzenlenebilir. Yazılım tabanlı radyoların donanım kısmı için yeniden ayarlanabilir aktif süzgeçler kullanılır. Yazılım tabanlı radyo, bir çoklu standart alıcı-verici yapısı olduğu için yeniden ayarlanabilir aktif süzgeçler bu sistemler için önerilmektedir. Bu çalışma kapsamında getirilen öneriler yazılım tabanlı radyo uygulamaları içinde uygulanabilir [2, 11, 30–33].

1.7.2 Farklı yer belirleme sistemleri

Son yıllarda global yer bulma sistemleri hızlı bir ilerleme kat etmiştir. Bu sistemler için GPS, Galileo ve GLONASS örnek verilebilir. Örnek verilen global yer bulma sistemleri farklı taşıyıcı frekansına ve band genişliğine sahiptirler. Her bir sistem sivil ve askeri kullanım için dar band işaretlerine sahiptir. Şu anki çalışmaların yoğunlaştığı alan; çoklu mod ayarlanabilir radyo alıcı sistemleri için yeniden ayarlanabilir, geniş ölçekte akort edilebilir band geçiren aktif süzgeç tasarımları gerçeklemleridir. Bu

çalışma kapsamındaki öneriler zero-IF ve low-IF alıcı mimarileri için uygundur. [20, 33,34].

1.7.3 Çoklu standart alıcı-verici mimarileri

Çoklu standart alıcı-verici sistemi kullanarak; bir mimari ve onun parametrelerini kullanarak başka herhangi bir mimari için standart adapte edilebilir. Çoklu standart alıcı-verici mimarilerinin avantajları arasında; daha az alan kaplaması, maliyeti ve güç tüketimini gösterebiliriz. Çoklu standart alıcı-verici mimarilerinin dezavantajı olarak da karmaşıklığını gösterebiliriz [2, 31–33].

1.7.4 Yeniden ayarlanabilir elemanlarla oluşturulan alıcılar

Yeniden ayarlanabilir elemanlar kullanılarak güç tüketiminde ve tasarımın kapladığı alanda iyileştirmeler yapılabilir. Zero-IF: Yeniden ayarlanabilir geniş bandlı elemanlar kullanılarak oluşturulan alıcı mimarileridir. Sayısal-IF: Yeniden ayarlanabilir dar bandlı elemanlar kullanılarak oluşturulan bir alıcı mimarisidir. Zero-IF ve sayısal-IF alıcıları yeniden ayarlanabilir elemanlar kullanılmaktadırlar [2, 35].

1.7.5 Yeniden ayarlanabilir aktif süzgeçler

Yeniden ayarlanabilir aktif süzgeçler günümüz silisyum teknolojileri kullanılarak tamamen bir yonga üzerine entegre edilebilir. Bazı yeniden ayarlanabilir aktif süzgeçlerde endüktanslara da yer verilmektedir, ama literatürde aktif bir elemanın endüktans davranışı kullanılmaktadır.

1.7.6 Atıklık

Frekans atık süzgeçler yeniden ayarlanabilir süzgeç olarak da tanımlanabileceği önceki kısımlarda dile getirildi. Ardarda gelen iki frekans arasında işaret iletiminin çok hızlı gerçekleşmesi ve işaretin bozulmadan iletilmesiyle süzgeçlerde atıklık sağlanmaktadır. Bütün devre topolojilerinde ve süzgeç yapılarında frekans atıklık gerçekleşemeyebilir. Bu çalışmada frekans atıklık özelliği sağlayan akım modlu süzgeç yapısı uygulamaları gerçekleştirilmiştir [2].

2. CMOS CCCII+ DEVRE YAPISI TABANLI AYARLANABİLİR ATİK SÜZGEÇ UYGULAMASI

Akım kontrollü akım taşıyıcı büyük ölçekte elektronik olarak kontrol edilebilen kuvvetlendiricilerde ve süzgeçlerde kullanılır. Devre tasarımında parazitik etkiler ve gürültü çok önemlidir. Bu uygulamada elektronik olarak kontrol X ucundan görülen parazitik direnç ile sağlanılmıştır. CMOS CCCII+ gerçeklemesi, ayarlanabilir band geçiren atik süzgeç uygulaması bu kısımda anlatılmıştır.

2.1 CMOS CCCII+ Devre Yapısı

İkinci kuşak akım kontrollü akım taşıyıcı 1996 yılında Fabre tarafından tanıtılmıştır. Şekil 2.1’de blok gösterimi gösterilmiştir. Eşitlik 2.1’de ikinci kuşak akım kotrollü akım taşıyıcının matris biçiminde matematiksel ifadesi verilmiştir. Amaçlanan devre Y giriş ucundan X giriş ucuna gerilim takibi ve X giriş ucundan Z çıkış ucuna akım takibi yapmaktadır. Amaçlanan devren tasarım eşitlikleri Eşitlik 2.1’den çıkarılabilir.

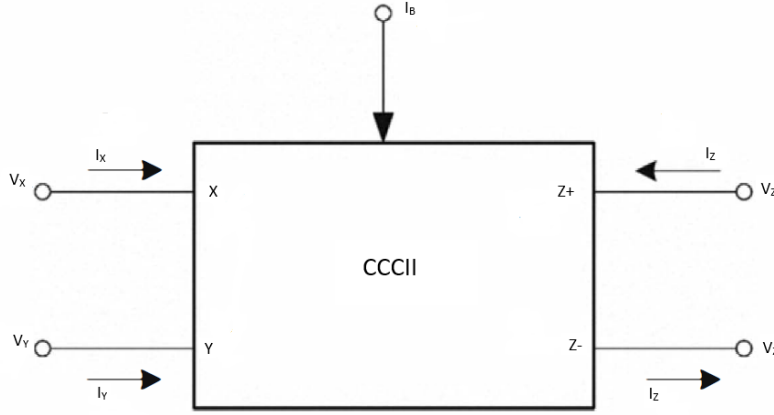
$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_x & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \quad (2.1)$$

X giriş ucundan görülen parazitik direncin Eşitlik 2.2’de matematiksel ifadesi verilmiştir. Bu parazitik direnç MOS transistörlerde büyük direnç değerlerine ulaşmaktadır bu nedenle aktif süzgeç tasarımlarında pasif direnç elemanı gibi kullanılabilir.

$$R_x = \frac{1}{g_{mM_{p6}} + g_{mM_{N2}}} \quad (2.2)$$

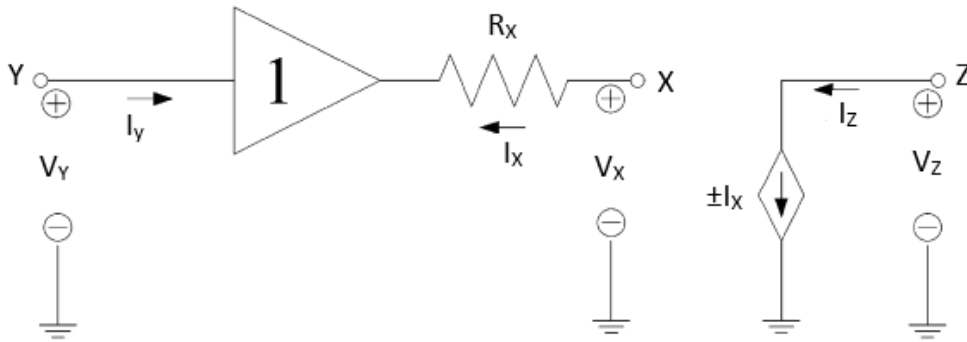
Eşitlik 2.3’de tasarlanan devrenin çıkış direnç ifadesinin matematiksel ifadesi yer almaktadır.

$$R_z = \frac{1}{g_{dM_{p4}} + g_{dM_{N7}}} \quad (2.3)$$



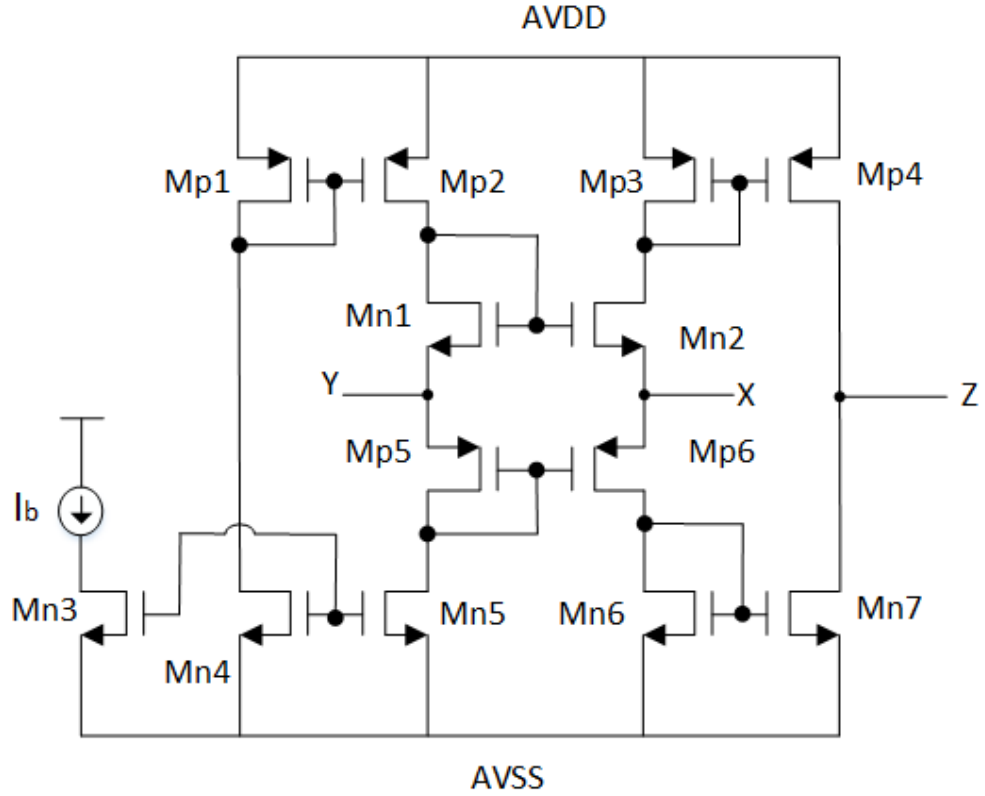
Şekil 2.1: CMOS CCCII+ blok gösterimi [3].

CMOS CCCII+ yapısı Y ucu girişinden X ucu girişine gerilim izlemesi, X ucu girişinden Z ucu çıkışına akım izlemesi yapmaktadır. Şekil 2.2’de tasarlanan devrenin eşdeğer devresi verilmiştir. Tasarlanan devre gerilim takibini X giriş ucu parazitik direncinden kaynaklanan, belli bir hatayla gerilim izlemesi yapmaktadır.



Şekil 2.2: CMOS CCCII+ eşdeğer devresi [4].

CMOS CCCII+ devresi için M_{n1} , M_{n2} , M_{p5} , M_{p6} transistörleri karışık geçiş doğrusallığı yapısını oluşturur. Geçiş doğrusallığı çevrimi devrenin doğrusallığını artırır, bu da tasarlanan devre yapısını cazip hale getirmektedir. Tasarlanan devrenin AB sınıfı çıkış katını M_{p4} , M_{n7} transistörleri oluşturur. Devre yapısının X giriş ucu düşük empedanslıdır, Y giriş ucu ve Z çıkış ucu ise yüksek empedanslıdır. Y giriş ucundan görülen direnç çok büyük olduğu için ve Eşitlik 2.1’de de gösterildiği üzere Y giriş ucundan akım akmamaktadır. Z çıkış ucundan görülen direnç değerinin büyük olması istenmektedir. Çünkü bu direnç değeri büyüklüğü sürülebilecek yük değerini belirlemektedir. Tasarlanan devrenin CMOS yapısı Şekil 2.3’de gösterilmiştir. Çizelge 2.1’de transistör boyutları verilmiştir.



Şekil 2.3: Tasarlanan CMOS CCCII+ devresi

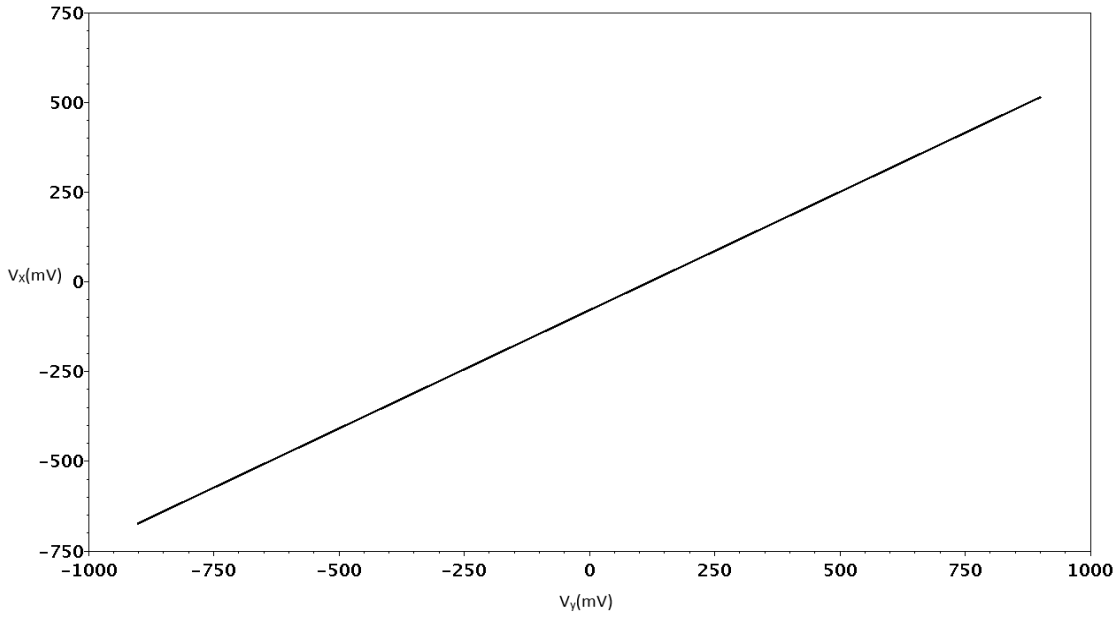
Çizelge 2.1: Tasarlanan devrenin transistör boyutları.

Transistörler	$W(\mu m)$	$L(\mu m)$
$M_{p1}-M_{p4}$	15	1
$M_{n1}-M_{n2}$	10	1
$M_{p5}-M_{p6}$	30	1
$M_{n3}-M_{n7}$	5	1

2.2 CMOS CCCII+ Devresinin Ana Karakteristikleri

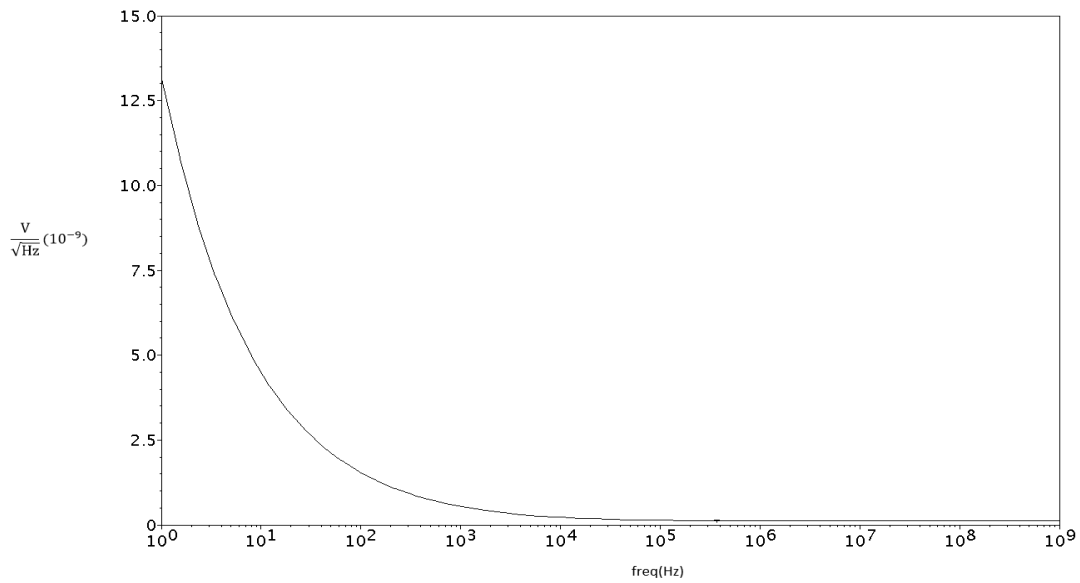
Tasarlanan CMOS CCCII+ $11\mu A$ 'lık kutuplama akımıyla kutuplanmıştır. Ana karakteristikler bu kutuplama akımı için çıkarılmıştır. Akım kazanç band genişliği ve gerilim kazanç band genişliği sırasıyla 135MHz ve 300MHz olarak akım ve gerilim kazanç karakteristiklerinden çıkarılmıştır. Giriş gerilim dengesizliği $200\mu V$ olarak giriş gerilimi dc karakteristiğinden çıkarılmıştır.

Y giriş ucu gerilimi ile X giriş ucu gerilimi değişim karakteristiği Şekil 2.4'de gösterilmiştir. Karakteristik incelendiğinde $\pm 0.9V$ besleme gerilimine tasarlanan devrenin ulaşamadığını ve bunun nedeni olarak X ucundan görülen parazitik direnci gösterebiliriz.



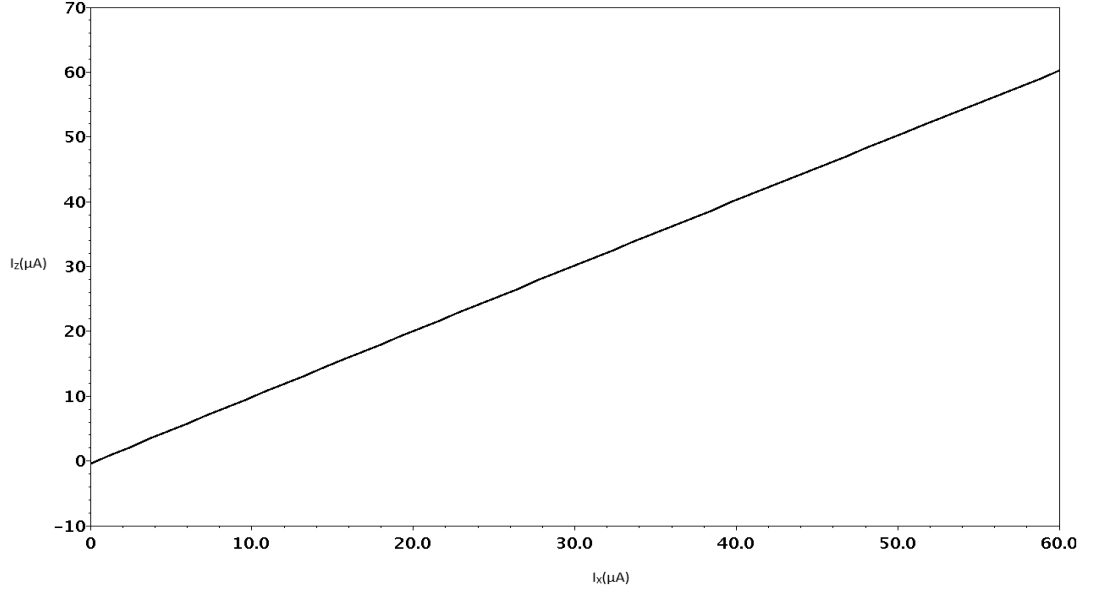
Şekil 2.4: Tasarlanan devre için gerilim transfer karakteristiği.

Tasarlanan devrenin eşdeğer devre gürültü analizi Şekil 2.4’de gösterilmiştir. Bu karakteristik incelendiğinde devrenin gürültüsü 1Hz frekans değerinde 1.316×10^{-8} V/sqrt(Hz) olarak bulunmuştur. Tasarlanan devre düşük gürültülüdür. Tasarlanan



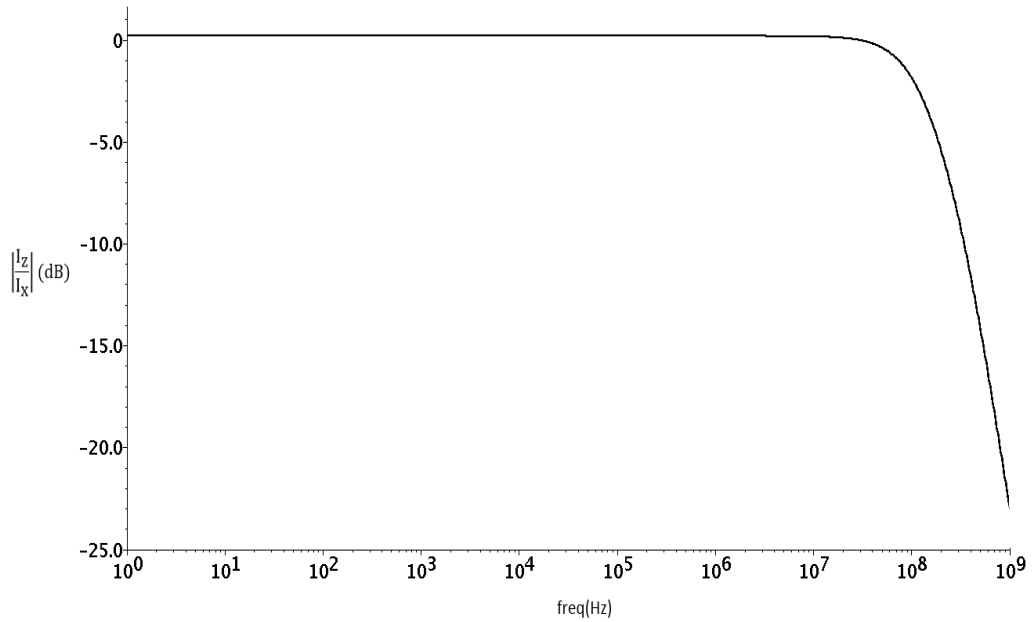
Şekil 2.5: Tasarlanan devre için gürültü analizi.

devrenin; giriş ve çıkış akımlarının birbirini izlemesi ve aynı zamanda süzgeç karakteristikleri için belirlenen maksimum kutuplama akımına kadar bu akım takibinin doğrusal olarak sürdürülmesi önemlidir. Yapılan benzetimler sonucunda devre akım takibi doğrusallığını belirlenen maksimum kutuplama akımında koruduğu Şekil 2.6’daki akım transfer karakteristiğinden çıkarılabilir.



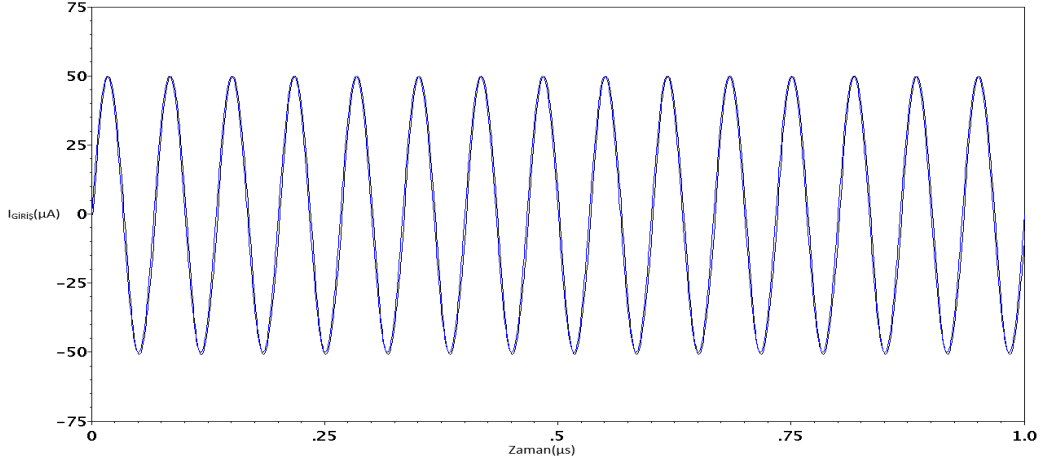
Şekil 2.6: Tasarlanan devre için akım transfer karakteristiği.

Tasarlanan devrenin X ucu girişinden Z ucu çıkışına akım transferi sağlanırken kayıp olup olmadığını incelemek amacıyla Şekil 2.7’deki akım kazanç karakteristiğinden yararlanılabilir. Bu karakteristik incelendiğinde akım transfer kaybı gözlenmediği ve devrenin giriş ucundaki belirsizlik akımının uygun sınırlar içinde olduğu çıkarılabilir. Akım kazanç band genişliği 135MHz ve gerilim kazanç band genişliği 300MHz olarak bulunmuştur. Ayrıca gerilim kazanç karakteristiği incelendiğinde yaklaşık birim gerilim kazancı elde edildiği görülmektedir.



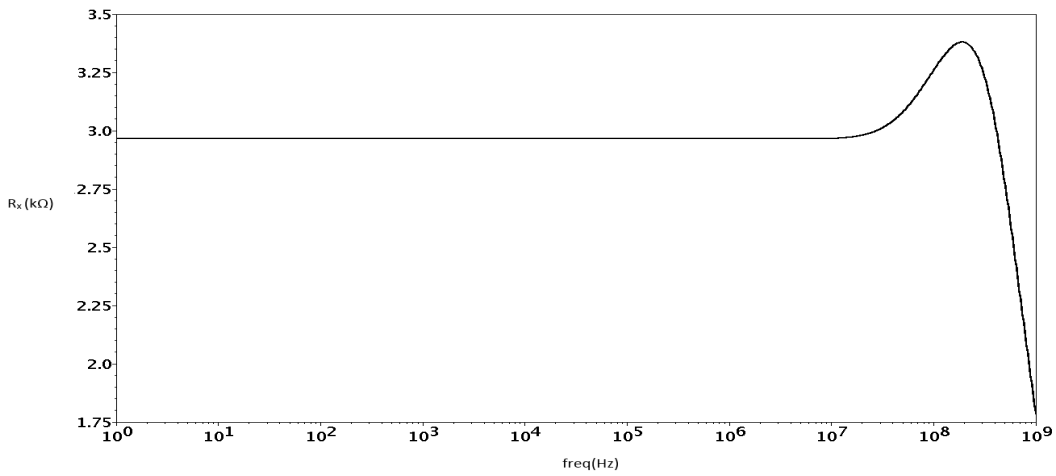
Şekil 2.7: Tasarlanan devre için akım kazanç karakteristiği.

Tasarlanan devrenin X giriş ucuna uygulanan $60\mu A$ ve 15MHz frekansa sahip bir sinüs dalga akım işareti uygulanıp Z çıkış ucu incelendiğinde sinüs dalga akım işaretinin iyi bir yakınsalıkla çıkışa aktarıldığı Şekil 2.8'deki akım zaman bölgesi analizi karakteristiğinden görülebilir. Akım zaman bölgesi analizi çıkış da $2k\Omega$ 'luk direnç yükü altında gerçekleştirilmiştir.



Şekil 2.8: Tasarlanan devre için akım zaman bölgesi analizi karakteristiği.

Tasarlanan devrenin X ucu girişi parazitik direnci R_x kutuplama akımının karesinin tersiyle doğru orantılı değişir yani kutuplama akımının artmasıyla azalmaktadır. R_x direnci süzgeç tasarımının elektronik olarak kontrolünde kutuplama akımı ile bu ilişkisinden dolayı etkilidir. Şekil 2.9'da $11\mu A$ 'lık kutuplama akımı için değişimi gösterilsede benzetimlerde farklı kutuplama akımları içinde yukarıda belirtilen ilişkiye göre değişim gösterdiği görülmüştür. $11\mu A$ 'lık kutuplama akımı için bu parazitik direnç değerinin $3k\Omega$ olduğu tespit edilmiştir.



Şekil 2.9: $11\mu A$ 'lık kutuplama akımı için tasarlanan devrenin X ucu girişi parazitik direnci.

2.3 CMOS CCCII+ Devresi Atık Süzgeç Uygulaması

Fabre tarafından önerilen *class-0* süzgeç yapısı Şekil 2.10'da gösterilmiştir. Bu süzgeç yapısında I_Q kutuplama akımıyla süzgeç yapısında band geçiren süzgeç merkez frekansı ve kalite faktörü ayarlanabilir. Bu yapıda yer alan diğer kutuplama akımları eşit alınmalıdır. Şekil 11'de Fabre tarafından önerilen *class 2* süzgeç yapısı gösterilmiştir. Bu iki yapıda yer alan kapasite değerleri $C_1 = C_2 = 8\text{pF}$ olarak örnekleme yapılacak frekans değerleri için belirlenmiştir.

Eşitlik 2.4 ve 2.5 devre analiz yöntemleri kullanılarak çıkarılmıştır. Süzgecin akım transfer fonksiyonu Eşitlik 2.5'de çıkarılmıştır. Eşitlik 2.6 ise süzgeç çıkışının alındığı düğümün parazitik dirençle değişimi belirlenmiştir. Bu düğüm akımı kopyalanarak band geçiren süzgeç çıkışı elde edilmiştir. Eşitlik 2.7'de band geçiren süzgecin merkez frekansının değişimi belirlenmiştir. Eşitlik 2.8'de band geçiren süzgecin kalite faktörünün değişimi belirlenmiştir. Eşitlik 2.7'den band geçiren süzgecin merkez frekansının belirlenmesinde parazitik direnç ve kapasite değerlerinin etkili olduğu görülmektedir. Eşitlik 2.8'de band geçiren ayarlanabilir süzgecin kalite faktörünün belirlenmesinde parazitik direnci etkili olduğu ve kalite faktörünün kapasite değerlerine bağlı olmadığı da bu eşitlikten çıkarılabilir.

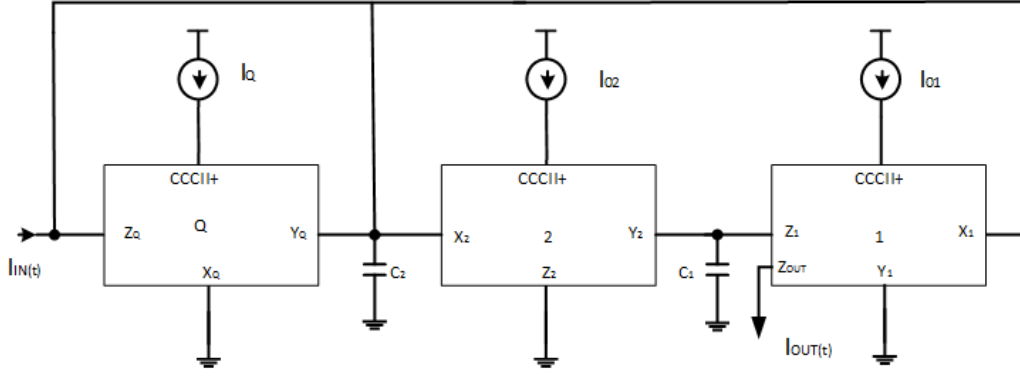
$$D(s) = 1 + (2R_{XQ} - R_x^2/R_{XQ})Cs + R_x^2C^2s^2 \quad (2.4)$$

$$\frac{I_{out}(s)}{I_{in}(s)} = \frac{-sR_x}{D(s)} \quad (2.5)$$

$$\frac{V_{C1}(s)}{I_{in}(s)} = \frac{sR_x}{D(s)}I_{in}(s) \quad (2.6)$$

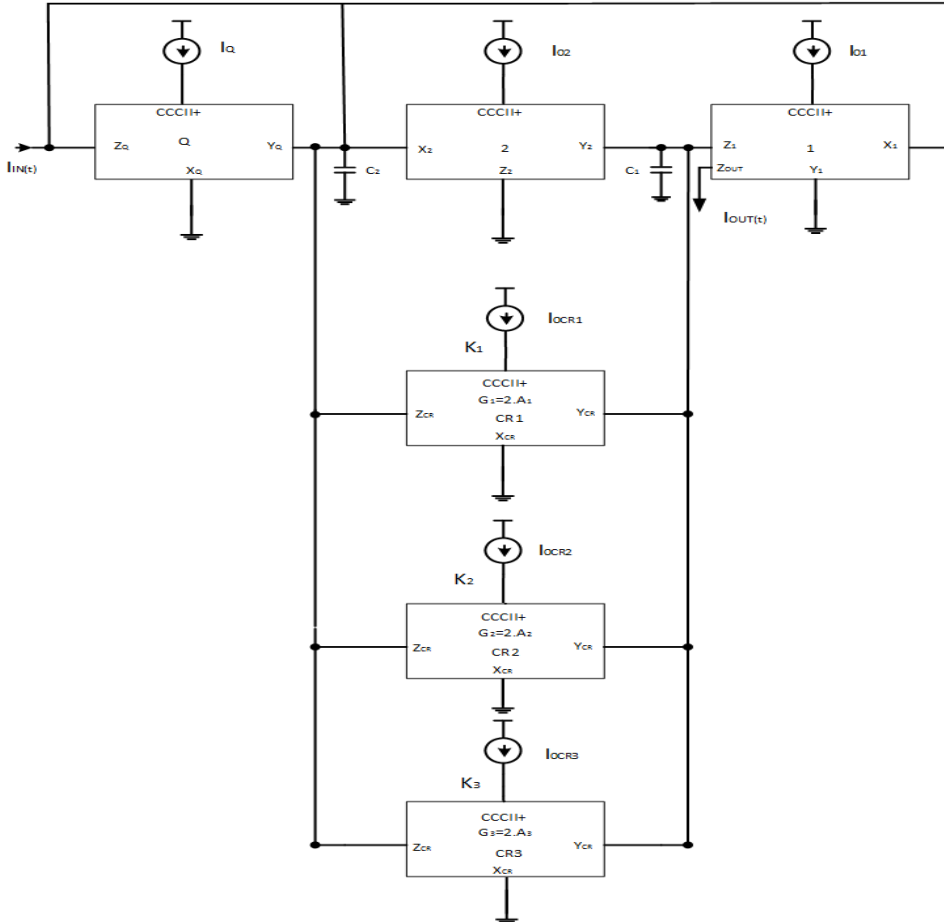
$$f_0 = \frac{1}{2\pi R_x C} \quad (2.7)$$

$$Q = \frac{R_{XQ}}{2R_{XQ} - R_x} \quad (2.8)$$



Şekil 2.10: Temel *class-0* süzgeç yapısı [2].

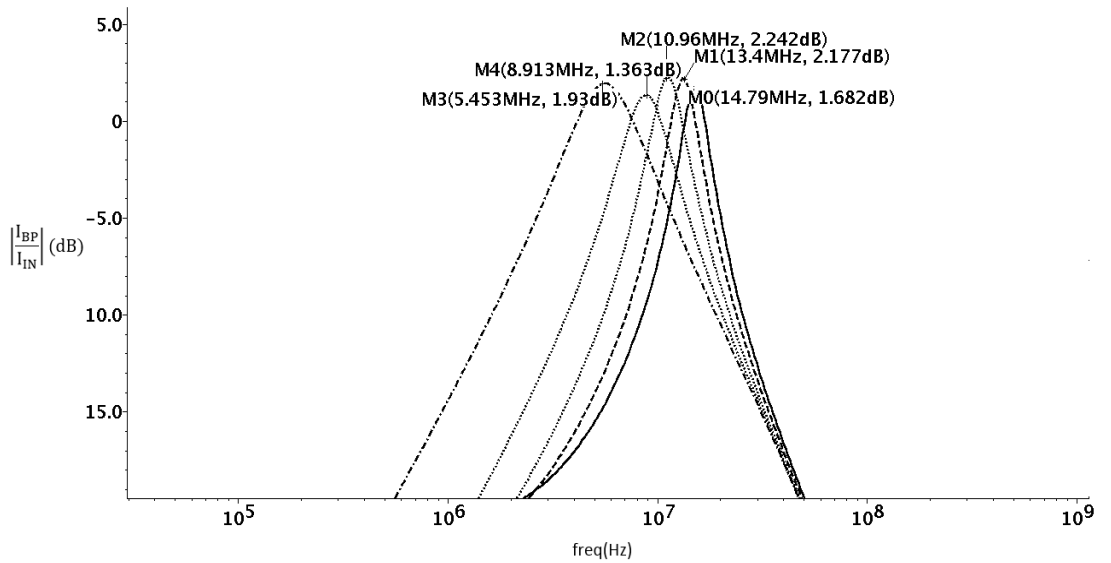
Şekil 2.11’ deki *class-2* süzgeç yapısında kullanılan anahtarlama blok yapıları ile amaçlanan band geçiren süzgeç için istenilen merkez frekansı için belirlenen kutuplama akımlarına göre seçi. Şekil 2.11’deki *class-2* band geçiren süzgeç yapısı kaskat bağlanılarak dördüncü dereceden band geçiren süzgeç yapısı elde edilmiştir. Kaskat bağlantı Şekil 2.10’daki temel blok yapı alınarak: ilk blok yapı girişi, ikinci blok yapı çıkışına bağlanarak ve geri besleme hattı her iki blok içinde ayrı ve eş zamanlı kutuplama akımı geri beslemesi seçimine tabi tutulur.



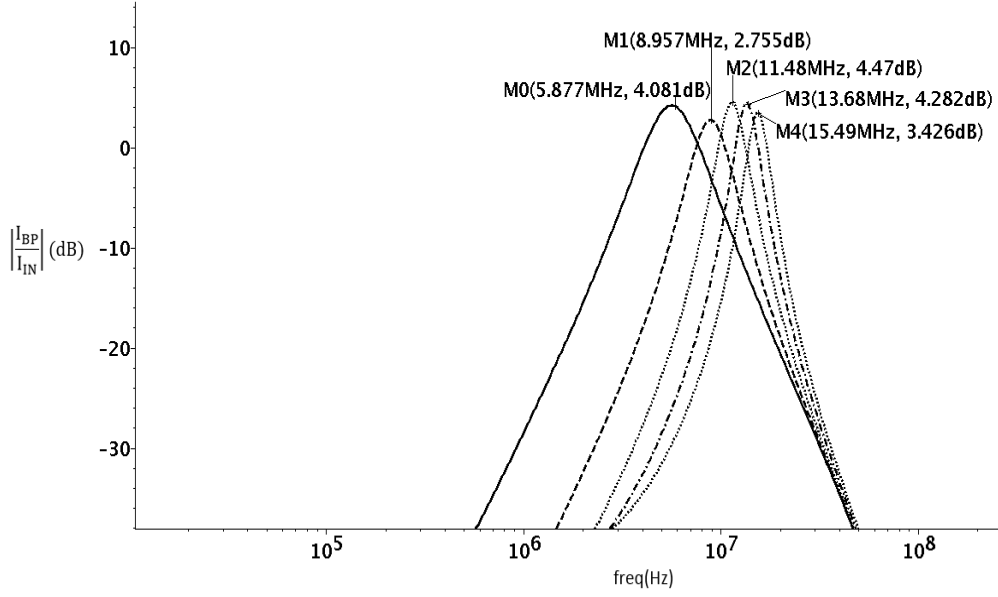
Şekil 2.11: *class-2* süzgeç yapısı [2].

Tasarlanan ayarlanabilir band geçiren süzgeç yapısı merkez frekansı kutuplama akımıyla ilişkili olarak değişir. Anahtarlama kutuplama akımları $11\mu A$, $23\mu A$, $35\mu A$, $41\mu A$, $52\mu A$ için sırasıyla band geçiren süzgeç merkez frekansları 5.45MHz, 8.91MHz, 10.96MHz, 13.4MHz, 14.79MHz olmaktadır. Tasarlanan *class-2* ikinci dereceden band geçiren süzgeç karakteristiği Şekil 2.12’de gösterilmiştir. Geri beslemeli kutuplama hattı ile istenen band geçiren süzgeç merkez frekansına göre sayısal olarak seçilmektedir. Bu yapıda kullanılan anahtarlar idealdir. Bu süzgeç yapısında güç tüketimi 2.6mW’tır.

Tasarlanan ikinci dereceden band geçiren süzgeç yapısı kaskatlanarak elde edilen dördüncü dereceden band geçiren süzgeç yapısı için anahtarlama kutuplama akımları band geçiren süzgeç yapısı kutuplama akımları ile aynı seçilmiştir. Artan anahtarlama yapı kutuplama akımları için merkez frekansları sırasıyla 5.88MHz, 8.95MHz, 11.48MHz, 13.68MHz, 15.49MHz olmaktadır. Tasarlanan dördüncü dereceden *class-2* band geçiren süzgeç karakteristiği Şekil 2.13’de gösterilmiştir. Geri beslemeli kutuplama hattı ile istenen ikinci dereceden band geçiren süzgeç merkez frekansı sayısal olarak seçilmektedir. Bu yapıda kullanılan anahtarlar idealdir. Bu süzgeç yapısı için güç tüketimi 4.72mW’tır. Bu çalışmada kaynak olarak gösterilen çalışmada dördüncü dereceden band geçiren süzgeç yapısı örneği de verilmiştir. Tasarlanan devre yapısında süzgeç derecesi artırıldığında farklı band geçiren merkez frekansları belirlenirken kutuplama akımı değerleri arasındaki fark artmaktadır. Bu durumun doğal bir sonucu olarakda enerji tüketimi artmaktadır.

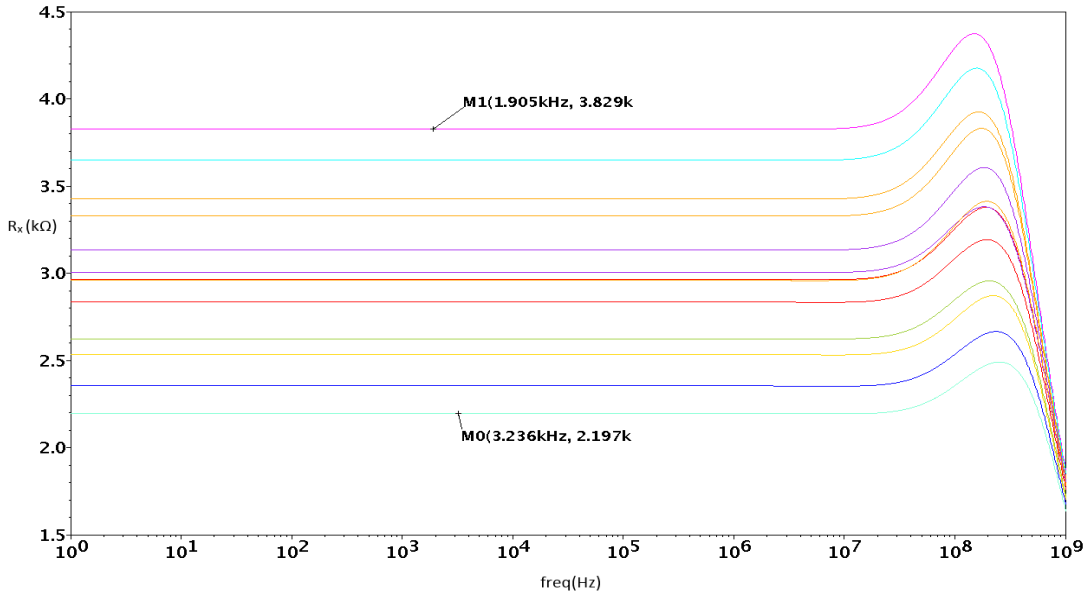


Şekil 2.12: Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.



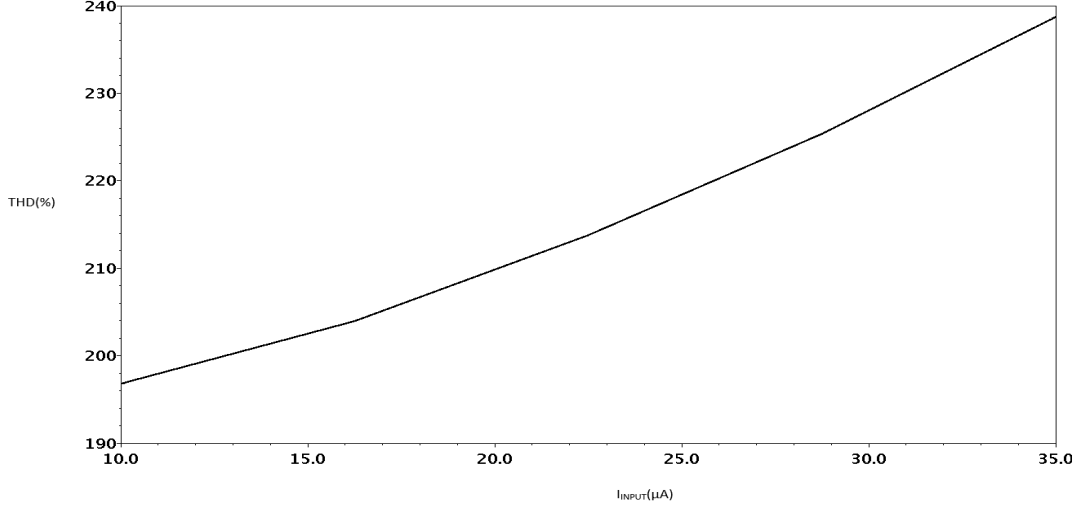
Şekil 2.13: Tasarlanan devre için dördüncü dereceden band geçiren süzgeç karakteristiği.

R_x parazitik direnci; yapılan en kötü durum analizi için pozitif besleme gerilimi 0.81V-0.99V arasında negatif besleme gerilimi (-0.81V) - (-0.99V) arasında, sıcaklık -50° - 120° arasında belirlenip üretim parametreleri hızlı-hızlı(ff), yavaş-yavaş(ss), tipik-tipik(tt) seçilip yapılan analizde parazitik direnç değeri $3.9k\Omega$ - $2.2k\Omega$ arasında değişmektedir. Kötü durum analizi karakteristiği Şekil 2.16’da gösterilmiştir.



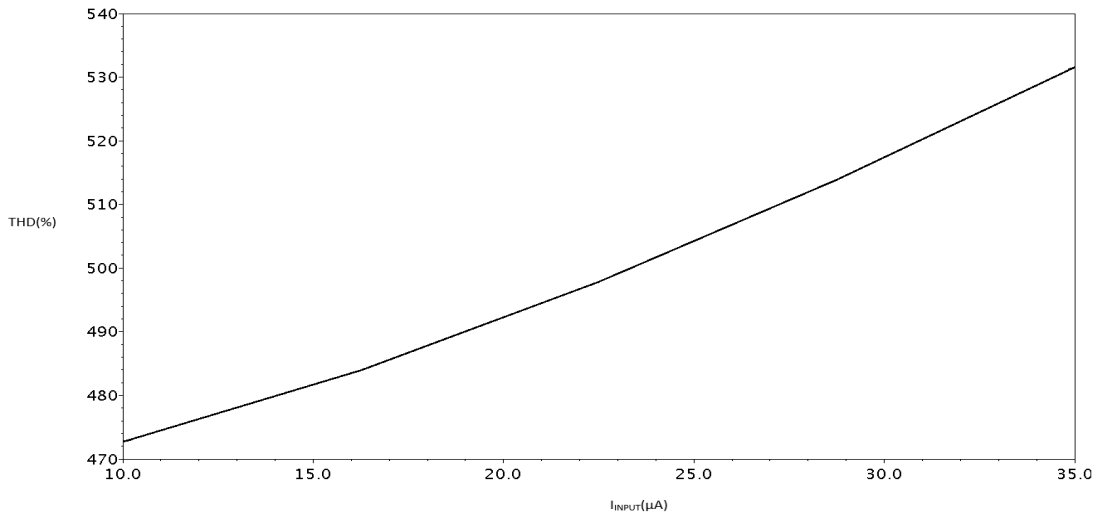
Şekil 2.14: Tasarlanan devrenin R_x parazitik direnci için en kötü durum analizi.

Tasarlanan ikinci dereceden band geçiren *class-2* süzgeç yapısı için THD, süzgeç yapısının girişine uygulanan $10\mu\text{A}$ - $35\mu\text{A}$ arasında genliğı değışen 10MHz frekansa sahip sinüs dalga akım işareti için hesaplanmıştır. THD %1.9 - %2.3 arasında değışmektedir. Tasarlanan süzgeç yapısı için THD karakteristiğı Şekil 2.15’de gösterilmiştir.



Şekil 2.15: Tasarlanan devre için ikinci dereceden band geçiren süzgeç THD karakteristiğı.

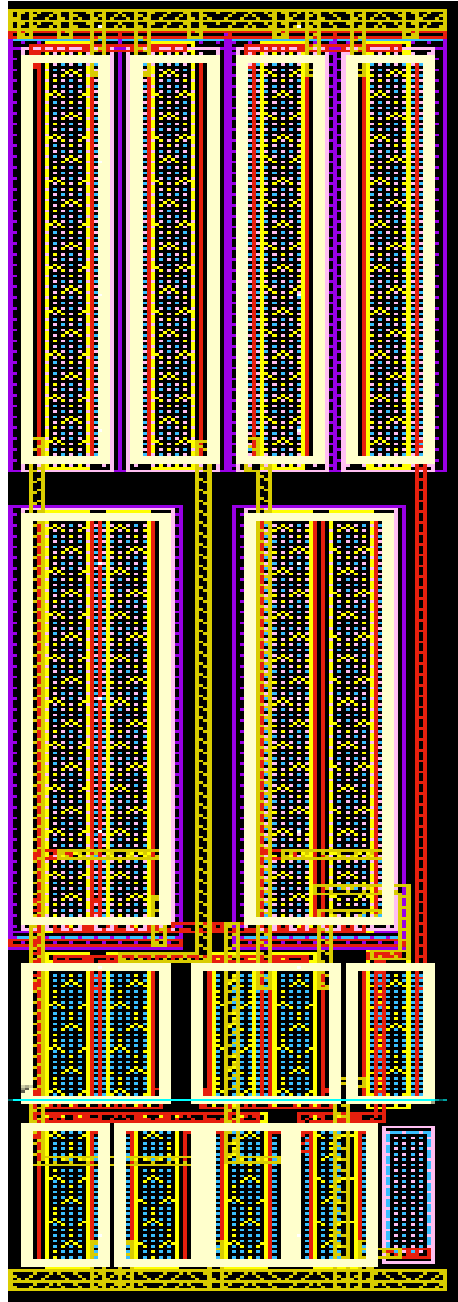
Tasarlanan dördüncü dereceden *class-2* süzgeç yapısı için THD, süzgeç yapısının girişine uygulanan $10\mu\text{A}$ - $35\mu\text{A}$ arasında genliğı değışen 10MHz frekansa sahip sinüs dalga akım işareti için hesaplanmıştır. THD %4.7 - %5.3 arasında değışmektedir. Tasarlanan süzgeç yapısı için THD karakteristiğı Şekil 2.16’da gösterilmiştir.



Şekil 2.16: Tasarlanan devre için dördüncü dereceden band geçiren süzgeç THD karakteristiğı.

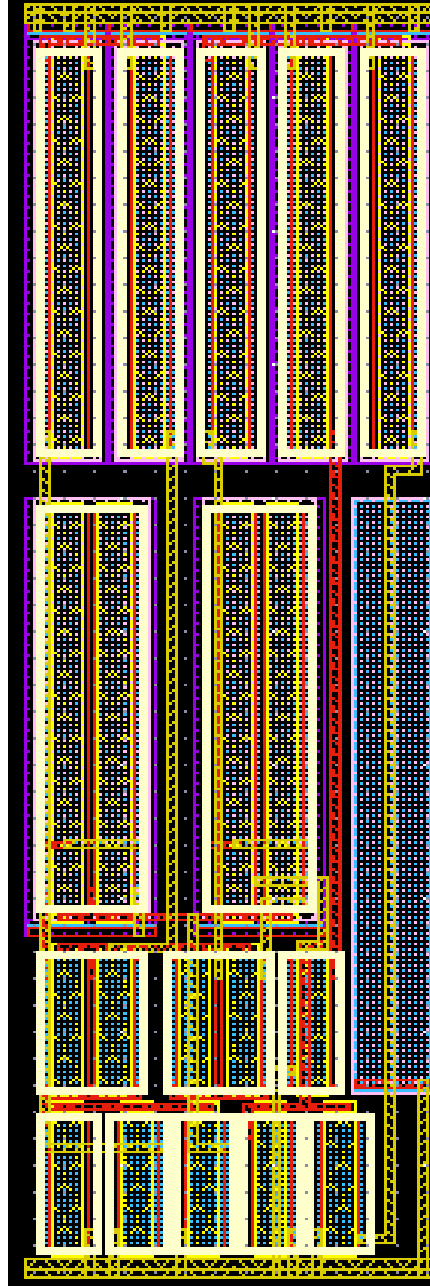
2.4 CMOS CCCII+ Devresi Serimleri ve Serim Sonrası Benzetimleri

Tek çıkışlı ikinci kuşak akım kontrollü pozitif çıkışlı akım taşıyıcı serimi Şekil 2.17’de gösterilmiştir. Tasarlanan devrenin serimde kapladığı toplam alan $515.6\mu m^2$ ’dir. Serim için koşturulan DRC, LVS, QRC hata testleri başarıyla geçilmiştir. Serim sonrası benzetimlerle parazitik etkilerin minimum düzeyde olduğu tespit edilmiştir.



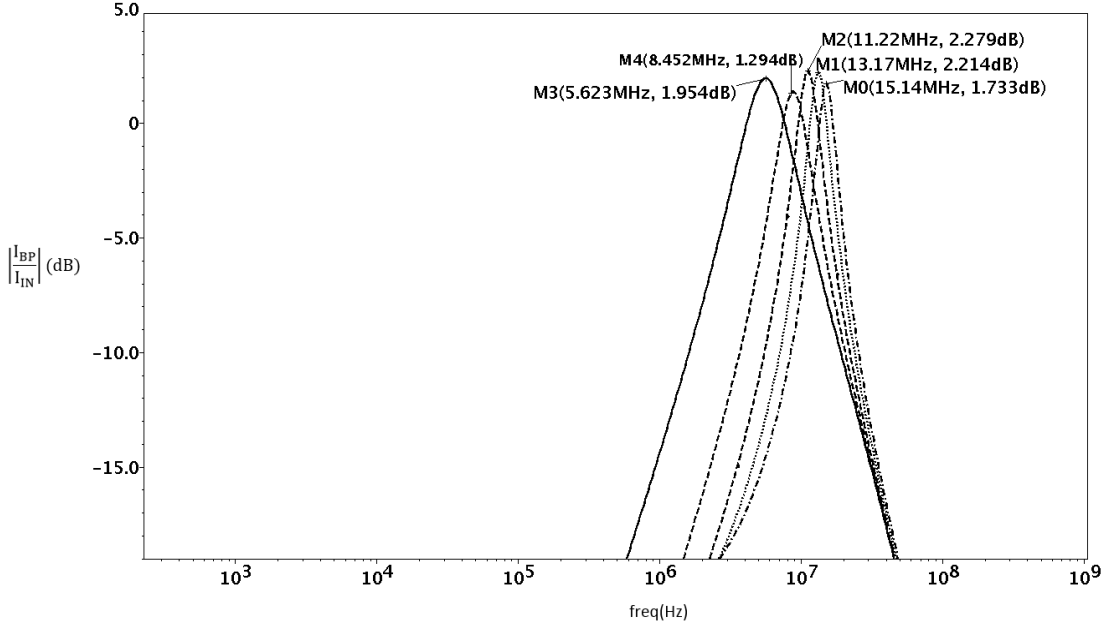
Şekil 2.17: CMOS CCCII+ devresi serimi.

Çift çıkışlı ikinci kuşak akım kontrollü pozitif çıkışlı akım taşıyıcı serimi Şekil 2.18’de gösterilmiştir. Tasarlanan devrenin serimde kapladığı toplam alan $648.7\mu m^2$ ’dir. Serim için koşturulan DRC, LVS, QRC hata testleri başarıyla geçilmiştir. QRC analizleri ile serim sonrası rezistif ve parazitik etkilerin fiziksel olarak gerçekleşmesi halinde amaçlanan devreye etkileri incelenmiştir ve bu etkilerin devre tasarımı olumsuz etkilemeyecek oranda olduğu bu test sonrası yapılan serim sonrası benzetimlerle belirlenmiştir.



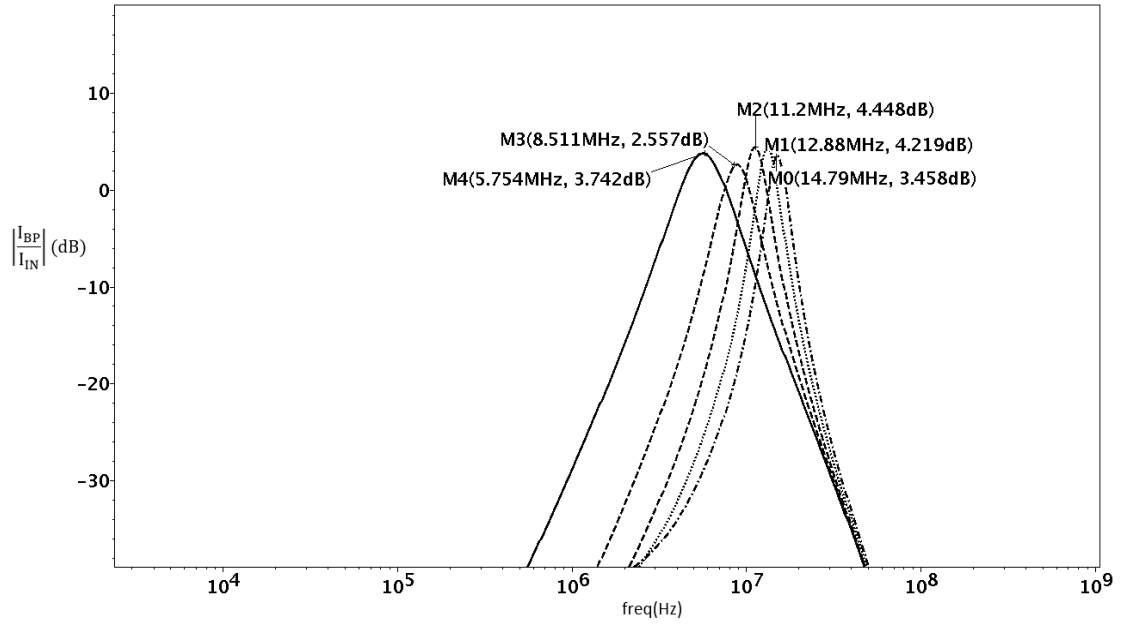
Şekil 2.18: CMOS CCCII+ çift çıkışlı devre serimi.

Serim sonrası $11\mu\text{A}$, $23\mu\text{A}$, $35\mu\text{A}$, $41\mu\text{A}$, $52\mu\text{A}$ kutuplama akımları için sırasıyla band geçiren süzgeç merkez frekansları 5.62MHz , 8.45MHz , 11.22MHz , 13.17MHz , 15.14MHz olmaktadır. Serim sonrası benzetim sonuçları bize tasarlanan devrenin serim öncesi ve sonrası istenilen frekans değerlerinin çok fazla değişmediğini ve tasarımın iyi sonuçlar verdiğini göstermektedir. Serim sonrası band geçiren süzgeç karakteristiği Şekil 2.19’da gösterilmiştir.



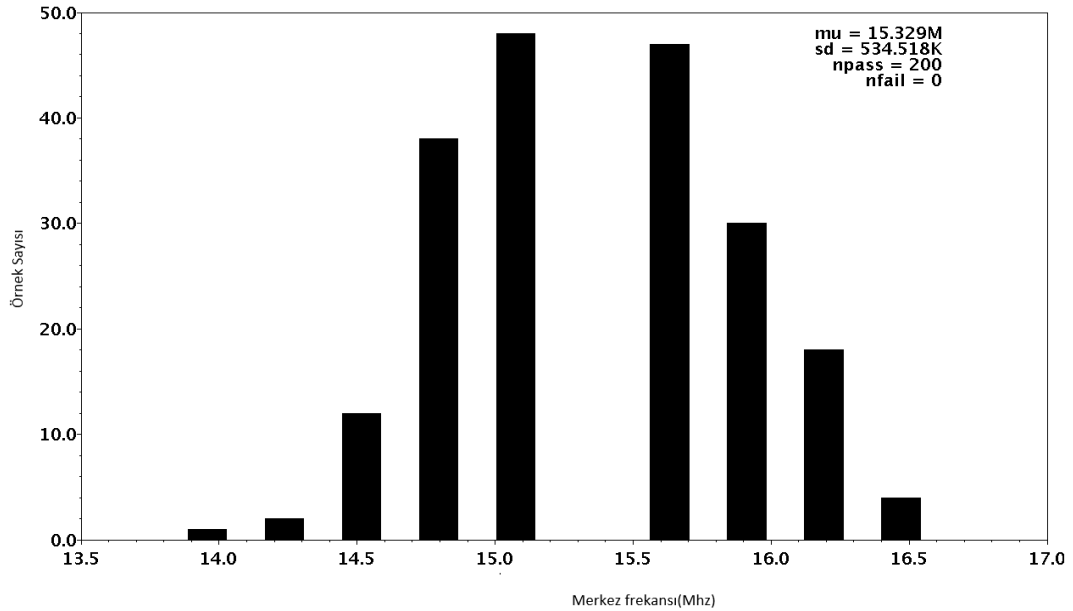
Şekil 2.19: Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.

$11\mu\text{A}$, $23\mu\text{A}$, $35\mu\text{A}$, $41\mu\text{A}$, $52\mu\text{A}$ için sırasıyla band geçiren süzgeç merkez frekansları 5.754MHz , 8.511MHz , 11.2MHz , 12.88MHz , 14.79MHz olmaktadır. Serim sonrası benzetim sonuçları bize tasarlanan devrenin serim öncesi ve sonrası istenilen frekans değerlerinin çok fazla değişmediğini ve tasarımın iyi sonuçlar verdiğini göstermektedir. Serim sonrası dördüncü dereceden band geçiren süzgeç karakteristiği Şekil 2.20’de gösterilmiştir. Serim öncesi ve sonrası benzetimleri ile tasarlanan devrenin fiziksel olarak gerçekleştirilmesi durumunda rezistif ve kapasitif parazitik etkilerin tasarım üzerindeki etkisinin tespiti için önemlidir.



Şekil 2.20: Tasarlanan devre için serim sonrası dördüncü dereceden band geçiren süzgeç karakteristiği.

Serim sonrası dördüncü dereceden band geçiren süzgeç karakteristiği için merkez frekansı değişimi için yapılan Monte Carlo analizi sonucu $52\mu\text{A}$ 'lık anahtarlamalı kutuplama akımı için ortalama frekans değişimi değeri 15.33MHz olarak tespit edilmiştir. Tasarım için istenilen band geçiren merkez frekansı çok fazla değişim göstermemektedir, bu durum tasarımın başarıyla gerçekleştirildiğini gösterir.



Şekil 2.21: Tasarlanan devrenin dördüncü dereceden band geçiren süzgeç merkez frekansı için MONTE CARLO analizi.

3. CMOS CDTA DEVRE YAPISI TABANLI AYARLANABİLİR ATİK SÜZGEÇ UYGULAMASI

Akım farkı alan geçiş iletkenliği kuvvetlendiricisi (CDTA) en kullanışlı akım modlu işlemsel kuvvetlendiricilerden biridir. CMOS CDTA devresi temel olarak akım farkı alan blok ve geçiş iletkenliği kuvvetlendiricisinden oluşur. CMOS CDTA devre yapısının giriş katını akım farkı alan blok ve çıkış katını ise geçiş iletkenliği kuvvetlendiricisi oluşturur. Giriş ve çıkış katları yüksek doğrusallığa sahiptir. CDTA devresinin: P, N giriş uçları düşük empedanslıdır ve X+, X-, Z çıkış uçları ise yüksek empedanslıdır.

3.1 CMOS CDTA Devre Yapısı

CDTA devre yapısı D. Biolek tarafından önerilmiştir [36]. CDTA devre yapısı giriş yapısı akım farkı alan yapıdan çıkış katı yüzen akım kaynağından oluşur. CDTA iki düşük empedansa ve üç yüksek empedans ucuna sahiptir. Çıkış uçlarını ikisi, akım farkı alan yapının çıkışını kazancı g_m olan yüzen akım kaynağına göndererek elde edilir. Tasarlanan CMOS yapısı akım farkı alan en kararlı akım dinamik aralığına sahiptir.

Tasarlanan devrenin çıkış katını Goldminz tarafından yüzen akım kaynağı oluşturur ve sadece dört transistörden oluşmuştur, kutuplama akımı için kullanılan transistörler hariç. CDTA devre yapısının çıkış empedans değerlerinin daha yüksek olması istenildiği durumda [5] deki çalışmada yer verilen devre topolojisi kullanılabilir. Aynı zamanda bu çalışma kapsamında yer alan devre topolojisi de [5]'deki çalışmadan alınmıştır. CMOS CDTA devre yapısının bu çalışma da yer bulmasında yüksek doğruluk, yüksek doğrusallık, yüksek geçiş iletkenliği [5] özellikleri etkin olmuştur. Yine aynı zamanda çıkış uçları empedanslarının yüksek olması sayesinde ek aktif eleman kullanılmadan kaskatlanabilme kolaylığı da sağlamaktadır.

CMOS CDTA devre yapısının girişine uygulanan akım işaretini akım farkı alan yapı ile yüzen akım kaynağına ulaştırıp burada gerilim işaretine çevirip g_m katsayısı ile çarparak CDTA yapısı çıkış uçlarına akım işareti olarak dönüştürülür.

CMOS CDTA devre yapısı matris gösterimi ve temel işlemsel yapı eşitlikleri sırasıyla Eşitlik 3.1, 3.2, 3.3, 3.4’de verilmiştir.

$$\begin{bmatrix} V_p \\ V_n \\ I_z \\ I_x \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & \pm g_m \end{bmatrix} \begin{bmatrix} I_p \\ I_n \\ V_x \\ V_z \end{bmatrix} \quad (3.1)$$

$$V_p = V_n = 0 \quad (3.2)$$

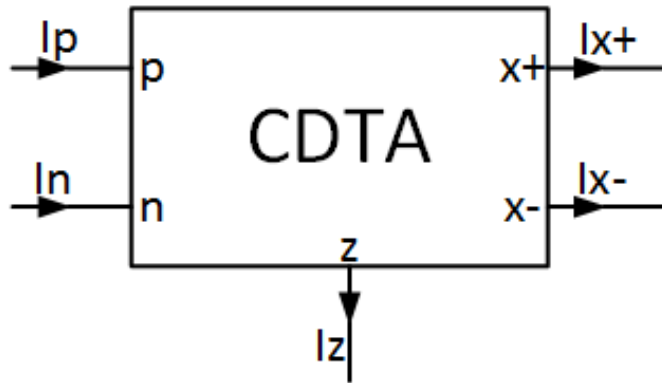
$$I_z = I_p - I_n \quad (3.3)$$

$$I_{x+} = g_m V_z, I_{x-} = -g_m V_z \quad (3.4)$$

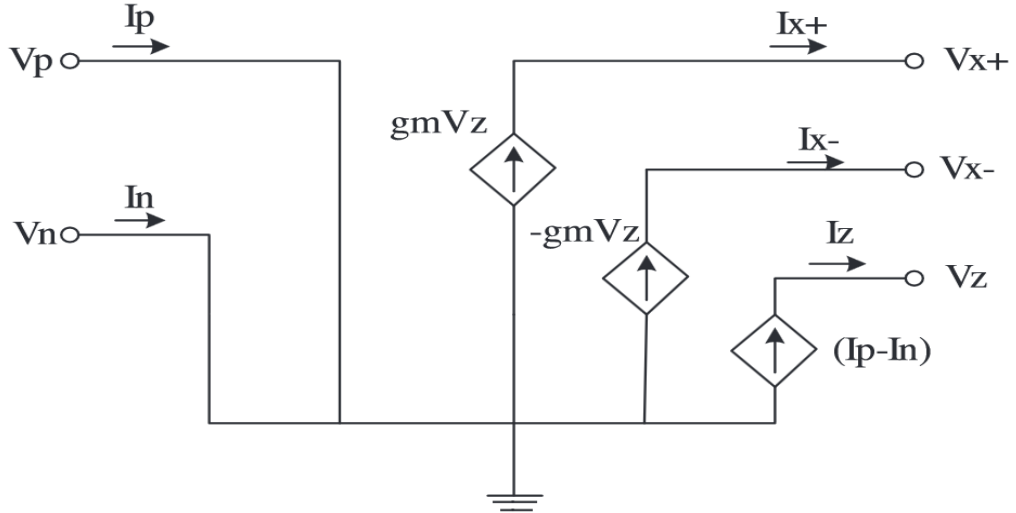
CDTA devre yapısı akım ve gerilim kazançlarından kaynaklarının idealden sapmaları bir matris halinde Eşitlik 3.5’de verilmiştir. α_p ve α_n akım kazançlarıdır. Akım kazançlarının gerçek değerlerinden sapmaları $\alpha_p = 1 - \varepsilon_p$ ve $\alpha_n = 1 - \varepsilon_p$ ile formüleleştirilebilir [22, 36]. Akım takip hatalarının gerçek değerleri neredeyse sıfırdır.

$$\begin{bmatrix} V_p \\ V_n \\ I_z \\ I_x \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ \alpha_p & \alpha_n & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & \pm g_m \end{bmatrix} \begin{bmatrix} I_p \\ I_n \\ V_x \\ V_z \end{bmatrix} \quad (3.5)$$

CDTA devre yapısının sembolik gösterimi Şekil 3.1’de ve eşdeğer devre gösterimi Şekil 3.2’de gösterilmiştir.

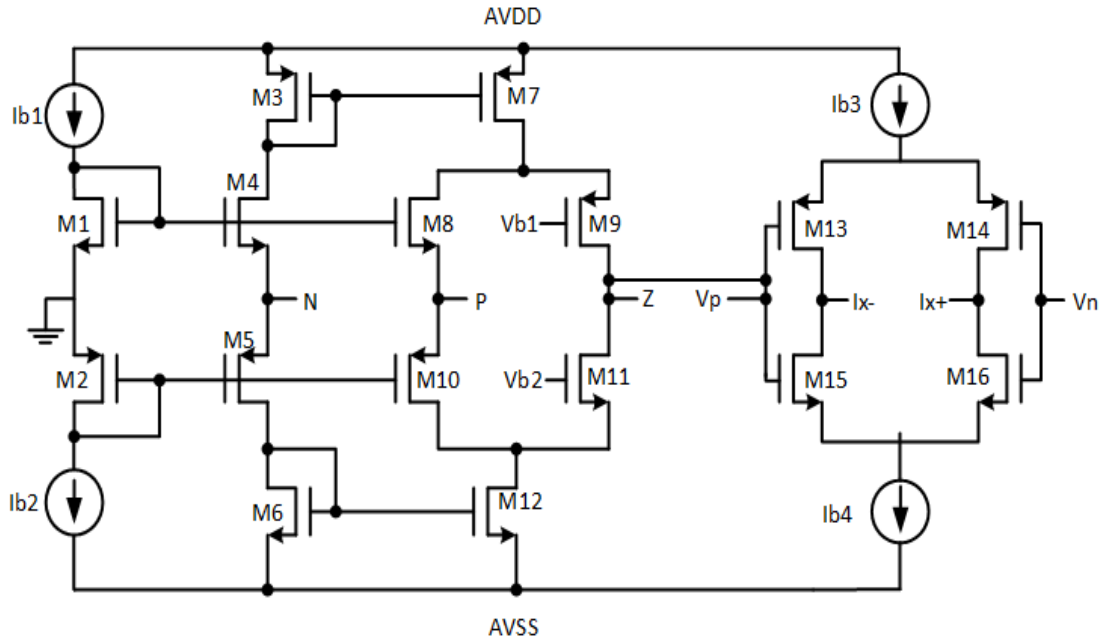


Şekil 3.1: CDTA yapısının sembolik gösterimi [5].



Şekil 3.2: CDTA eşdeğer devre gösterimi [5].

Tasarlanan CDTA devresinin CMOS yapısı Şekil 3.3’de verilmiştir. $M_1 - M_{12}$ transistörleri akım farkı alan yapıyı oluşturur. Yüzen akım kaynağı CMOS iç yapısını $M_{13} - M_{16}$ transistörleri oluşturmaktadır. CMOS CDTA devre yapısı akım kutuplamalarında kullanılan akım kaynakları $I_{b1} = I_{b2} = 90\mu A$, $I_{b3} = I_{b4} = 25\mu A$ olarak tasarım kriterlerine göre gerçekleştirilmiştir. CDTA devre yapısı gerilim kutuplamalarında $V_{b1}=500mV$, $V_{b2}=590mV$ olarak gerçekleştirilmiştir.



Şekil 3.3: CMOS CDTA iç yapısı.

Tasarlanan devrenin transistör boyutları istenilen frekans işlem bölgesinde devre kararlılığı ve dc kutuplama şartlarına göre tasarlanmıştır.

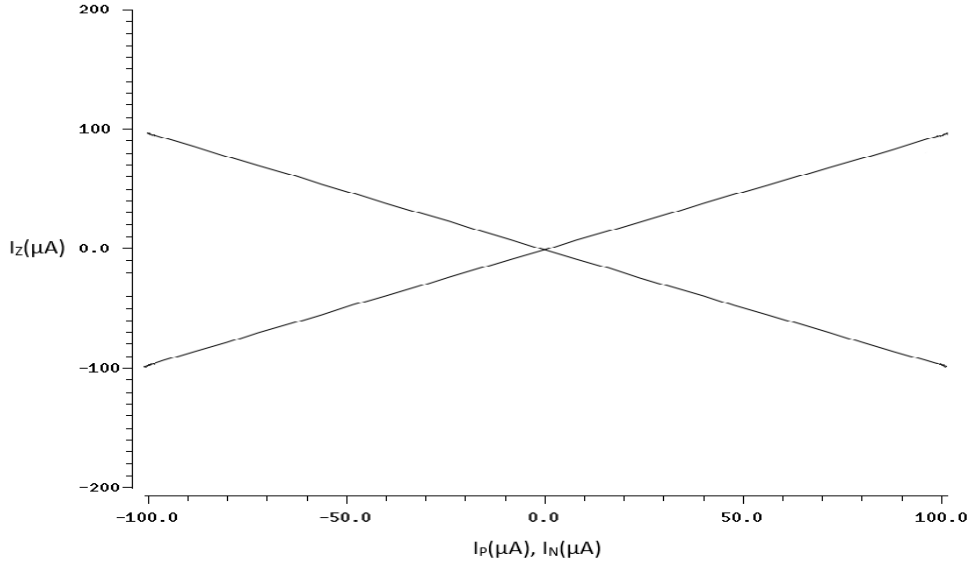
Çizelge 3.1’de CMOS CDTA devresinin transistör boyutları verilmiştir.

Çizelge 3.1: Tasarlanan devrenin transistör boyutları.

Transistörler	$W(\mu m)$	$L(\mu m)$
M_1, M_2, M_3	36	0.36
M_4, M_5	72	0.36
$M_6, M_7, M_8, M_9, M_{10}, M_{11}, M_{12}$	36	0.36
$M_{13}, M_{14}, M_{15}, M_{16}$	12	0.36

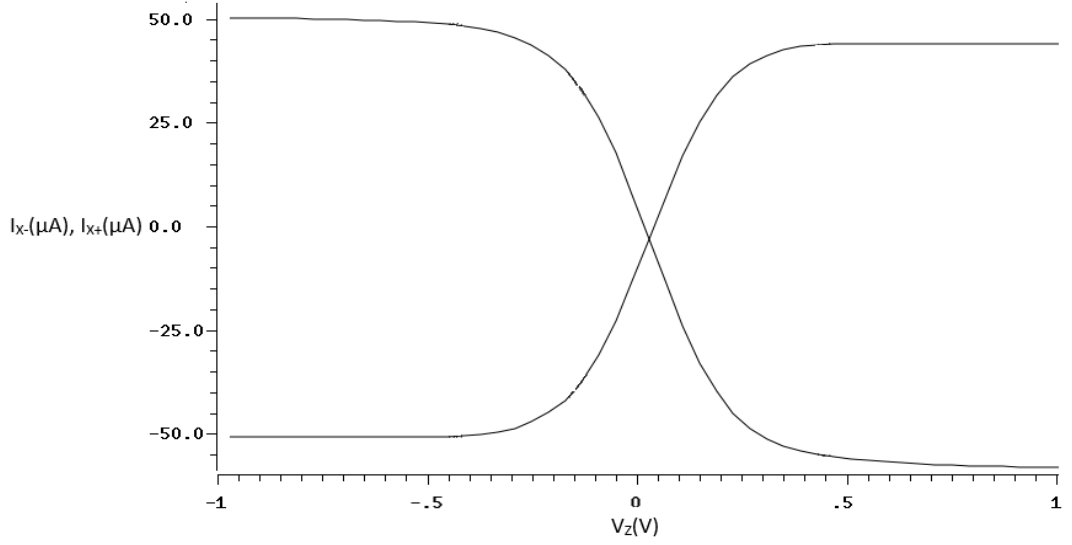
3.2 CMOS CDTA Devresinin Ana Karakteristikleri

CDTA devre yapısının p ve n giriş uçlarına uygulanan belirli aralıklardaki dc akım işaretini, amaçlanan devrenin çıkış Z ucu $-100\mu A - 100\mu A$ dinamik aralığında takip etmektedir. Şekil 3.4’de Z çıkış ucu akım dinamik aralığı gösterilmiştir. Bu karakteristikten süzgeç tasarımı için belirlenen kutuplama akımlarının maksimum değerine kadar devre giriş uçları ve çıkış uçları arasında iyi bir yakınsaklıklar akım takibi gerçekleştirildiğini göstermektedir.



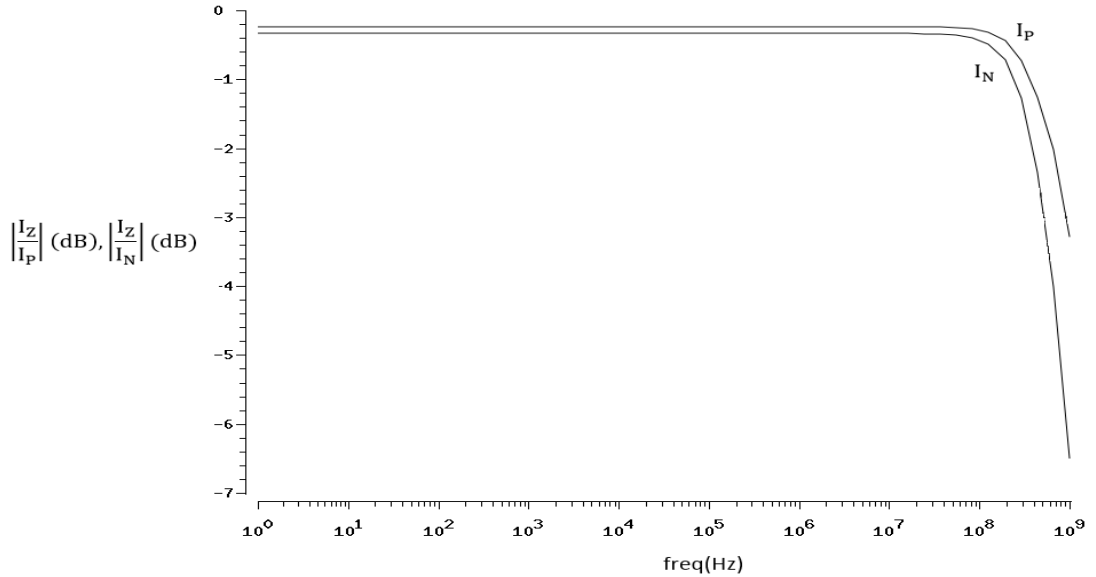
Şekil 3.4: Tasarlanan devre için P ve N giriş uçları akımı için Z çıkış ucu akım karakteristiği.

CDTA devre yapısının p ve n giriş uçları akım dinamik aralığı sırasıyla $-55.2\mu A - 48.4\mu A$, $-50.5\mu A - 43.8\mu A$ aralıklarında Z ucuna uygulanan dc gerilim işaretine göre belirlenmiştir. Şekil 3.5’de Z ucu giriş gerilim işareti için p ve n giriş uçları için akım dinamik aralığı karakteristiği gösterilmiştir. P ve N giriş uçları empedansları azaldıkça CDTA devresi akım geçiş doğrusallık aralığı artmaktadır. Tasarlanan devre yapısının giriş uçları direnç değerleri oldukça düşüktür.



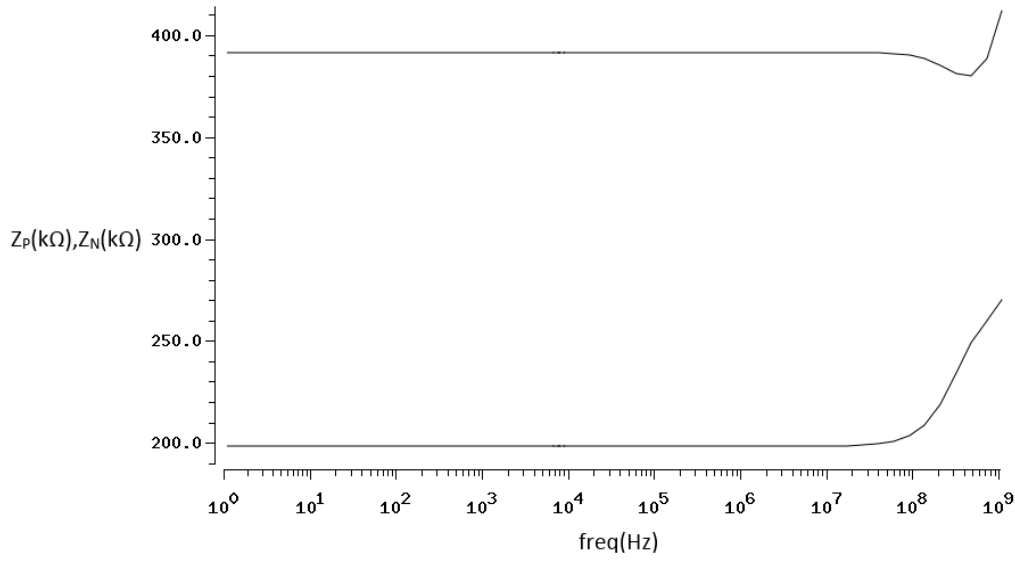
Şekil 3.5: Tasarlanan devre için Z ucu giriş gerilim işareti için P ve N giriş uçları akım karakteristiği.

Tasarlanan devre yapısı için Şekil 3.6’da P ve N giriş uçları için akım kazanç karakteristiği elde edilmiştir. Tasarlanan devrenin P ve N uçları için yaklaşık akım birim kazancı elde edilmiştir. Akım kazanç band genişliği P ve N uçları için 925MHZ, 524MHz olarak belirlenmiştir.



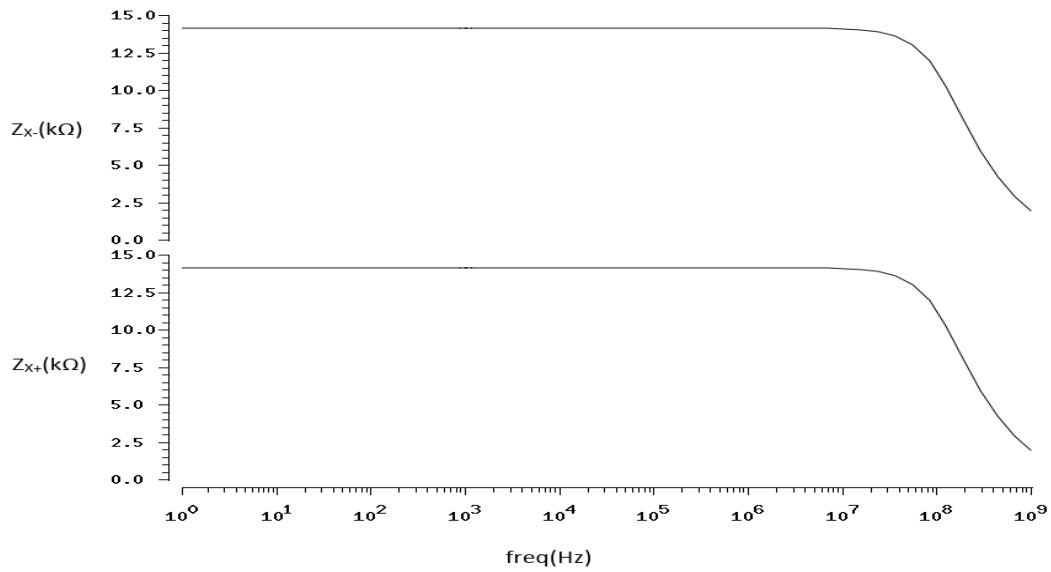
Şekil 3.6: Tasarlanan devre için P ve N giriş uçları akım kazanç karakteristiği.

Tasarlanan devre yapısında P ve N giriş uçları empedansları sırasıyla 390Ω, 200Ω olarak Şekil 3.7’deki empedans karakteristiğinden çıkarılmıştır. Tasarlanan devrenin giriş uçları empedansları oldukça düşük empedanslıdır. İncelenen literatür çalışmaları arasında en düşük giriş uçları empedans değerlerine bu çalışma kapsamında ulaşılmıştır.



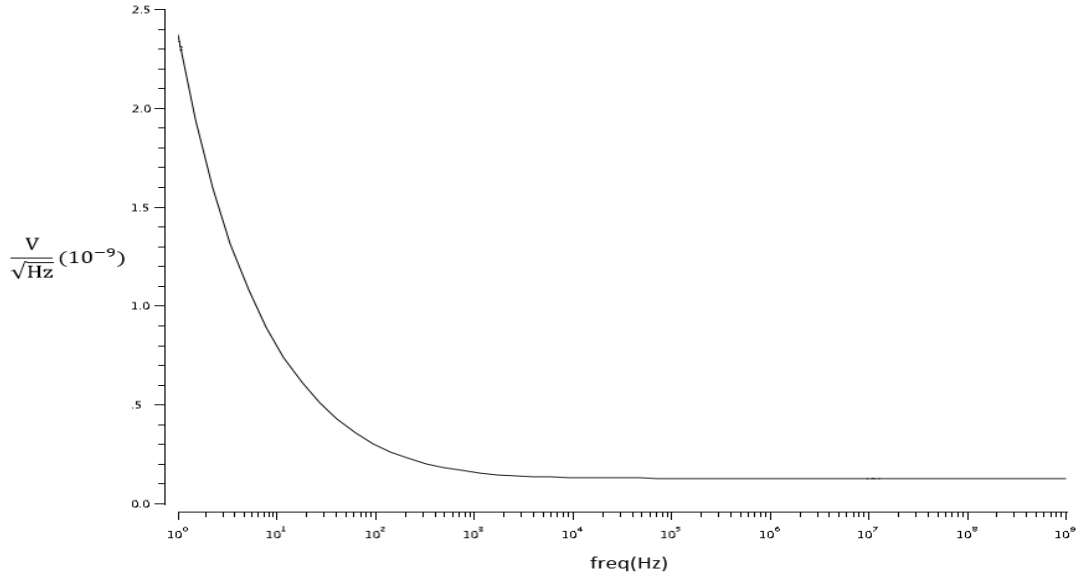
Şekil 3.7: Tasarlanan devre için P ve N giriş uçları empedans karakteristiği.

Tasarlanan devre yapısında X+ ve X- çıkış uçları empedansları 14kΩ olarak eşit bulunmuştur. Şekil 3.8’de çıkış uçları empedans karakteristiği gösterilmiştir. Tasarlanan devrenin negatif ve pozitif çıkış uçları arasında simetri olduğu yine bu karakteristikten çıkarılabilir.



Şekil 3.8: Tasarlanan devre için X+ ve X- çıkış uçları empedans karakteristiği.

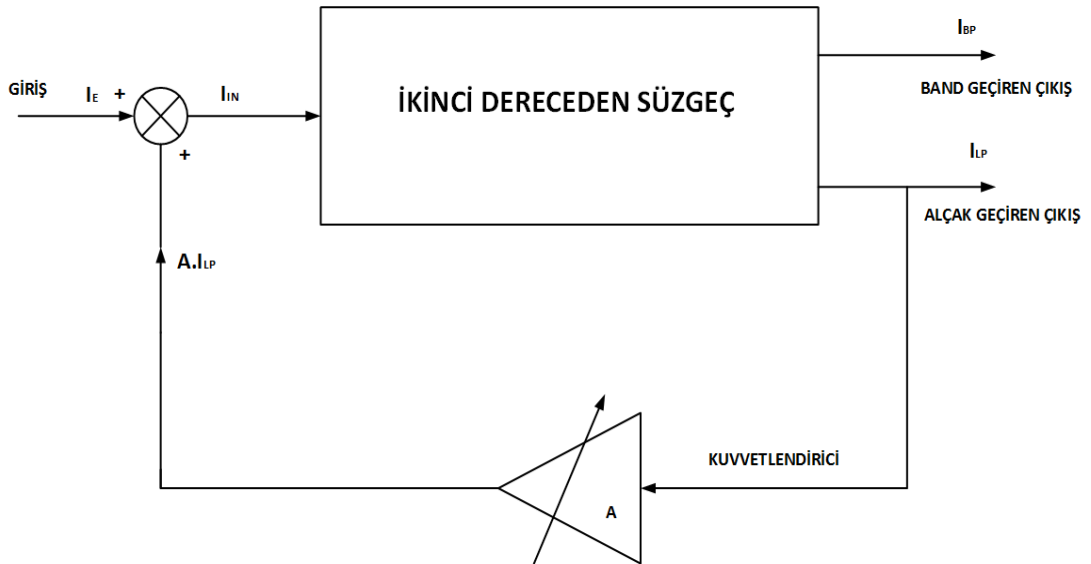
Tasarlan devre yapısı için gürültü analizi Şekil 3.9’da verilmiştir. Eşdeğer devre gürültüsü 1Hz frekans için $2.31nV/\sqrt{Hz}$, 11MHz frekans için $128.775pV/\sqrt{Hz}$ olarak tespit edilmiştir. Tasarlanan devre yapısı düşük gürültülüdür.



Şekil 3.9: Tasarlanan devre için gürültü analizi.

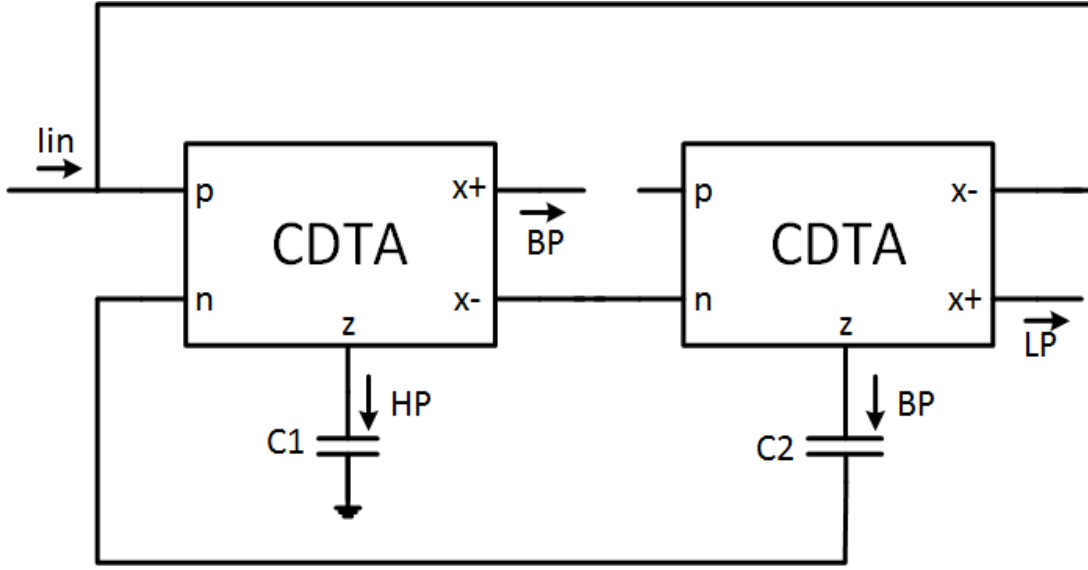
3.3 CMOS CDTA Devresi Atık Süzgeç Uygulaması

Tasarlanan devre yapısı uygulama süzgeç yapısı olarak Şekil 3.10'da gösterilen *class-1* ayarlanabilir süzgeç yapısı kullanılmıştır [2].



Şekil 3.10: İkinci dereceden ayarlanabilir atık süzgeç yapısı [2].

Bu çalışmada kapsamında literatürdeki birçok süzgeç yapısı test edilmiştir. Kaçar ve Kuntman tarafından önerilen Şekil 3.11'deki CDTA tabanlı ikinci dereceden süzgeç yapısı kullanılmıştır. Bu yapı çok çıkışlı ve çok fonksiyonludur. Literatürdeki önerilen diğer süzgeç yapılarından farklı olarak bir kapasite tümleşik elemanı topraklanmamıştır [5].



Şekil 3.11: CMOS CDTA tabanlı ikinci dereceden süzgeç yapısı [5].

Tasarlanan ikinci dereceden süzgeç için transfer fonksiyonu Eşitlik 3.6'daki gibidir. Bu transfer fonksiyonundan merkez frekansı ifadesi Eşitlik 3.7'dedir. Aynı zamanda tasarlanan yapı için kalite faktörü Eşitlik 3.8'deki gibi elde edilir. Bu eşitlikler incelendiğinde kalite faktörünün tümleşik kapasite değerlerinden bağımsız olduğu ve tümleşik kapasite değerleri merkez frekansının istenilen frekansa çekilmesinde etkindir.

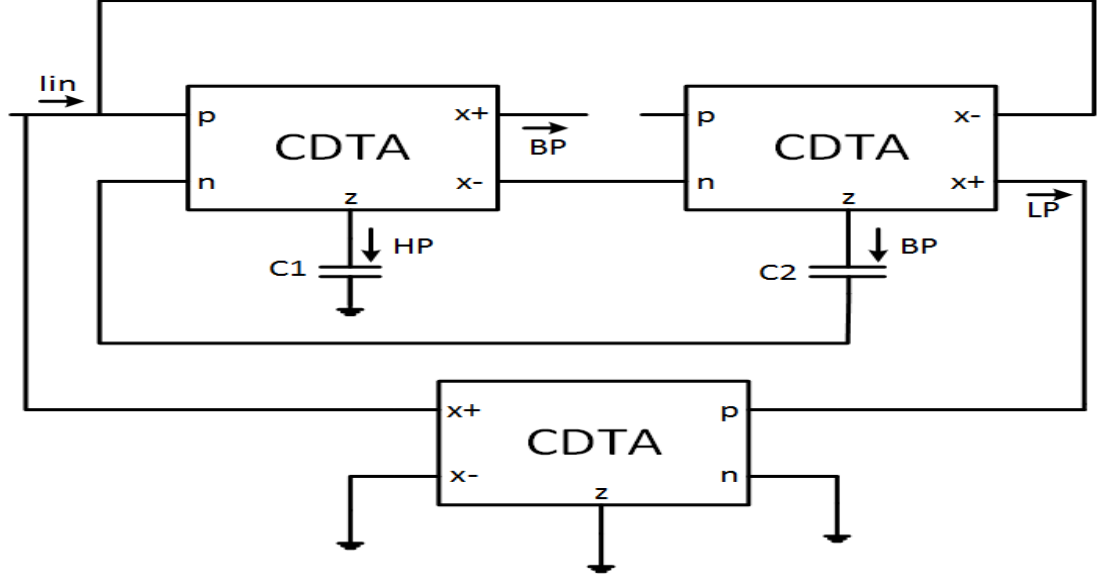
$$\frac{I_{BP}(s)}{I_{IN}(s)} = \frac{sg_{m1}C_2}{s^2 + sg_{m1}C_2 + g_{m1}g_{m2}} \quad (3.6)$$

$$w_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.7)$$

$$Q = \sqrt{\frac{g_{m2}C_1}{g_{m1}C_2}} \quad (3.8)$$

Yukarıdaki eşitliklerde transfer fonksiyonu çıkarılırken geri beslemeli blok hesaba katılmamıştır. Geri beslemeli blok eklendiğinde pay ve paydaya $(1 - g_{m1}g_{m2})$ katsayısına bölerek geri beslemeli blok etkisini ve süzgeç yapısının geri beslemeli bloklu tranfer fonksiyonu elde edilebilir. Merkez frekansı belirlenirken; geri beslemeli blok etkisiyle kutuplama akımının artmasıyla merkez frekansı azalacaktır. Geri beslemeli blok ile amaçlanan süzgeç yapısını elektronik olarak kontrolünde merkez frekansını düşük frekanslara çekmek istenirken daha fazla güç harcanmaktadır.

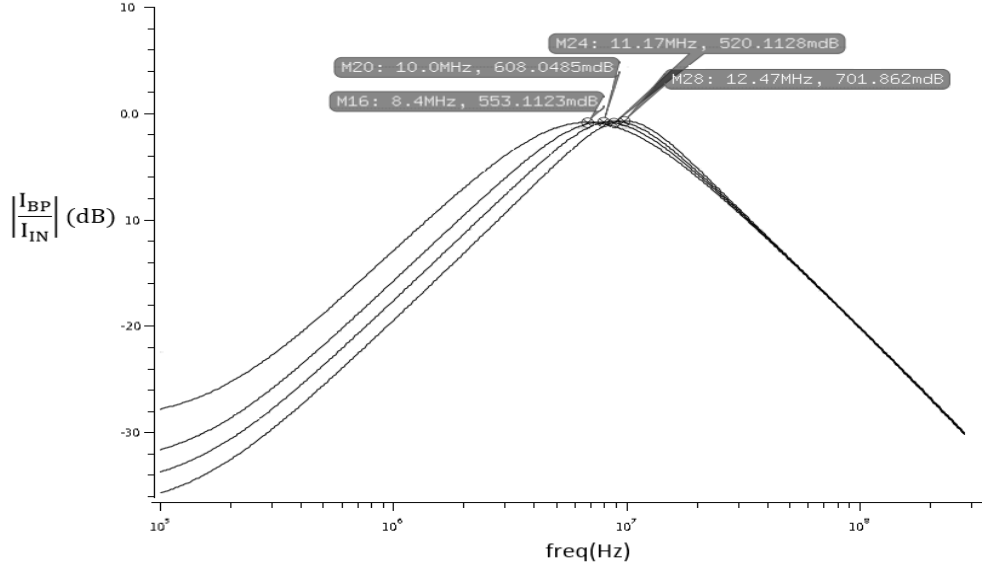
Tasarlanan frekans atık süzgeç yapısı Şekil 3.12’de gösterilmiştir. Bu yapıda frekans atık özelliği geri beslemeli CDTA devresi kullanılarak sağlanmaktadır. Amaçlanan süzgeç yapısının elektronik kontrolü geri beslemeli CDTA bloğu ile sağlanmaktadır.



Şekil 3.12: CMOS CDTA tabanlı ikinci dereceden ayarlanabilir süzgeç yapısı.

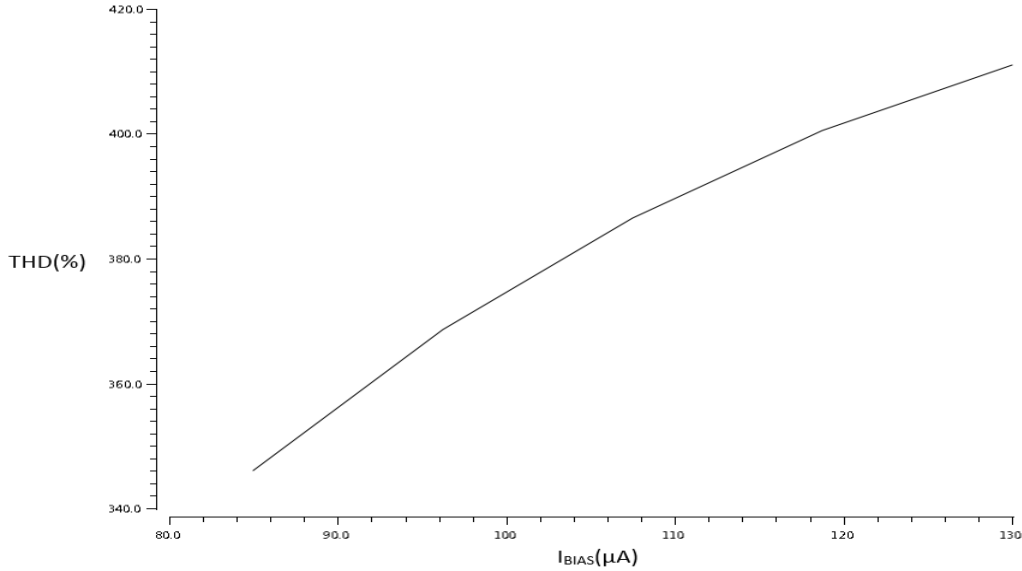
Tasarlanan ayarlanabilir band geçiren süzgeç yapısı merkez frekansı kutuplama akımıyla ilişkili olarak değişir. Anahtarlama kutuplama akımları $I_{b3} = I_{b4} - 15\mu A$ yaklaşık bu ilişkiye göre ve sadece geri beslemeli blok kutuplama akımı değiştirilerek sırası ile I_{b3} kutuplama akımının $75\mu A$, $90\mu A$, $100\mu A$, $110\mu A$ akım değerleri için sırasıyla band geçiren süzgeç merkez frekansları 12.47MHz , 11.17MHz , 10MHz , 8.4MHz değerlerini almaktadır. Tasarlanan ikinci dereceden *class-2* band geçiren süzgeç karakteristiği Şekil 3.13’de gösterilmiştir. Geri beslemeli kutuplama hattı ile istenen band geçiren süzgeç merkez frekansına göre seçilmektedir. Bu süzgeç yapısında güç tüketimi maksimum kutuplama akımı için 5.9mW ’tır. Tasarlanan devrenin güç tüketiminin az olması bu çalışma kapsamında belirlenen düşük güçlü tasarım önerileri getirme kriterinin gerçekleştiğini göstermektedir. Tasarlanan yapıda akım kopyalanması için ek olarak tasarım bloklarına ihtiyaç yoktur. Ek bloklara ihtiyaç olmadan akım kopyalanabilmesi ile tasarımın daha az yer kaplanması sağlanmıştır.

Tasarlanan ikinci dereceden *class-2* süzgeç yapısı için THD, süzgeç yapısının girişine uygulanan $I_{b3} = 75\mu A - 110\mu A$ arasında genliği değişen 13MHz frekansa sahip sinüs dalga akım işareti için ve $2\text{k}\Omega$ ’lık rezistif yük altında hesaplanmıştır.



Şekil 3.13: Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.

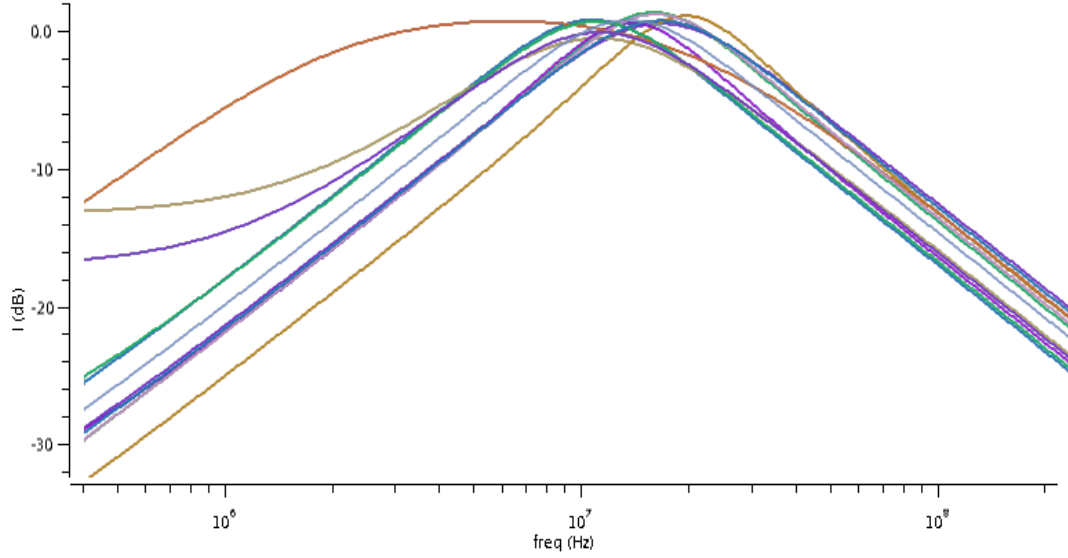
Rezistif yük artıkça THD artar ve taşınan akım işaretinde bozulmalar da artar. THD %0.35 - %0.42 arasında değişmektedir. THD değerleri makul kabul edilecek sınırlar içindedir. Tasarlanan süzgeç yapısı için THD karakteristiği tasarlanan devrenin gerçek zamanlı performansını ölçmek için önemlidir. THD karakteristiği Şekil 3.14’de gösterilmiştir.



Şekil 3.14: Tasarlanan devre için ikinci dereceden band geçiren süzgeç THD karakteristiği.

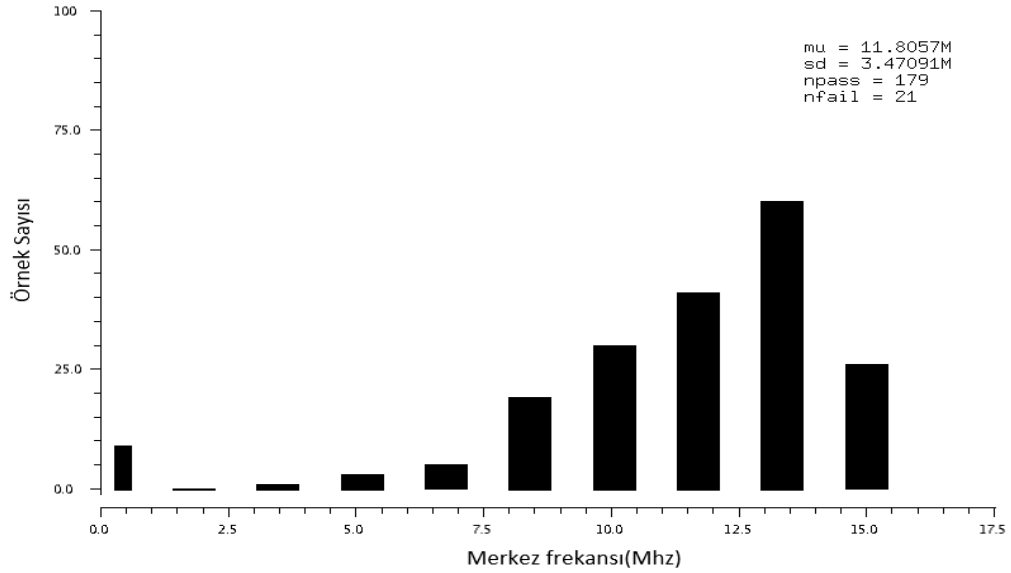
Tasarlanan süzgeç yapısı için yapılan en kötü durum analizi için pozitif besleme gerilimi 0.81V - 0.99V arasında negatif besleme gerilimi (-0.81 V) - (-0.99 V) arasında, sıcaklık -50° - 120° arasında belirlenip üretim parametreleri de hızlı - hızlı(ff), yavaş - yavaş(ss), tipik - tipik(tt) seçilip yapılan analizde merkez frekansı en yüksek işlem

frekansı 12.47MHz için makul sınırlar arasında değişmektedir. Kötü durum analizi karakteristiği Şekil 3.15’de gösterilmiştir.



Şekil 3.15: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Corner analizi.

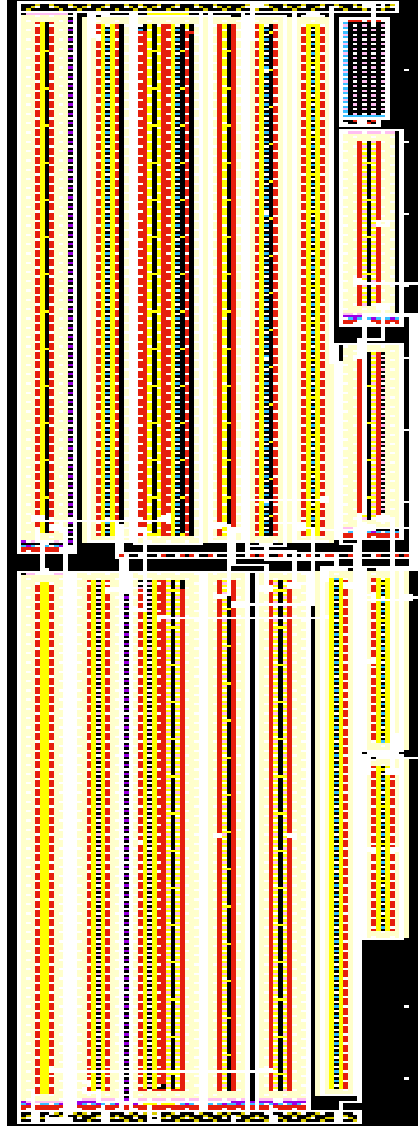
Monte Carlo analizi sonucu ortalama frekans değişimi değeri 11.8MHz olarak tespit edilmiştir. Şekil 3.16’da gösterilmiştir.



Şekil 3.16: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Monte Carlo analizi.

3.4 CMOS CDTA Serimi ve Serim Sonrası Benzetimleri

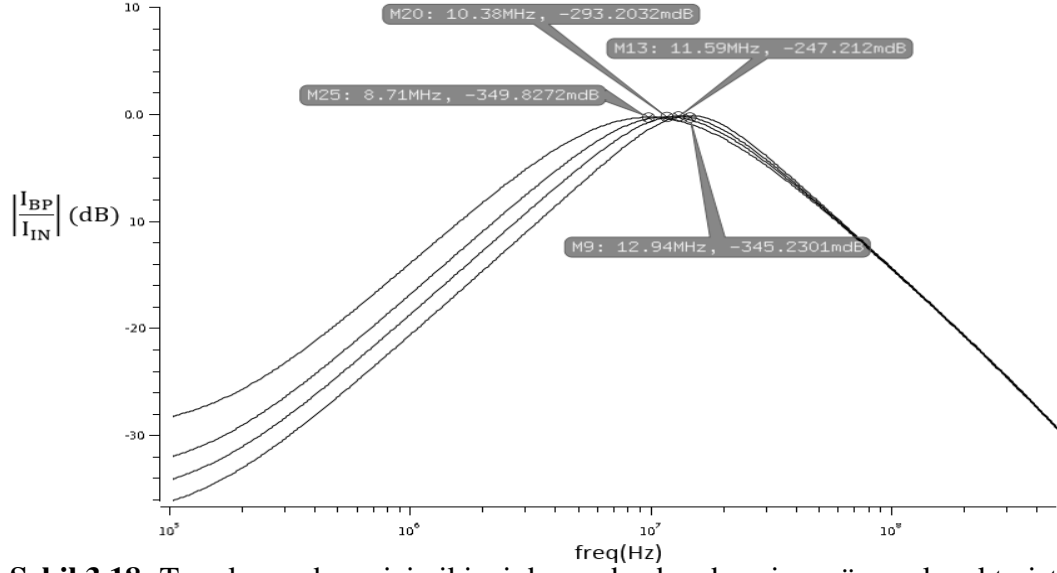
CMOS CDTA devresi serimi Şekil 3.17’de gösterilmiştir. Tasarlanan devrenin serimde kapladığı toplam alan $1169\mu m^2$ ’dir. Tasarlanan devre serim için koşturulan DRC, LVS, QRC hata testlerinden başarıyla geçmiştir.



Şekil 3.17: CMOS CDTA devresi serimi.

Serim sonrası benzetimler için anahtarlamalı kutuplama akımları $I_{b3} = I_{b4} - 15\mu A$ yaklaşık bu ilişkiye göre ve sadece geri beslemeli blok kutuplama akımı değiştirilerek sırasıyla I_{b3} kutuplama akımının $75\mu A$, $90\mu A$, $100\mu A$, $110\mu A$ akım değerleri için sırasıyla band geçiren süzgeç merkez frekansları 12.94MHz , 11.59MHz , 10.38MHz ve 8.71MHz değerlerini almaktadır.

Serim sonrası tasarlanan ikinci dereceden *class-2* band geçiren süzgeç karakteristiği Şekil 3.18’de gösterilmiştir. Tasarlanan yapı için serim sonrası güç tüketimi maksimum kutuplama akımı için 5.904mW’tır.

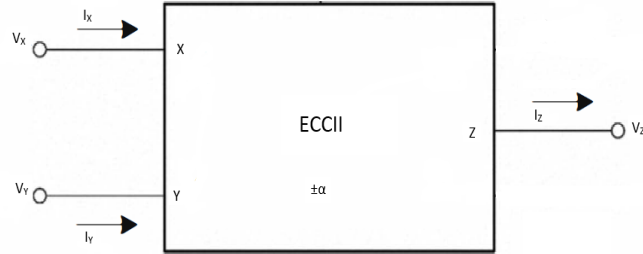


Şekil 3.18: Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.

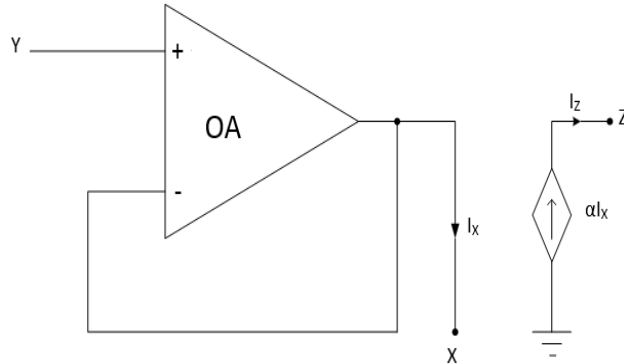
4. CMOS ECCII+ DEVRE YAPISI TABANLI AYARLANABİLİR ATİK SÜZGEÇ UYGULAMASI

4.1 CMOS ECCII+ Devre Yapısı

ECCII+ devresinin akım kazancı; dc kutuplama akımlarının elektronik olarak değiştirilmesiyle kontrol edilebilir. CMOS ECCII+ devresi iki giriş ve bir çıkış ucuna sahiptir. Giriş uçlarından biri düşük empedansa diğeri ise yüksek empedansa, çıkış ucu ise yüksek empedansa sahiptir. CMOS ECCII+ devre yapısı akım kazancı kullanılarak ayarlanabilir band geçiren süzgeç tasarımı gerçeklemesi amaçlanmaktadır. Amaçlanan devre yapısına ait ana karakteristikler, frekans atik süzgeç uygulaması, amaçlanan devrenin serimi, serim sonrası benzetimleri bu bölümde yer alacaktır. CMOS ECCII+ devresinin sembolik gösterimi Şekil 4.1’de ideal gösterimi ise Şekil 4.2’de verilmiştir.



Şekil 4.1: ECCII+ sembolik gösterimi [6].



Şekil 4.2: ECCII+ ideal gösterimi [6].

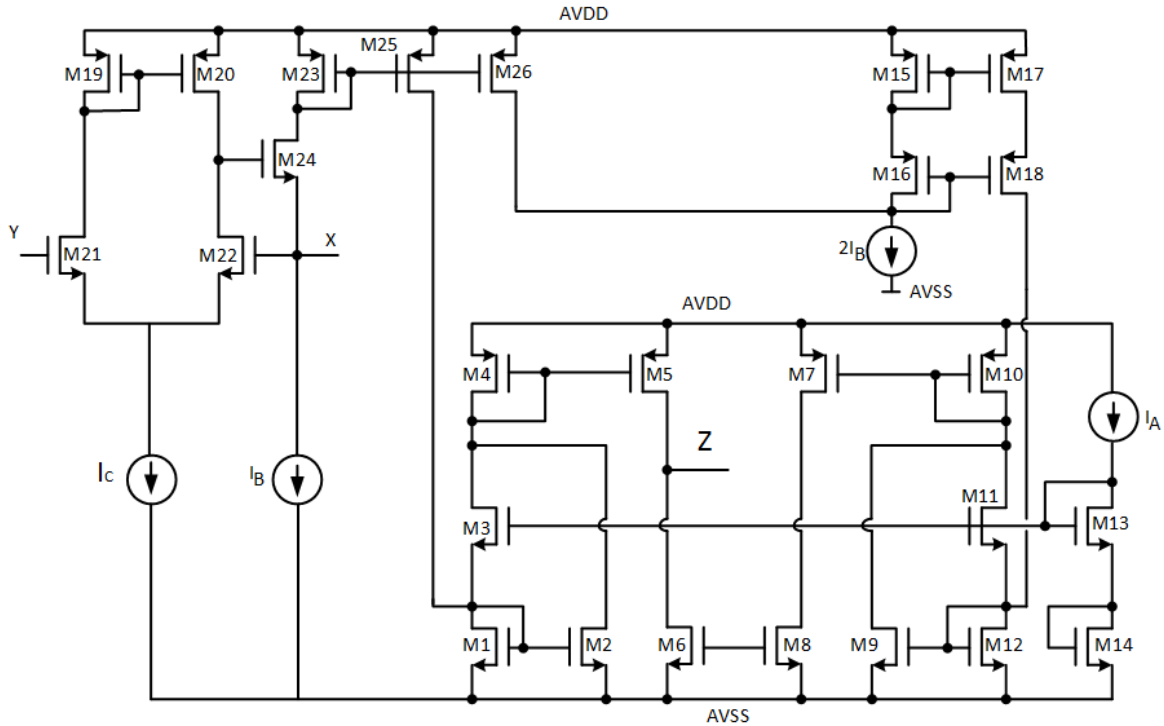
CMOS ECCII+ devre yapısı için matris gösterimi Eşitlik 4.1’de verilmiştir. Amaçlanan devre yapısı için ana tasarım kriterleri Eşitlik 4.2 ve 4.3’den çıkarılır.

$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm k & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \quad (4.1)$$

$$V_x = V_y \quad (4.2)$$

$$I_z = kI_x, I_y = 0 \quad (4.3)$$

CMOS ECCII+ iç yapısında yer alan tüm transistörlerin boyutları dc çalışma koşulları göz önüne alınarak yapılan tasarıma göre eşit ve $W/L = 24\mu\text{m}/0.36\mu\text{m}$ olarak belirlenmiştir. CMOS ECCII+ iç yapısı Şekil 4.3’de gösterilmiştir. M_1 , M_2 , M_3 ve M_9 , M_{11} , M_{12} transistörleri kare alma devresi oluşturur. M_{13} , M_{14} ve I_A kutuplama akımı ile M_3 , M_{11} transistörleri için gerilim referansı sağlar.

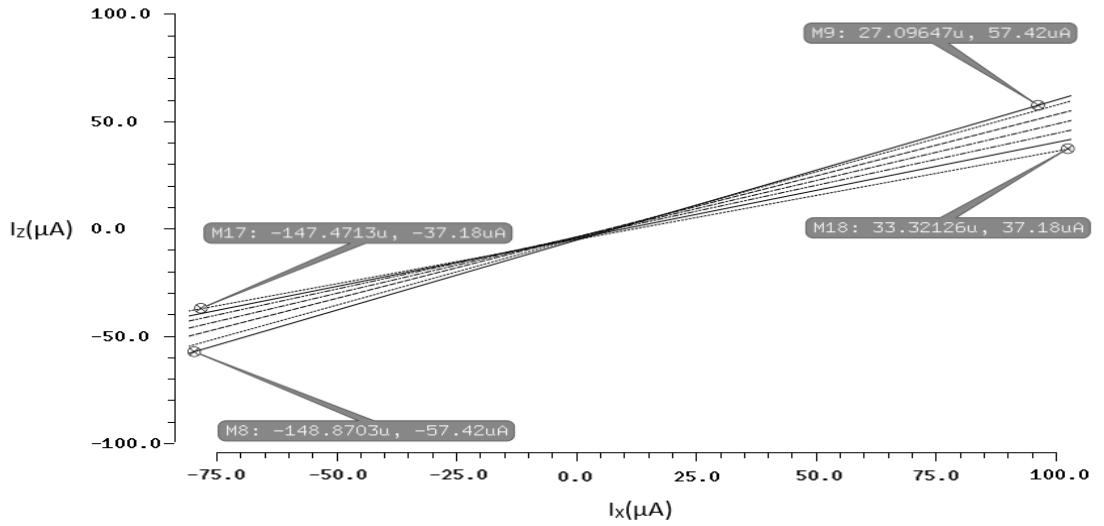


Şekil 4.3: CMOS ECCII+ iç yapısı.

4.2 CMOS ECCII+ Devresinin Ana karakteristikleri

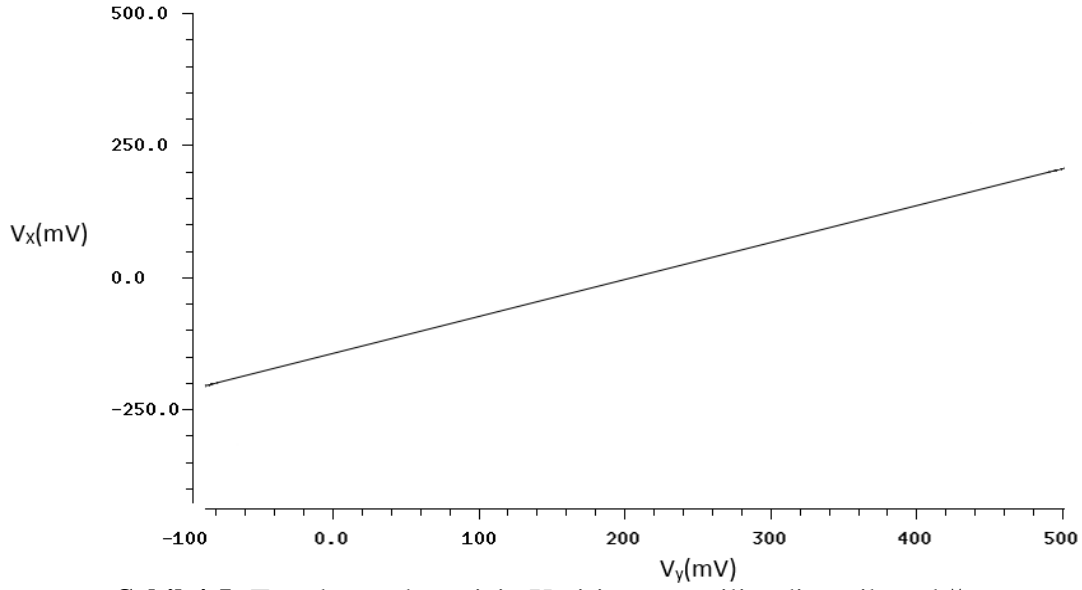
CMOS ECCII+ devresi I_C kutuplama akımı $10\mu A$ için, I_B kutuplama akımı $20\mu A$ için, I_A kutuplama akımı $37\mu A$ için istenilen karakteristikler elde edilmiştir. I_A kutuplama akımı $37\mu A$ için birim akım kazancı elde edilmiştir. CMOS ECCII+ devre yapısı için benzetimler yoluyla ana karakteristikleri çıkarılmıştır.

I_A kutuplama akımının $37\mu A$ ile $57\mu A$ arasında değişen kutuplama akımı değerleri için amaçlanan devrenin Z çıkış ucunun, X ucu girişine uygulanan akım işaretinin takibi Şekil 4.4'de gösterilmiştir. Akım dinamik aralığı I_A kutuplama akımının artmasıyla artmaktadır. Aynı zamanda kutuplama akımı arttıkça Z çıkış ucu akımı da artmaktadır.



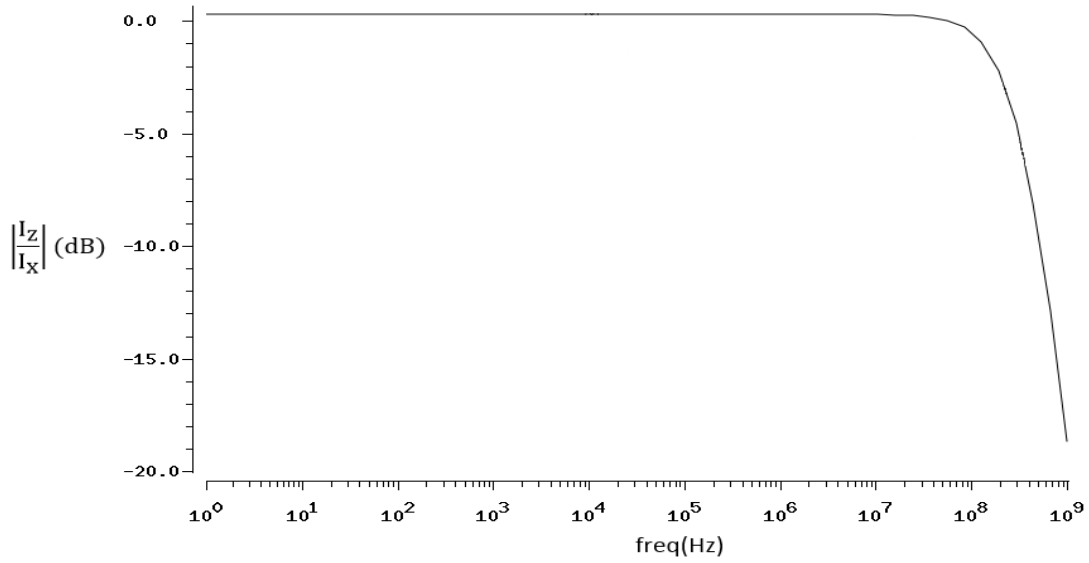
Şekil 4.4: Tasarlanan devre için Z çıkış ucu akım dinamik aralığı.

Tasarlanan devrenin X ucu girişine göre Y ucu girişi gerilim değişimi Şekil 4.5'de gösterilmiştir. Y ucu girişi gerilim dinamik aralığı -200 mV ile $+202\text{ mV}$ arasındadır. Tasarlanan devre yapısının akım ve gerilim dinamik aralığını daha da iyileştirmek için [6, 23]'de yer verilen düşük besleme gerilimlerinde uygulaması yer almadığı için bu çalışmada yer verilmeyen devre topolojisi kullanılabilir. Bu çalışma kapsamında akım ve gerilim dinamik aralığı sınırları yeterli görülmüştür.



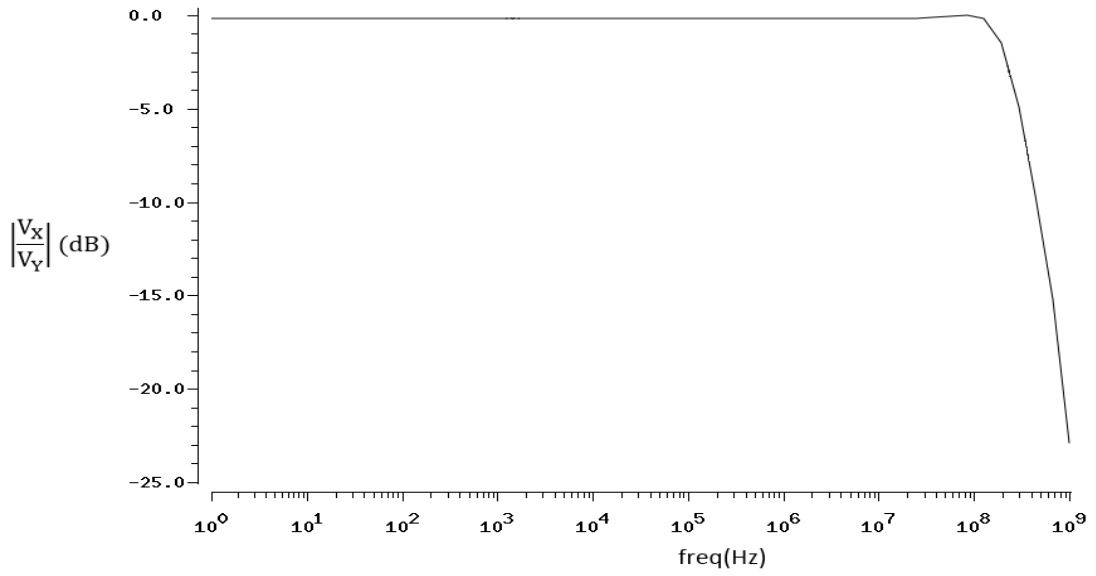
Şekil 4.5: Tasarlanan devre için X giriş ucu gerilim dinamik aralığı.

Tasarlanan devrenin akım kazanç karakteristiği Şekil 4.6’da gösterilmiştir. Akım kazanç karakteristiği incelendiğinde yaklaşık olarak akım birim kazancı elde edilmektedir. Akım kazanç band genişliği 224MHz olarak akım kazanç karakteristiğinden elde edilir.



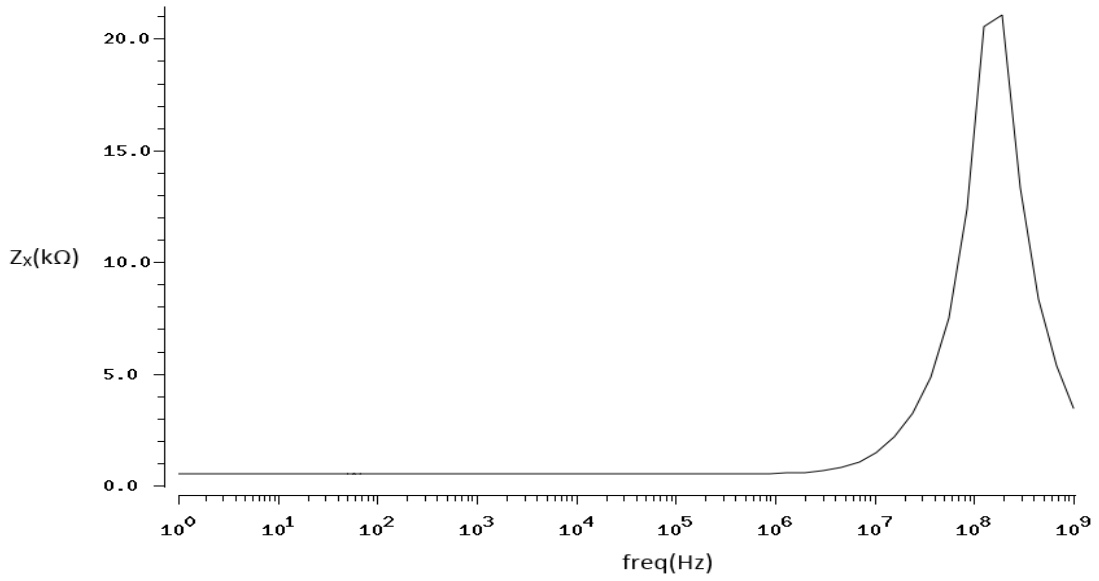
Şekil 4.6: Tasarlanan devre için akım kazanç karakteristiği.

Tasarlanan devrenin gerilim kazanç karakteristiği incelendiğinde yaklaşık olarak birim gerilim kazancı elde edildiği Şekil 4.7’de gösterilmiştir. Gerilim kazanç band genişliği 233MHz olarak gerilim kazanç karakteristiğinden elde edilir.



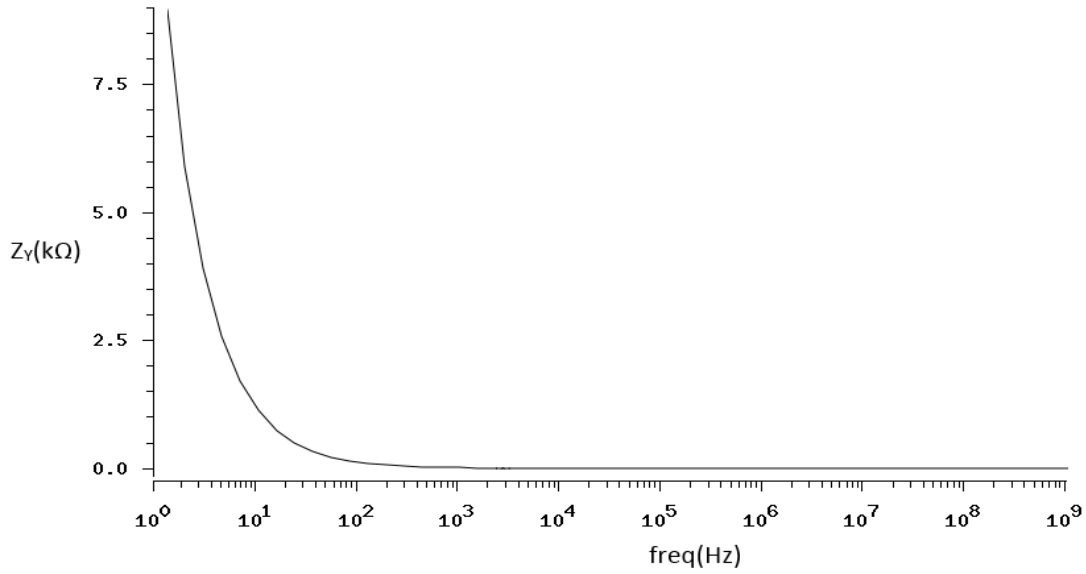
Şekil 4.7: Tasarlanan devre için gerilim kazanç karakteristiği.

Tasarlanan devrenin X giriş ucu düşük empedanslıdır ve Şekil 4.8'den 543Ω olarak tespit edilir.



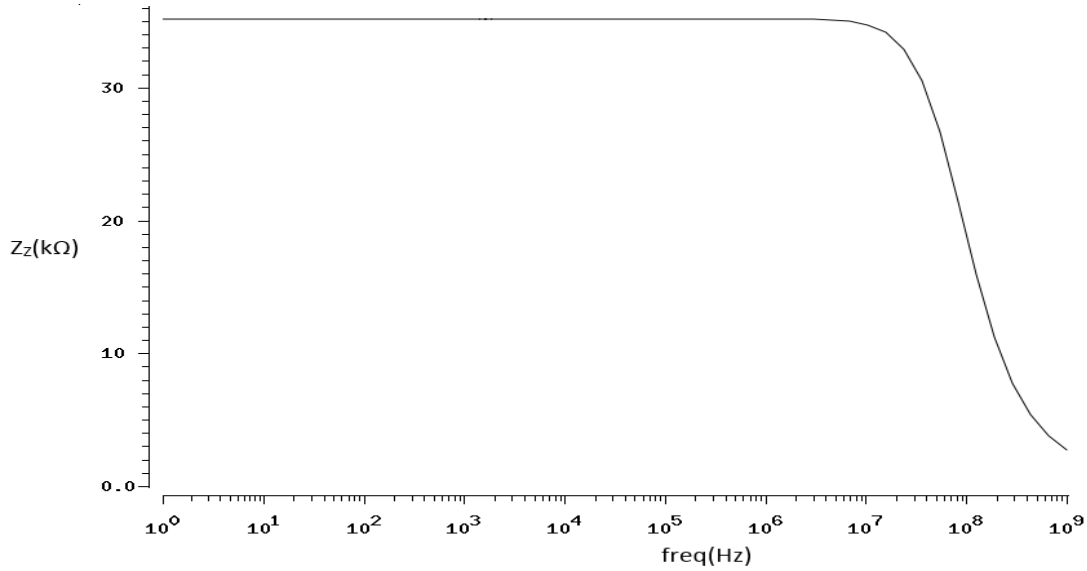
Şekil 4.8: Tasarlanan devre için X giriş ucu empedans karakteristiği

Tasarlanan devrenin Y giriş ucu yüksek empedanslı giriştir. Şekil 4.9'dan $4.5G\Omega$ olarak tespit edilir.



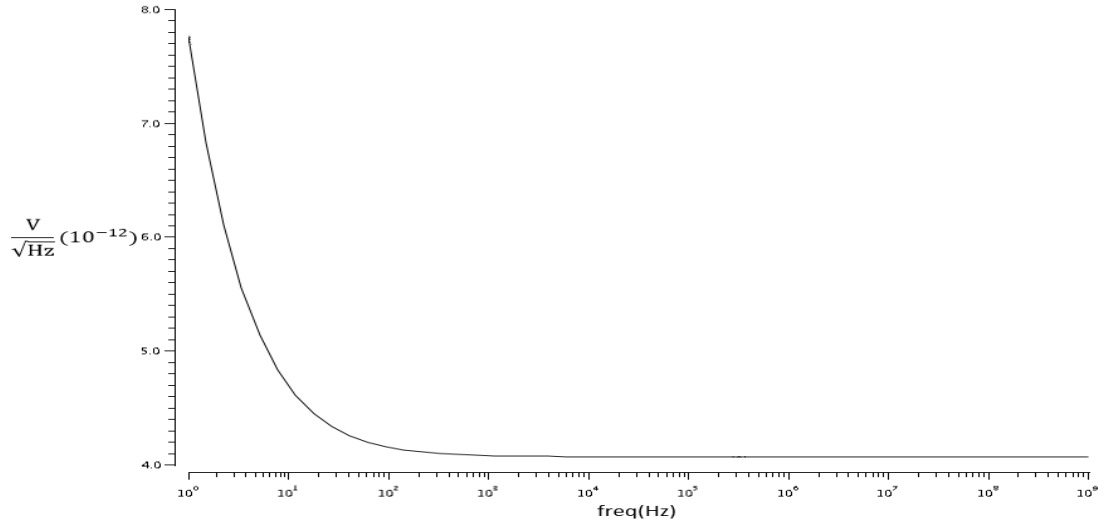
Şekil 4.9: Tasarlanan devre için Y giriş ucu empedans karakteristiği.

Tasarlanan devrenin Z çıkış ucu empedansı Şekil 4.10'daki Z çıkış ucu empedans karakteristiğinde 35kΩ olarak tespit edilir. Amaçlanan devre yapısı için çıkış empedans değerinin yüksek olması istenmektedir. Çıkış empedans değerinin yüksek olması amaçlanan devrenin daha büyük yükleri sürebilme kapasitesini ve devrenin kaskatlanabilmesini belirler.



Şekil 4.10: Tasarlanan devre için Z çıkış ucu empedans karakteristiği.

Tasarlanan devre yapısı için eşdeğer devre gürültü analizi Şekil 5.12'de gösterilmiştir. 1Hz frekansta eşdeğer devre gürültü değeri $7.745pV/\sqrt{Hz}$, 324.4KHz frekansta eşdeğer devre gürültü değeri $4.0714pV/\sqrt{Hz}$ ' dir. Amaçlanan devre yapısı belirlenen gürültü değerlerine göre düşük gürültülüdür.

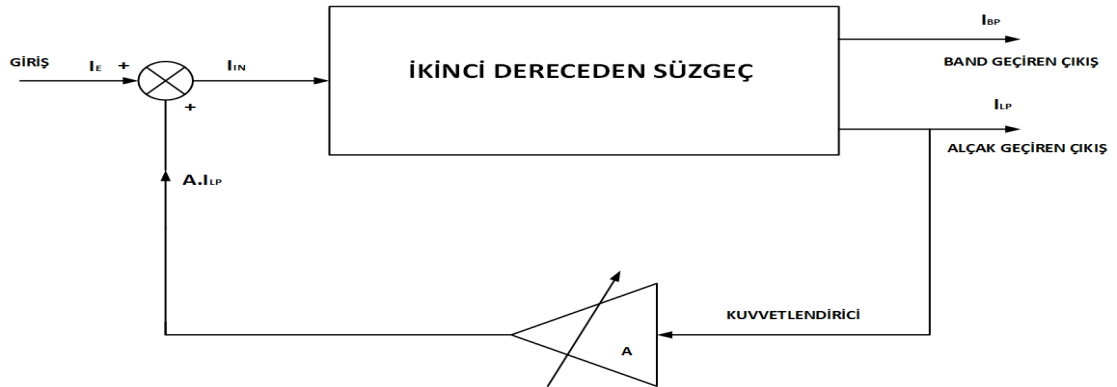


Şekil 4.11: Tasarlanan devre için gürültü analizi.

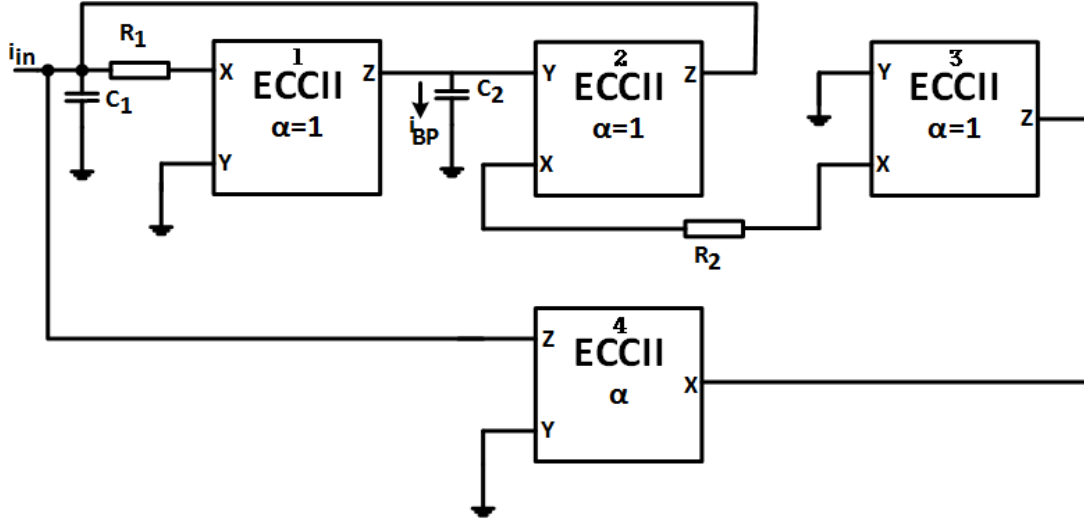
4.3 CMOS ECCII+ Devresi Atık Süzgeç Uygulaması

Tasarlanan devre yapısı kullanılarak ayarlanabilir frekans atık süzgeç yapısı tasarımı için [2]'deki süzgeç yapısı kullanılmıştır. Bu süzgeç yapısı Şekil 4.12'de gösterilmiştir. Şekil 4.13'de tamamen ECCII+ devre yapısı kullanılarak oluşturulmuş frekans atık süzgeç yapısı gösterilmiştir. Tasarlanan süzgeç yapısında geri beslemli kutuplama akımının artan değerleri için frekans değerleri azalmaktadır.

Tasarlanan süzgeç yapısının elektronik kontrolü geri beslemeli ECCII+ devresinin kutuplama akımı I_A ile sağlanmaktadır. Tasarlanan süzgeç yapısında kullanılan direnç değerleri eşit ve $1k\Omega$ 'dır. Kullanılan kapasite değerleri de birbirine eşit ve $5pF$ 'dır. Süzgeç tasarımında yer alan diğer ECCII+ devre yapılarında birim akım kazancı vardır. Önerilen bu süzgeç yapısı tamamen elektronik olarak ayarlanabilen ikinci kuşak akım taşıyıcılardan oluşmuştur.



Şekil 4.12: İkinci dereceden ayarlanabilir atık süzgeç yapısı [2].



Şekil 4.13: CMOS ECCII+ tabanlı ayarlanabilir ikinci dereceden süzgeç yapısı.

Eşitlik 4.4’de devre analiz yöntemleri kullanılarak süzgeç akım transfer fonksiyonu çıkarılmıştır. Bu Eşitlikten yararlanılarak süzgeç merkez frekansı Eşitlik 4.5’de ve kalite faktörü Eşitlik 4.6’da gösterilmiştir.

$$\frac{I_{BP}(s)}{I_{IN}(s)} = \frac{\frac{C_2 R_2 s}{(1 - \alpha C_1 C_2 R_1 R_2) C_1 R_1}}{1 + \frac{C_2 R_2 s}{(1 - \alpha C_1 C_2 R_1 R_2)} + \frac{C_1 C_2 R_1 R_2 s^2}{(1 - \alpha C_1 C_2 R_1 R_2)}} \quad (4.4)$$

$$\omega_0 = (1 - \alpha C_1 C_2 R_1 R_2) \sqrt{\frac{1}{C_1 C_2 R_1 R_2}} \quad (4.5)$$

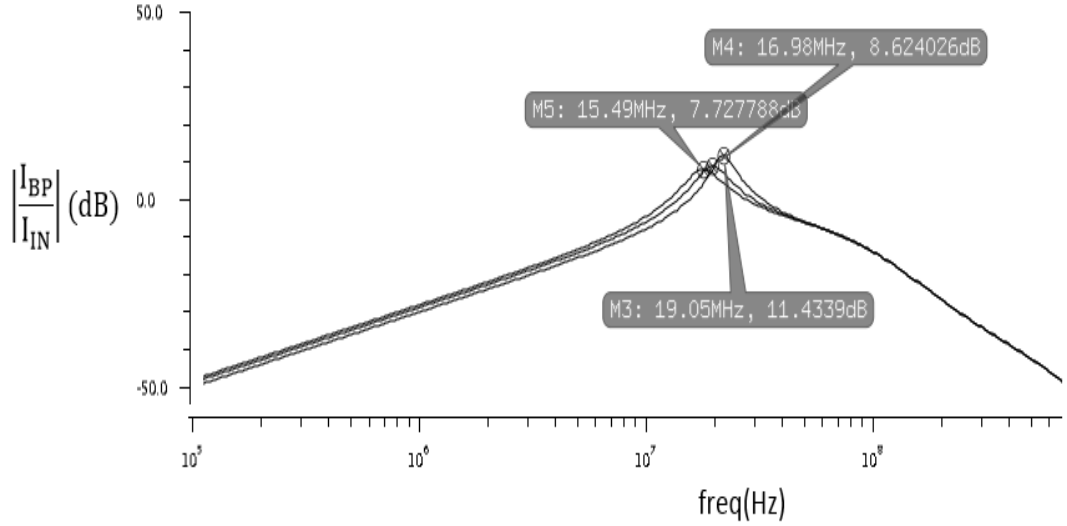
$$Q = (1 - \alpha C_1 C_2 R_1 R_2) \sqrt{\frac{C_1 R_1}{C_2 R_2}} \quad (4.6)$$

Tasarlanan süzgeç yapısı geri beslemeli ECCII+ devresi I_A kutuplama akımının $65\mu A$, $85\mu A$, $95\mu A$ değerleri için sırasıyla 19.05MHz, 16.98MHz, 15.49MHz olarak belirlenmiştir, ikinci dereceden band geçiren karakteristiği Şekil 4.13’de verilmiştir.

Orta frekans işlem bölgeleri için frekans seçimi yapılmaktadır.

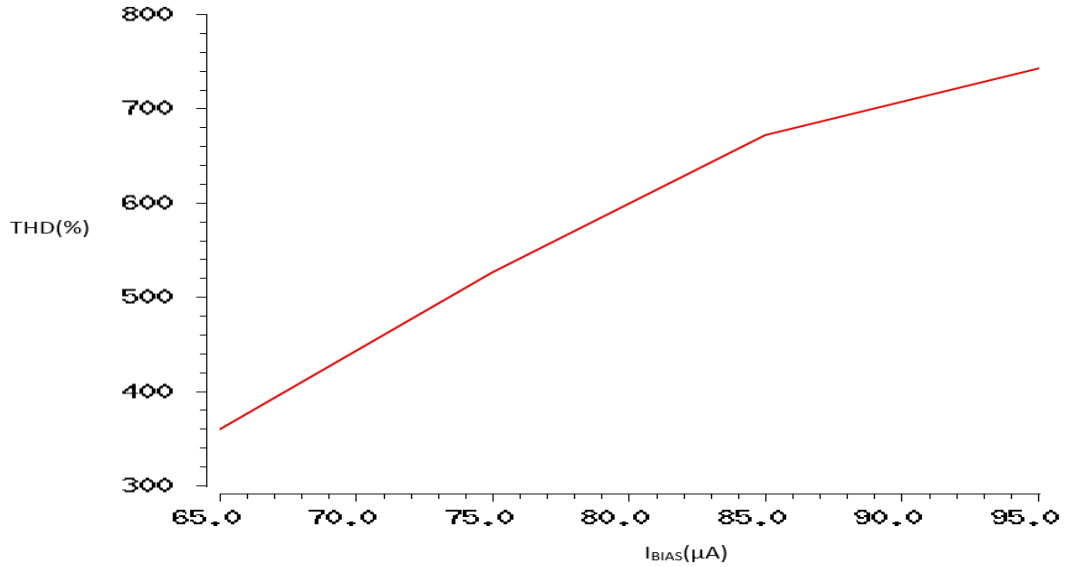
Belirlenen frekans seçimi geri beslemeli blok kutuplama akımına göre frekans aralığı yeniden yapılandırılabilir. Kutuplama akımının artımları ve azalışları için tasarlanan süzgeç frekansı artım ve azalış göstermektedir.

Tasarlanan süzgeç yapısı için THD karakteristiği Şekil 4.14’de gösterilmiştir. Bu karakteristik tasarlanan süzgeç yapısının girişine süzgeç tasarımında kullanılan maksimum ve minimum kutuplama akımı değerlerine göre uygulanan $65\mu A$ - $95\mu A$ değerleri arasındaki artan akım genliklerine sahip 20MHz frekansta sinüs dalga akım



Şekil 4.14: Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.

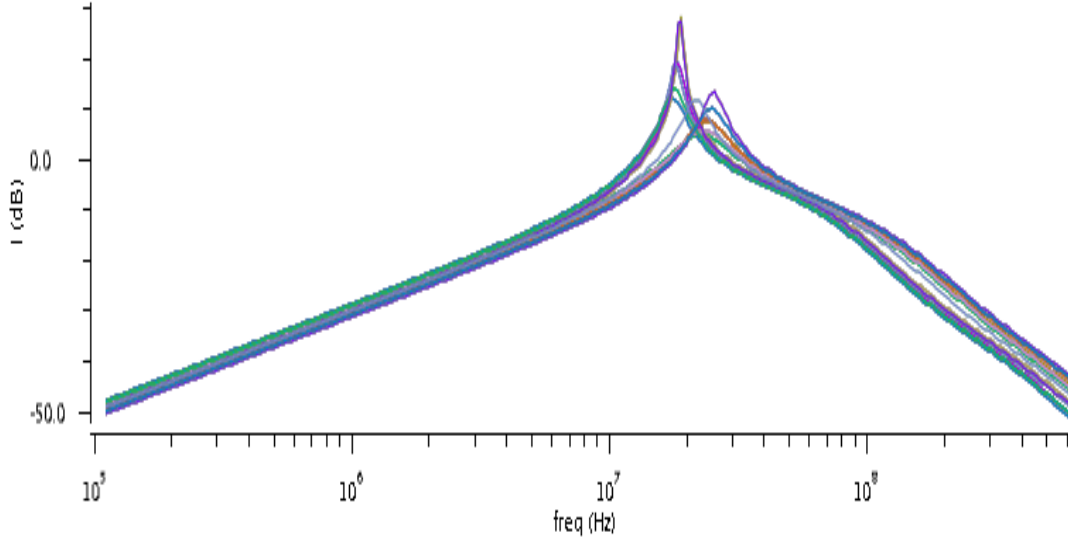
işareti için THD değerleri 0.82% - 0.937% arasındadır. THD karakteristiğinden elde edilen bu değerler $2k\Omega$ rezistif yük altında elde edilmiştir. THD analizi süzgeç tasarımının gerçek zamanlı süzgeç girişi ve çıkışı arasındaki ilişkide harmoniklerin etkisini görmemiz açısından önemlidir. Tasarlanan süzgeç için yapılan THD analizi sonucu elde edilen, yüzde olarak THD uygun sınırlar içindedir.



Şekil 4.15: Tasarlanan devre için ikinci dereceden band geçiren süzgeç THD karakteristiği.

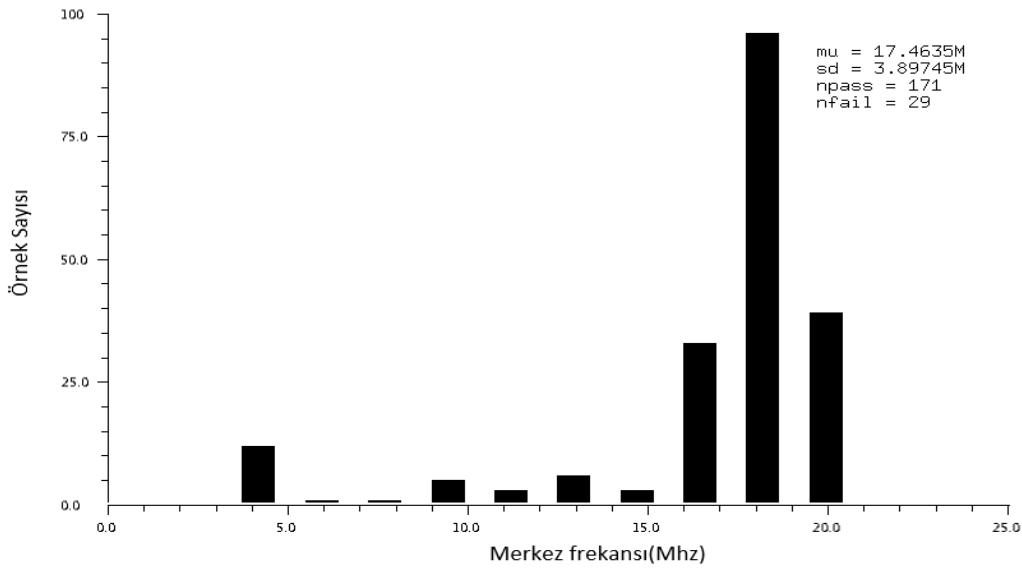
Tasarlanan süzgeç yapısı için yapılan en kötü durum analizi için pozitif besleme gerilimi 0.81V - 0.99V arasında negatif besleme gerilimi (-0.81 V) - (-0.99 V) arasında, sıcaklık -50° - 120° arasında belirlenip üretim parametreleri de hızlı - hızlı(ff), yavaş - yavaş(ss), tipik - tipik(tt) seçilip yapılan analizde merkez frekansı en yüksek işlem

frekansı 19.05MHz için makul sınırlar arasında değişmektedir. Kötü durum analizi karakteristiği Şekil 4.16’da gösterilmiştir.



Şekil 4.16: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Corner analizi.

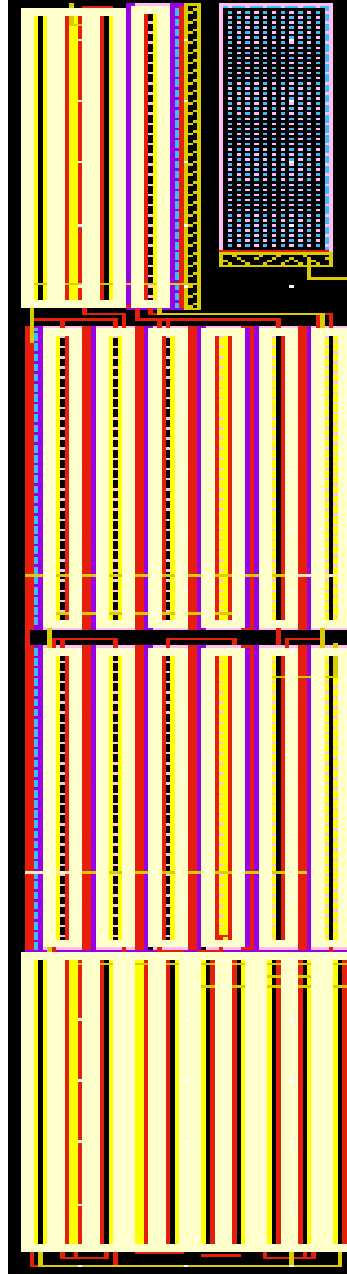
İkinci dereceden band geçiren süzgeç karakteristiği için merkez frekansı değişimi için yapılan Monte Carlo analizi sonucu $I_A = 65\mu A$ lik anahtarlama kutuplama akımı için ortalama frekans değişimi değeri 17.4635MHz olarak tespit edilmiştir. Bu değer sonucu tasarım parametrelerinin olumsuz koşulları altında tasarım için istenilen band geçiren merkez frekansı çok fazla ortalamadan sapma göstermemektedir, bu durum ise tasarımın başarıyla gerçekleştirildiğini gösterir.



Şekil 4.17: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Monte Carlo analizi.

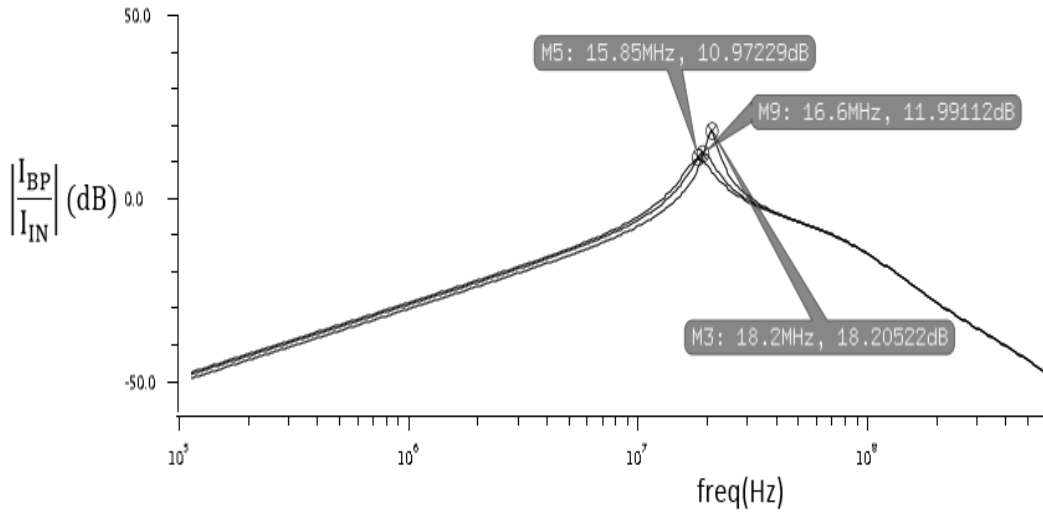
4.4 CMOS ECCII+ Serimi ve Serim sonrası Benzetimleri

ECCII+ devre yapısı serimi Şekil 4.15’de gösterilmiştir. Tasarlanan devrenin serimde kapladığı toplam alan $1582.22\mu m^2$ ’dir. Tasarlanan devre, serimi için koşturulan DRC, LVS, QRC hata testlerinden başarıyla geçmiştir.



Şekil 4.18: CMOS ECCII+ devresi serimi.

Tasarlanan yapı için serim sonrası ve öncesi ikinci dereceden süzgeç karakteristikleri birbiriyle iyi bir yakınsaklıkla örtüşmektedir. Bu durum serimden kaynaklanan parazitik etkilerin tasarıma yoğun bir olumsuz etkisinin olmadığını gösterir. Tasarlanan süzgeç yapısı serim sonrası benzetimi geri beslemeli ECCII+ devresi I_A kutuplama akımının $65\mu A$, $85\mu A$, $95\mu A$ değerleri için sırasıyla 18.2MHz, 16.6MHz, 15.85MHz olarak belirlenmiştir, serim sonrası benzetim ikinci dereceden band geçiren karakteristiği Şekil 4.19’da verilmiştir. Tasarlanan devre için serim sonrası ve öncesi benzetimlerden yararlanılarak en yüksek kutuplama akımı için güç tüketimi 8.17mW olarak belirlenmiştir.



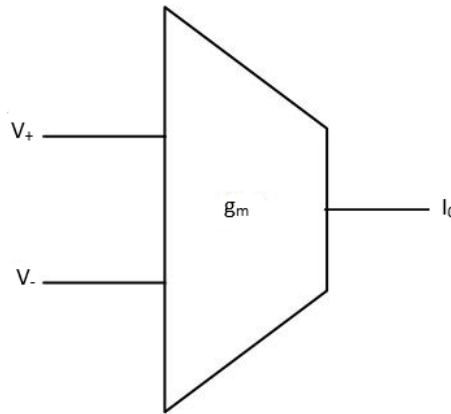
Şekil 4.19: Tasarlanan devre için serim sonrası ikinci dereceden band geçiren süzgeç karakteristiği.

5. SİMETRİK CMOS OTA DEVRE YAPISI TABANLI AYARLANABİLİR AKTİF SÜZGEÇ UYGULAMASI

Literatürdeki çoğu çalışmada yüksek frekanslı tümleşik süzgeç uygulaması için geçiş iletkenliği kuvvetlendiricilerinden oluşmuş g_m - C süzgeç yapılarına odaklanılmıştır. g_m - C süzgeç yapıları literatürde popüler yüksek frekanslı sürekli zamanlı süzgeç tekniğidir. Geçiş iletkenliği kuvvetlendiricileri daha yüksek band genişliğine sahip olmaları, elektronik olarak akort edilebilme özellikleri ile işlemsel kuvvetlendiricilerden daha işlevseldirler.

5.1 Simetrik CMOS OTA Devre Yapısı

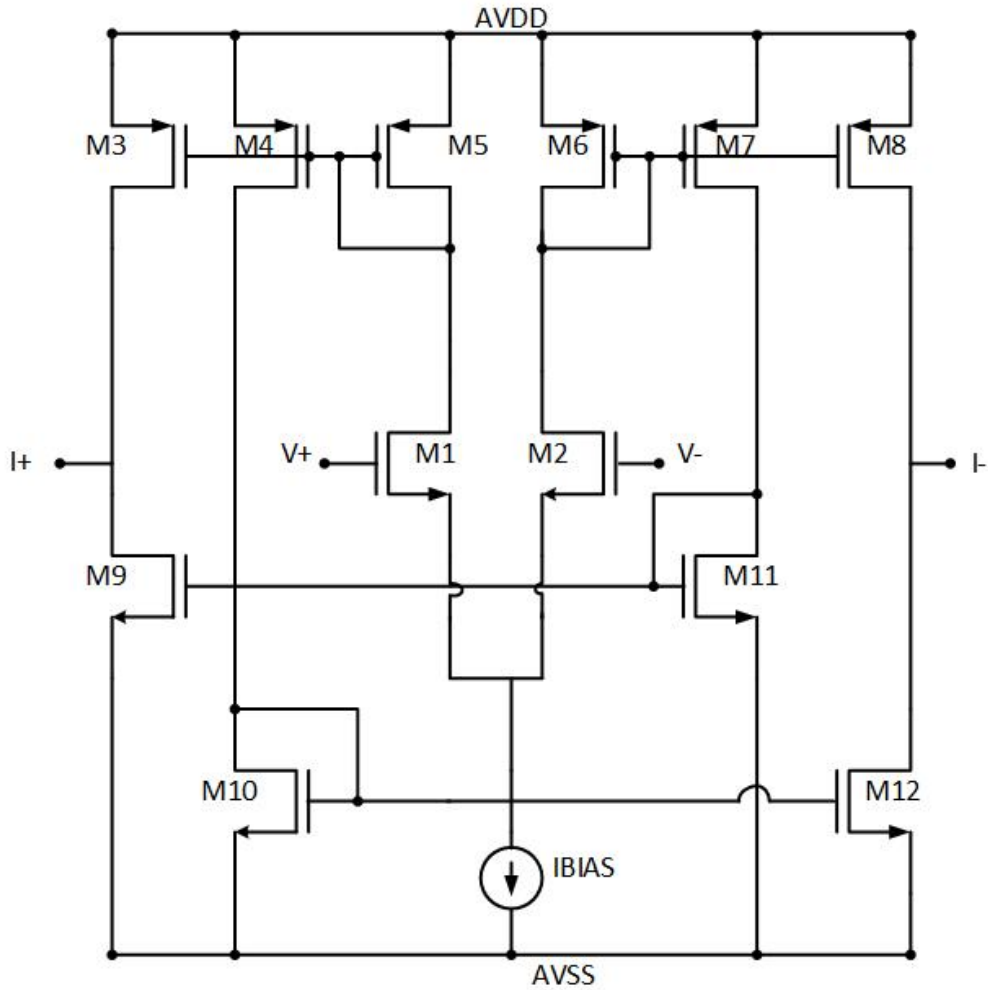
Tasarlanan simetrik CMOS OTA devresi yüksek frekanslı aktif süzgeç tasarımlarında kullanılabilir, I_B kontrol akımıyla OTA eğimi değiştirilebilir, akort frekansı ayarlanabilir. Tasarlanan devrenin çıkış direnci artırılmak istenirse çıkış kısmında basit akım aynaları yerine kaskod akım aynaları kullanılabilir. Fakat çıkış direnci artırıldığında g_m değerinin azalacağı göz önüne alınmalıdır. Simetrik OTA devre yapısının sembolik gösterimi Şekil 5.1’de gösterilmiştir. Eşitlik 5.1’de temel geçiş iletkenliği kuvvetlendiricisi formülasyonu verilmiştir.



Şekil 5.1: OTA devresinin sembolik gösterimi.

$$I_0 = (V_+ - V_-)g_m \quad (5.1)$$

Tasarlanan OTA devresinin CMOS yapısı Şekil 5.2’de verilmiştir. M_1 - M_2 transistörleri bir fark kuvvetlendiricisi oluşturur. Bunların çıkış akımları ile diyot bağlı M_5 - M_6 transistörleri ile sürülmektedir.



Şekil 5.2: Simetrik CMOS OTA yapısı.

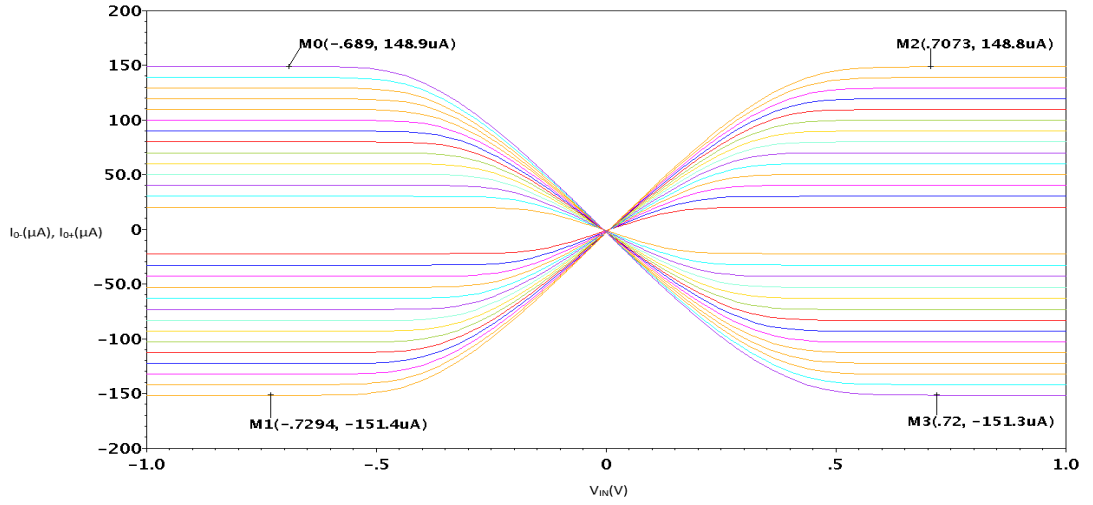
Tasarlanan devrenin istenilen orta frekans işlem bölgesi için devre kararlılığı ve dc kutuplama şartlarına göre tasarlanmıştır.

Çizelge 5.1: Tasarlanan devrenin transistör boyutları.

Transistörler	W(μm)	L(μm)
$M_1 - M_2$	6	1
$M_3, M_4, M_5, M_6, M_7, M_8$	16	1
$M_9, M_{10}, M_{11}, M_{12}$	8	1

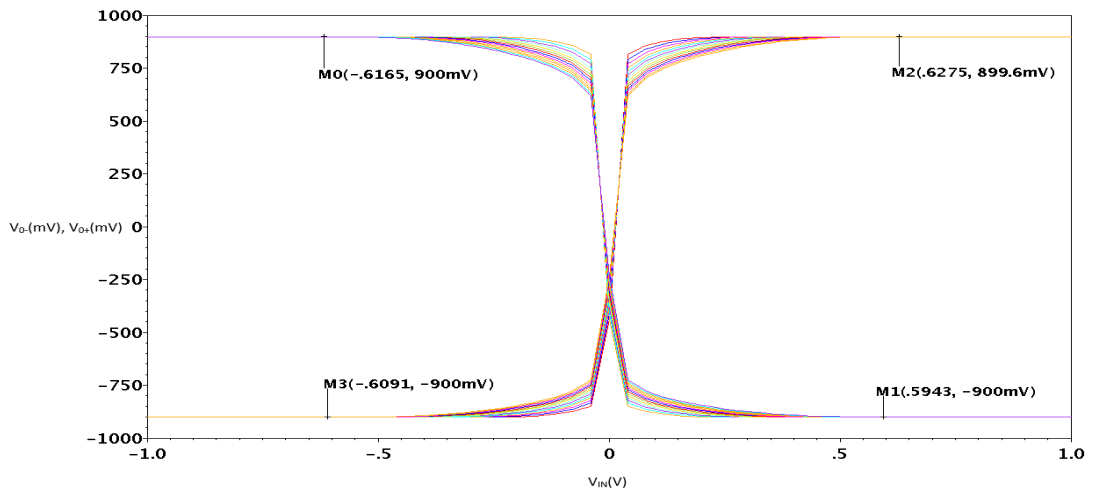
5.2 Simetrik CMOS OTA Devresinin Ana karakteristikleri

Tasarlanan devre yapısı çıkış akımı dinamik aralığı, kutuplama akımına göre belirlenebilir. Tasarlanması amaçlanan süzgeç yapısı kutuplama akımların en yüksek değerine kadar kutuplama akımı değerlerini takip etmektedir. Şekil 5.3’de tasarlanan devre yapısının $10\mu\text{A}$ artımlı $20\mu\text{A} - 150\mu\text{A}$ arasındaki kutuplama akımı değerleri için çıkarılmış çıkış uçları akım dinamik aralığı karakteristiği gösterilmiştir.



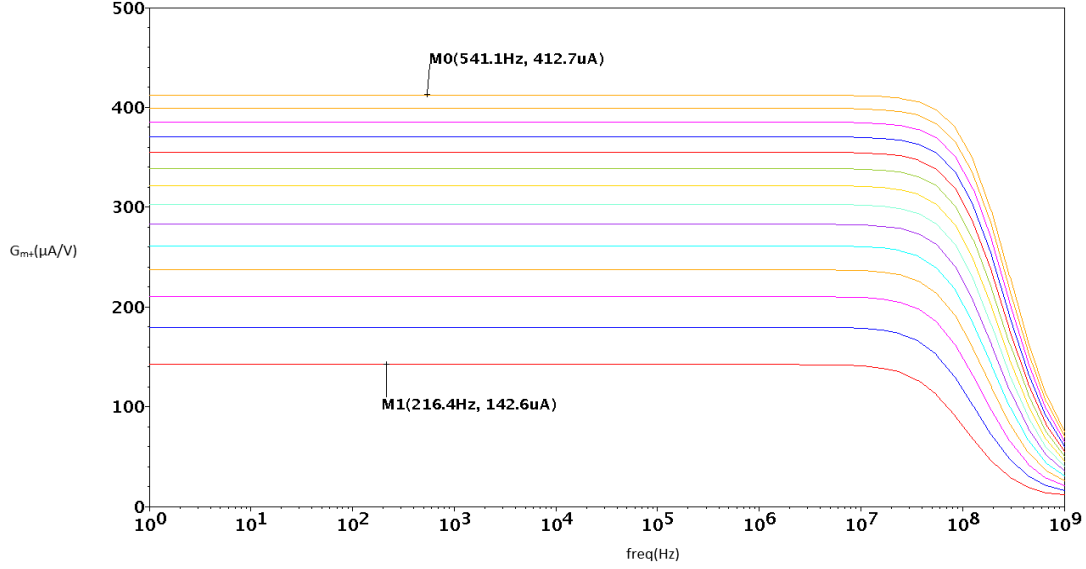
Şekil 5.3: Tasarlanan devre için çıkış ucu akım dinamik aralığı.

Tasarlanan devre yapısı giriş gerilimi dinamik aralığı $\pm 0.9\text{V}$ besleme gerilimi değerlerine ulaşmaktadır. Şekil 5.4’de tasarlanan devre yapısının giriş gerilimi dinamik aralığı gösterilmiştir.



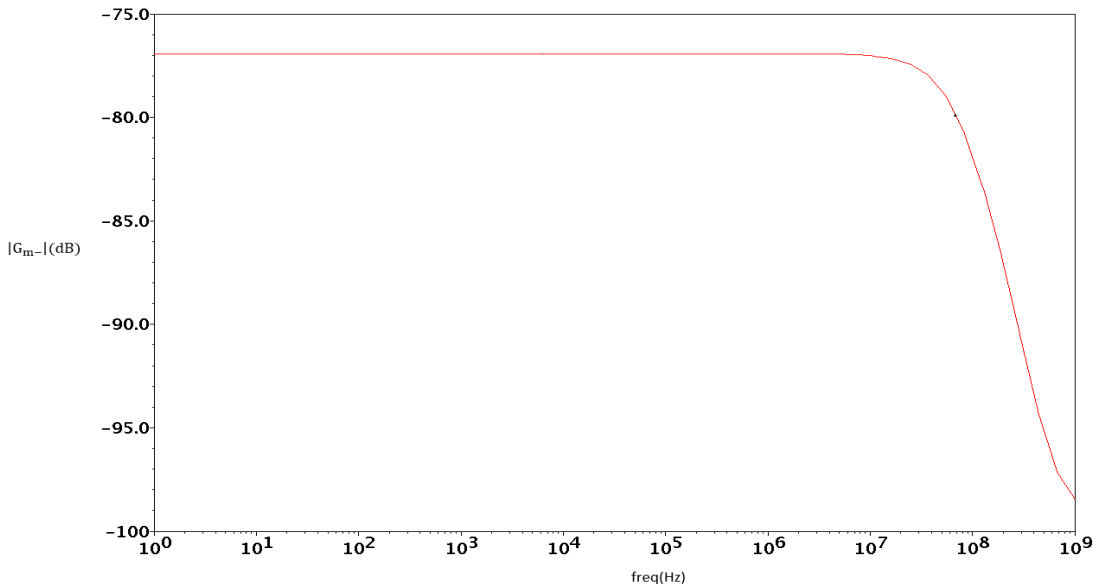
Şekil 5.4: Tasarlanan devre için giriş uçları gerilim dinamik aralığı.

Tasarlanan devrenin pozitif giriş ucuna uygulanan 1V'luk ac kaynak için g_m büyüklüğünün frekansla değişimi 142.6 μ A - 412.7 μ A değerleri arasındadır. Şekil 5.5'de pozitif çıkış eğiminin frekansla değişimi karakteristiği gösterilmiştir.



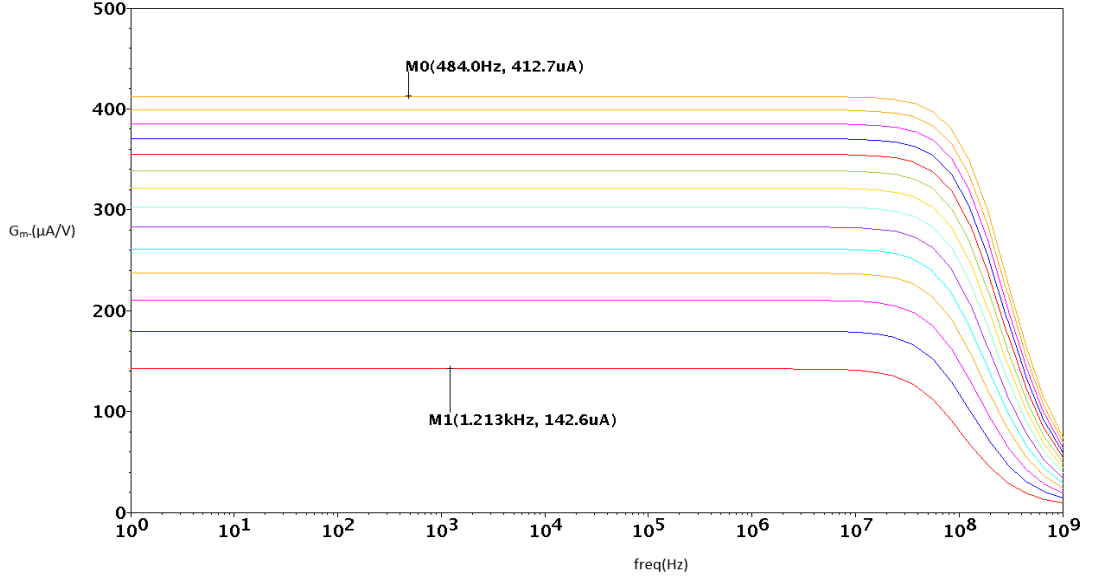
Şekil 5.5: Tasarlanan devre için pozitif çıkış eğiminin frekansla değişimi karakteristiği.

Tasarlanan devrenin pozitif çıkış eğimi band genişliği 20 μ A'lık, dc karakteristiklerin belirlendiği kutuplama akımı için 68.15MHz olarak belirlenmiştir. Şekil 5.7'de pozitif çıkış eğiminin band genişliği karakteristiği gösterilmiştir.



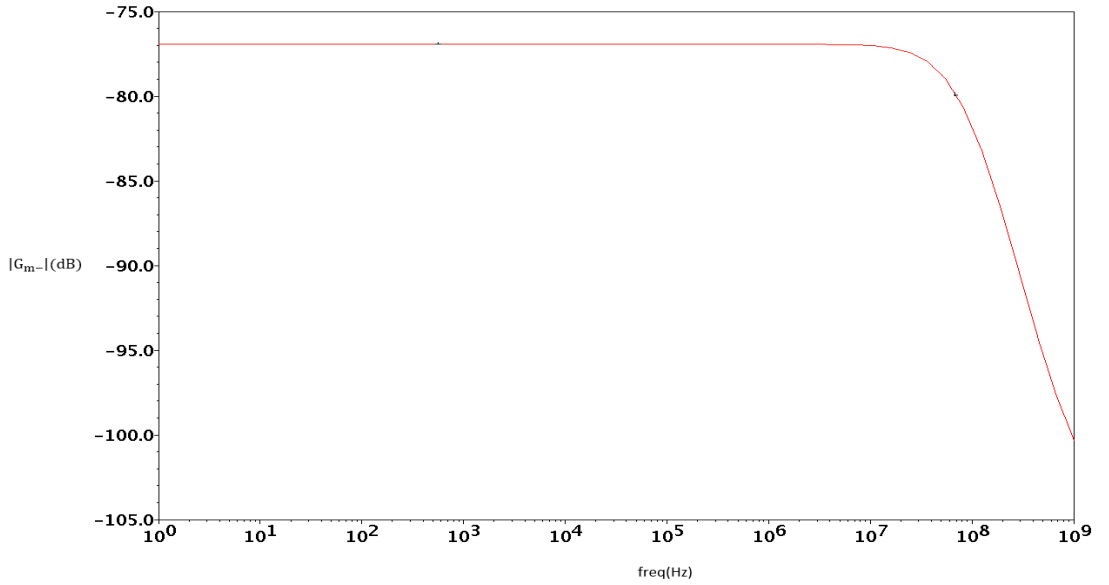
Şekil 5.6: Tasarlanan devre için pozitif çıkış eğiminin band genişliği karakteristiği.

Tasarlanan devrenin negatif giriş ucuna uygulanan 1V'luk ac kaynak için g_m büyüklüğünün frekansla değişimi 142.6 μ A - 412.7 μ A değerleri arasındadır. Şekil 5.7'de negatif çıkış eğiminin frekansla değişimi karakteristiği gösterilmiştir.



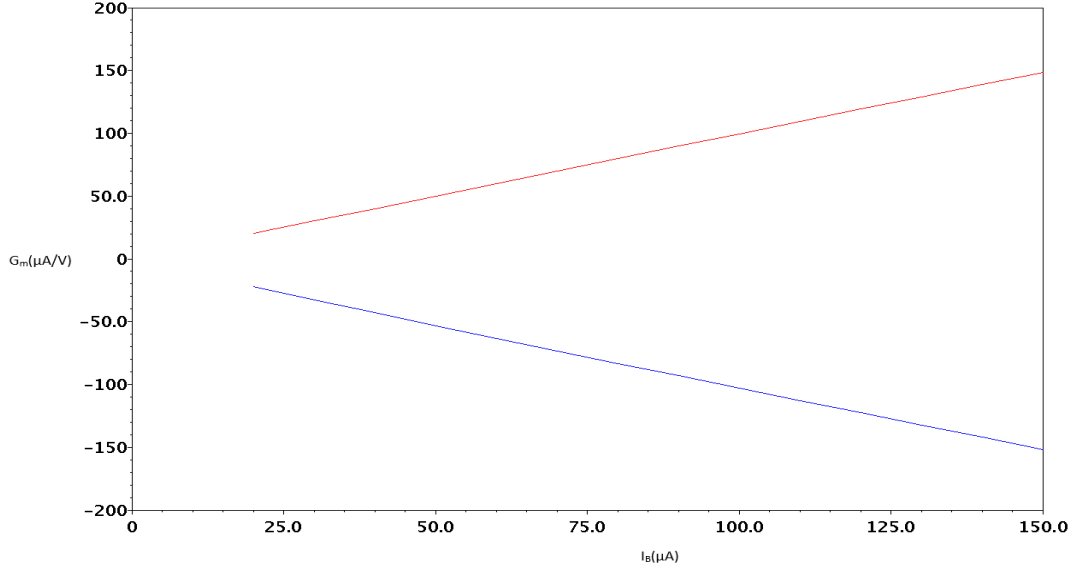
Şekil 5.7: Tasarlanan devre için negatif çıkış eğiminin frekansla değişimi karakteristiği.

Tasarlanan devrenin negatif çıkış eğimi band genişliği 20 μ A'lık dc karakteristiklerin belirlendiği kutuplama akımı için 68.34MHz olarak belirlenmiştir. Şekil 5.8'de negatif çıkış eğiminin band genişliği karakteristiği gösterilmiştir.



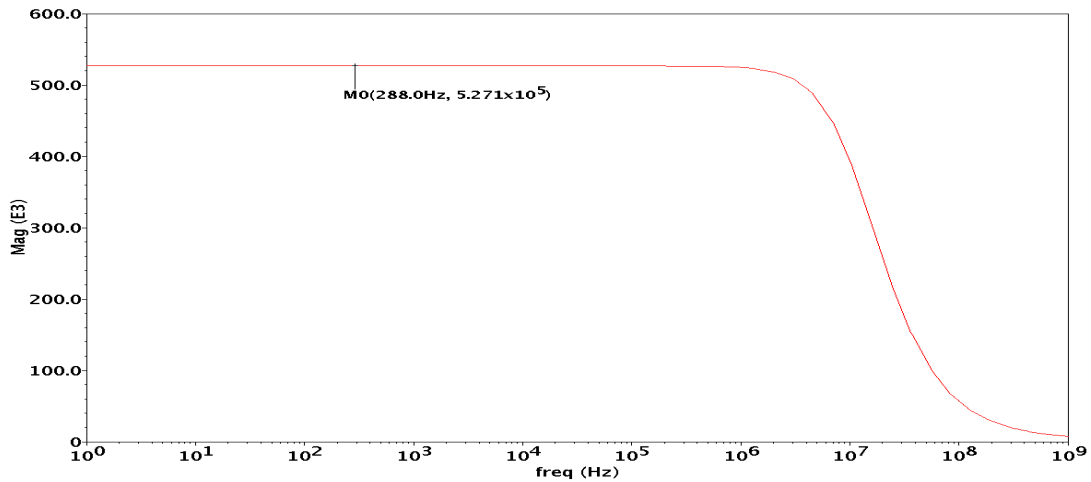
Şekil 5.8: Tasarlanan devre için negatif çıkış eğiminin band genişliği karakteristiği.

Tasarlanan devrenin negatif ve pozitif çıkış eğiminin kutuplama akımıyla değişimi Şekil 5.9’da gösterilmiştir. Bu karakteristikten negatif ve pozitif eğim arasında faz farkı olduğu görülmektedir.



Şekil 5.9: Tasarlanan devre için çıkış eğimlerinin kutuplama akımı ile değişimi.

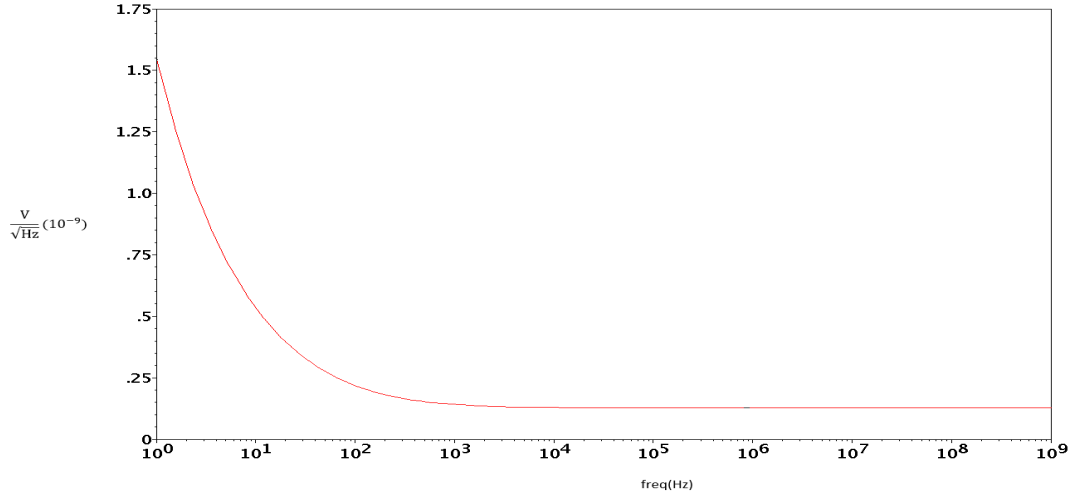
Tasarlanan devre yapısı negatif ve pozitif giriş uçları toprak seviyesine çekildiği durumda çıkış ucu empedansları eşit ve $0.53M\Omega$ 'dır. Negatif ve pozitif çıkış uçları empedans değerleri, yüksek empedanslı olması beklenir. Tasarlanan devrenin negatif ve pozitif çıkış empedans değerleri birbirine eşittir ve yüksek empedanslıdır. Şekil 5.10’da çıkış ucu empedans karakteristiği gösterilmiştir.



Şekil 5.10: Tasarlanan devre için çıkış ucu empedans karakteristiği.

Tasarlanan devre yapısı için eşdeğer devre gürültü analizi Şekil 5.11’de gösterilmiştir. 1Hz frekansta eşdeğer devre gürültü değeri $1.545nV/\sqrt{Hz}$, 841KHz frekansta

eşdeğer devre gürültü değeri $0.1288nV/\sqrt{\text{Hz}}$ 'dir. Amaçlanan devre yapısı bu gürültü değerleri için düşük gürültülüdür.



Şekil 5.11: Tasarlanan devre için gürültü analizi.

5.3 Simetrik CMOS OTA Devresi Atık Süzgeç Uygulaması

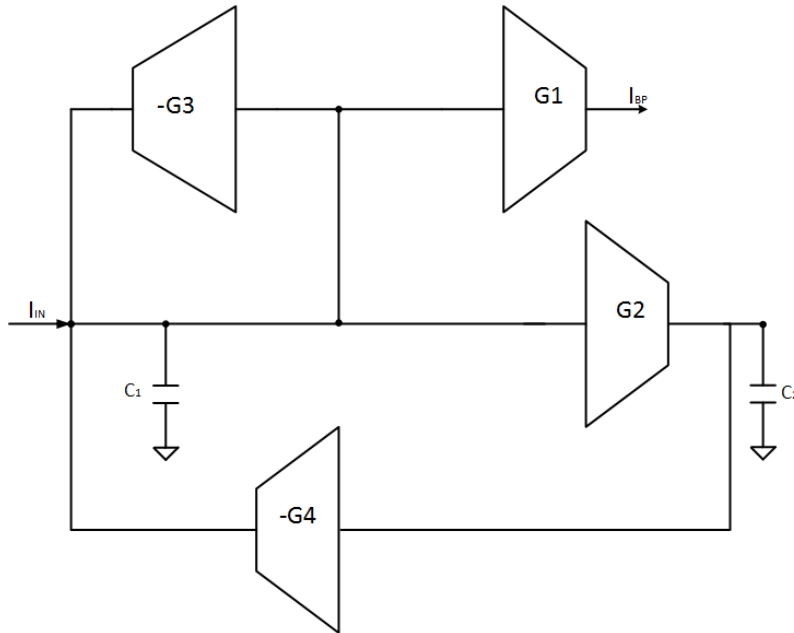
Tasarlanan devre yapısı kullanılarak ayarlanabilir frekans atık süzgeç yapısı tasarımı için [12]'daki süzgeç yapısı kullanılmıştır. Tasarlanan süzgeç yapısının elektronik kontrolü simetrik OTA devresinin kutuplama akımı I_{BIAS} ile sağlanmaktadır. Tasarlanan süzgeç yapısında kullanılan kapasite değerleri birbirine eşit ve 2pF'dır. Tasarlanan süzgeç yapısı için transfer fonksiyonu Eşitlik 5.2'de çıkarılmıştır. Bu transfer fonksiyonundan yararlanarak ve butterworth tipi band geçiren süzgecin tipik transfer fonksiyonunu kullanarak Eşitlik 5.3'de süzgecin merkez frekansı denkliği ve Eşitlik 5.4'de süzgecin kalite faktörü denkliği çıkarılmıştır.

$$\frac{I_{BP}(s)}{I_{IN}(s)} = \frac{sG_1/C_1}{s^2 + \frac{sG_3}{C_1} + \frac{G_2G_4}{C_1C_1}} \quad (5.2)$$

$$w_0 = \frac{\sqrt{G_2G_4}}{C_1 = C_2} \quad (5.3)$$

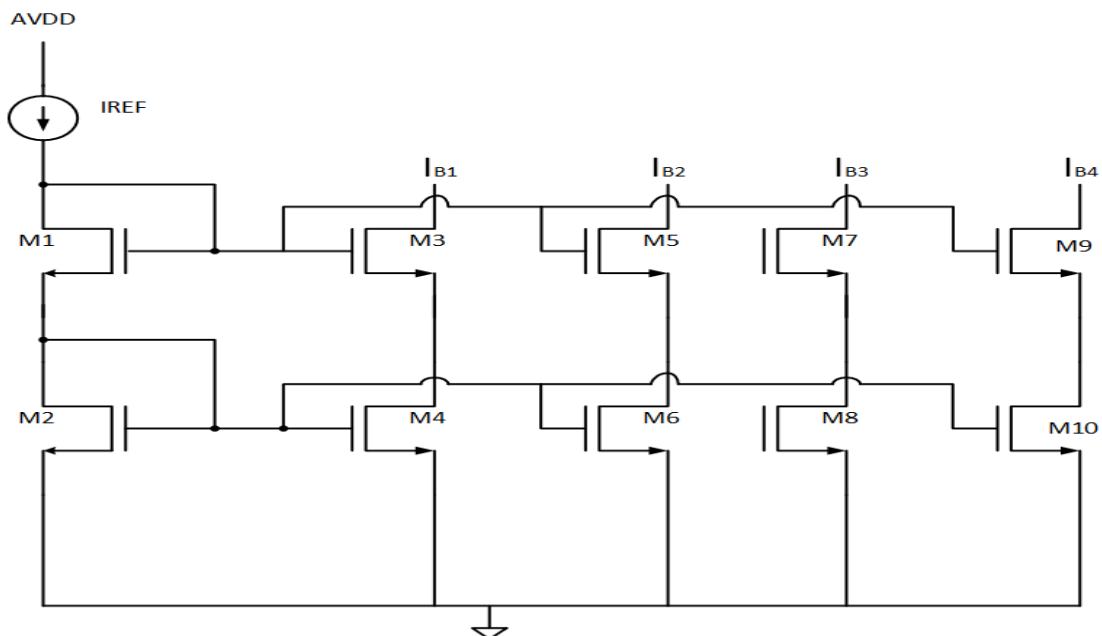
$$Q = \frac{\sqrt{G_2G_4}}{G_3} \quad (5.4)$$

Şekil 5.12’de tamamen simetrik OTA devre yapısı kullanılarak oluşturulmuş ikinci dereceden süzgeç yapısı gösterilmektedir.



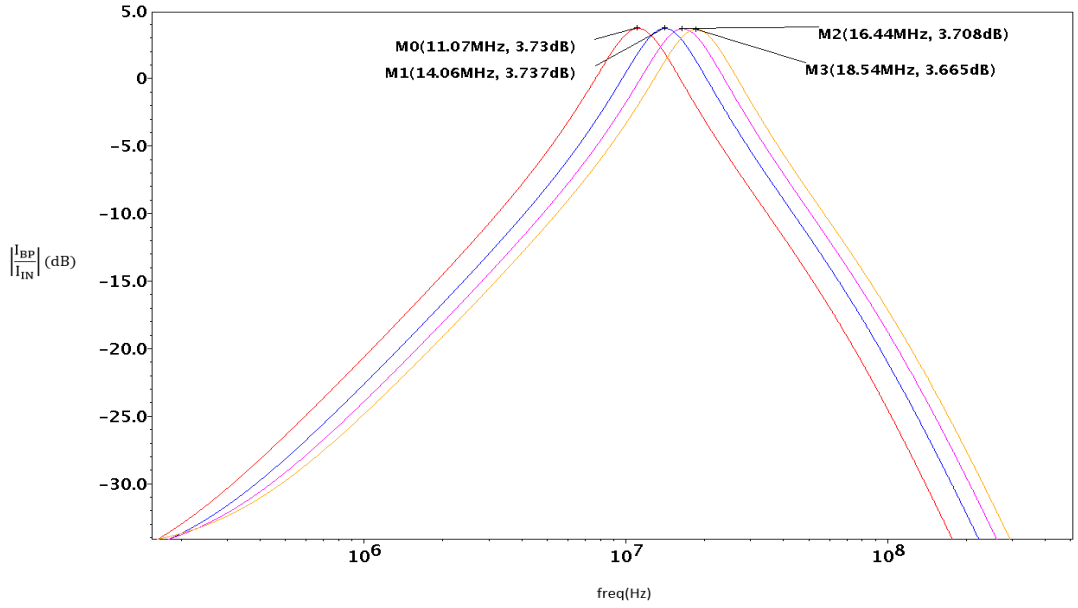
Şekil 5.12: Simetrik CMOS OTA tabanlı ikinci dereceden süzgeç yapısı.

Şekil 5.13’de tamamen Simetrik OTA devre yapısı için kaskod akım aynaları kullanılarak oluşturulmuş akım belirleme yapısı gösterilmektedir.



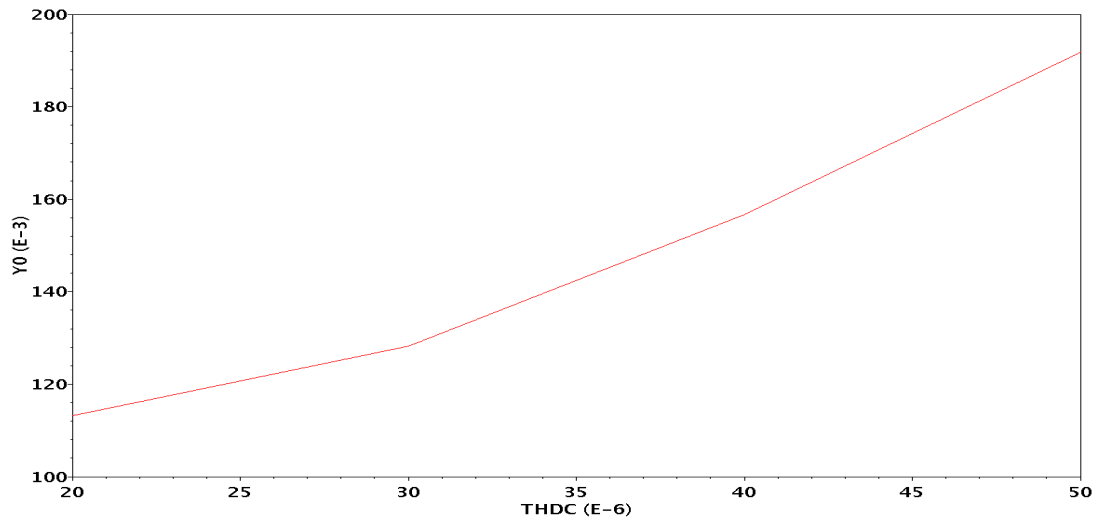
Şekil 5.13: Simetrik CMOS OTA devresi için kutuplama akımı belirleme yapısı.

Tasarlanan süzgeç yapısı ayarlanabilir kutuplama akımının $20\mu A$, $30\mu A$, $40\mu A$, $50\mu A$ değerleri için sırasıyla 11.07MHz, 14.06MHz, 16.44MHz, 18.54MHz olarak belirlenmiştir, ikinci dereceden band geçiren karakteristiği Şekil 5.14’de verilmiştir.



Şekil 5.14: Tasarlanan devre için ikinci dereceden band geçiren süzgeç karakteristiği.

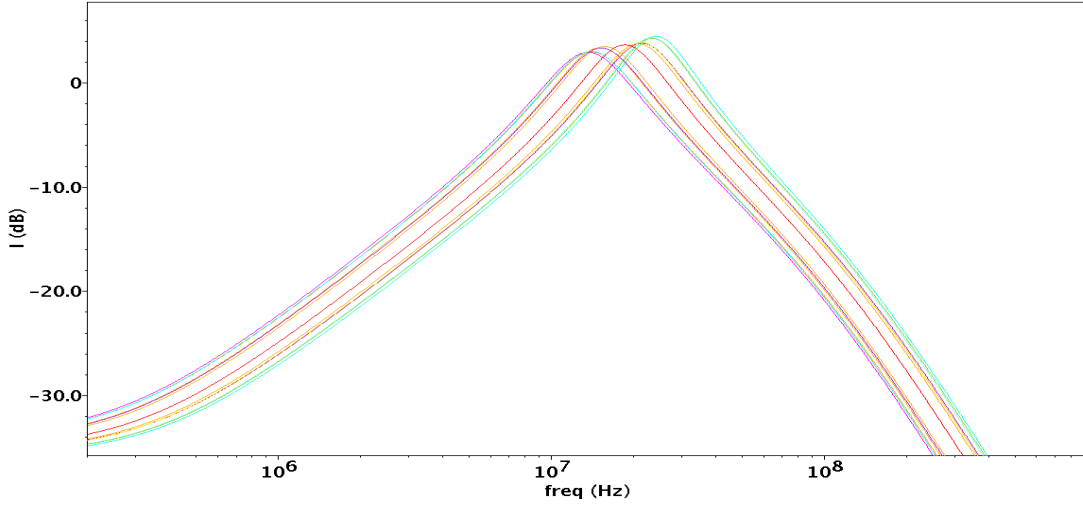
Tasarlanan süzgeç yapısı için THD karakteristiği Şekil 5.15’de gösterilmiştir. Bu karakteristik tasarlanan süzgeç yapısının girişine uygulanan $20\mu A$ - $50\mu A$ değerleri arasındaki doğrusal artımlı akım genlikleri için ve 20MHz frekansa sahip sinüs dalga akım işareti için THD değerleri 0.113% - 0.19% arasındadır. THD karakteristiğinden elde edilen bu değerler rezistif yük ($2k\Omega$) altında elde edilmiştir.



Şekil 5.15: Tasarlanan devre için ikinci dereceden band geçiren süzgeç THD karakteristiği.

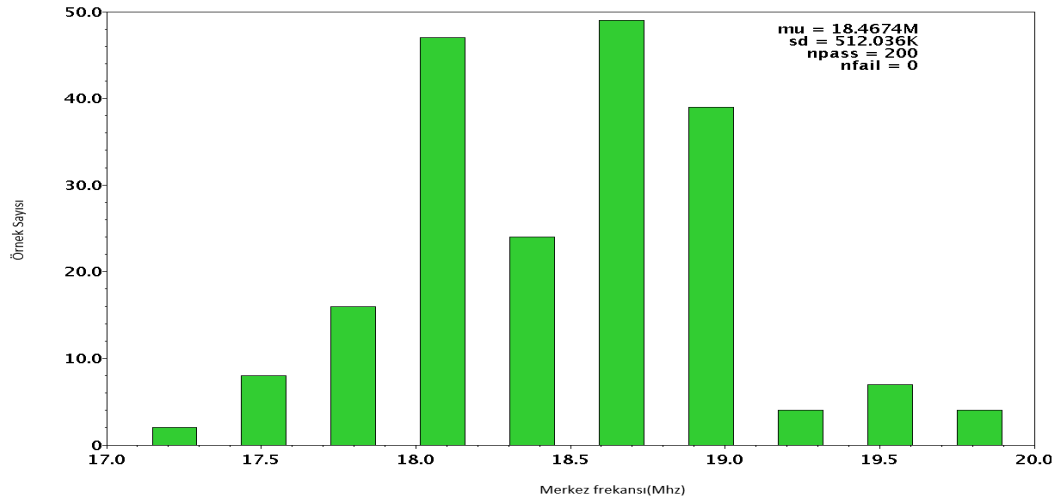
Tasarlan OTA tabanlı süzgeç yapısı için en yüksek kutuplama akımı değeri için güç tüketimi $2.41mW$ ’dır. Tasarım kriteri olarak belirlenen düşük güçlü tasarm gerçekleştirilmiştir.

Tasarlanan süzgeç yapısı için yapılan en kötü durum analizi için pozitif besleme gerilimi 0.81V - 0.99V arasında negatif besleme gerilimi (-0.81 V) - (-0.99 V) arasında, sıcaklık -50° - 120° arasında belirlenip üretim parametreleri de hızlı-hızlı(ff), yavaş-yavaş(ss), tipik-tipik(tt) seçilip yapılan analizde merkez frekansı en yüksek işlem frekansı 18.54MHz için makul sınırlar arasında değişmektedir. Kötü durum analizi karakteristiği Şekil 5.16'da gösterilmiştir.



Şekil 5.16: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Corner analizi.

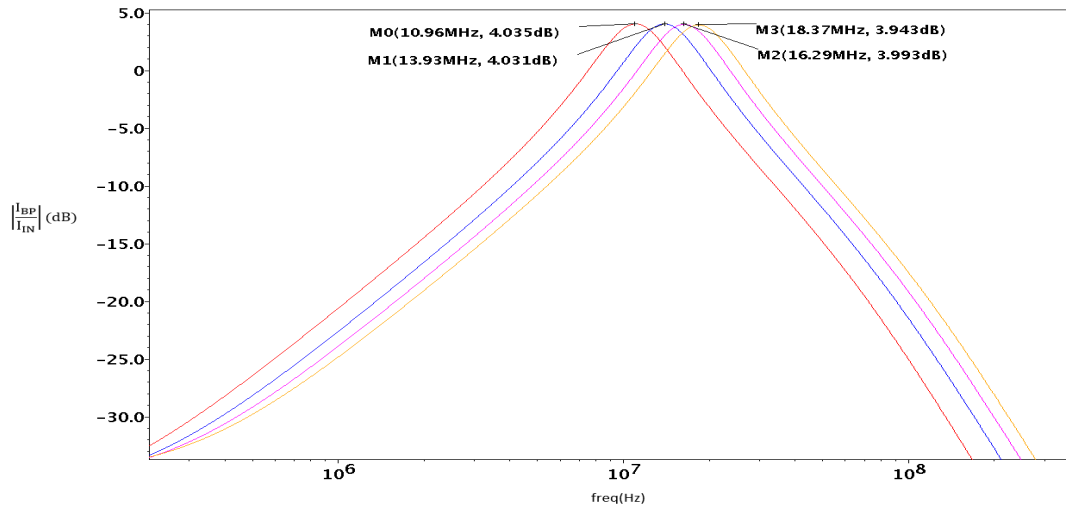
İkinci dereceden band geçiren süzgeç karakteristiği için merkez frekansı değişimi için yapılan Monte Carlo analizi sonucu $50\mu A$ 'lık anahtarlama kutuplama akımı için ortalama frekans değişimi değeri 18.47MHz olarak tespit edilmiştir. Bu değer sonucu tasarım parametrelerinin olumsuz koşulları altında tasarım için istenilen band geçiren merkez frekansı çok fazla ortalamadan sapma göstermemektedir, ortalamadan sapma 512KHz'dir. Tasarımın başarıyla gerçekleştirildiğini Monte Carlo analizi sonucuyla teyit edebiliriz. Monte Carlo analizi histogramı Şekil 5.17'de gösterilmiştir.



Şekil 5.17: Tasarlanan devrenin ikinci dereceden band geçiren süzgeç merkez frekansı için Monte Carlo analizi.

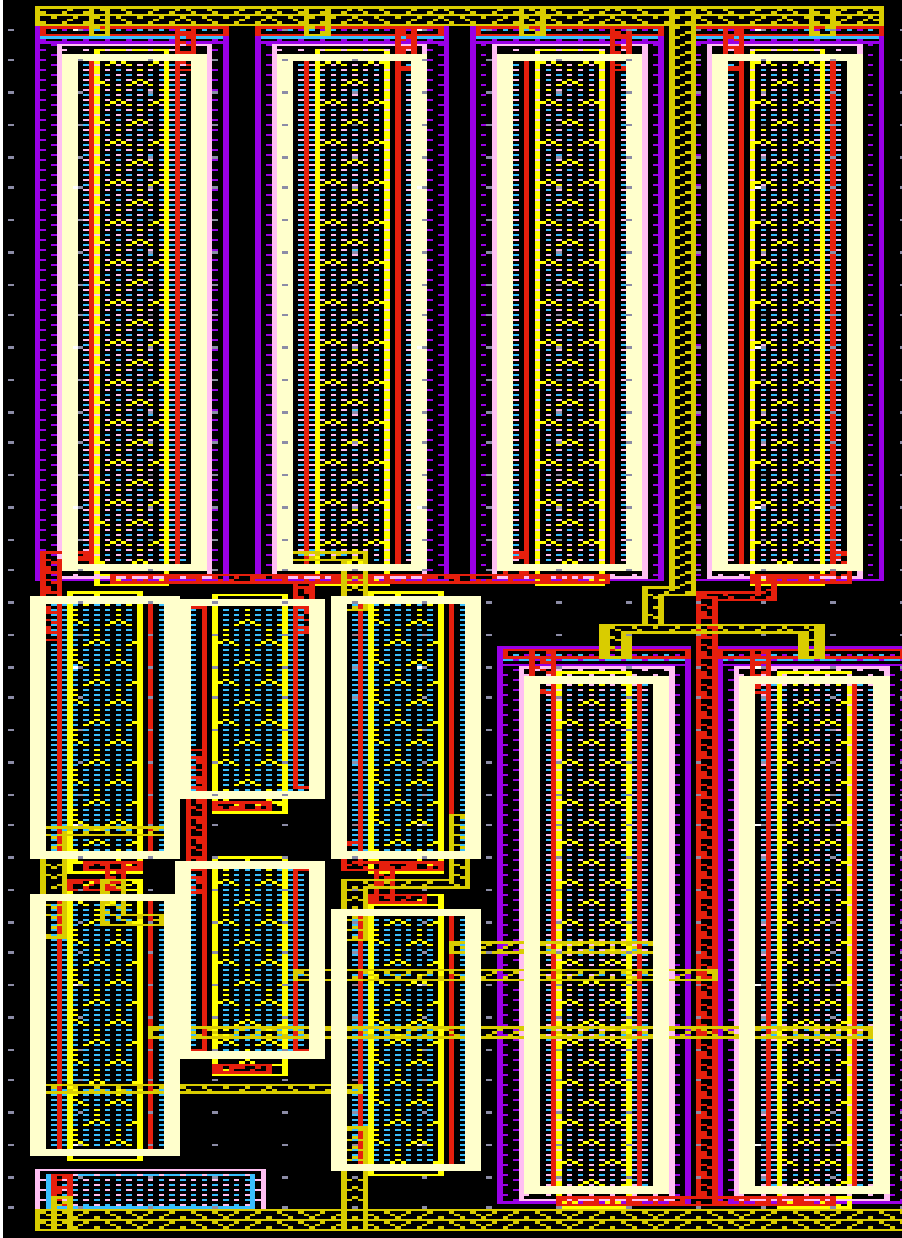
5.4 Simetrik CMOS OTA Devresi Serimi ve Serim Sonrası Benzetimleri

Tasarlanan süzgeç yapısı ayarlanabilir kutuplama akımının $20\mu A$, $30\mu A$, $40\mu A$, $50\mu A$ değerleri için sırasıyla 10.96MHz, 13.93MHz, 16.29MHz, 18.37MHz olarak belirlenmiştir, serim sonrası ikinci dereceden band geçiren karakteristiği Şekil 5.18’de verilmiştir. Tasarlanan devrenin serim sonrası parazit etkilerin tasarım merkez frekansı sonuçlarına etkisi minimum seviyededir.



Şekil 5.18: Tasarlanan devre için serim sonrası ikinci dereceden band geçiren süzgeç karakteristiği.

Simetrik CMOS OTA devre yapısı serimi Şekil 5.19’da gösterilmiştir. Tasarlanan devrenin serimde kapladığı toplam alan $487.33\mu m^2$ ’dir. Tasarlanan devre serimi için koşturulan DRC, LVS, QRC hata testlerinden başarıyla geçmiştir. Tasarlanan yapı için rezistif ve kapasitif parazitik etkilerin belirlendiği ve tasarımı minimum seviyede etkilediği görülmüştür. Tasarlanan devre bu çalışmada kabul edilen temel ilkelere uygun olup yonga üzerinde az yer kaplamaktadır.



Şekil 5.19: Simetrik CMOS OTA devresi serimi.

6. SONUÇLAR VE ÖNERİLER

6.1 Sonuçlar

Çoklu standart tasarım gerçeklemesi basit olmasına rağmen üretimi ekonomik olarak tercih edilmemektedir. Bu nedenle tamamen ayarlanabilir alıcılar için ayarlanabilir bloklar tasarlanarak maliyeti azaltma yoluna gidilmek istenmektedir. Bu amaçla farklı aktif elemanlarla dört ayrı yapı oluşturulmuş, bunların başarımları CADENCE Spectre araçlarıyla incelenmiş, elde edilen sonuçlar kıyaslanarak birbirine göre üstünlükleri ve zayıflıkları ortaya konmuştur. Bu çalışmada yer alan uygulama devreleri literatürdeki örnek çalışmalardan kısmi özellikleriyle daha iyi bir öneri getirmektedir. Sonuçlar incelendiğinde tasarımı gerçekleştirilen bütün uygulama devreleri için Corner ve Monte Carlo analizleri yapılarak çalışmaların fiziksel olarak gerçekleşmesi durumunda başarılı olunma durumu incelenmiş ve analizler sonucu fiziksel gerçekleştirme için tasarımların uygunluğu teyit edilmiştir. Özellikle bu çalışmada, literatürde yer alan ve bu çalışmada kullanılan süzgeç yapıları için farklı devre topolojilerine sahip geri beslemeli akım modlu kuvvetlendiriciler önerilmiştir.

6.2 Karşılaştırmalar

Akım kontrollü ikinci kuşak akım taşıyıcılar kullanılarak tasarlanan devre yapısı ve süzgeç yapısı incelendiğinde orta frekans bölgesinde kutuplama akımıyla elektronik olarak kontrolü blok devre yapısıyla sağlanmaktadır. Güç tüketimi düşüktür ve kapladığı alan da azdır. Bu nedenle bu çalışma kapsamında temel kriter olarak belirlenen bu durumlar sağlanmış olmaktadır. Tasarlanan yapının THD diğer uygulama devrelerine göre yüksektir, buda gerçek zamanlı çalışmasında devrenin performansı açısından önemlidir. Gürültü analizi sonucunda tasarımın düşük gürültülü bir çalışma olduğu söylenebilir. Çizelge 6.1’de tasarlanan devrenin performans analizi yapılmıştır. Tasarlanan yapı ve süzgeç uygulaması başarıyla gerçekleştirilmiştir.

Çizelge 6.1: CCCII+ devresi performans analizi.

İşlemler	Değerler
Besleme gerilimi	$\pm 0.9V$
Kullanılan teknoloji	AMS0.18 μ
Direnç değerleri	-
Kapasite değerleri	8pF
Akım kazanç band genişliği	135MHz
Serim alanı	648.7 μm^2 (Çift çıkışlı CCCII+ için)
Güç tüketimi	4.72mW (Dördüncü derecede süzgeç için)
Ayarlanabilirlik	Geri beslemeli blok anahtarlama akımı ile
THD	%4.7 - %5.3 (Dördüncü derecede süzgeç için)
Gürültü analizi	1.316*10 ⁻⁸ V/sqrt(Hz)

Akım farkı alan geçiş iletkenliği kuvvetlendiricisi giriş uçlarını akım farkı alan yapı oluşturmaktadır. Bu nedenle giriş uçları empedansları oldukça düşüktür. Akım farkı alan geçiş iletkenliği kuvvetlendiricisi akım dinamik aralığı oldukça kararlıdır. THD analizi sonucu incelenen literatür çalışmaları içinde en iyi öneridir. Yine karşılaştırılan çalışmalar arasında düşük gürültülü bir çalışma olarak bu çalışmayı gösterebiliriz. Amaçlanan devrede akım farkı alan yapı için ve geçiş iletkenliği yapıları için kullanılan akım kutuplamaları diğer bu çalışma kapsamındaki uygulamalara göre fazladır, bu nedenle devrenin kararlılığı zorlukla sağlanmıştır. Akım kazanç band genişliği bu çalışma kapsamındaki çalışmalar arasında en iyi karakteristiğe sahiptir. Serim alanı ve güç tüketimi incelendiğinde; bu çalışmanın yapılmasında belirlenen temel tasarım kriterlerine göre bu çalışma düşük güç tüketimi ve az yer kaplamasıyla bu tasarımın başarıyla gerçekleştirildiği gösterir. Çizelge 6.2’de amaçlanan devre için performans sonuçları gösterilmiştir.

Çizelge 6.2: CDTA devresi performans analizi.

İşlemler	Değerler
Besleme gerilimi	$\pm 0.9V$
Kullanılan teknoloji	AMS0.18 μ
Direnç değerleri	-
Kapasite değerleri	2pF
Akım kazanç band genişliği	925.0224MHZ (P giriş terminali için)
Serim alanı	1169 μm^2
Güç tüketimi	5.904mW
Ayarlanabilirlik	Geri beslemeli blok kutuplama akımı ile
THD	%0.35 - %0.42
Gürültü analizi	2.31x10nV/ $\sqrt{Hz}$

Elektronik olarak kontrol edilebilen ikinci kuşak akım taşıyıcı devresi akım kazanç band genişliği bu çalışmada yer alan diğer tasarımlara göre daha iyidir. THD analizi %1 olarak kabul edilen makul sınırlar içindedir. Amaçlanan yapı bu çalışmanın temel başarımları olarak belirlenen düşük güçlü ve az yer kaplama kriterleri başarılmıştır. Amaçlanan devrede birden fazla kutuplama akımı vardır, bu durum devre başarımını zorlaştırmıştır. Akım kontrollü ikinci kuşak akım taşıyıcıya göre akım izlemesi belirgin bir akım belirsizliği ile gerçekleşmektedir. Amaçlanan devrede birim kazançtan daha fazla kazanç elde edilmeye başlandığında belirsizlik akımı da artmaktadır. Amaçlanan devrede pasif direnç elemanı kullanılmaktadır, bu durum tasarlanan bu tez çalışmasında yer alan diğer uygulama devrelerine göre dezavantajdır. Tasarlanan devre yapısı bu çalışma kapsamında verilen diğer çalışmalara göre güç tüketimi fazladır. Tasarlanan devre yapısının serim alanı bu çalışma kapsamında yer verilen diğer çalışmalara göre fazladır. Tasarlanan devre yapısının gürültü analizi ise diğer tasarımların çoğuna göre iyi bir değerdedir. Tasarlanan devrenin Corner ve Monte Carlo analizi sonuçları tasarlanan devrenin fiziksel olarak gerçekleşmesi durumunda yüksek başarımla gerçekleştirileceğini göstermektedir. Çizelge 6.3’de amaçlanan devre için performans analizi sonuçları gösterilmiştir.

Çizelge 6.3: ECCII+ devresi performans analizi.

İşlemler	Değerler
Besleme gerilimi	$\pm 0.9V$
Kullanılan teknoloji	AMS0.18 μ
Direnç değerleri	1k Ω
Kapasite değerleri	2pF
Akım kazanç band genişliği	135MHz
Serim alanı	1582.22 μm^2
Güç tüketimi	8.17mW
Ayarlanabilirlik	Geri beslemeli blok kutuplama akımı ile
THD	0.82% - 0.937%
Gürültü analizi	7.745pV/sqrt(Hz)

İşlemsel geçiş iletkenliği kuvvetlendirici yapıları ile oluşturulan analog süzgeçler $g_m - C$ süzgeç olarakta bilinir. Tasarlanan devre yapısının giriş gerilim dinamik aralığı bu çalışma kapsamında yer alan diğer çalışmalara göre en iyi seviyededir çünkü simetrik besleme gerilimine kayıpsız ulaşmaktadır. Tasarlanan yapının çıkış akımı dinamik aralığı da bu çalışmada yer verilen tasarım devreleri arasında en iyi seviyededir. Tasarlanan devrenin Corner ve Monte Carlo analizi sonuçları

da tasarlanan devrenin fiziksel olarak gereklenmesi durumunda yksek bařarımla gerekleneceđini gstermektedir. Tasarlanan devre yapısı serim alanının kapladığı yer bakımından bu alıřma kapsamında sunulan en iyi uygulamadır. Tasarlanan devre yapısının THD analizi diđer alıřmalarda ıkan sonularlardan daha iyidir. THD deđeri makul sınırlar iindedir. Tasarlanan devre yapısı iin grlt analizi incelendiđinde bu alıřma kapsamında yer alan diđer tasarım rnekleri gibi dřk grltldr. Tasarlanan yapının g tketimi de dřktr. Bu alıřma kapsamında vurgulanan tasarım kriterleri bu uygulamada da bařarıyla gereklenmiřtir. Tasarlanan devre yapısının performans analizi sonuları izelge 6.4’de verilmiřtir.

izelge 6.4: OTA devresi performans analizi.

İřlemler	Deđerler
Besleme gerilimi	$\pm 0.9V$
Kullanılan teknoloji	AMS0.18 μ
Diren deđerleri	-
Kapasite deđerleri	2pF
Negatif eđim band geniřliđi	68.34MHz
Serim alanı	487.33 μm^2
G tketimi	2.41 mW
Ayarlanabilirlik	Anahtarlamalı kutuplama akımı yntemiyle
THD	0.113% - %0.19
Grlt analizi	1.545nV/sqrt(Hz)

6.3 neriler

Gelecekte bu konuda OTA devre yapısı temelli farklı szge yapıları zerinde alıřmalar yođunlařtırılmalıdır. Literatrde bu alıřma zerinde sadece OTA tabanlı tasarım alıřmalarına yer verilmiřtir. Bu alıřma sayesinde farklı devre topolojisi ve szge yapıları kullanılarak bu alıřma alanı iin neriler getirilerek byk katkıda bulunulmuřtur. Gelecek alıřmalarda gerilim modlu devreler ve akım modlu devrelerin karřılařtırılmasına yer verilerek, akım modlu tasarımların nemi bu karřılařtırma ile desteklenebilir. Bu alıřma kapsamında sunulan uygulama devreleri ile oluřturulan szge yapılarının bastırma oranının iyeleřtirilmesi iin szge yapılarının dereceleri artırılabilir. Bu alıřma kapsamında yer verilen szge tipleri butterworth tipi szge tipidir. Literatrde zellikle Hintea tarafından yazılım tabanlı radyolar iin sunulan alıřmada chebyshev tipi szge yapısı kullanılmıřtır. Ayrıca Hintea tarafından sunulan alıřma kapsamında alak geiren szge rnekleri de sunulmuřtur. Alak

geçiren süzgeç yapıları için de bu çalışma kapsamında sunulan çoklu süzgeç çıkışlı tasarım örneklerinden yararlanılabilir.

6.4 Gelecek Çalışmalar

Teknolojinin gelişmesiyle transistör boyutları küçülmektedir. Gelecek te I.T.U V.L.S.I laboratuvarı kapsamında daha düşük transistör boyutlarına sahip teknolojilere erişim sağlanması durumunda daha az yer kaplayan çalışma örnekleri tasarlanabilir. Literatür çalışmalarında sıklıkla kullanılan $0.18\mu\text{m}$ RFCMOS parametreleri ile tasarımlar yeniden gözden geçirilebilir. Daha yüksek frekanslara çıkabilen devre topolojileri kullanarak, MOS-ONLY süzgeç topolojileri kullanarak atık süzgeç uygulamaları geliştirilebilir. Gelecekteki çalışmalar malzeme yapısına göre şekil alacaktır. Özellikle silikon tabanlı transistörlerin yerini grafen tabanlı transistörler alacaktır. Bu malzeme tabanlı değişim sayesinde daha hızlı ve yüksek frekanslara çıkabilen analog süzgeç devreleri tasarlanabilir. Bu çalışma kapsamındaki önerilerde malzeme teknolojisi tabanındaki gelişmelere bağlı olarak yeniden tasarlanabilir.

KAYNAKLAR

- [1] **Tsividis, Y.** (2001). Continuous-time filters in telecommunications chips, *Communications Magazine, IEEE*, **39**(4), 132–137.
- [2] **Lakys, Y. ve Fabre, A.** (2013). Multistandard transceivers: state of the art and a new versatile implementation for fully active frequency agile filters, *Analog Integrated Circuits and Signal Processing*, **74**(1), 63–78.
- [3] **Li, S., Jiang, J., Wang, J., Gong, X. ve Li, Q.** (2010). A new current-mode active-only universal filter using CCCII, *Proceedings - 2010 IEEE International Conference on Wireless Communications, Networking and Information Security, WCNIS 2010*, s.252–255.
- [4] **Chaisricharoen, R., Chipipop, B. ve Sirinaovakul, B.** (2010). CMOS CCCII: Structures, characteristics, and considerations, *AEU - International Journal of Electronics and Communications*, **64**(6), 540–557.
- [5] **Kacar, F. ve Kuntman, H.** (2009). A new cmos current differencing transconductance amplifier (CDTA) and its biquad filter application, *IEEE EUROCON 2009*.
- [6] **Minaei, S., Sayin, O. ve Kuntman, H.** (2006). A new CMOS electronically tunable current conveyor and its application to current-mode filters, *Circuits and Systems I: Regular Papers, IEEE Transactions on*, **53**(7), 1448–1457.
- [7] **Mitola, J.** (1995). The software radio architecture, *Communications Magazine, IEEE*, **33**(5), 26–38.
- [8] **Spacek, J. ve Puricer, P.** (2006). Front-end Module for GNSS Software Receiver, *Multimedia Signal Processing and Communications, 48th International Symposium ELMAR-2006 focused on*, s.211–214.
- [9] **Qi, N., Xu, Y., Chi, B., Yu, X., Zhang, X., Xu, N., Chiang, P., Rhee, W. ve Wang, Z.** (2012). A Dual-Channel Compass/GPS/GLONASS/Galileo Reconfigurable GNSS Receiver in 65 nm CMOS With On-Chip I/Q Calibration, *Circuits and Systems I: Regular Papers, IEEE Transactions on*, **59**(8), 1720–1732.
- [10] **Armagan, E. ve Kuntman, H.** (2013). Configurable frequency agile filter application of balanced differential pair based CCCII circuit in 28nm process, *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*, s.1–4.

- [11] **Mak, P.I., U, S.P. ve Martins, R.** (2007). Transceiver architecture selection: Review, state-of-the-art survey and case study, *Circuits and Systems Magazine, IEEE*, 7(2), 6–25.
- [12] **Mahattanakul, J. ve Toumazou, C.** (1998). Current-mode versus voltage-mode G_m -C biquad filters: what the theory says, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 45.
- [13] **Razavi, B.** (2001). Design of Analog CMOS Integrated Circuits, *Design*, 6, 44–44.
- [14] **Graeb, H., Zizala, S., Eckmueller, J. ve Antreich, K.** (2001). The sizing rules method for analog integrated circuit design, *IEEE/ACM International Conference on Computer Aided Design. ICCAD 2001. IEEE/ACM Digest of Technical Papers (Cat. No.01CH37281)*.
- [15] **Pavan, S., Tsividis, Y. ve Nagaraj, K.**, (2000), Widely programmable high-frequency continuous-time filters in digital CMOS technology.
- [16] **Wilson, B.** (1989). Performance analysis of current conveyors, *Electronics Letters*, 25(23), 1596–1598.
- [17] **Smith, K. ve Sedra, A.** (1968). The current conveyor ;A new circuit building block, *Proceedings of the IEEE*, 56(8), 1368–1369.
- [18] **Pavan, S., Tsividis, Y. ve Nagaraj, K.** (2000). Widely programmable high-frequency continuous-time filters in digital CMOS technology, *Solid-State Circuits, IEEE Journal of*, 35(4), 503–511.
- [19] **Yoshizawa, A. ve Tsividis, Y.** (2001). An anti-blocker structure MOSFET-C filter for a direct conversion receiver, *Custom Integrated Circuits, 2001, IEEE Conference on.*, s.5–8.
- [20] **Hintea, S., Csipkes, G., Rus, C., Csipkes, D. ve Fernandez-Canque, H.** (2007). On the Design of a Reconfigurable OTA-C Filter for Software Radio, *Adaptive Hardware and Systems, 2007. AHS 2007. Second NASA/ESA Conference on*, s.541–546.
- [21] **Rus, C., Festila, L., Csipkes, G., Hintea, S. ve Csipkes, D.** (2007). A Reconfigurable and Programmable Filter for Software Defined Radio Based on a Transconductor-Capacitor Analog Array, *Design and Test Workshop, 2007. IDT 2007. 2nd International*, s.27–32.
- [22] **Uygur, A. ve Kuntman, H.** (2007). Seventh-order elliptic video filter with 0.1 dB pass band ripple employing CMOS CDTAs, *AEU - International Journal of Electronics and Communications*, 61(5), 320–328.
- [23] **Sayin, O. ve Kuntman, H.** (2004). Design of high-order active filters employing CMOS ECCIs, *Proceedings of the IEEE 12th Signal Processing and Communications Applications Conference, 2004*.
- [24] **Sedra, A. ve Smith, K.** (1970). A second-generation current conveyor and its applications, *Circuit Theory, IEEE Transactions on*, 17(1), 132–134.

- [25] **Fabre, A.** (1995). Third-generation current conveyor: a new helpful active element, *Electronics Letters*, **31**(5), 338–339.
- [26] **Senani, R.** (1980). Novel circuit implementation of current conveyors using an o.a. and an o.t.a, *Electronics Letters*, **16**(1), 2–3.
- [27] **Chang, C.M.** (2006). Analytical Synthesis of the Digitally Programmable Voltage-Mode OTA-C Universal Biquad, *Circuits and Systems II: Express Briefs, IEEE Transactions on*, **53**(8), 607–611.
- [28] **Biolek, D., Biolkova, V. ve Kolka, Z.** (2008). Universal current-mode Gm-C biquad, *Radioelektronika, 2008 18th International Conference*, s.1–3.
- [29] **Binkley, D.** (2007). Tradeoffs and Optimization in Analog CMOS Design, *2007 14th International Conference on Mixed Design of Integrated Circuits and Systems*.
- [30] **Razavi, B.** (1998). *RF Microelectronics*, Prentice-Hall, Inc., Upper Saddle River, NJ, USA.
- [31] **Lakys, Y., Godara, B. ve Fabre, A.** (2009). Cognitive and encrypted communications, Part 1 : State of the art for frequency-agile filters, *Electrical and Electronics Engineering, 2009. ELECO 2009. International Conference on*, s.II–1–II–15.
- [32] **Lakys, Y., Godara, B. ve Fabre, A.** (2009). Cognitive and encrypted communications, part 2 : A new approach to active frequency-agile filters and validation results for an agile bandpass topology in SiGe-BiCMOS, *Electrical and Electronics Engineering, 2009. ELECO 2009. International Conference on*, s.II–16–II–29.
- [33] **Wenguang, P., Chengyan, M., Yebing, G. ve Tianchun, Y.** (2010). A reconfigurable OTA-C baseband filter with wide digital tuning for GNSS receivers, *Journal of Semiconductors*, **31**(9), 095006.
- [34] **Minaei, S., Ibrahim, M. ve Kuntman, H.** (2003). A new current-mode KHN-biquad using differential voltage current conveyor suitable for IF stages, *Seventh International Symposium on Signal Processing and Its Applications, 2003. Proceedings.*, **1**.
- [35] **Chaojie, F.** (2012). A reconfigurable complex band-pass filter with improved passive compensation.
- [36] **Biolek, D., Senani, R., Biolkova, V. ve Kolka, Z.** (2008). Active elements for analog signal processing: classification, review, and new proposals, *Radioengineering*, **17**, 15–32.

ÖZGEÇMİŞ

Ad Soyad: Mesut ATASOYU

Doğum Yeri ve Tarihi: ERZURUM/05.09.1987

Adres: İTÜ Ayazağa Kampüsü Elektrik-Elektronik Fakültesi Oda no: 3106
Sarıyer/İSTANBUL

E-Posta: matasoyu@itu.edu.tr

Lisans: Elektrik-Elektronik Mühendisliği, Atatürk Üniversitesi

Mesleki Deneyim ve Ödüller:

2010- 2012 Artvin Çoruh Üniversitesinde Araştırma Görevlisi

2012- İstanbul Teknik Üniversitesinde Ö.Y.P'li Araştırma Görevlisi

Yayın ve Patent Listesi:

- Alaybeyoglu E, **Atasoyu M**, Kuntman H., 2014: Frequency Agile Filter Structure Improved by MOS-Only Technique. *TSP 2014*, 2014 Berlin, Germany.

TEZDEN TÜRETİLEN YAYINLAR/SUNUMLAR

- **Atasoyu M**, Alaybeyoglu E, Kuntman H., 2014: Reconfigurable Filter Structure Designed for Different Positioning Systems (GPS, GLONASS, Beidou, GNSS and Galileo *Submitted to 19th International Conference Applied Electronics 2014, Czech Republic*, 2014 Pilsen, Czech.
- Alaybeyoglu E, **Atasoyu M**, Kuntman H., 2014: A New Frequency Agile Filter Design with ECCII *Submitted to PRIME 2014, France*, 2014 Grenoble, France.
- **Atasoyu M**, Alaybeyoglu E, Kuntman H., 2014: Farkli GNSS Protokolleri İçin Düşük Güçlü Atık Süzgeç Uygulaması. *SIU 2014*, Nisan, 2014 Trabzon, Türkiye.