

gönderir. 26.02.1999
Engin

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**MOS TRANZİSTORLARDA KANAL KATKILAMA YÖNTEMİNİN
OKSİT VE ARAYÜZEY TUZAKLARI ÜZERİNE ETKİSİ**

DOKTORA TEZİ
Y.Müh. Engin KONUR
487.D.002

100744

100744

Tezin Enstitüye Verildiği Tarih : 6 Mart 1998

Tezin Savunulduğu Tarih : 12 Ocak 1999

Tez Danışmanı : Prof. Dr. Uğur ÇİLİNGİROĞLU
Diğer Jüri Üyeleri : Prof. Dr. Atilla ATAMAN (Y.T.Ü.)
Prof. Dr. Hakan KUNTMAN
Prof. Dr. Avni MORGÜL (B.Ü.)
Doç. Dr. Sadri ÖZCAN

[Signatures of the jury members]

OCAK 1999

ÖNSÖZ

Bu çalışmada kullanılan tranzistorlar, TÜBİTAK Ulusal Elektronik ve Kriptoloji Araştırma Enstitüsü-UEKAE, Yarıiletken Teknolojisi Araştırma Laboratuvarı-YİTAL'de, 3µm n-kuyu CMOS teknolojisi ile üretilmişlerdir. Bir ürün ortaya çıkarmanın ötesinde, gelecekte öneminin daha da artacağına olan inançla, mikroelektronik alanında, ülkemizde bir bilgi birikimi oluşmasına da katkıda bulunduklarına inandığım YİTAL ekibinin elemanlarına,

Yol gösterici destekleri için Prof.Dr. Duran Leblebici ve Prof.Dr. Atilla Ataman'a, Tez süresince gereksinme duyulan başvuru kaynaklarının ve dökümanların bulunmasındaki yardımları için Marmara Araştırma Merkezi Kütüphanesi çalışanlarına, özellikle Nehar Kızıldağ ve Filiz Konur'a,

Elemanlarının akademik kariyer yapmasına olumlu baktığı ve destek olduğu için UEKAE Müdürü Önder Yetiş'e,

Bu çalışma sırasındaki yönlendirici uyarı, teşvik ve desteklerinin yanı sıra, 17 yıl önce İTÜ Gümüşsuyu binasındaki küçük ama değerli mikroelektronik laboratuvarındaki titiz çalışmasını görerek ve derslerini dinleyerek özel bir ilgi duyduğum mikroelektronik alanında kendisinden çok şeyler öğrendiğim Prof. Dr. Uğur Çilingiroğlu'na,

Tüm çalışmalarım süresince gösterdikleri sabır ve anlayış için eşim Filiz ve oğlum Okan'a

Teşekkür etmeyi bir görev kabul ediyorum.

Ocak, 1999

Engin Konur

İÇİNDEKİLER

Sayfa No:

TABLO LİSTESİ	iv
ŞEKİL LİSTESİ	v
SEMBOL LİSTESİ	vii
ÖZET	ix
SUMMARY	xi
1. GİRİŞ	1
2. ELEKTRİKSEL YÜKLER, TUZAKLAR ve ÖLÇÜM YÖNTEMLERİ	4
2.1 Isıl oksitlenmiş silisyumda elektriksel yükler	4
2.2 Oksit içi tuzaklar	5
2.3 Arayüzey tuzakları	8
2.4 Tuzakların karakterizasyonu için kullanılan yöntemler	10
2.4.1 Kapasite-Gerilim (C-V) Yöntemi	11
2.4.2 İletkenlik Yöntemi	14
2.4.3 Derin-seviye Geçici-Hal Spektroskopisi (DLTS)	15
2.4.4 Yük Pompası (Charge Pumping) Yöntemi	16
2.4.5 MOSFET Eşikaltı Eğim Yöntemi	17
2.4.6 Tuzakları incelemek için kullanılan diğer yöntemler	18
2.5 Tuzak karakterizasyon yöntemlerinin karşılaştırılması	19
3. YÜK POMPASI TEKNİĞİNİN ANALİZİ	21
3.1 Yük pompası çalışma prensibi	21
3.2 Yük pompası akımının geometrik bileşeni	26
3.3 Oksit içi yükler ve yük pompası tekniği	27
4. YÜK POMPASI YÖNTEMİYLE YAPILAN ÖLÇÜMLER	30
4.1 Değişken frekans yöntemi	32
4.2 Değişken ofset gerilimi yöntemi	35
4.3 Gerilim zorlaması altında davranış	38
4.3.1 NMOS Tranzistorlara $V_{GS} \cong V_T$ Gerilim Zorlaması Uygulanması	42
4.3.2 NMOS Tranzistorlara $V_{GS} \cong V_{DS}/2$ ve $V_{GS} = V_{DS}$ Gerilim Zorlamaları Uygulanması	47
4.3.3 PMOS Tranzistorlara Sabit V_{DS} , Değişik V_{GS} Zorlamaları Uygulanması	50
5. SONUÇLAR	53
KAYNAKLAR	57
EKLER	72
ÖZGEÇMİŞ	90

TABLO LİSTESİ

Sayfa No:

Tablo.2.1	C-V yöntemiyle farkedilebilen minimum arayüzey tuzak yoğunluğu.....	19
Tablo.4.1	Süreç tipine göre kategorik ayırım ve karşı düşen kodlar.....	31
Tablo.4.2	Üretilen tranzistorların karakteristik büyüklüklerinin ortalama değerleri.....	31
Tablo.4.3	$(I_{cp} / f - \log f)$ eğrilerinden $\overline{D_{it}}$ ve σ hesaplanması için gerekli büyüklüklerin süreç tiplerine göre değerleri.....	34
Tablo.4.4-	Her bir tranzistor için $(I_{cp} / f - \log f)$ eğrileri ve (2.11) , (2.12) denklemleri ile bulunan $\overline{D_{it}}$ ve σ değerleri.....	35
Tablo.4.5:	Değişken ofset yöntemiyle ölçülen $\overline{Q_p(\max)}$ ile sabit frekans yöntemiyle ölçülen $\overline{D_{it}}$ değerlerinin karşılaştırılması.....	37
Tablo.4.6	Gerilim zorlamasından önce ve sonra yapılan ölçümlere ait koşullar.....	39
Tablo.D.1	Sucio & Johnson L_{eff} yöntemiyle bulunan değerler.....	88
Tablo.D.2	W_{eff} yöntemiyle bulunan değerler.....	89

ŞEKİL LİSTESİ

Sayfa No:

Şekil.2.1	Isıl oksitlenmiş silisyumda yükler.....	4
Şekil.2.2	"Deal Üçgeni" ısıtılma işlemi Q_f üzerine etkisinin geridönüşlülüğünü gösterir.....	5
Şekil.2.3	Bozucu nedeniyle SiO_2 yapının periyodikliğinin bozulması.....	6
Şekil.2.4	Tuzaklarda oluşan 4 Temel taşıyıcı hareketi ile yeniden birleşme ve üreme...	6
Şekil.2.5	Potansiyel kuyusu kavramıyla Tuzak Yakalama Kesiti tanımlanması.....	7
Şekil.2.6	MOS yapıda çeşitli tuzaklama mekanizmaları.....	7
Şekil.2.7	MOS yapıda düşük ve yüksek frekans kapasite-gerilim eğrisi (p-taban).....	11
Şekil.2.8	Sözde-statik (quasi-static) kapasite ölçümü , C:ölçülen kapasite (a)akım-gerilim (b) yük-gerilim ölçme tekniği.....	12
Şekil.2.9	MOS kapasite yapısının eşdeğer devreleri (a) ayrık elemanlı (b) C_{ox} hariç paralel eşdeğerli (c) geçit-taban uçlarından ölçülen C_m ve G_m	14
Şekil.2.10	İletkenlik yönteminde ölçüm sonuçları kullanılarak hesapla çizilen G_p/ω - f eğrisi.....	14
Şekil.2.11	DLTS yönteminde ölçülen C_{HF} - V_{GS} eğrileri (n-taban).....	15
Şekil.2.12	Yük pompası akımı ölçüm düzeneği.....	16
Şekil.3.1	Yük pompası geçit geriliminin trapezoidal değişiminde, yasakbant enerji aralığında bulunan tuzaklarda taşıyıcı hareketleri.....	22
Şekil.3.2	Değişken ofset gerilimli yük pompası tekniğinde; yük pompası akımının geçit gerilim alt seviyesi ile değişiminin şematik gösterimi.(p-taban).....	28
Şekil.3.3	Bünyesinde düzgün dağılmamış arayüzey ve oksit içi yük bulunan NMOS tranzistorun yük pompası akımı ve bileşenlerinin şematik gösterimi....	29
Şekil.4.1	Yük pompası yöntemini kullanmak, tranzistor karakteristiklerini ölçmek ve gerilim zorlaması uygulamak için kullanılan bilgisayar kontrollu deney düzeneği.....	32
Şekil.4.2	Değişken frekans yöntemiyle elde edilen ve Tablo.1'deki NMOS süreçlerine ait olan I_{cp}/f -logf eğrileri. $W=81\mu m/L=9\mu m$, V_G : -4V --> +4V Üçgen Dalga...	33
Şekil.4.3	Değişken frekans yöntemiyle elde edilen ve Tablo.1'deki PMOS süreçlerine ait olan I_{cp}/f -logf eğrileri. $W=27\mu m/L=3\mu m$, V_G : -2V --> +2V Üçgen Dalga...	33
Şekil.4.4	Değişken Ofset gerilimli yük pompası tekniği, PMOS ölçüm sonuçları.....	36
Şekil.4.5	Değişken Ofset gerilimli yük pompası tekniği, NMOS ölçüm sonuçları.....	36
Şekil.4.6	Değişken Ofset Yük Pompası Tekniği ile $V_G \cong V_T$ zorlaması öncesinde ve sonrasında ölçülen yük pompası akımları kullanılarak tanımlanan $\Delta I_{cp,max} / W_{eff}$ ve ΔV_{cp} değerlerinin grafiksel gösterimi.....	41
Şekil.4.7	Çoğaltma Faktörü $M = I_{sub,max} / I_d$ grafiksel tanımı.....	41
Şekil.4.8	Ön oksit üzerinden kanal katkılmalı NMOS tranzistorda; 500s, $V_g=1V$ ve ardından 30s, $V_g=10V$ gerilim zorlaması sonrası; ölçülen efektif kanal genişliği başına yük pompası akım farkları ile zorlanmamış yük pomпасındaki efektif alan başına yük pompası akımı ($W/L=27\mu m/3\mu m$, $V_d=10V$, Geçit işareti frekansı: 100KHz, $\Delta V_G=5V$, $V_R=0.2V$).....	43
Şekil.4.9	Geçit oksiti üzerinden kanal katkılmalı NMOS tranzistorda; 500s, $V_g=1V$ ve ardından 30s, $V_g=10V$ gerilim zorlaması sonrası; ölçülen efektif kanal genişliği başına yük pompası akım farkları ile zorlanmamış yük pomпасındaki efektif alan başına yük pompası akımı. ($V_d=10V$, Geçit işareti frekansı: 100KHz, $\Delta V_G=5V$, $V_R=0.2V$).....	43

Şekil.4.10	Ön oksit üzerinden kanal katkılmalı NMOS tranzistorda $V_g=1V, V_d=10V$ gerilim zorlaması uygulandıktan sonra, efektif kanal genişliği başına yük pompası akımının zorlama uygulama süresi ile değişimi (Yük pompası ölçü frekansı:100KHz, $\Delta V_G=5V, V_R=0.2V$).....	45
Şekil.4.11	Geçit oksiti üzerinden kanal katkılmalı NMOS tranzistorda $V_g=1V, V_d=10V$ gerilim zorlaması uygulandıktan sonra, efektif kanal genişliği başına yük pompası akımının zorlama uygulama süresi ile değişimi (Yük pompası ölçü frekansı:100KHz, $\Delta V_G=5V, V_R=0.2V$).....	45
Şekil.4.12	Ön Oksit üzerinden kanal katkılmalı NMOS tranzistorda $V_{GS}=1V, V_{DS}=10V$ gerilim zorlaması uygulanmadan önce ve sonra taban akımlarının değişimi.....	46
Şekil.4.13	Geçit Oksiti üzerinden kanal katkılmalı NMOS tranzistorda $V_{GS}=1V, V_{DS}=10V$ gerilim zorlaması uygulanmadan önce ve sonra taban akımlarının değişimi.....	46
Şekil.4.14	Ön oksit üzerinden kanal katkılmalı NMOS tranzistorda $V_g=5V, V_d=10V$ zorlaması uygulandıktan sonra, efektif kanal genişliği başına yük pompası akımının, zorlama uygulama süresi ile değişimi ($f=100KHz, \Delta V_G=5V, V_R=0.2V, W/L=27\mu/3\mu$).....	48
Şekil.4.15	Geçit oksiti üzerinden kanal katkılmalı NMOS tranzistorda $V_g=5V, V_d=10V$ zorlaması uygulandıktan sonra, efektif kanal genişliği başına yük pompası akımının, zorlama uygulama süresi ile değişimi ($f=100KHz, \Delta V_G=5V, V_R=0.2V, W/L=27\mu/3\mu$).....	48
Şekil.4.16	Ön oksit üzerinden kanal katkılmalı PMOS tranzistorda $V_g=-3V, V_d=-11V$ gerilim zorlaması uygulandığında, efektif kanal genişliği başına yük pompası akımı farklarının, zorlama uygulama süresi ile değişimi ($f = 500kHz, \Delta V_G=5V, V_R= - 0.2V$).....	49
Şekil.4.17	Geçit oksiti üzerinden kanal katkılmalı PMOS tranzistorda $V_g=-3V, V_d=-11V$ gerilim zorlaması uygulandığında, efektif kanal genişliği başına yük pompası akımı farklarının, zorlama uygulama süresi ile değişimi ($f = 500kHz, \Delta V_G=5V, V_R= - 0.2V$).....	49
Şekil.4.18	Ön oksit üzerinden kanal katkılmalı PMOS tranzistorda; zorlama öncesi ve $V_g=-3V, V_d=-11V$ gerilim zorlaması sonrası taban akımlarının geçit gerilimi ile değişimi.....	51
Şekil.4.19	Geçit oksiti üzerinden kanal katkılmalı PMOS tranzistorda; zorlama öncesi ve $V_g=-3V, V_d=-11V$ gerilim zorlaması sonrası taban akımlarının geçit gerilimi ile değişimi.....	51
Şekil.4.20	İki farklı türde kanal katkılmalı PMOS tranzistordarda, gerilim zorlaması öncesi ve sonrasında değişken ofset yük pompası tekniği ile yapılan yük pompası ölçümlerinden elde edilen sonuçlar. $V_d(\text{zorla}) = -11V$, zorlama süresi = 600s, Geçit gerilimi frekansı = 500kHz, $\Delta V_{op}=5V, V_R=-0.2V, W/L = 27\mu/3\mu$	52
Şekil.4.21	İki farklı türde kanal katkılmalı PMOS tranzistordarda, gerilim zorlaması öncesi ve sonrasında yapılan akım-gerilim ölçümlerinden elde edilen sonuçlar. $V_d(\text{zorla}) = -11V$, zorlama süresi = 600s , Tranzistorda $W/L = 27\mu/3\mu, M=I_{sub}/I_d$ olarak tanımlanmıştır. M_o : zorlama uygulanmamış durumdaki değerdir.....	52
Şekil.A.1	Tasarlanan test tümdevresinin bilgisayarda hazırlanan geometrik yerleşim planı.....	73
Şekil.B.1	İki farklı kanal katkılama yöntemi için, PMOS kanal bölgesinin SUPREM simulasyonları ile elde edilen katkı profilleri.....	78
Şekil.B-2	İki farklı kanal katkılama yöntemi için, NMOS kanal bölgelerinin katkı profilleri (karşılaştırma amacıyla üstüste çizilmiştir).....	81

SEMBOL LİSTESİ

A_G	: Geçit Bölgesi Alanı (cm^2)
C_{ox}	: Birim alan geçit oksit kapasitesi (F/cm^2)
C_{LF}	: Düşük Frekansta geçit alanı başına başına MOS kapasitesi (F/cm^2)
C_{HF}	: Yüksek Frekansta geçit alanı başına başına MOS kapasitesi (F/cm^2)
C_{FB}	: Birim alan Düzband Kapasitesi (F/cm^2)
C_{it}	: Birim alan Arayüzey Tuzak Kapasitesi (F/cm^2)
C_m	: Ölçülen Geçit-Taban Kapasitesinin birim geçit alanındaki değeri
D_{it}	: Birim enerji ve birim alan başına Arayüzey Tuzak Yoğunluğu ($\text{cm}^{-2} \text{eV}^{-1}$)
E_T	: Tuzak Enerji Seviyesi (eV)
E_F	: Fermi Enerji Seviyesi (eV)
E_{Fi}	: Has Fermi Enerji Seviyesi (eV)
F	: Tuzakların doluluk olasılık fonksiyonu
G_m	: Ölçülen Geçit-Taban İletkenliği (Ω^{-1})
I_{cp}	: Yük Pompası Akımı DC bileşeni (A)
I_{DS}	: Savak-Kaynak Akımı (A)
I_{SUB}	: Transistor Taban Akımı (A)
L_{eff}	: Transistor Efektif Kanal Boyu (cm)
N_{it}	: Birim alan ve birim potansiyel başına Arayüzey Tuzak Yoğunluğu ($\text{cm}^{-2} \text{V}^{-1}$)
Q_f	: Birim alan başına Sabit Oksit Yüğü (C/cm^2)
Q_m	: Birim alan başına Hareketli Oksit Yüğü (C/cm^2)
Q_{ot}	: Birim alan başına Oksitte Tuzaklanmış Yüğü (C/cm^2)
Q_{it}	: Birim alan başına Arayüzeyde Tuzaklanmış Yüğü (C/cm^2)
Q_{cp}	: Yüğü pompasında bir periyotta Pompalanan Yüğü (C)
R_{it}	: Arayüzey Tuzak Model Direnci (Ω)
R_{hc}	: Delik Yakalama Hızı ($\text{cm}^{-2} \text{V}^{-1} \text{s}^{-1}$)
R_{he}	: Delik Salma Hızı ($\text{cm}^{-2} \text{V}^{-1} \text{s}^{-1}$)
R_{ec}	: Elektron Yakalama Hızı ($\text{cm}^{-2} \text{V}^{-1} \text{s}^{-1}$)
R_{ee}	: Elektron Salma hızı ($\text{cm}^{-2} \text{V}^{-1} \text{s}^{-1}$)
SS	: Transistor Eşikaltı Eğimi (mV/dec)
T	: Sıcaklık (K)
T_{ox}	: Geçit Oksit Kalınlığı (cm)
V_T	: Eşik Gerilimi (V)

V_{FB}	: Düzband Gerilimi (V)
V_R	: Tıkama yönünde Kutuplama Gerilimi (V)
V_{DS}	: Savak-Kaynak Gerilimi (V)
V_{GS}	: Geçit-Kaynak Gerilimi (V)
V_{GALT}	: Trapezoidal İşaret Alt Seviye Gerilim Değeri (V)
$V_{GÜST}$	: Trapezoidal İşaret Üst Seviye Gerilim Değeri (V)
W_{eff}	: Tranzistor Efektif Kanal Geniřliđi (cm)
C_n	: Elektron Yakalama Katsayısı ($cm^3 s^{-1}$)
C_p	: Delik Yakalama Katsayısı ($cm^3 s^{-1}$)
e_n	: Elektron Salma Katsayısı (s^{-1})
e_p	: Delik Salma Katsayısı (s^{-1})
f	: Frekans (Hz)
g_m	: Tranzistor Geçiş İletkenliđi (A/V)
k	: Boltzman sabiti ($=8.63 \times 10^{-5}$ eV/K)
n_i	: Has Taşıyıcı Yođunluđu (cm^{-3})
n_{it}	: Elektronlar tarafından doldurulmuş Arayüzey Tuzak Yođunluđu ($cm^{-2} V^{-1}$)
n_s	: Si-SiO ₂ arayüzeyinde serbest elektron yođunluđu (cm^{-3})
p_s	: Si-SiO ₂ arayüzeyinde serbest delik yođunluđu (cm^{-3})
q	: Elektron Yüğü (C)
t_r	: Trapezoidal İşaretin Yükselme Süresi (s)
t_f	: Trapezoidal İşaretin Düşme Süresi (s)
$t_{em,e}$	: Tuzak elektron salma süresi (s)
$t_{em,h}$	: Tuzak delik salma süresi (s)
τ	: Tuzaklama Zaman Sabiti (s)
τ_R	: Azınlık taşıyıcı cevap süresi (s)
τ_H	: En hızlı tuzak cevap süresi (s)
τ_Y	: En yavaş tuzak cevap süresi (s)
ϵ_{ox}	: SiO ₂ dielektrik katsayısı ($=\epsilon_o \epsilon_r=3.9 \cdot 8.86 \times 10^{-14}=3.45 \times 10^{-13}$ F/cm)
Φ_{FB}	: Taban Fermi Potansiyeli (V)
Φ_{MS}	: Metal-Silisyum İşfonksiyonu (V)
Φ_s	: Yüzey Potansiyeli (V)
θ	: Tranzistor Mobilite deđişim katsayısı (V^{-1})
v_{th}	: Isıl Doyma Hızı (cm/s)
μ	: Taşıyıcı Mobilitesi ($cm^2 V^{-1} s^{-1}$)
σ_n	: Elektronlar için Tuzak Yakalama Kesiti (cm^2)
σ_p	: Delikler için Tuzak Yakalama Kesiti (cm^2)
σ	: Tuzak Yakalama Kesiti (cm^2)

MOS TRANZİSTORLARDA KANAL KATKILAMA YÖNTEMİNİN OKSİT VE ARAYÜZEY TUZAKLARI ÜZERİNE ETKİSİ

ÖZET

Bu çalışmada, tümdevre MOS tranzistorların üretim süreçlerinde kullanılan iki farklı kanal katkılama yönteminin, tranzistorların güvenilirliği ve ömrü konusunda önemli rol oynayan oksit ve arayüzey tuzakları üzerine etkisi incelenmiştir. İncelenen iki farklı yöntemden birincisinde tranzistorların kanal bölgesi, bir ön oksit üzerinden Bor iyonu implantasyonu ile katkılanmış sonra geçit oksiti büyütülmüştür, diğer yöntemde ise kanal katkılanması doğrudan geçit oksiti üzerinden Bor iyonu implantasyonu ile yapılmıştır. Bu iki yöntemden hangisinde, yapıdaki tuzaklama mekanizmaları nedeniyle bozulmanın daha az olduğunun ve bu sayede hangi yöntemin daha güvenilir ve daha uzun faydalı ömüre sahip tranzistorlar üretilmesini sağladığının bulunması amaçlanmıştır.

Arayüzey ve oksit tuzakları, MOS tranzistorların akım taşıma yeteneklerinde bozulmaya; eşik gerilimi, geçiş iletkenliği, eşikaltı eğimi, doyma bölgesi akımı gibi parametrelerin değişmesine sebep olurlar. Bu bozulma, tranzistorların çalışma süresi uzadıkça artarak devam eder ve faydalı ömür olarak tanımlanan süre sonunda tranzistorların kendilerinden beklenen fonksiyonu yerine getirememelerine sebep olabilir.

Arayüzey tuzak yükleri pozitif veya negatif olabilir. Yapısal ve oksitleme prosesine bağlı bozucular veya metal kirlenmesi veya sıcak taşıyıcı gibi Si-SiO₂ arayüzeyindeki bağ yapısını bozucu etkiler nedeniyle oluşabilirler ve silisyum ile elektriksel iletişimde bulunurlar. Oksit içi tuzak yükleri ise oksit içinde tuzaklanan elektron veya delikler nedeniyle oluşurlar, pozitif veya negatif olabilirler, silisyumla elektriksel iletişimde bulunabilirler.

Bir tuzağın bir taşıyıcıyı yakalama kabiliyeti tuzağın yakalama kesiti ile açıklanır. Ortalama serbest yolu, yakalama kesitinin yarıçapından küçük olan taşıyıcı; bozucu tarafından yaratılan potansiyel kuyusuna tuzak yarıçapından daha yakın olursa tuzaklanacaktır.

Arayüzey tuzak yoğunluklarının ve arayüzey tuzak yakalama kesitlerinin ölçülmesinde, yük pompası akımı tekniği kullanılmıştır. Bu yöntem, küçük boyutlu tranzistorlarda yüksek duyarlılıkla istenen büyüklükleri ölçmeye imkan vermektedir. Yöntem, kaynak ve savak bölgeleri elektriksel olarak kısa devre edilmiş MOS tranzistorların geçit elektroduna, tranzistoru her bir periyotta, evirtim ve yığılma rejimlerine götüren uygun genlikte ve seviyede periyodik işaret uygulandığında, taban elektrodundan, tuzakların miktarı ve kesitiyle orantılı akan akımı ölçme ilkesine dayanmaktadır. Bu yöntemle 1×10^9 [cm⁻² *eV⁻¹] mertebesinde tuzak yoğunluğu ölçümü mümkündür.

Çalışmada kullanılan iki farklı yük pompası tekniği, iki farklı kanal katkılama yöntemiyle üretilen NMOS ve PMOS tranzistorlara uygulanmıştır. Birinci yük pompası yönteminde, tranzistorun geçit terminaline; genliği ve ofset gerilimi sabit tutulan ve frekansı değiştirilen üçgen dalga işareti uygulanmıştır. Kaynak ve savak terminalleri birbirine bağlanıp tabana göre tıkama yönünde 0.2V gerilim ile

kutuplanmıştır. Taban terminal akımı - frekans ilişkisinden arayüzey tuzak yoğunluğu ve yakalama kesitleri bulunmuştur. İkinci yük pompası yönteminde genliği ve frekansı sabit tutulup ofset gerilimi değiştirilen kare dalga işareti geçit terminaline uygulanmış, kaynak ve savak jonksiyonları birinci yöntemdeki gibi kutuplanmıştır. Yük pompası ölçümleri, tranzistorlara belirli süreyle çeşitli genlikte gerilim zorlaması uygulanmadan önce ve sonra tekrarlanarak arayüzey tuzak yüklerinin yanısıra oksit içinde tuzaklanan yükler hakkında bilgi edinilmiştir.

Bu çalışmada elde edilen sonuçlar aşağıdaki gibi özetlenebilir.

- Her iki süreç tipi için metalizasyon sonrası tavlama yapılmadan önceki arayüzey tuzak yoğunluğu yaklaşık olarak $1.4 \times 10^{11} \text{ [cm}^{-2} \cdot \text{eV}^{-1}]$ iken azot ortamında tavlama sonucu, 3×10^{10} mertebesine düşmüştür. Tavlama süreç adımı azot içine %13 hidrojen ilave edilmesiyle bu miktar yaklaşık 1.2×10^{10} olmaktadır.
- Arayüzey tuzak yakalama kesitleri her iki tip süreç için tavlama yapılmadan önceki $2 \times 10^{-14} \text{ [cm}^2]$ civarındadır. Bu değer, azot ve azot+%13 hidrojen ortamında tavlama sonucunda bir mertebe küçülerek 2×10^{-15} civarına düşmüştür.
- NMOS tranzistorlarda oksit içine delik enjeksiyonu sağlayan düşük geçit gerilimi, yüksek savak gerilimi zorlaması uygulandıktan sonra yapılan ölçümler sonucu, ön oksit üzerinden kanal katkılanması yapılan yöntemde oksit içinde delik tuzaklanmasının, geçit oksiti üzerinden kanal katkılanması durumuna göre **daha yüksek** olduğu görülmüştür. Bu durum, ön oksit kullanıldığı durumda yüzeye bırakılan Bor atomlarından bir kısmının, daha sonraki geçit oksiti büyütme aşamasında oksit içine kaçarak, oksitin delik tuzaklama mekanizmasını hızlandırması olarak açıklanmıştır.
- NMOS tranzistorlarda en fazla bozulmaya neden olduğu öngörülen $V_{GS}=V_{DS}/2$ gerilim zorlaması öncesi ve sonrası yapılan ölçümler ile, ön oksit üzerinden kanal katkılanması yapılan tranzistorlarda, geçit oksiti üzerinden kanal katkılanması yapılan tranzistorlardakinden **daha az** arayüzey tuzak yoğunluğu bulunmuştur. Bu sonuç, ön oksit üzerinden kanal katkılanması yapılması durumunda, implantasyon sonrası yapılan geçit oksiti büyütme işleminin, tavlama etkisi nedeniyle arayüzey tuzaklarını azaltması ile açıklanabilir.
- Düşük geçit gerilimleri ile zorlanan PMOS tranzistorlardan geçit oksiti üzerinden kanal katkılanması olanlar **daha fazla** bozulma göstermişlerdir. SUPREM simulasyonlarına göre, arayüzeye yakın bölgelerde Bor konsantrasyonu, geçit oksit üzerinden kanal katkılanması olanlarda daha yüksektir. Bor konsantrasyonu ile bozulma arasında bir ilişki kurmak mümkün görülebilir.

Sonuç olarak, geçit oksit üzerinden kanal katkılanması yapılan tranzistorlarda arayüzey tuzakları; ön oksit üzerinden kanal katkılanması yapılan tranzistorlarda oksit tuzakları daha etkindir. MOS tranzistorlarda oksit ve arayüzey tuzakları nedeniyle bozulmaya bağlı güvenilirlik ve faydalı ömür açısından iki farklı kanal katkılama yönteminden biri diğerine göre üstün değildir.

THE CHANNEL DOPING METHOD'S EFFECT ON OXIDE AND INTERFACE TRAPS IN MOS TRANSISTORS

SUMMARY

Although SiO₂ is considered as the best insulating material available for microelectronics, it is far from being perfect. The silica network contains imperfections and impurities. These defects can be electrically active if they introduce energy levels in the SiO₂ band gap. Defects located in the bulk of SiO₂ or at Si-SiO₂ interface of a MOS device, act as trapping centers if they can capture carriers (electrons or holes) or emit them (when already charged). Carrier trapping gives rise to a space charge (either positive or negative) in the oxide, which modifies the pre-existing electric field and the potential distribution. In order to minimize the influence of electrically active defects and thus increase the useful lifetime of the device, (1) these defects must be detected and identified, (2) their physical, chemical and electronic origin must be determined, (3) when they cannot be avoided, their concentration must be reduced to a minimal value through process improvements.

Interface or oxide traps leads to degradation of the MOS transistor current drive capability and affect parameters, such as threshold voltage, the linear region transconductance, the subthreshold slope, the saturation region drive current. This degradation build up with the operation duration of the MOS transistor. At the time called lifetime, transistors can not perform their functional operation due to degradation.

Gate oxide quality is the most important key factor. Process improvement of this step, preceding and following steps can minimize the effect of these defects. The channel doping namely threshold adjust implantation method affect the oxide quality. In this study, it is aimed to investigate the channel doping method's effect on oxide and interface traps in order to choose more reliable method in CMOS fabrication. Two type of threshold adjust implantation, which are used frequently in standard CMOS processes, has been considered. Firstly, channel implantation, using boron, has been performed directly through gate oxide. (This process will be called as TGO). Secondly, again with boron, implantation has been done through a sacrificial oxide and then this oxide was stripped before gate oxide growth. (This process will be called as TSO). Moreover, post-metalization low temperature annealing conditions has been investigated using pure nitrogen and hydrogen/nitrogen mixture ambient.

The transistors used in this study has been manufactured with 3μm n-well CMOS technology in Semiconductor Technology Research Laboratory-YİTAL of National Electronics Institute of TUBITAK.

In order to measure the interface trap density and capture cross section of the trap, charge pumping technique has been used. In this method, the source and

drain of the transistor are connected together and held at a certain reverse bias voltage with respect to substrate. When the transistor pulsed into inversion, the surface becomes deeply depleted and, for NMOS transistors, electrons will flow from the source and drain regions into the channel, where some of them will be captured by the interface traps. When the gate pulse is driving the surface back into accumulation, the mobile carriers drifts back to the source and drain under the influence of the reverse bias, but the charges trapped in the interface traps will recombine with the majority carriers from the substrate and gives rise to a net flow of negative charge into substrate. This is so-called charge pumping effect. The charge Q_{it} which will recombine is given by $Q_{it} = A_G \cdot q \cdot D_{it} \cdot \Delta E$. Where, A_G is the channel area of the transistor [cm^2], q is the electron charge [C], D_{it} is the interface trap density [$\text{cm}^{-2} \cdot \text{eV}^{-1}$], ΔE is the energy interval swept in the bandgap [eV]. When applying repetitive pulses to the gate with frequency f , this charge Q_{it} will give rise to a current in the substrate given by $I_{CP} = Q_{it} \cdot f$. This substrate current is a measure of the mean value of the interface trap density over the energy range swept by the gate pulse. By showing the recombined charge per cycle, Q_{it} as a function of the frequency on a semilogarithmic plot, one obtains a straight line when using triangular pulses. From the extrapolation of this curve to zero charge, the obtained frequency gives a value for the geometrical mean value of the capture cross sections. The slope of the curve allows the determination of the mean value of the interface trap density without the need for any other parameter than the temperature and the channel area. The sensitivity of the technique has been shown to be better than $1 \times 10^9 [\text{cm}^{-2} \cdot \text{eV}^{-1}]$.

Interface trapped charge, (Q_{it}) may be positive or negative. It is due to (1) structural, oxidation-induced defects, (2) metal impurities, or (3) other defects caused by radiation or similar bond breaking processes (e.g., hot carriers). The interface trapped charge is located at the Si-SiO₂ interface. It is in electrical communication with the underlying silicon and thus be charged or discharged, depending on the surface potential. Most of the interface trapped charge can be neutralized by low-temperature (450 °C) hydrogen annealing. This charge type in the past has been called surface states, fast states, interface states.

Oxide trapped charge, (Q_{ot}) may also be positive or negative due to holes or electrons trapped in the bulk of the oxide. Trapping may result from ionizing radiation, avalanche injection or other similar processes.

A defect acts as a recombination center if its energy level, E_T can exchange carriers with both conduction and valence band which usually means that E_T is located near the mid-gap. A defect acts as a trapping center if it can capture carrier from, and re-emit it into, the nearest energy band, which is usually means that E_T is located near the energy band edge. When the trapping centers are highly concentrated, they interact. This leads to a broadening of the discrete levels and to the formation of energy bands, called impurity bands, inside the bandgap.

The ability of the trap to capture a carrier is described by the capture cross section. When there is a free carrier as a diffusing particle of mean free path much smaller than the effective capture radius of the trap, capture is probable if the carrier approaches the potential well, created by defect, at a distance less than radius of the trap.

In the charge pumping method, the base level of the gate pulse train can be swept while the amplitude, the frequency, rise and fall times of the pulses keep constant. Five operation regions can be distinguished in the behavior of the substrate current as a function of the base level of the gate pulses. For NMOS transistors, (1) when $V_{base} < V_{FB}$ while $V_{top} > V_T$; the conventional charge pumping effect occurs. This means that a net amount of charge is transferred ("pumped")

from the source and drain to the substrate via the interface traps each time the transistor pulsed from the inversion toward accumulation and back. (2) when $V_{base} < V_{top} < V_{FB}$; interface traps are permanently filled with holes and consequently no recombination current is measured. (3) when $V_T < V_{base} < V_{top}$; the channel is permanently in inversion so no holes reach the surface at any time. For both (2) and (3) cases, the measured substrate current consists of only the source and drain leakage currents. (4) when $V_{base} < V_{FB} < V_{top} < V_T$; the charge pumping current increases from zero to a saturation level. The electron concentration at the interface during the inversion part of the gate pulse drastically reduces when the top level does not reach V_T . Therefore, the edge of the I_{CP} versus V_{base} characteristic obtained for this condition is located at $(V_T - \Delta V_A)$, where ΔV_A is the amplitude of the gate pulse. (5) when $V_{FB} < V_{base} < V_T < V_{top}$; the charge pumping current decreases from saturation level to zero. This edge located at V_{FB} , since the recombination current disappears when the channel can no longer be flooded with holes

By degradation of a MOS transistor due to electrical stress, we understand either the occurrence of a substantial increase of interface traps at the gate-insulator/bulk interface, or a buildup of charges in the gate insulator itself during device operation. This charging is either due to the generation of new traps, or to the filling of existing traps. These changes will affect the electrical characteristics of the transistor. Base level sweep method of charge pumping technique enables to distinguish between the formation of interface traps and the buildup of oxide charge. Indeed, the total number of interface traps in the channel is proportional to the amplitude of the recorded substrate current, while the threshold voltage and the flat-band voltage, which are determined by the oxide charges and the charges in the interface traps, can be directly extracted from the edges of the curve. An increase in the level of the charge pumping current is therefore proof of an increase of the interface trap concentration. A shift of the edges toward more negative voltages is indicative for a net positive charge at the interface, while a shift to more positive voltages indicates the presence of a net negative charge.

In many real-life operation modes, transistors are not stressed uniformly over the channel, but the degradation will be rather localized in the channel, mostly near the drain. A typical example is the channel hot-carrier degradation that occurs most dramatically when a short-channel transistor is used in saturation mode. The degradation analysis by means of "conventional" transistor characteristics, such as I_{DS} - V_{GS} curves, cannot be readily used for nonuniform degradation case. The definition of a threshold voltage loses a great deal of its physical meaning for a channel with nonuniform oxide charge and interface trap distribution. The advantage of the charge pumping technique for the study of nonuniformly degraded channels can be explain as follows. When the channel can be thought of as being composed of several parts with different threshold voltages and different concentrations of interface traps, the resultant charge pumping (CP) signal is the sum of the CP signals of the composing parts. In fact, as far as the CP current is concerned, the complete channel behaves like the parallel circuit of the composing parts. This is not the case for characteristics such as the I_{DS} - V_{GS} curves, which are the resultant of the series circuit of the composing parts of the channel, and therefore not simply the sum of the characteristics of these composing parts. This considerably complicates the analysis of I_{DS} - V_{GS} curves.

Two different kind of charge pumping technique have been used mainly during this study. Both of them have been applied to two different kind of channel implant process. One of the methods has been used for transistors processed with two different kind of low temperature annealing.

In the first CP method, the frequency of the triangular gate pulses has been changed while keeping its amplitude and offset voltage constant. A reverse voltage of 0.2 Volt was applied to source and drain. Obtained mean capture cross section- σ of the interface traps and average interface trap density- D_{it} values can be summarized as follows: D_{it} values before annealing have been obtained from I_{CP}/f versus frequency curves about $1.4 \times 10^{11} \text{ [cm}^{-2} \cdot \text{eV}^{-1}]$ for transistors both process TGO and TSO. After annealing in pure nitrogen ambient, these values decreased to a value of $3 \times 10^{10} \text{ [cm}^{-2} \cdot \text{eV}^{-1}]$. After annealing in a hydrogen/nitrogen mixture ambient, value of $1.2 \times 10^{10} \text{ [cm}^{-2} \cdot \text{eV}^{-1}]$ has been calculated. σ values before annealing have been obtained about $2 \times 10^{-14} \text{ [cm}^2]$. After low temperature annealing in both nitrogen and hydrogen/nitrogen ambient, this value decreased a value of about one order of magnitude lower than those obtained before annealing. Briefly, any difference on D_{it} or σ values for between process TGO and TSO have not been observed in this first CP method.

In the second CP method, the offset voltage of the square gate pulses has been changed while keeping its amplitude and frequency constant. A reverse voltage of 0.2 Volt was applied to source and drain. Before applying bias voltage stress, any difference on charge pumping current versus offset voltage characteristics have not been observed for between process TGO and TSO.

Different voltage stresses have been applied to the NMOS transistors for various duration in order to investigate hot-carrier behavior of the transistors. After low gate voltage stress ($V_{GS}=1\text{V}$, $V_{DS}=10\text{V}$) and ($V_{GS}=1\text{V}$, $V_{DS}=9\text{V}$) for various duration, an increase of the charge pumping current is observed. The edges of the post-stress ΔI_{CP} (post-stress minus pre-stress) curves exhibit a clear shift toward more negative gate voltage values as compared to the edges of the CP curve of the virgin device. This indicates that the net charge in the system after degradation is positive. This can be caused by trapped holes or by donor-type interface traps. In order to get more information concerning the exact nature of the observed distortion of the CP edges, an additional experiment was carried out. After the duration of somewhat long (500s and 2500s) low gate stress, a brief electron injection ($V_{GS}=V_{DS}=10\text{V}$, $t=30\text{s}$) was performed. After electron injection, the transition edges of the ΔI_{CP} curve shift back toward the ones of the virgin device. However, no significant change in interface trap density is detected after this electron injection (i.e. no increase in the magnitude of ΔI_{CP}). Therefore the first negative shift must be due to holes trapped in the oxide, not to the donor-like nature of the created interface traps.

After low gate stress, the distortion of CP curves in process TSO were measured larger than those of process TGO. This observation can be explained as follows: In process TSO, the boron atoms escape into gate oxide during high temperature gate oxide growth because of high diffusivity of boron. In process TGO, threshold adjust implantation is performed after gate oxide growth. The remaining process steps is the same for both TGO and TSO. Therefore, in TSO, there is an additional high temperature process after boron implant. We can conclude that there is more boron in oxide in the type of process TSO, thus this excessive boron concentration increase the possibility of hole trapping.

For conventional NMOS transistors, the maximum degradation occurs in the medium voltage range ($V_{GS}=V_{DS}/2$), and is caused by mobility degradation due to interface trap generation. These interface traps are generated by the simultaneous injections of holes and electrons for these conditions but holes are more effective in generating interface traps. Various duration of medium voltage stresses for $V_{GS}=V_{DS}/2=5\text{V}$ and $V_{GS}=V_{DS}/2=5.5\text{V}$ were performed. The distortion of CP curves in process TGO were measured larger than those of process TSO. In other words,

more interface traps will be created in process TGO than those of in process TSO. This observation can be explained by the anneal of implantation defects during gate oxide growth performed after TSO implantation.

Electron injection case ($V_{GS}=V_{DS}=10V$) for NMOS transistors was investigated. The distortion in CP curves were the least among different stress conditions examined. There were no difference in between process TGO and TSO.

PMOS transistors were DC stressed for various duration at $V_{DS} = -11V$ and different gate biases. For low and intermediate gate voltages, electron trapping is the dominant degradation mechanism. In process TGO, degradation was found larger than those of process TSO.

As conclusion, oxide trapping in process TSO; interface trapping in process TGO was measured larger than those of each other. Therefore, from the point of view of reliability and useful lifetime depend on degradation due to oxide and interface trapping mechanism; two different channel doping method have not a superiority to each other.



1. GİRİŞ

Silisyumdioksit, mikroelektronik teknolojisinde kolay uygulanabilir en iyi yalıtkan malzeme olmasına karşın mükemmel değildir. Isıl yolla silisyum malzemenin oksitlenmesi ile elde edilmesi aşamasında veya daha sonra yapıda oluşan bozukluklar veya malzemenin içine giren yabancı atomlar yapının mükemmel olmasını engeller. Oksitin içinde veya silisyum-silisyumdioksit (Si/SiO_2) arayüzeyinde oluşan bozucular (oksit içi ve arayüzey tuzakları) yasak band içine yerleştirdikleri enerji seviyeleri yoluyla elektriksel olarak aktif olurlar ve MOS yapının karakteristiklerini etkileyerek MOS tranzistorların akım taşıma yeteneklerinde bozulmaya; eşik gerilimi, geçiş iletkenliği, eşikaltı eğimi, doyma bölgesi akımı gibi parametrelerin değişmesine sebep olurlar. Bu bozulma, tranzistorların çalışma süresi uzadıkça artarak devam eder ve faydalı ömür olarak tanımlanan süre sonunda tranzistorların kendilerinden beklenen fonksiyonu yerine getirememelerine sebep olabilir. Elektriksel olarak aktif olan bozucuların etkisini minimumda tutmak böylece oluşturulan tümdevre elemanlarının faydalı ömürlerini arttırmak için, bu bozucular algılanabilmeli ve tanımlanabilmeli, fiziksel, kimyasal ve elektronik orijinleri saptanabilmeli, sakınılamadıklarında, yoğunlukları, uygun süreç geliştirilmesi yoluyla azaltılabilmelidir.

MOS tranzistorların üretilmelerinde geçit oksiti büyütme işleminin yöntemi ile bu adımdan hemen önce ve sonra yapılan süreçler oksit kalitesi üzerine büyük etki yaparlar. MOS tranzistorların istenen eşik gerilimi değerlerine sahip olması, tranzistorların kanal bölgelerine uygun iyon implantasyonu yapılarak sağlanmaktadır. Bu iyon implantasyonunun bir ön oksit üzerinden veya doğrudan geçit oksiti üzerinden yapılması durumlarının oksit içi ve arayüzey tuzakları üzerine etkileri, bir başka deyişle; bu iki kanal katkılama yönteminden hangisinin daha uzun faydalı ömüre sahip ve daha güvenilir tranzistorlar üretilmesine imkan vereceği araştırılmalıdır.

Literatürde, katkılanmış Si-SiO_2 yapıların karakteristikleri incelenmiştir. J.Snel [1], alan (acceptor) ve veren (donor) tip katkı atomlarının arayüzeyde ve oksit içinde yük oluşturduğunu belirtmiştir. Snel'e göre fosfor ve arsenik gibi veren

tip atomlar, Bor gibi alan tip atomlardan daha az arayüzey ve oksitçi yük oluşturmaktadırlar. Snel'in yaptığı ölçümlerde, alan tip atomların etkisi 10^{16} cm^{-3} yüzey katkı yoğunluğu üzerinde gözlenirken, veren tip atomların etkisi 10^{17} cm^{-3} yüzey katkı yoğunluğu üstünde gözlenmiştir. Snel, çıplak silisyuma implantasyon ile oksit içinden implantasyonun aynı sonuçları verdiğini belirtmektedir. Ön oksit veya geçit oksitinden implantasyon yapılması durumunun ayrımı yapılmamıştır. M.Y.Ghannam [2], bor katkılı Si-SiO₂ arayüzeylerin karakterizasyonunu incelediği makalesinde; efektif yeniden birleşme merkezleri yoğunluğu (recombination center density) ve yakalama kesiti (capture cross section) çarpımıyla orantılı olan yüzey yeniden birleşme hızının (surface recombination velocity), $3 \times 10^{18} \text{ cm}^{-3}$ yüzey katkı yoğunluğu seviyesine kadar hemen hemen sabit olduğunu, fakat sabit oksit yükünün (fixed oxide charge), yüzey katkı yoğunluğu ile arttığını bunun da bor atomlarının oksit içine kaçma katsayısı (boron segregation), $m=(N_{ox}/N_{si}) > 2-4$ [3] ile açıklanabileceğini ifade etmektedir. G.A.Hawkins [4], fakirleşmiş yüzey üreme akımının (depleted surface generation current), $3 \times 10^{17} \text{ cm}^{-3}$ üzerinde bor yüzey katkı yoğunluğu ile doğru orantılı olarak arttığını, sonuçların önoksit ve geçit oksiti üzerinden implant için aynı olduğunu belirtmekte fakat bu sonuçların tuzak yoğunluklarına bağlanabilmesi için üreme akımı ölçümlerinin yeterli olmayacağını, yakalama kesitlerinin de ayrıca ölçümünün gerektiğini belirtmektedir.

Ayrıca MOS tranzistorlardaki oksit içi ve arayüzey tuzakları, birlikte ve bir ölçme yöntemiyle ayırmsanabilecek şekilde incelenmiştir. Eşikaltı eğim yöntemi [5], 1/f gürültü ölçmeleri [6], yüzer geçit tekniği [7], sabit genlik değişken ofset geçit gerilimli yük pompası tekniği [8], sabit alt seviye değişken genlik yük pompası tekniği [9,10], sabit üst seviye değişken genlik yük pompası tekniği [11], değişken taban kutuplamalı yük pompası tekniği [12], değişken frekans yük pompası tekniği [13], geçitli diyot akım ölçümleri [14], ardışıl taban ve kanal sıcak taşıyıcı enjeksiyon tekniği [15], DC akım-gerilim ölçümleri [16], Fowler-Nordheim elektron tünelleme zorlama yöntemi [17], dual-transistor border-trap tekniği [18] bu amaçla kullanılmıştır. Fakat oksit içi ve arayüzey tuzaklarını birlikte inceleyen bu ve benzeri teknikleri, katkılanmış Si-SiO₂ yapılarında, bilhassa yukarıda bahsedilen iki farklı kanal katkılama yöntemi için kullanan bir yayın bulunamamıştır.

Geçit alanı $100 \mu\text{m}^2$ 'den az olan küçük boyutlu MOS tranzistorlarda bile çok iyi duyarlılıkla ($10^9 \text{ eV}^{-1} \text{ cm}^{-2}$ mertebesinde) tuzak yoğunluklarını incelemeye imkan veren, en doğru ve güvenilir yöntem [19-21] olduğundan yük pompalama prensibini kullanan teknik bu çalışma için araç olarak seçilmiştir. Ayrıca, karmaşık olmayan

ölçü düzenekleriyle ölçüm yapılmasını ve ölçüm sonuçlarının ayrıntılı hesaplama gerektirmeksizin yorumlanmasını sağlaması bu tekniğin avantajıdır.

Bu çalışmada, farklı iki kanal katkılama (eşik ayar implantasyonu) yönteminin arayüzey ve oksit içi tuzaklar üzerine etkileri karşılaştırmalı olarak incelenmiştir. Ayrıca, metalizasyon sonrası düşük sıcaklıkta (450 °C) tavlama işleminin arayüzey tuzakları üzerine etkisi araştırılmıştır.

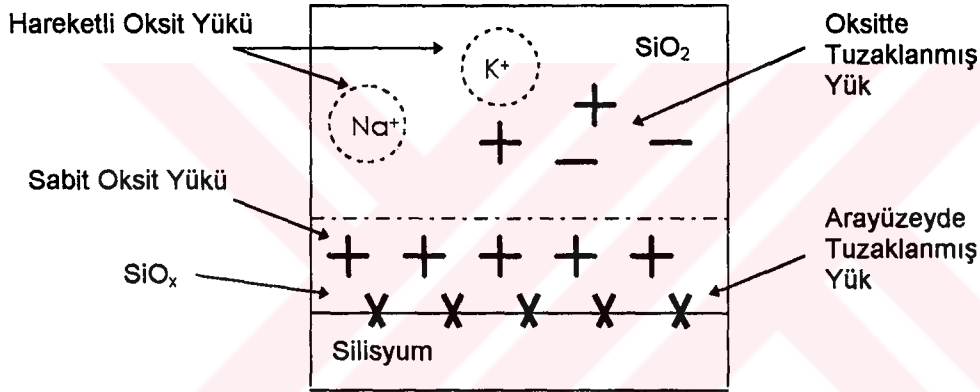
Bölüm.2'de, Si-SiO₂ yapıdaki elektriksel yükler ve tuzaklar ile bunlara ait büyüklükleri ölçüm yöntemleri verilmiştir. Bölüm.3'te, yük pompasının analizi yapılmıştır. Bölüm.4'te, yapılan ölçümler verilmekte, Bölüm.5'te elde edilen sonuçlar yorumlanmaktadır. Yararlanılan kaynakların verildiği bölümden sonra ekler kısmında ölçümlerde kullanılan tümdevre tranzistorların hazırlanması anlatılmış, süreç simülasyonlarından örnekler verilmiştir. Ayrıca, yük pompası tekniğinde bulunan sonuçlara doğrudan etkisi olan efektif geçit alanının hesaplanması için gerekli, efektif kanal boyu ve efektif kanal genişliği değerlerinin elde edilmesinde kullanılan yöntem anlatılmaktadır.



2. ELEKTRİKSEL YÜKLER, TUZAKLAR ve ÖLÇÜM YÖNTEMLERİ

2.1 Isıl Oksitlenmiş Silisyumda Elektriksel Yükler

Isıl oksitlenen silisyumdaki yüklerin gösterimi ile ilgili olarak, Ocak 1978 yılında oluşturulan, IEEE ve Electrochemical Society tarafından desteklenen ve Bruce E. Deal tarafından başkanlık edilen bir komitenin aldığı kararlar genel kabul görmüştür. 1980 yılında yayınlanan bu tavsiye kararlarına göre [22], ısıt oksitlenen silisyumdaki yükler Şekil.2.1'deki gibi ifade edilmektedir.

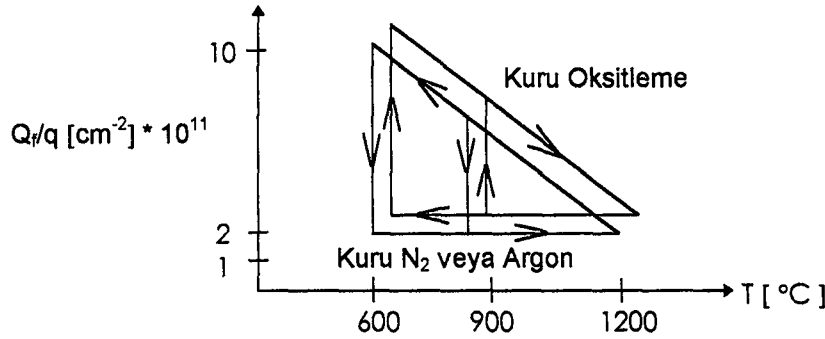


Şekil.2.1 Isıl oksitlenmiş silisyumda yükler.

Sabit Oksit Yükü (Q_f [C/cm^2]) : SiO_2 -Si arayüzeyine 25 Å° ve daha az mesafedeki SiO_2 içinde, yapısal bozukluk veya süreksizlik nedeniyle oluşan **pozitif** yüklerdir. Hareketsizdirler ve elektriksel alan etkisiyle sürüklenmezler. Oksitleme prosesi kaynaklı bu yükün yoğunluğu; oksitleme ortamına, sıcaklığa, ısıt oksitleme sonrası soğutma koşullarına ve silisyum yönelimine bağlıdır. Sabit oksit yükü altında bulunan silisyum ile elektriksel iletişimde (taşıyıcı alışverişinde) bulunmaz. Oksitleme sıcaklığı yükseldikçe Q_f 'nin düştüğü gözlenmiştir. Ayrıca, oksitlenmiş silisyumu azot veya argon ortamında tavlayarak Q_f 'yi düşürmenin mümkün olduğu ve bu işlemlerin geridönüşlü olduğu "Deal üçgeni" ile anlatılmıştır [23] (Şekil.2.2).

Hareketli Oksit Yükü (Q_m [C/cm^2]) : Na^+ , Li^+ , K^+ veya H^+ gibi iyonik katkılar nedeniyle oluşan yüklerdir. 150 °C'den yüksek sıcaklıklarda ve elektriksel alan

altında sürüklenirler. Pozitif iyonların yanısıra, negatif iyonlar ve ağır metaller de hareketli yük oluşturabilirler.



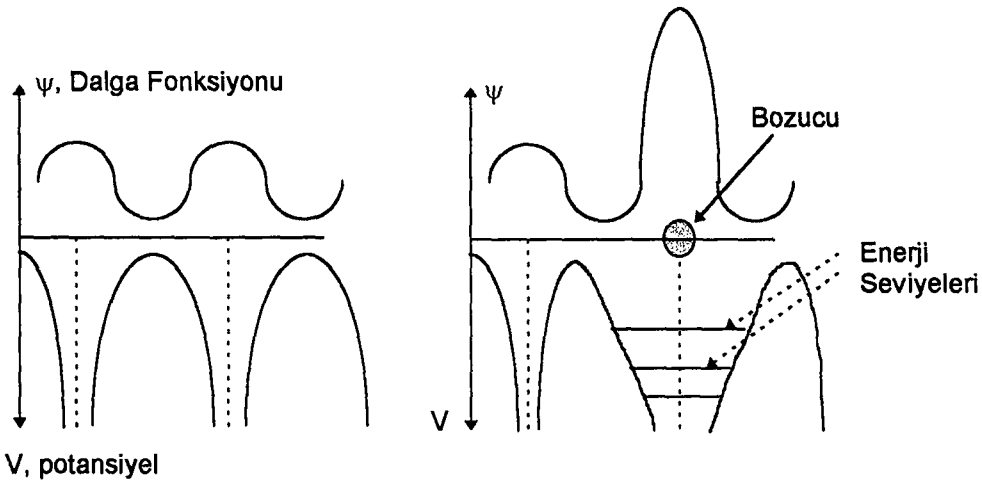
Şekil.2.2 "Deal Üçgeni" ısıtılma işlemi Q_r üzerine etkisinin geridönüşlülüğünü gösterir.

Oksitte Tuzaklanmış Yük (Q_{ot} [C/cm^2]) : Oksit içinde tuzaklanan elektron ve delikler nedeniyle oluşan pozitif veya negatif olabilen yüklerdir. Tabandaki silisyum ile elektriksel iletişimde bulunurlar.

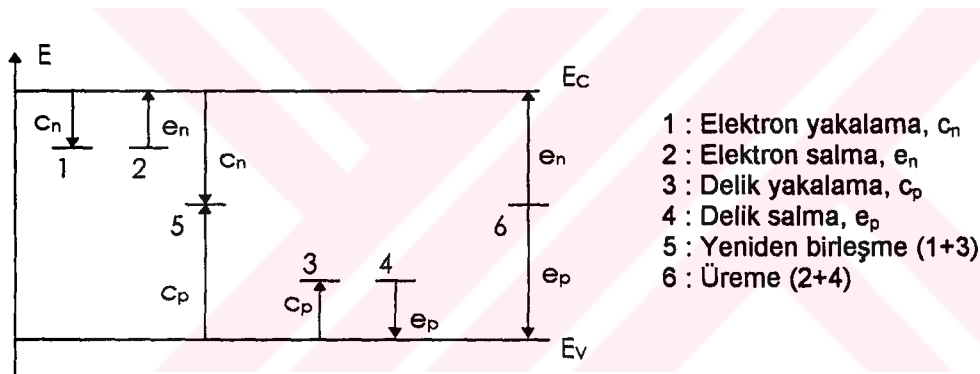
Arayüzeyde Tuzaklanmış Yük (Q_{it} [C/cm^2]) : Si-SiO₂ arayüzeyinde bulunan yükler, Q_r , Q_m yüklerinin aksine, yüzey potansiyelinin değerine bağlı olarak dolup boşalmak suretiyle tabandaki silisyum ile elektriksel iletişimde bulunurlar. Pozitif veya negatif yüklü olabilirler. Yapısal ve oksitleme prosesine bağlı bozucuların yanısıra, metal kirlenmesi veya sıcak taşıyıcı gibi Si-SiO₂ arayüzeyindeki bağ yapısını bozucu etkiler nedeniyle oluşabilirler.

2.2 Oksit İçi Tuzaklar

Oksit içindeki düzensizlikler veya oksit içine giren yabancı atomlar yapının periyodikliğini bozarlar. (Şekil.2.3). Bozucu nedeniyle oluşan enerji seviyeleri SiO₂ iletim bandında ve/veya valans bandında ve/veya bunların arasında yasak band içinde olabilir. Yasak band içinde oluşan enerji seviyeleri, oksit içine enjekte edilen serbest taşıyıcılar için, **yeniden birleşme** veya **tuzaklama** merkezi olurlar. Eğer oluşan enerji seviyesi, taşıyıcıları hem iletim hem de valans bandı ile değiş-tokuş edebiliyorsa, yeniden birleşme merkezi olarak çalışır. Genellikle yasak bandın ortasında oluşan enerji seviyeleri bu şekilde davranırlar. Eğer oluşan enerji seviyesi, taşıyıcıları sadece tek bir band ile değiş-tokuş edebiliyorsa tuzaklama merkezi olarak çalışır. İletim veya valans bandına yakın oluşan bozucu enerji



Şekil.2.3 Bozucu nedeniyle SiO₂ yapının periyodikliğinin bozulması

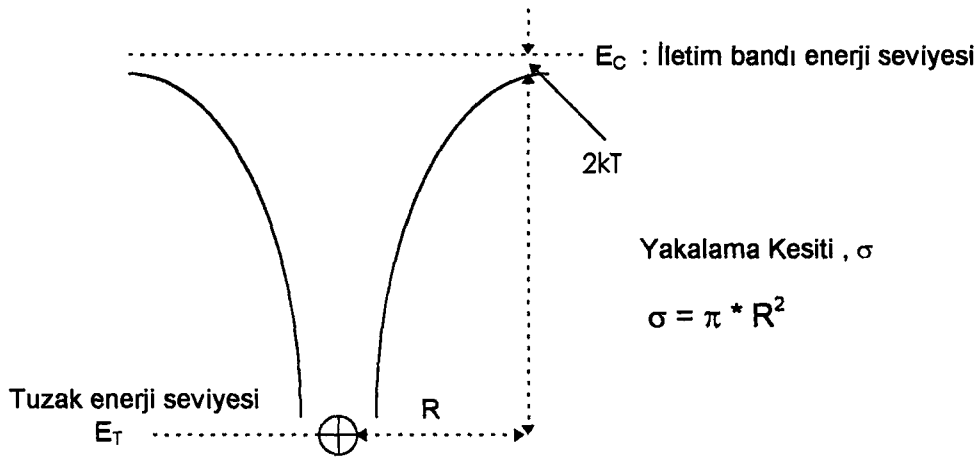


Şekil.2.4 Tuzaklarda oluşan 4 Temel taşıyıcı hareketi ile yeniden birleşme ve üreme

Bir tuzak değişik şekillerde karakterize edilebilir.

- Tuzak yoğunluğu ile tanımlanabilir. Birim hacim başına tuzak sayısı veya uzaysal tuzak yoğunluğu da denebilir. Birimi [cm^{-3}] olarak alınır.
- Tuzakladığı taşıyıcı cinsi ile tanımlanabilir. *Elektron tuzağı* veya *delik tuzağı* olarak anılır.
- İyonizasyon enerjilerine göre; *derin* veya *sığ* olarak adlandırılabilir.
- Taşıyıcıyı tuzaklama yeteneğinin bir ölçüsü olan yakalama kesiti ile ilgili olarak *çekici*, *itici* veya *nötr* olarak tanımlanabilir.

Bir tuzanın yakalama kesiti, bozucunun SiO_2 yapının periyodikliğini bozarak oluşturduğu yeni potansiyel kuyusu yardımıyla tanımlanabilir [25,sf:22](Şekil.2.5).

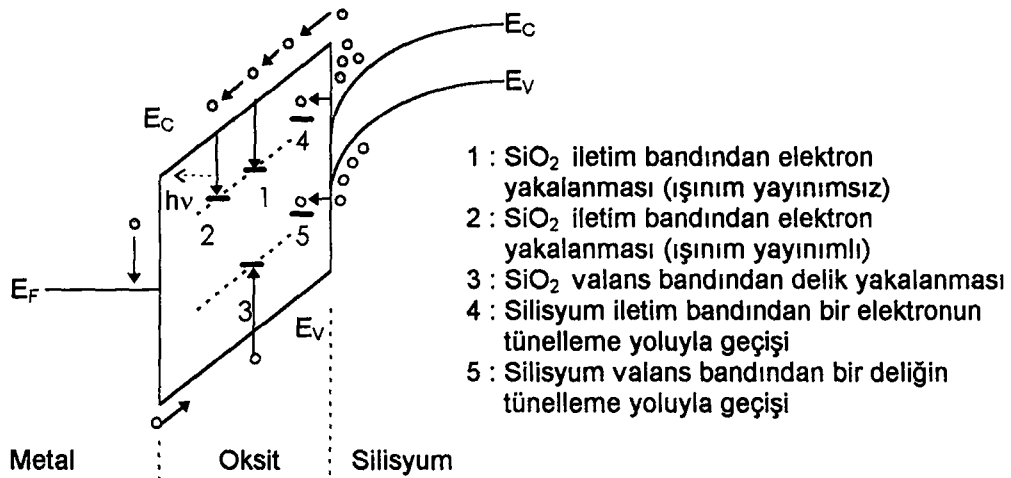


Şekil.2.5 Potansiyel kuyusu kavramıyla Tuzak Yakalama Kesiti tanımlanması

MOS yapıda muhtemel oksit içi tuzaklama mekanizmaları şunlardır.

- Silisyum taban veya metal tarafından SiO_2 iletim bandına enjekte edilen ve 20 ila 40 cm^2/Vs mobiliteye sahip bir serbest elektron bir tuzağın potansiyel kuyusuna düşebilir. Elektronun mobilitesi arttıkça tuzak tarafından yakalanma olasılığı azalır.
- Silisyum iletim bandındaki bir elektron, Si-SiO₂ arayüzeyine yakın bir tuzağa tünelleme ile düşebilir. Bu olay arayüzeydeki tuzak enerji seviyeleri yardımıyla olabilir.
- SiO₂ valans bandındaki serbest delikler tuzaklanabilirler.
- Silisyum valans bandındaki delikler tünelleme yoluyla tuzaklanabilirler.

Bu mekanizmalar Şekil.2.6' daki gibi sembolize edilebilir. [25,sf:25]



Şekil.2.6 MOS yapıda çeşitli tuzaklama mekanizmaları

2.3 Arayüzey Tuzakları

Sınırlı boyutta bir kristalin yüzeyine yakın bölgelerde yeni enerji seviyelerinin oluştuğu ilk olarak 1932 yılında I.Tamm tarafından ortaya atılmış ve bunlara yüzey seviyeleri denmiştir. 1947 yılında J.Bardeen metal-yarıiletken kontak yapılarını incelerken elde ettiği sonuçları bu yüzey seviyeleri kavramıyla açıklamıştır. Bu seviyelerin deneysel kanıtlanması ve yoğunluklarının ilk olarak ölçümü Shockley ve Brattain tarafından 1947 yılında çıplak silisyum yüzeyler üzerinde yapılmıştır. Shockley ve Pearson ince kuartz plakayı dielektrik olarak kullanarak ilk MOS yapıyı oluşturmuşlar ve yayınlarında MOS yapıdaki yüzey seviye etkilerinden bahsetmişlerdir [25,sf:181]. Yüzey seviyeleri, arayüzey seviyeleri, yüzey tuzakları, arayüzey tuzakları deyimleri birbirleri yerine kullanılagelen kavramlardır.

Arayüzey tuzaklarının özellikleri aşağıdaki gibi özetlenebilir.

- Bir taşıyıcıyı tuzaklayabilir (yakalayabilir) veya salabilirler.
- Denge durumlarını bozan etkiye cevap verme sürelerine göre; hızlı veya yavaş arayüzey tuzakları olarak isimlendirilebilirler.
- Enerji seviyeleri yasak bant içinde, iletim bandında veya valans bandında olabilir. Fakat sadece yasak bant içinde bulunan enerji seviyeleri uygulanan gerilimle dolup boşalma (elektriksel olarak yüklenip deşarj olma) olasılığına sahiptir. Bu taşıyıcı değiş-tokuşu kapasitif etki olarak görünür ve MOS yapının elektriksel davranışını değiştirir.
- Elektron saldıgı zaman pozitif yüklenen tuzaklara **Veren-tip Tuzaklar** denir. Bunlar yüksüz veya pozitif yüklü olabilirler. Isıl dengede, E_T tuzak enerji seviyesi, Fermi enerji seviyesi, E_F 'nin üzerinde olan veren-tip tuzak yükü pozitif'tir. $E_T < E_F$ ise tuzak yüksüz'dür.
- Elektron aldığıda negatif yüklenen tuzaklara **Alan-tip Tuzaklar** denir. Bunlar yüksüz veya negatif yüklü olabilirler. Tuzak enerji seviyesi, Fermi seviyesinin üzerinde olduğunda tuzak yüksüz'dür. Eğer $E_T < E_F$ ise tuzak yükü negatif'tir.
- Birim enerji ve birim alan başına arayüzey tuzak yoğunluğu, şöyle tanımlanır. [26, sf:379].

$$D_{it} = \frac{1}{q} \frac{dQ_{it}}{dE} \quad [\text{cm}^{-2}\text{eV}^{-1}] \quad (2.1)$$

Arayüzey tuzaklarında taşıyıcı yakalama ve salma hareketleri; Shockley-Read-Hall [27] tarafından açıklanan üreme ve yeniden birleşme teorisi ifadelerinin arayüzey tuzaklama mekanizmaları için genişletilmesi yoluyla formülize edilebilir.

Delik yakalama hızı,

$$R_{hc} = c_p p_s n_{it} = v_{th} \sigma_p p_s n_{it} \quad [\text{cm}^{-2} \text{V}^{-1} \text{s}^{-1}] \quad (2.2)$$

Delik salma hızı,

$$R_{he} = e_p (N_{it} - n_{it}) = v_{th} \sigma_p p_t (N_{it} - n_{it}) \quad [\text{cm}^{-2} \text{V}^{-1} \text{s}^{-1}] \quad (2.3)$$

Elektron yakalama hızı,

$$R_{ec} = c_n n_s (N_{it} - n_{it}) = v_{th} \sigma_n n_s (N_{it} - n_{it}) \quad [\text{cm}^{-2} \text{V}^{-1} \text{s}^{-1}] \quad (2.4)$$

Elektron salma hızı,

$$R_{ee} = e_n n_{it} = v_{th} \sigma_n n_t n_{it} \quad [\text{cm}^{-2} \text{V}^{-1} \text{s}^{-1}] \quad (2.5)$$

bu denklemlerde,

c_p : delik yakalama katsayısı (hole capture coefficient),

$$c_p = \sigma_p v_{th} \quad [\text{cm}^3 \text{s}^{-1}]$$

e_p : delik salma katsayısı (hole emission coefficient),

$$e_p = \sigma_p v_{th} p_t \quad [\text{s}^{-1}]$$

c_n : elektron yakalama katsayısı (electron capture coefficient),

$$c_n = \sigma_n v_{th} \quad [\text{cm}^3 \text{s}^{-1}]$$

e_n : elektron salma katsayısı (electron emission coefficient),

$$e_n = \sigma_n v_{th} n_t \quad [\text{s}^{-1}]$$

p_s : Si-SiO₂ arayüzeyindeki serbest delik yoğunluğu [cm^{-3}],

n_s : Si-SiO₂ arayüzeyindeki serbest elektron yoğunluğu [cm^{-3}],

$n_t = n_i \exp((E_T - E_i) / kT) \quad [\text{cm}^{-3}]$,

$p_t = n_i \exp((E_i - E_T) / kT) \quad [\text{cm}^{-3}]$,

$v_{th} = 10^7 \text{ [cm/s]}$: taşıyıcıların ısı hızı ,

σ_p : delikler için tuzakların yakalama kesiti [cm^2],

σ_n : elektronlar için tuzakların yakalama kesiti [cm^2],

E_T : tuzak enerji seviyesi [eV],

E_{F1} : has fermi enerji seviyesi [eV],

$n_i = 1.54 \cdot 10^{10}$ [cm^{-3}] (30 °C'da), has taşıyıcı yoğunluğu,

N_{it} : E_T enerji seviyesinde mevcut tuzak yoğunluğu [$\text{cm}^{-2} \cdot \text{V}^{-1}$],

n_t : elektronlar tarafından doldurulmuş tuzak yoğunluğu [$\text{cm}^{-2} \cdot \text{V}^{-1}$],

$k = 8.63 \cdot 10^{-5}$ [eV/K] : Boltzman sabiti, T: sıcaklık [K], olarak tanımlanmıştır.

Elektronlarla dolu tuzak yoğunluğu değişim hızı

$$\frac{dn_{it}}{dt} = R_{ec} - R_{ee} + R_{he} - R_{hc} \quad [\text{cm}^{-2} \text{V}^{-1} \text{s}^{-1}] \quad (2.6)$$

veya (2.2)-(2.6) ifadeleri yeniden düzenlenerek,

$$\frac{dn_{it}}{dt} = F \frac{N_{it}}{\tau} - \frac{n_{it}}{\tau} \quad [\text{cm}^{-2} \text{V}^{-1} \text{s}^{-1}] \quad (2.7)$$

şeklinde yazılabilir. (2.7) denkleminde, tuzaklama zaman sabiti, τ ve tuzakların doluluk olasılık fonksiyonu, F aşağıdaki gibi tanımlanmaktadır [28,29].

$$\tau = \frac{1}{v_{th}(\sigma_n(n_s + n_t) + \sigma_p(p_s + p_t))} \quad [\text{s}] \quad (2.8)$$

$$F = \frac{\sigma_n n_s + \sigma_p p_s}{(\sigma_n(n_s + n_t) + \sigma_p(p_s + p_t))} \quad (2.9)$$

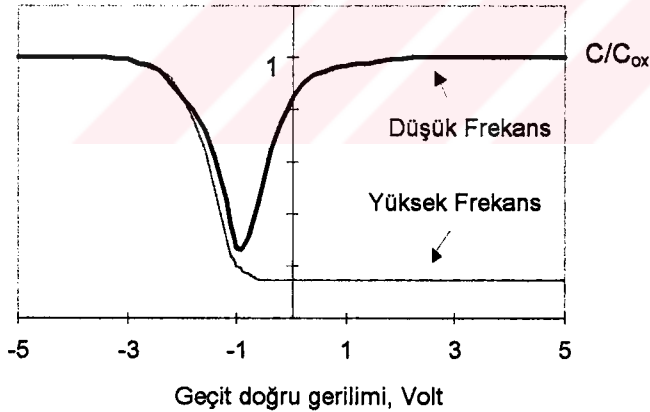
2.4 Tuzakların Karakterizasyonu İçin Kullanılan Yöntemler

Tuzak parametrelerini ölçmek için kullanılan yöntemlerde genel olarak, tuzakların sahip oldukları enerji seviyelerini işgal durumları; ya taşıyıcılarla (elektron veya deliklerle) doldurma veya taşıyıcıları boşaltma suretiyle değiştirilerek, ölçüm yapılan elemanın akım-gerilim (I-V) veya kapasite-gerilim (C-V) eğrilerinde bu değişimin oluşturduğu farklar gözlenmektedir. Doldurma veya boşaltma amacına hizmet edecek taşıyıcıların uyarılması, elektriksel, ısıtma veya optik yolla yapılabilir.

2.4.1 Kapasite-Gerilim (C-V) yöntemi

Bu yöntemde tuzak büyüklüklerini çıkarmak için MOS yapının kapasite-gerilim eğrileri kullanılır [30-48]. Yüksek-düşük frekans yönteminde C-V eğrileri hem yüksek hem düşük frekanslı geçit gerilimi için çıkarılır. Aynı geçit kutuplama doğru gerilimine karşı düşen iki farklı kapasite değeri, arayüzey tuzak yoğunluğunu hesaplamak için kullanılır.

Yüksek frekanslarda, kullanılan geçit geriliminin genliği 10-15 mV, frekansı 100KHz-1MHz'dir. MOS yapının kapasitesini yığılma, fakirleşme, evirtim gibi farklı rejimlerde ölçebilmek için bu değişken geçit gerilimi, bir doğru gerilimin üstüne bindirilir. Frekans, arayüzey tuzaklarının ve evirtim rejiminde azınlık taşıyıcıların geçit gerilimi değişimlerine cevap veremeyeceği kadar yüksek seçilmektedir. ($1/(2\pi f) \ll \tau_R$: 'azınlık taşıyıcı cevap süresi' ve $1/(2\pi f) \ll \tau_H$: 'en hızlı tuzak cevap süresi'). Böylece evirtim rejiminde azınlık taşıyıcı ve arayüzey yükleri ilave kapasite oluşturmazlar. Düşük frekansta ölçmede ise frekans, $1/(2\pi f) \gg \tau_R$ ve $1/(2\pi f) \gg \tau_Y$: 'en yavaş tuzak cevap süresi' olacak şekilde 1Hz civarında seçilir. Bu kadar düşük frekanslarda kapasite ölçümü zor olduğu için uygulanan doğru gerilim zamanla değiştirilerek $I = dQ/dt = (dQ/dV)(dV/dt) = C \cdot dV/dt$ uyarınca MOS yapıdan akan yerdeğiştirme (displacement) akımı ölçülerek kapasite hesaplanır.



Şekil.2.7 MOS yapıda düşük ve yüksek frekans kapasite-gerilim eğrisi (p-taban)

Bu ölçümler yardımıyla arayüzey tuzak yoğunluğu,

$$N_{it} = \frac{C_{ox}}{q} \left(\frac{C_{LF}/C_{ox}}{1 - C_{LF}/C_{ox}} - \frac{C_{HF}/C_{ox}}{1 - C_{HF}/C_{ox}} \right) \quad [\text{cm}^{-2} \cdot \text{V}^{-1}] \quad (2.10)$$

formülüyle elde edilir. Bu formülde N_{it} , birim alan ve birim enerji aralığındaki arayüzey tuzak yoğunluğu D_{it} cinsinden, $N_{it} \equiv \int D_{it} dE$ şeklinde ifade edilir.

C_{LF} : düşük frekansta ölçülen birim alan MOS kapasitesi [F/cm^2],

C_{HF} : yüksek frekansta ölçülen birim alan MOS kapasitesi [F/cm^2],

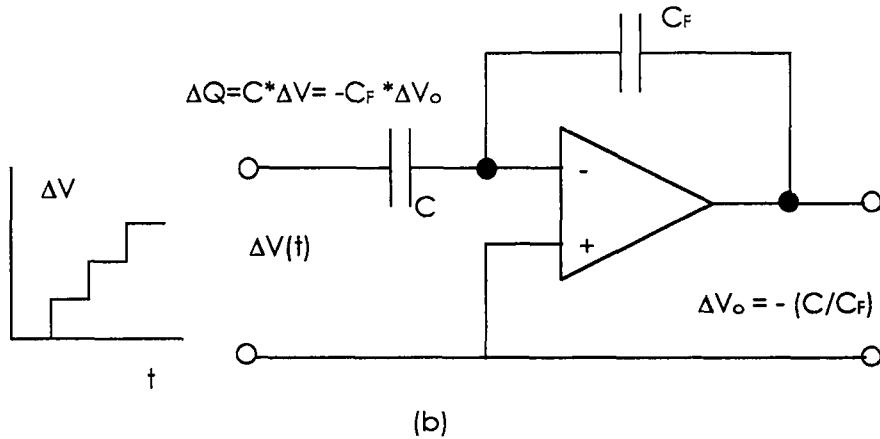
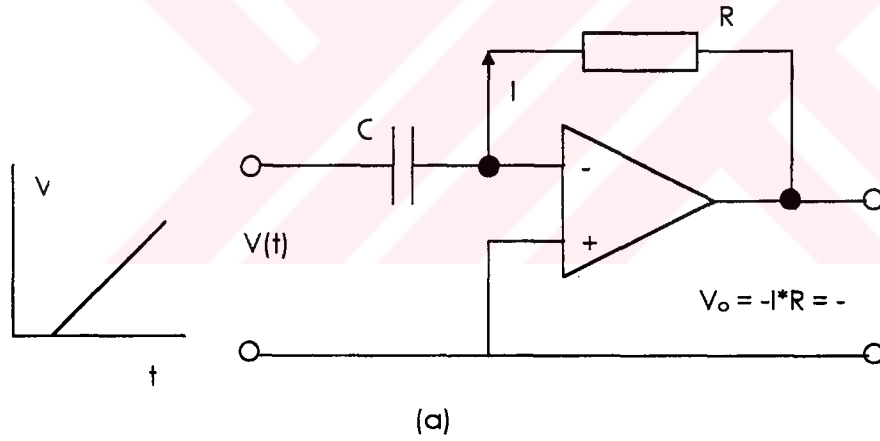
$C_{ox} = \epsilon_{ox} / T_{ox}$: birim alan oksit kapasitesi [F/cm^2],

$\epsilon_{ox} = 3.45 \cdot 10^{-13}$: oksit dielektrik katsayısı [F/cm],

T_{ox} : MOS yapıdaki SiO_2 kalınlığı [cm],

q :elektron yükü [C] dür.

C.N. Berglund sadece düşük frekans kapasite ölçümlerini yaparak sonuçları ideal MOS denklemlerini kullanarak elde ettiği kapasite değerleriyle karşılaştırmak suretiyle N_{it} hesabı yapmıştır. L.M. Terman sadece yüksek frekans kapasite ölçümleri ve ideal MOS denklemleriyle N_{it} hesaplamıştır. P.V. Gray ve D.M. Brown yüksek frekans kapasite ölçümlerini değişik sıcaklıklarda yaparak arayüzey tuzak yoğunluğu bulmuşlardır. Düşük akımlarda kapasite ölçümünde kullanılan yerdeğiştirme akımının kaçak akımlar nedeniyle hatalı sonuçlar verebileceği öngörülerek, akım yerine yük ölçümü öngörülmüştür. Bu yöntemde basamaklı geçit geriliminin, ölçülen MOS yapıda oluşturacağı yük değişiminin bir başka referans kapasitede oluşturacağı gerilim farkı ölçülmektedir (Şekil.2.8) [24, sf:273].



Şekil.2.8 Sözde-statik (quasi-static) kapasite ölçümü , C:ölçülen kapasite
(a)akım-gerilim (b) yük-gerilim ölçme tekniği

Düşük frekansta veya yüksek frekansta elde edilen kapasite-gerilim (C-V) eğrileri arayüzey tuzaklarının yanısıra oksit-içi tuzaklarının, sabit oksit yükünün veya hareketli oksit yükünün incelenmesi için de kullanılır.

Sabit oksit yükü için yüksek frekans C-V eğrisinde düzbant kapasitesine (C_{FB}) karşı düşen gerilim, V_{FB} kullanılır. Birim alandaki sabit oksit yükü, $Q_f = (\phi_{MS} - V_{FB}) \cdot C_{ox}$ olarak hesaplanır. C_{FB} 'nin bulunması için taban katkı yoğunluğu bilinmelidir. Uniform olmayan taban katkı yoğunlukları için C_{FB} nin bulunması hatalı olabilir. Bilgisayar destekli nümerik yöntemler önerilmiştir. ϕ_{MS} , metal-silisyum iş fonksiyonunun da bilinmesi veya belirlenmesi gerekir. ϕ_{MS} kullanmak yerine farklı oksit kalınlıklarında üretilmiş kapasiteler için V_{FB} bulunarak, $V_{FB} - T_{ox}$ eğrisi eğimi olan Q_f / ϵ_{ox} ile Q_f hesaplanabilir. $V_{FB} - T_{ox}$ eğrisinin V_{FB} eksenini kestiği nokta ϕ_{MS} olacaktır. Farklı kalınlıkta oksit kullanma yöntemi, üretilen bütün kapasitelerin aynı Q_f sahibi olduğu kabulüne dayanır.

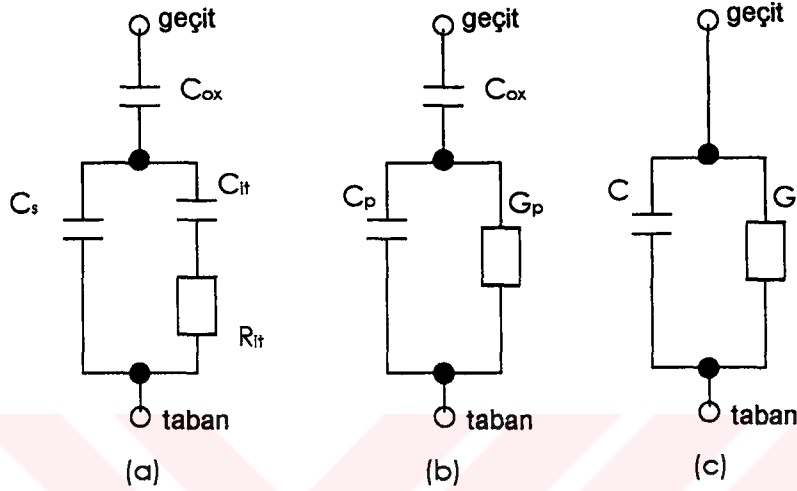
Oksitte tuzaklanmış yük Q_{ot} , ölçülen yüksek frekans C-V eğrisinin $Q_{ot}=0$ alınan ideal C-V teorik eğriye göre gerilim ekseninde oluşturduğu kayma ile hesaplanır. $Q_{ot} = - \Delta V_{FB} \cdot C_{ox}$.

Yüksek frekans C-V eğrisi yüksek sıcaklık ve yüksek kutuplama gerilimi zorlaması sonrasında ölçüldüğünde, eğri gerilim ekseninde ötelenir. Hareketli oksit yükü Q_m , eğrinin bu ötelenme miktarı yardımıyla hesaplanabilir. ($Q_m = - \Delta V_{FB} \cdot C_{ox}$). Yüksek sıcaklık (200-300 °C), ve (oksit içinde 10^6 V/cm elektriksel alan oluşturacak kadar) yüksek gerilim, hareketli yüklerin sürüklenmelerini kolaylaştırmak için kullanılır. Sıcaklık-gerilim zorlama süresi 10 dakika civarındadır. $C_{HF}-V$ ölçümü, yapı soğutulduktan sonra yapılır. ΔV_{FB} 'nin hesaplanacağı ikinci $C_{HF}-V$ ölçümü, zorlama geriliminin polaritesi (oksit içindeki elektriksel alanın yönü) değiştirildikten sonra, ısıtılıp, beklenip, soğutulduktan sonra yapılır. $C_{HF}-V$ eğrisinin ölçüldüğü iki zorlamadan birisinde yükler Si-SiO₂ arayüzeyinde, diğerinde geçit-SiO₂ arayüzeyinde toplanmaktadır. Bu ölçme yönteminde arayüzey tuzak yükleri nedeniyle $C_{HF}-V$ eğrisinin distorsiyona uğraması ve paralel ötelenenin görülememesi söz konusudur.

$C_{HF} - V$ ölçmelerinin yanısıra Q_m ölçmek için sözde-statik (düşük-frekans akım ölçmeli) C-V eğrisi de kullanılır. Bu eğri yüksek sıcaklıkta çıkarılır. Geçite uygulanan doğru gerilimin değişim hızı, hareketli yüklerin sürüklenmesine imkan verecek kadar düşük seçilir (tipik olarak 50 mV/s). Sürüklenmenin yönünü değiştirmek için eğimin yine düşük olduğu üçgen dalga kullanılır (TVS). Bu yöntem ile ölçülen akımın sıcaklık nedeniyle değişim miktarı Q_m hesabında kullanılır.

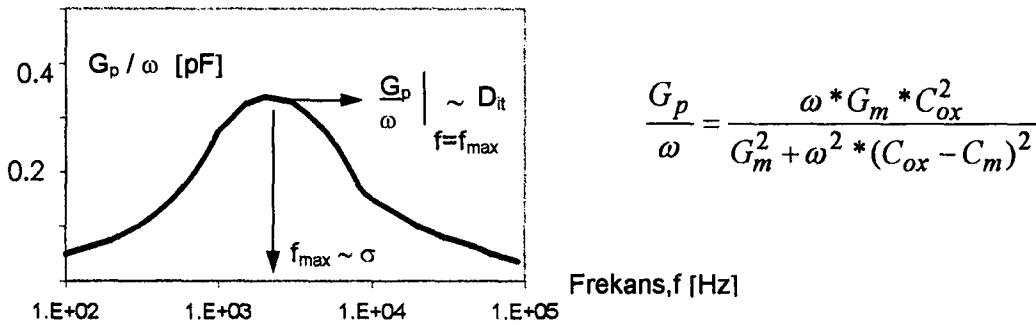
2.4.2 İletkenlik yöntemi

Bu yöntem, bir MOS kapasite yapısının eşdeğer paralel iletkenliğinin, kutuplama gerilimi ve frekansla değişiminin ölçümüne dayanır [49-53]. MOS kapasite yapısının eşdeğer devresi Şekil.2.9'daki gibi gösterilebilir. Seri bağlı C_{it} ve R_{it} arayüzey tuzaklarının zaman sabitini modeller. C_s silisyum yüzeyindeki yükün gerilimle değişimi ile oluşan kapasitedir.



Şekil.2.9 MOS kapasite yapısının eşdeğer devreleri (a) ayırık elemanlı (b) C_{ox} hariç paralel eşdeğerli (c) geçit-taban uçlarından ölçülen C_m ve G_m

Nicollian ve Goetzberger tarafından 1967'de önerilen bu yöntem arayüzey tuzak yoğunluğunun yanısıra çoğunluk taşıyıcıların yakalama kesitlerinin de ölçülmesine imkan verir. Yaklaşık 50 mV genlikli 100 Hz-1MHz frekanslı değişken gerilim, geçit terminaline, kutuplama amacıyla kullanılan bir doğru gerilimin üstüne bindirilerek uygulanır. Ölçülen G_m ve C_m kullanılarak hesaplanan $(G_p / \omega) - f$ eğrisi çizilir. ($\omega=2\pi f$) (Şekil.2.10) [25, sf:322].



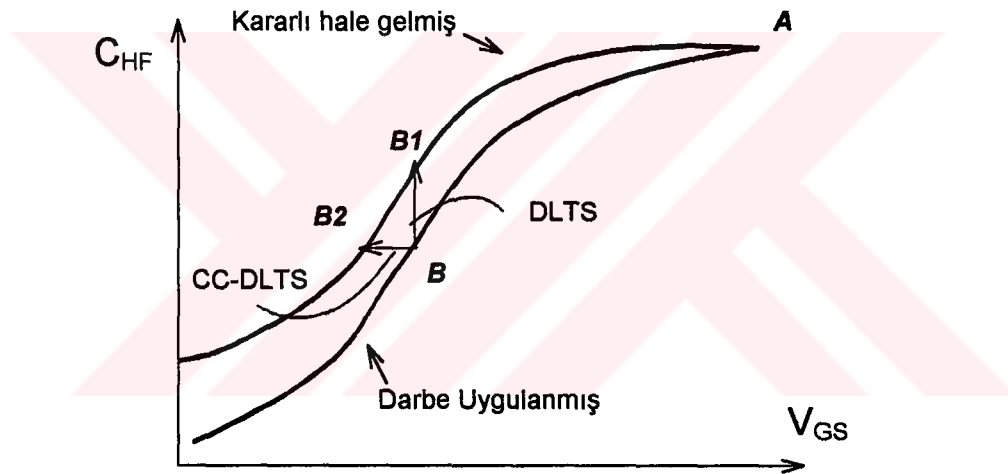
Şekil.2.10 İletkenlik yönteminde ölçüm sonuçları kullanılarak hesapla çizilen $G_p/\omega - f$ eğrisi

Bu eğrinin maksimum değeri yardımıyla arayüzey tuzak yoğunluğu D_{it} , maksimum değerini aldığı f_{max} değeri yardımıyla çoğunluk taşıyıcı arayüzey tuzak yakalama kesiti σ hesaplanır [24,sf:276].

2.4.3 Derin-seviye Geçici-hal Spektroskopisi (DLTS)

Enerji seviyeleri yasak band aralığının ortalarında bulunan üreme-yeniden birleşme merkezleri, derin enerji seviyeli tuzaklar olarak isimlendirilirler. Bu tip tuzaklar yarıiletkende fazlalık taşıyıcıların bulunduğu anlarda (örneğin MOS kapasite yapısında yığılma rejiminde) yeniden birleşme merkezi olarak, taşıyıcı yoğunluğunun ısı-denge değerinin altına düştüğü anlarda (örneğin tıkama yönünde kutuplu p-n jonksiyonunun fakirleşmiş bölgesinde veya MOS kapasite yapısının fakirleşme rejiminde) üreme merkezi olarak çalışırlar ve yapıyı ısı-denge konumuna doğru götürürler.

1974 yılında D.V. Lang [54] tarafından, derin seviye tuzakları schottky diyotlarında ve p-n jonksiyonlarında incelemek üzere önerilen bu yöntem bazı değişikliklerle MOS yapıda arayüzey tuzaklarını incelemek için de kullanılmıştır. [54-60].



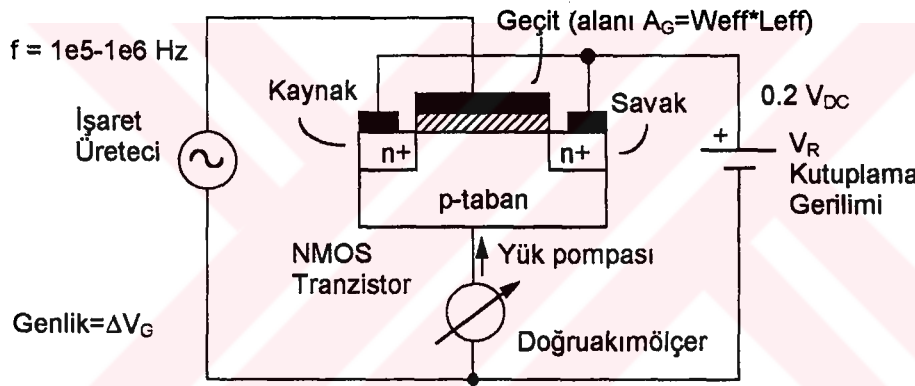
Şekil.2.11 DLTS yönteminde ölçülen C_{HF} - V_{GS} eğrileri (n-taban)

Ölçümde izlenen yol Şekil.2.11 yardımıyla açıklanabilir. MOS yapı 20 μs veya daha uzun süreyle yığılma rejiminde tutulur. Bu durum C_{HF} - V_{GS} eğrisinde 'A' noktasına karşı düşer. Kutuplama gerilimi yapıyı hızlıca fakirleşmeye sürecektir. Bu ani darbe ile C_{HF} - V_{GS} eğrisinde 'B' noktasına gelinir. Yığılma rejiminde elektronla doldurulan arayüzey tuzaklarının, kendi elektron salma zaman sabitleri ile belirlenen süre sonra (1-100 ms), tuzakladıkları elektronları salarak kararlı hal durumlarına dönmesi beklenir. Eğer bu geçici rejim (tuzakların boşalması) süresince geçit gerilimi sabit tutulursa, ölçülen kapasite değişir ve C_{HF} - V_{GS} eğrisinde 'B1' noktasına gidilir (standart DLTS tekniği), eğer ölçülen kapasite sabit tutulacak şekilde uygun geribesleme kullanılırsa, kararlı hale ulaşıldığında

uygulanan gerilim $C_{HF} - V_{GS}$ eğrisinde 'B2' noktasına karşı düşen gerilim olacaktır. (Constant capacitance, CC-DLTS tekniği). Bu işlem 50K-300K sıcaklık aralığında tekrarlanarak $\Delta V_{GS}-T$ veya $\Delta C_{HF}-T$ eğrisi çizilirse arayüzey tuzak yoğunluğunun tuzak enerji seviyelerine bağımlılığı elde edilebilir [24, sf:332].

2.4.4 Yük Pompası (Charge Pumping-CP) Yöntemi

Yük pompalama olayı ilk olarak Brugler ve Jespers [61] tarafından 1969'da açıklanmıştır. Daha sonra, yük pompalama prensibini kullanan çeşitli teknikler geliştirilmiştir. Test elemanı olarak MOS tranzistor veya geçitli diyot kullanılan bu yöntemde temel olarak Şekil.2.12'deki gibi bir ölçü düzeneği ile ölçümler yapılır. Geçit terminaline uygulanan işaret kare dalga, üçgen dalga, 2 veya 3 seviyeli darbe katarı olabilir. (Sinüs işareti kullanılan örnekte vardır [62]).



Şekil.2.12. Yük pompası tekniği temel ölçü düzeneği

İşaret üreteci geçite uygulanmadığı zaman doğruakımölçer, kutuplama gerilimi, V_R nedeniyle akan p-n jonksiyonu tıkama yönü akımını gösterir. MOS yapıyı bir yönde evirtime diğer yönde yığılmaya sürecektir. İşaret, tranzistorun geçit terminaline uygulandığı zaman doğruakımölçerde ölçülen akım (yeteri kadar yüksek frekanslı işaret uygulandığında) yön değiştirir. Büyüklüğü geçite uygulanan işaretin frekansı ile artan bu akım 'yük pompası akımı' olarak adlandırılır. Yük pompasının çalışması Bölüm.3'te daha ayrıntılı açıklanmaktadır.

Geçite üçgen dalga uygulanıp işaretin frekansının değiştirilmesi yöntemiyle ortalama arayüzey tuzak yoğunluğu ve tuzak yakalama kesiti şöyle bulunur [63].

Uygulanan işaretin frekansı, f ; bu frekansta doğruakımölçerde ölçülen akım, I_{cp} olsun. Frekans 100KHz-1MHz aralığında değiştirilip karşı düşen akımlar ölçülür ve $(I_{cp} / f) - (\log f)$ eksenli grafikte işaretlenirse bir doğru üzerine düştükleri görülür. Bu doğrunun eğimi, S ; doğrunun $(\log f)$ eksenini kestiği noktaya karşı düşen frekans, f_o olsun. Birim alan ve birim enerji başına arayüzey tuzak yoğunluğu ortalaması, $\overline{D_{it}}$; yakalama kesitleri geometrik ortalaması σ aşağıdaki formüllerle hesaplanır.

$$D_{it} = \frac{S(\log e)}{2qkTA_G} \quad [\text{cm}^{-2} \text{ eV}^{-1}] \quad (2.11)$$

$$\sigma = \frac{2|\Delta V_G|f_o}{v_{th}n_i|V_{FB} - V_T - V_R|} \quad [\text{cm}^2] \quad (2.12)$$

Bu denklemlerde,

V_T : Eşik gerilimi [Volt], V_{FB} : Düzbant gerilimi [Volt],

ΔV_G : Geçite uygulanan işaretin tepeden tepeye genliği [Volt],

A_G : Efektif geçit alanı [cm^2] olarak kullanılmıştır.

$\sigma = \sqrt{\sigma_n \sigma_p}$ olarak tanımlanmıştır.

Literatürde, temel olarak yük pompası prensibini kullanan çeşitli yöntemler önerilmiştir [63-86]. Çilingiroğlu [64,65] "Pulse Interface Probing" yöntemini, Wachnik [66-67] "Small Rectangular Pulse" yöntemini, Saks-Ancona [68-69], Tseng [70], Chung [71] ve Hofmann [72] "3-seviye yük pompası" yöntemini, Kejhar [73] "Double-Pulse" yük pompası yöntemini, Mitra [74] "Charge Extraction" tekniğini, arayüzey tuzak yoğunluğu ve tuzak yakalama kesitlerini bulmak için kullanmışlardır.

2.4.5 MOSFET eşikaltı eğim yöntemi

Bu yöntemde MOS tranzistorun eşik geriliminden daha düşük geçit gerilimlerinde akıttığı savak-kaynak akımı kullanılır. Savak gerilimi $V_{DS} \cong 50\text{mV}$ 'ta sabit tutulup, V_{GS} değiştirilerek çizilen $(\log I_{DS}) - V_{GS}$ doğrusunun eğimi, Z ise; birim alan ve birim potansiyel başına arayüzey tuzak yoğunluğu,

$$N_{it} = \frac{1}{q} \left[\left(\frac{q}{2.3ZkT} - 1 \right) C_{ox} - C_B \right] \quad [\text{cm}^{-2} \text{ V}^{-1}] \quad (2.13)$$

olarak hesaplanır [87]. Burada

C_B : Geçit-altı fakirleşmiş bölge birim alan kapasitesi [F/cm^2], ($\phi_s = 3\phi_{FB} / 2$ iken),

ϕ_s : Yüzey potansiyeli [V],

$\phi_{FB} = (E_{Fi} - E_{FB}) / q$: Fermi Potansiyeli [V]

E_{FB} : Silisyum tabandaki fermi enerji seviyesidir.

Eğer, geçit $|V_{GS}| < |V_T|$ olacak şekilde kutuplanıp, V_{DS} değiştirilirse, maksimum savak/kaynak akımı $I_{DS \max}$ ve $(I_{DS} / I_{DS \max}) = 0.632$ olan savak gerilimi değeri V_{De} olursa,

$$N_{it} = \frac{C_{ox} + C_B}{q} \left(\frac{qV_{De}}{kT} - 1 \right) \quad [\text{cm}^{-2} \text{ V}^{-1}] \quad (2.14)$$

olarak bulunur [87].

2.4.6 Tuzakları incelemek için kullanılan diğer yöntemler

1/f gürültüsü: Serbest taşıyıcıların arayüzey ve oksitiçi tuzak hareketlerinin MOS tranzistorlarda 1/f gürültüsüne sebep olduğu bildirilmiş ve tuzak yoğunluğu ile gürültü ölçümüyle elde edilen sonuçlar arasındaki korelasyon gösterilmiştir [88-90].

Raslantısal telgraf sinyali (**Random Telegraph Signal-RTS**): $V_{DS} = 100\text{mV}$, $V_{GS} = \text{sabit}$ (genellikle V_T civarında) kutuplama koşullarında MOS tranzistordan akan I_{DS} akımı dikkatli incelendiğinde, akımın sabit kalmadığı, akım değerinin %1 veya daha az olmak üzere küçük ve raslantısal değişimlere sahip olduğu, bu değişimlerin tuzakların taşıyıcı yakalayıp salması ile oluştuğu bildirilmiştir [90-92].

Ayrık akım yöntemi (**Split current method**): Bu yöntemde tabandan akan yük pompası akımının DC bileşeni yerine hem kaynak/savak terminalinden hem de taban terminalinden akan akımların zamana bağlı değişimleri ölçülerek arayüzey tuzak yoğunluğu ve tuzak yakalama kesitleri bulunmaktadır [93].

Geçitli diyot ölçümleri : Geçitli diyot olarak çalışan, kaynak/savak terminalleri kısa devre edilmiş MOS tranzistorun, geçit terminaline uygulanan doğru gerilimin değiştirilmesi ile savak/kaynak akımında meydana gelen değişim $D_{it} * \sigma$ ile orantılıdır. [94-113].

2.5 Tuzak Karakterizasyon Yöntemlerinin Karşılaştırılması

Kapasite-gerilim yöntemlerinde arayüzeyle ilgili bilginin doğrudan ölçülen bir büyüklükten değil de, iki ayrı frekansta yapılan ölçümlerden elde edilen birbirine yakın iki kapasite değeri farkından elde ediliyor olması hatalı sonuçlar bulmaya neden olabilir. Örneğin C_{LF} 'de yapılacak %1 bağıl hata, C_{HF} 'de %10 hataya sebep olur. [114,sf.349]. C-V yönteminde, taban katkı yoğunluğuna göre farkedilebilen minimum arayüzey tuzak yoğunluğu Tablo.2.1'de verilmiştir. D_{it} 'nin enerjiye bağlı olarak bulunmasında oluşan hata yasak band kenarlarına doğru artar. [25, sf.278]. C-V yöntemi göreceli olarak basit deney düzeneği avantajına karşın tuzakların yakalama kesitleri hakkında bilgi vermez. Ayrıca göreceli olarak büyük alanlı kapasite test yapılarına ihtiyaç vardır.

Tablo.2.1 C-V yöntemiyle farkedilebilen minimum arayüzey tuzak yoğunluğu, $D_{it}(\text{min})$, [114]

Taban Katkı Yoğunluğu [cm^{-3}]	$D_{it}(\text{min})$, [$\text{cm}^{-2}\text{eV}^{-1}$]
$1 \cdot 10^{14}$	$4 \cdot 10^9$
$1 \cdot 10^{15}$	$1 \cdot 10^{10}$
$1 \cdot 10^{16}$	$3 \cdot 10^{10}$
$1 \cdot 10^{17}$	$9 \cdot 10^{10}$
$1 \cdot 10^{18}$	$3 \cdot 10^{11}$

İletkenlik yöntemi, taban katkı yoğunluğuna bağlı olmaksızın $10^9 \text{ cm}^{-2}\text{eV}^{-1}$ yoğunlukta arayüzey tuzaklarının farkedilmesine izin verir. Tuzak yoğunluğu yanısıra yakalama kesitlerinin bulunmasını da sağlama avantajına sahip iletkenlik yönteminde, ölçülen iletkenlik ve kapasite değerleri, yapıya ve ölçü düzenine ait parazitik direnç, kapasite, endüktans bilgilerini de içerir. Bunların ayıklanmasını sağlayacak düzeltme hesaplarının yapılmasının gerekli olması bu yöntemin bir dezavantajıdır. Ayrıca her kutuplama koşulunda $G_p / w - f$ eğrisinin çıkarılması nedeniyle sonuca ulaşmak zaman alır. Literatürde, MOS tranzistor üzerinde iletkenlik yöntemi uygulanarak elektron ve delikler için yakalama kesitlerinin ayrı ayrı belirlenebileceği ve $10^{10} \text{ cm}^{-2}\text{eV}^{-1}$ arayüzey tuzak yoğunluğunun farkedilebileceği bildirilmektedir [50].

DLTS yöntemi kullanılarak $10^9 \text{ cm}^{-2}\text{eV}^{-1}$ 'a kadar arayüzey tuzak yoğunluğu farkedilebildiği rapor edilmiştir. [55,57]. $D_{it}(E)$, yasak bandın ortası ile çoğunluk taşıyıcı band kenarı arasında elde edilebilir. DLTS yöntemiyle yakalama kesiti bulunabilir. Fakat arayüzey tuzakları ile derin seviye tuzaklarının taşıyıcı salması olaylarını ayırmak için ilave önlemler gerekebilir [114, sf.368]. DLTS yönteminde, ölçümlerin değişik sıcaklıklarda ve hassas aletlerle yapılmasının gerekmesi dezavantajdır.

20 μm 'den uzun kanal boyuna sahip tranzistorlar için önerilen MOSFET eşikaltı eğim yönteminin $10^{10} [\text{cm}^{-2}\text{eV}^{-1}]$ arayüzey tuzak yoğunluğu duyarlılığına sahip olduğu rapor edilmiştir. [87]. Bu yöntemde kullanılan kanal katkı yoğunluğu değeri doğru olmalıdır. 10^{16} mertebesinde hatalı taban katkı yoğunluğu değeri alındığında, $\overline{D_{it}}$ değerinin $7 \times 10^{10} [\text{cm}^{-2} \text{eV}^{-1}]$ mertebesinde hatalı olabildiği belirtilmiştir [21]. Hesaplar için C_{ox} ve C_B 'nin bilinmesi gerekir. Bunların tespiti örneğin $C_{HF}-V$ eğrisi yöntemi ile yapılabilir. Arayüzey tuzak yoğunluğuna ilave olarak uniform olmayan sabit oksit yükünün de eşikaltı eğimini değiştirdiği belirtilmiştir. [115,116]. Bu iki büyüklüğün ayrımı gereklidir. Yasak band ortası civarında 0.15eV enerji aralığında $D_{it}(E)$ bulunabilir. Eşikaltı eğim yöntemi genellikle mutlak tuzak yoğunluğu yerine, zorlama altında $I - V$ eğrilerinde oluşan değişimleri kullanarak, zorlamayla oluşturulan tuzakları incelemek için kullanılır [21]

Tuzak yoğunluklarını ve yakalama kesitlerini bulmak amacıyla, küçük boyutlu ve günümüz tümdevre üretim teknolojisinde elde edilecek kadar düşük arayüzey tuzak yoğunluklu devre elemanlarına uygulanabilecek en iyi teknik, yük pompası akımını kullanan bir tekniktir [19]. Yük pompası yöntemiyle $100\mu\text{m}^2$ geçit alanlı tranzistorlarda $10^9 \text{ cm}^{-2}\text{eV}^{-1}$ arayüzey tuzak yoğunluğu ölçülebilir [63]. Mikronaltı tranzistorlarda, bir tek adet arayüzey tuzacı farkedilebilir [117]. Ölçüm düzeneği basittir. Kullanılan aletlerin, DLTS ve iletkenlik yöntemindekiler kadar hassas olması zorunluluğu yoktur. Yasak bandın geniş bir enerji aralığında $D_{it}(E)$ çıkarılabilir [63,64,70,72].

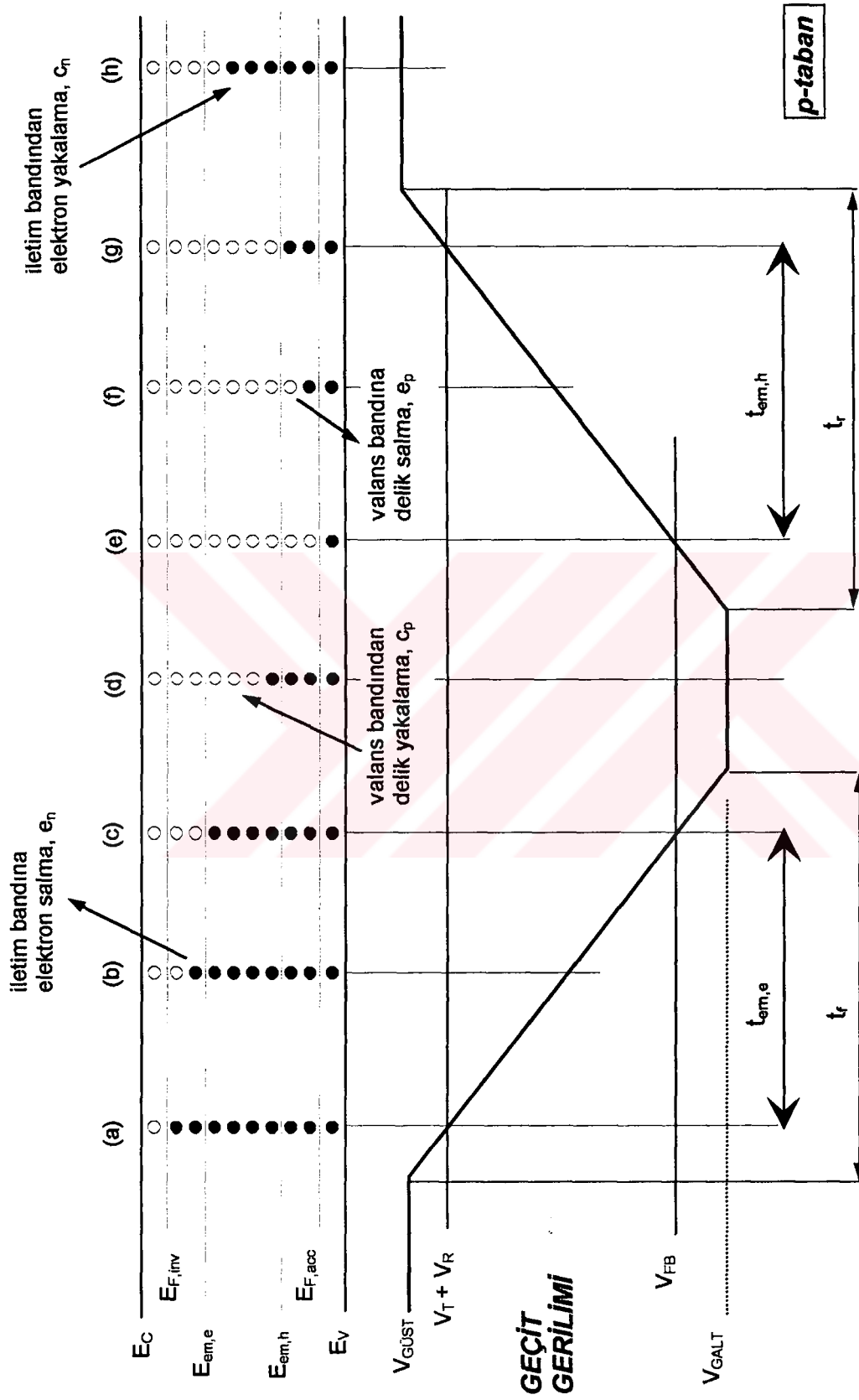
Bu karşılaştırma sonunda; küçük boyutlu tranzistorlarda elde edilebilecek en iyi duyarlılığı sağlayan yük pompası tekniği, kolay uygulanabilir ve hızlı yorumlanabilir olması da dikkate alınarak, bu çalışmada kullanılacak yöntem olarak seçilmiştir.

3. YÜK POMPASI TEKNİĞİNİN ANALİZİ

3.1 Yük Pompası Çalışma Prensipleri

Geçitli diyot veya MOS tranzistorun geçit terminaline, yapıyı bir yönde iletme diğer yönde yığılmaya sürece kadar büyük genlikte, zamanla değişen bir işaret uygulandığında, yapının taban kontağından; işaret uygulanmadığı zaman akan jonksiyon tıkama yönü akımına ters yönde bir akım akmaktadır. Yük pompalama olarak adlandırılan bu olay ilk defa Brugler ve Jespers [61] tarafından rapor edilmiştir.

Bu akımın oluşması p-tabanlı bir yapı örnek alınarak, Şekil.3.1 yardımıyla geçite trapezoidal periyodik işaret uygulanması durumu için şöyle açıklanabilir. İşaret üreticinin genliğinin seviyesi MOS yapıyı evirtime sürece kadar yüksek olduğunda azınlık taşıyıcı olan elektronlar yüzeyde toplanır ve bir kısmı arayüzey tuzakları tarafından yakalanırlar. (Şekil.3.1.a). Geçite uygulanan gerilim alt seviyeye düşerken, geçit gerilimi, ($V_T + V_R$) değerinin altına düştükten sonra, yüzeyde evirtim tabakası oluşturan tuzaklanmamış serbest elektronlar kaynak/savak terminaline uygulanan ve (K/S)-taban jonksiyonunu tıkama yönünde kutuplayan gerilim (V_R) nedeniyle (K/S) jonksiyonlarına sürüklenirler. Tuzaklanmış elektronlardan bir kısmı da, tuzakların elektron salma mekanizmasına uygun olarak, iletim bandına geçerler ve K/S jonksiyonlarına geri dönerler (Şekil.3.1.b). Elektron salma mekanizması çalışır, çünkü; yapının sözde-fermi seviyesi, E_F , $E_{F,inv}$ değerinden aşağıya düşmüştür, E_F ile $E_{F,inv}$ arasında bir enerjiye sahip tuzaklardaki elektronlar bulundukları tuzakları boşaltacaklardır, bu iki mekanizma ile olabilir, ya iletim bandına elektron salma veya valans bandından bir delik yakalayarak yeniden birleşme. Evirtim rejiminden çıkarken yüzeyde delik yoğunluğu yok denecek kadar azdır, (2.2) uyarınca yüzeydeki delik yoğunluğuna bağlı olan delik yakalama hızı çok düşüktür bu nedenle elektron salma olayı gerçekleşir. (Elektronların gövdedeki tuzaklarda deliklerle birleşerek, arayüzeye ait olmayan ilave pompa akımı oluşturmasını önlemek amacıyla; elektronların, tabandan delikler gelmeden K/S'a ulaşabilmeleri için katetmeleri gereken yolu kısaltacak *küçük kanal boyu* ve/veya



Şekil.3.1 Yük pompası geçit geriliminin trapezoidal değişiminde, yasakbant enerjisi aralığında bulunan tuzaklarda taşıyıcı hareketleri

K/S'a sürükleninceye kadar tabandan delik gelmesini önlemeye yetecek, yani yapıyı hızlıca yığılmaya sokmayacak kadar *uzun* geçit gerilimi *düşüş süresi* koşulları sağlanmalıdır.). Tuzaklanan elektronlardan geri kalanlar (bulunduğu tuzağın elektron salma zaman sabiti ile belirlenen süre, Şekil.3.1'de $t_{em,e}$ ile gösterilen süreden uzun olanlar) düşüş süresinin kısa gelmesi nedeniyle iletim bandına gidecek zaman bulamazlar. Geçit gerilimi düzbant gerilimi değeri V_{FB} ' ye ulaştığında fermi seviyesi $E_{em,e}$ ile gösterilen değere eşittir(Şekil3.1.c). Bu gerilimden daha düşük geçit gerilimlerinde yüzeye delikler gelir ve yukarıda açıklanan ikinci mekanizma gerçekleşir, yani tuzaklar valans bandından delik yakalar ve yeniden-birleşme (recombination) oluşur. (Şekil.2.13.d). Geçit gerilimi yükselmeye başladığında, gerilimin düşen kenarında elektronlar için geçerli olan olayların benzeri delikler için geçerli olacaktır. Geçit gerilimi yükselen kenarda düzbant gerilimine ulaştığında fermi seviyesi $E_{F,acc}$ değerindedir. (Şekil.3.1.e). Bu seviyenin üstünde enerjiye sahip tuzaklar boştur. Geçit gerilimi arttırıldıkça fermi seviyesi yasak bandın ortasına doğru yükselecektir. $E_F - E_{F,acc}$ aralığındaki tuzaklar elektronla dolacaktır. Burada da iki mekanizmadan biri, ya iletim bandından elektron yakalama veya valans bandına delik salma söz konusu olabilir. Henüz evirtim gerçekleşmediğinden yüzeyde elektron birikmemiştir, (2.4) uyarınca yüzeydeki elektron yoğunluğuna bağlı olan elektron yakalama hızı çok düşüktür ve geçit geriliminin yükselme süresi ile orantılı olan $t_{em,h}$ süresince delik salma gerçekleşir. (Şekil.3.1.f). Geçit gerilimi, $(V_T + V_R)$ gerilimine ulaştığında fermi seviyesi $E_{em,h}$ dan daha aşağıda olan tuzaklar elektronla dolmuştur (Şekil.3.1.g). Delik salma zaman sabiti, $t_{em,h}$ süresinden uzun olanlar boş kalacaklardır. Geçit gerilimi $(V_T + V_R)$ geriliminden büyük olduktan sonra yüzeyde elektronlar birikir ve $E_{em,h}$ dan büyük enerjiye sahip tuzaklar iletim bandından elektron yakalayarak dolarlar. (Şekil.3.1.h). Bu işlem fermi enerji seviyesi $E_{F,inv}$ e ulaşıncaya kadar devam eder. (Şekil.3.1.a) Bütün bu süreç geçit geriliminin her periyodunda tekrarlanır. Yük pompası akımı, $E_{em,e}-E_{em,h}$ enerji aralığındaki tuzaklarda taşıyıcıların, (bir periyotta elektronların, diğer periyotta deliklerin) takılıp kalması nedeniyle oluşur. Çünkü evirtim rejiminde K/S'dan gelip yakalanan elektronlardan sadece bir kısmı, yani $E_{F,inv} - E_{em,e}$ enerji aralığındaki tuzaklarda bulunanlar K/S jonksiyonlarına dönmektedirler. $E_{em,e}$ nin altında enerjiye sahip olan tuzaklarda yakalanan elektronlar K/S'ye dönmemekte, yığılma rejiminde yüzeye gelen deliklerle birleşmektedirler. $E_{em,h}$ enerji seviyesinin altındaki elektronları ise K/S terminali göndermemiştir. Şekil.3.1.g'deki noktadan (V_T+V_R) geriliminden büyük geçit gerilimlerinden) sonra iletim bandında elektron yakalama, yani K/S'tan

elektron alma başlar. Bir başka anlatımla, K/S terminali açısından yapıya doğru elektron akımı, (yapıdan K/S'a doğru elektrik akımı) vardır. Olaya taban terminalinden bakarsak, yapıya gönderilen deliklerden bir kısmı geri dönmemektedir. Yapıya doğru bir delik akımı (aynı yönde bir elektrik akımı) vardır. Tabandan gönderilen delikler K/S'dan gönderilen elektronlarla birleştiklerinden bu iki akım birbirine eşittir. MOS yapının taban ve K/S terminallerini birlikte gözönüne aldığımızda taban'dan K/S'a doğru bir 'yük pompası akımı' (I_{cp}) vardır.

Yük pompası akımı arayüzeydeki tuzak sayısının bir ölçüsüdür. Çünkü, bir periyotta pompalan yük, (Q_{cp}) arayüzeyde tuzaklanan yüke, (Q_{it}) eşittir.

$$Q_{cp} = I_{cp} / f \quad (3.1)$$

yazılabilir.

$$\Delta E = E_{em,e} - E_{em,h} \quad (3.2)$$

olarak tanımlanan enerji aralığındaki toplam arayüzey tuzak sayısı N_{TT} ise

$$Q_{it} = qN_{TT} \quad (3.3)$$

(3.1) ve (3.3) eşitlenirse,

$$I_{cp} = fqN_{TT} \quad (3.4)$$

yazılır. Birim enerji aralığı ve birim alandaki ortalama tuzak yoğunluğu $\overline{D_{it}}$ ise,

$$N_{TT} = A_G \overline{D_{it}} \Delta E \quad \text{olur. Bu durumda yük pompası akımı,}$$

$$I_{cp} = fqA_G \overline{D_{it}} \Delta E \quad (3.5)$$

yazılabilir. Bu ifadeler yük pompası akımının arayüzey tuzak yoğunluğu ile doğru orantılı olarak değiştiğini göstermektedir. (3.5) ifadesini elemana uygulanan işarete bağlamak için, Simmons & Wei [118] tarafından yapılan analiz sonucu önerilen ve Groeseneken [63] tarafından düzenlenen ifadeleri kullanabiliriz.

$$E_{em,e} - E_{Fi} = -kT * \ln(v_{th} \sigma_n n_i t_{em,e}) \quad (3.6)$$

$$E_{em,h} - E_{Fi} = kT * \ln(v_{th} \sigma_p p_i t_{em,h}) \quad (3.7)$$

(3.6) ve (3.7) ifadelerinde $E_{em,e}$ ve $E_{em,h}$ çekilip (3.2)'de yerine yazılırsa,

$$\Delta E = -kT * \left[\ln(v_{th} \sigma_n n_i t_{em,e}) + \ln(v_{th} \sigma_p p_i t_{em,h}) \right] \quad (3.8)$$

veya bir başka şekilde düzenlenerek,

$$\Delta E = -2kT \ln(v_{th} n_i \sqrt{\sigma_n \sigma_p} \sqrt{t_{em,e} t_{em,h}}) \quad (3.9)$$

yazılabilir. Bu ifade (3.5) ifadesinde kullanılırsa,

$$I_{cp} = -2kTf q A_G \overline{D_{it}} \ln(v_{th} n_i \sqrt{\sigma_n \sigma_p} \sqrt{t_{em,e} t_{em,h}}) \quad (3.10)$$

olarak yük pompası akımı bulunur. Bu ifadedeki $t_{em,e}$ ve $t_{em,h}$ değerleri uygulanan işaretin şekline göre bulunabilir. Trapezoidal dalga şekli için,

$$t_{em,e} = \frac{|V_{FB} - V_T - V_R|}{|V_{GALT} - V_{GÜST}|} t_f \quad (3.11)$$

$$t_{em,h} = \frac{|V_{FB} - V_T - V_R|}{|V_{GALT} - V_{GÜST}|} t_r \quad (3.12)$$

olur. Bu durumda, geçite trapezoidal dalga uygulanırsa yük pompası akımı,

$$I_{cp} = -2kTf q A_G \overline{D_{it}} \ln(v_{th} n_i \sqrt{\sigma_n \sigma_p} \frac{|V_{FB} - V_T - V_R|}{|V_{GALT} - V_{GÜST}|} \sqrt{t_f t_r})) \quad (3.13)$$

olur. Eğer geçite simetrik üçgen dalga uygulanırsa, emisyon zamanları

$$t_{em,e} = t_{em,h} = \frac{|V_{FB} - V_T - V_R|}{|\Delta V_G|} \frac{1}{2f} \quad (3.14)$$

olur, yük pompası akımı ise şu şekilde ifade edilecektir.

$$I_{cp} = -2kTf q A_G \overline{D_{it}} \ln(v_{th} n_i \sqrt{\sigma_n \sigma_p} \frac{|V_{FB} - V_T - V_R|}{|\Delta V_G|} \frac{1}{2f}) \quad (3.15)$$

Geçite uygulanan üçgen dalga işaretin frekansı değiştirilerek taban terminalinden bir doğruakımölçer ile ölçülen yük pompası akımı değeri $I_{cp} / f - \log f$ koordinatlı bir düzlemde bir doğru üzerine düşerler. (3.15) denkleminde $Q_{cp} = I_{cp} / f$ teşkil edilip $\log f$ 'ye göre türev alınırsa $Q_{cp} - \log f$ düzleminde oluşan doğrunun eğimi, S; aşağıdaki gibi bulunur,

$$\frac{dQ_{cp}}{d \log f} = S = \frac{2qkTA_G \overline{D_{it}}}{\log e} \quad (3.16)$$

Bu ifadeden, arayüzey tuzak yoğunluğu ortalama değeri şu şekilde bulunur.

$$\overline{D_{it}} = \frac{S \log e}{2qkTA_G} \quad (3.17)$$

(3.15) ifadesini $Q_{cp} = 0$ yapan frekans değeri f_o , $Q_{cp} - \log f$ düzleminde elde edilen doğrunun $\log f$ eksenini kestiği noktadaki değer olarak alınırsa tuzak yakalama kesiti aşağıdaki ifade kullanılarak bulunabilir.

$$\sigma = \frac{2|\Delta V_G|f_o}{v_{th}n_i|V_{FB} - V_T - V_R|} \quad (3.18)$$

Literatürde yük pompasının çalışma prensibi ile ilgili teorik çalışmalar ve geliştirilen modeller mevcuttur [118-121,13,29]. Bunlar arasında Groeseneken [63] ve Çilingiroğlu [28] tarafından yapılan çalışmalar genel kabul görmüştür.

3.2 Yük Pompası Akımının Geometrik Bileşeni

Yük pompası olarak çalışan MOS tranzistorda geçite uygulanan işaret, yapıyı evirtimden yığılmaya çok hızlı sürerse, yani Şekil.3.1'de t_r çok küçükse, evirtimde kanalda biriken azınlık taşıyıcılar, kaynak/savak (K/S) jonksiyonlarına geri dönemeden, tabandan gelen çoğunluk taşıyıcılarla birleşebilirler. Arayüzeyde meydana gelmeyen bu birleşme yük pompası akımında hatalı bir bileşen olarak görülür. Bu akım geometrik bileşen olarak isimlendirilir, çünkü MOS tranzistorun kanal boyuyla orantılıdır. Kanal boyu arttıkça yük pompasındaki geometrik bileşen büyür. Kanal boyu ile geçit işareti düşme süresi arasında bir ilişki kurmak için, taşıyıcıların hareketine etki eden iki mekanizma incelenir. Birincisi, K/S'a uygulanan tıkama yönünde kutuplama gerilimi nedeniyle oluşan elektriksel alan altında sürüklenme, ikincisi kanal bölgesinde ve kanal boyunca azınlık taşıyıcı yoğunluğundaki değişim nedeniyle oluşan difüzyon mekanizmasıdır.

Sürüklenme nedeniyle taşıyıcı yoğunluğunun zamanla değişimi şu şekilde verilir [122].

$$N_t(t) = N(0) \frac{t_o}{t + t_o}, \quad t_o = \frac{\pi * L_{eff}^2 * C_{ox}}{8 * q * \mu * N(0)} \quad (3.19)$$

Burada,

$N(0):t=0$ anında birim alan başına taşıyıcı yoğunluğu [cm^{-2}],

μ : taşıyıcı mobilitesi [$\text{cm}^2 \text{V}^{-1} \text{s}^{-1}$],

L_{eff} : tranzistorun efektif kanal boyu [cm]

olarak kullanılmıştır.

Difüzyon nedeniyle taşıyıcı yoğunluğunun zamanla değişimi ise şöyle verilir [122].

$$N_d(t) = \frac{N(0)}{\pi^2} \exp\left(-\frac{\pi^2 * \mu * (kT/q)}{L_{\text{eff}}^2} t\right) \quad (3.20)$$

Bu denklemler kullanılarak, belirli bir L_{eff} değeri için kanaldaki taşıyıcı yoğunluğu, tespit edilen bir değere düşünceye kadar geçen süreler hesaplanabilir. İşaretin düşme süresi bu sürelerin ikisinden de uzun olmalıdır. Örneğin, $N(0)=1\text{e}12 \text{ cm}^{-2}$ olup kritik taşıyıcı yoğunluğu $1\text{e}9 \text{ cm}^{-2}$ tespit edilmişse, $L_{\text{eff}}=2.5\mu\text{m}$ olan bir NMOS için 25ns'den, PMOS için 50ns'den uzun düşme sürelerinde geometrik bileşen ihmal edilebilir.

3.3 Oksit İçi Yükler Ve Yük Pompası Tekniği

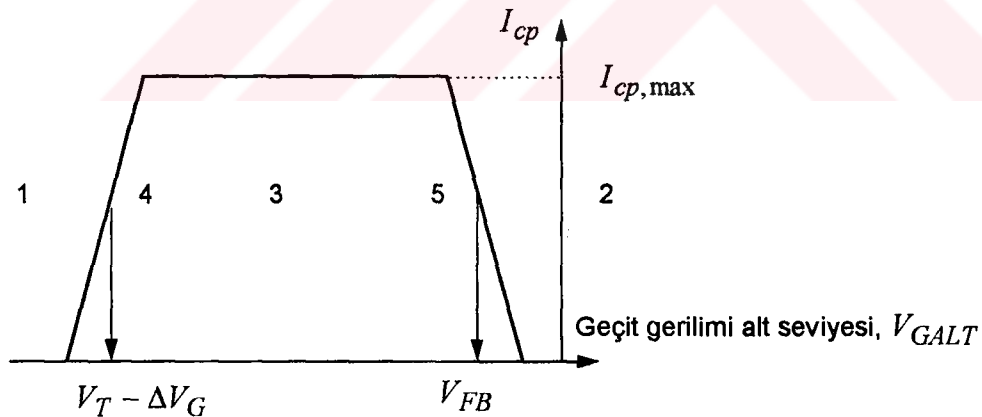
Yük pompası tekniği, tranzistorları, paralel çalışan birden fazla tranzistordan oluşmuş gibi incelemeye imkan verir. Kanal bölgesinde, farklı eşik gerilimlerine farklı arayüzey ve oksit içi tuzaklara sahip tranzistorların oluşturduğu yük pompası akımları, toplam yük pompası akımında ayrı ayrı farkedilebilirler [8,117]

MOS yapının kutuplama koşullarının ve/veya MOS yapının terminallerine uygulanan periyodik işaretlerin değiştirilmesi ile yük pompalama olayının değişik şekillerde oluşturulması mümkündür.

Sabit alt seviye değişken genlik yük pompası tekniğinde, geçite uygulanan işaretin alt seviyesi, daima düzbant geriliminin altında tutulur, üst seviyesi $V_{\text{GÜST}}$ değiştirilir. Bu durumda yük pompası akımı, sadece üst seviye, eşik gerilimini geçerse akacaktır. Elde edilen $I_{\text{cp}} - V_{\text{GÜST}}$ eğrisi oksit içi tuzak yoğunluğunu hesaplamak için kullanılır [9].

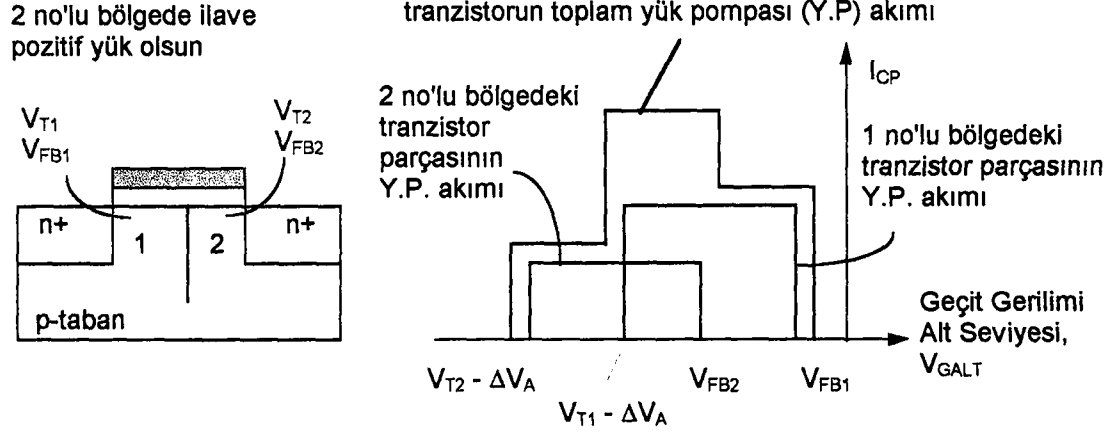
Değişken frekans yük pompası tekniğinde; geçite, yükselme ve düşme süreleri, genliği ve ofset gerilimi sabit değişken frekanslı trapezoidal dalga uygulandığında, her bir periyotta pompalanan yükün, (Q_{cp}) frekansla değişimini incelenir. (3.13) gereğince Q_{cp} frekansla değişmemelidir. Paulsen [13] tarafından yapılan inceleme, frekansın 100Hz'lerin altına düşmesi durumunda Q_{cp} 'nin frekans

Değişken ofset gerilimi yük pompası tekniğinde; geçite uygulanan trapezoidal işaretin frekansı, yükselme ve düşme süreleri, genliği sabit tutulur ve bu işaretin ofset gerilimi değiştirilir. İşaretin alt ve üst seviyelerinin ikisi birden eşik geriliminden yüksek ise veya ikisi birden düzbant geriliminden düşük ise yük pompası akımı akmaz. (Şekil. 3.2 bölge 2 ve 1). Çünkü, ilkinde yüzey sürekli evirtimde, ikincisinde sürekli yığılmadadır. Yüzeydeki taşıyıcı tipi değişmediğinden, bir terminalden gelen taşıyıcıların diğer terminalden gelen karşı tip taşıyıcılarla birleşip akım oluşturması mümkün değildir. Eğer düzbant ve eşik gerilimleri geçite uygulanan işaretin alt ve üst seviyeleri arasında kalıyorsa maksimum yük pompası akımı akacaktır. (Şekil.3.2 bölge-3). Eğer geçitteki işaretin sadece bir seviyesi (alt veya üst) düzbant ile eşik gerilimi değerleri arasındaysa, yük pompası akımı maksimuma doğru hızla değişir. (Şekil.3.2 bölge 4-5). Değişim hızlıdır, çünkü akım, sadece seviyelerden biri eşik veya düzbant gerilimine çok yakın ise akar, aksi halde yüzey ya evirtime ya yığılmaya girmeyecek, 1 ve 2 durumlarından farklı olarak fakirleşmeye girecek fakat yine de taşıyıcıların birleşme mekanizmasıyla yük pompası akımı oluşması söz konusu olmayacaktır.



MOS yapıda düzgün dağılmamış arayüzey ve oksit içi yükler olması durumunda Şekil.3.2 'deki karakteristik değişiklik gösterir ve bu tip yükleri incelemek için kullanılır. Şekil.3.3 'teki gibi iki farklı bölgesinde iki farklı arayüzey ve

oksit içi yüklere sahip bir tranzistorun yük pompası akımı, her bir tranzistorun tek başına akıtacağı yük pompası akımlarının toplamı olacaktır.



Şekil.3.3 Bünyesinde düzgün dağılmamış arayüzey ve oksit içi yük bulunan NMOS tranzistorun yük pompası akımı ve bileşenlerinin şematik gösterimi

İki bölge mevcut farklı yükler nedeniyle farklı V_T ve V_{FB} değerine sahiptir. Şekil.3.3' teki örnekte (2) no'lu bölgede arayüzey ve oksit içinde ilave pozitif yük olduğu varsayılmıştır. Bu durumda V_{T2} ve V_{FB2} değerleri (1) no'lu bölgedekilerden daha negatif olacaktır. Bu bölgeye ait yük pompası akımı diğerine göre sola kayacaktır. Eğer (2) no'lu bölgede negatif yük olsaydı karşı düşen yük pompası akımı bileşeni sağa kayacaktı.

Bu özellik sıcak-taşıyıcı nedeniyle tranzistor karakteristiklerinin bozulmasının analizinde tuzaklama mekanizmalarının incelenmesine imkan verir.

4. YÜK POMPASI YÖNTEMİYLE YAPILAN ÖLÇÜMLER

Ölçümler, Ek-A'da belirtilen şekilde TÜBİTAK-YİTAL'de üretilen NMOS ve PMOS tranzistorlar kullanılarak yapılmıştır. Üretilen tranzistorlardan aşağıdaki özellikleri sağlayanlar, tuzak ölçümlerinde kaçaksız bir tranzistor kullanma gerekliliği yanısıra, bir süreci karakterize edecek tranzistorların ölçümlere başlamadan önce, aynı elektriksel özelliklere sahip olmasını sağlamak amacıyla tuzak büyüklüklerinin ölçülmesinde kullanılmak üzere seçilmişlerdir.

- I.- Geçiş özeğrisi ölçümünde (NMOS: $V_{DS}=50\text{mV}$, $0 < V_{GS} < 5\text{V}$; PMOS: $V_{DS}=-50\text{mV}$, $-5\text{V} < V_{GS} < 0\text{V}$) bütün geçit gerilimleri için, geçit akımı, $I_G < |\pm 5 \text{ pA}|$ olanlar,
- II.- $|V_{DS}| = 5\text{V}$ ve $V_{GS}=0\text{V}$ iken akan savak akımı, I_{DS} ve tranzistorun kanal genişliği W ise $|I_{DS} / W| < 1 \text{ pA}/\mu\text{m}$ olanlar,
- III.-Aşağıdaki 5 karakteristik değeri, ortalama değerden $\pm\%5$ 'ten az ayrılmış olanlar
 - $|V_{DS}| = 50\text{mV}$, $I_{DS} - V_{GS}$ geçiş özeğrisinde, $g_m = \Delta I_{DS} / \Delta V_{GS}$ olarak tanımlanan geçiş iletkenliğinin maksimum olduğu değer, $g_m(\text{max}) [\text{A/V}]$
 - $g_m(\text{max})$ değerini veren V_{GS} 'te $I_{DS} - V_{GS}$ eğrisine uydurulan doğrunun V_{GS} eksenini kestiği noktadan $V_{DS}/2$ çıkarılarak bulunan eşik gerilimi, $V_T [\text{V}]$
 - $|V_{DS}| = 50\text{mV}$, $(\log I_{DS}) - V_{GS}$ geçiş özeğrisinde, eşikaltı eğimi, $SS [\text{mV/dec}]$
 - $|V_{DS}| = 50\text{mV}$, $I_{DS} - V_{GS}$ geçiş özeğrisinde $V_{GS} = 5\text{V}$ iken akan savak akımı,
 - $|V_{DS}| = 5\text{V}$, $|V_{GS}|$ değişken ($0 < |V_{GS}| < 5\text{V}$) çizilen $I_{SUB} - V_{GS}$ eğrisindeki maksimum taban akımı değeri, $I_{SUB}(\text{max}) [\text{A}]$

(III.-) maddesinde sözü geçen ortalama değer, Tablo.4.1'deki kategorik ayırım sonrasında yapılan genel elektriksel ölçümler sonunda aynı maddedeki test koşullarında elde edilen değerler ortalamasıdır. (Tablo.4.2)

Tablo.4.1 Süreç tipine göre kategorik ayırım ve karşı düşen kodlar

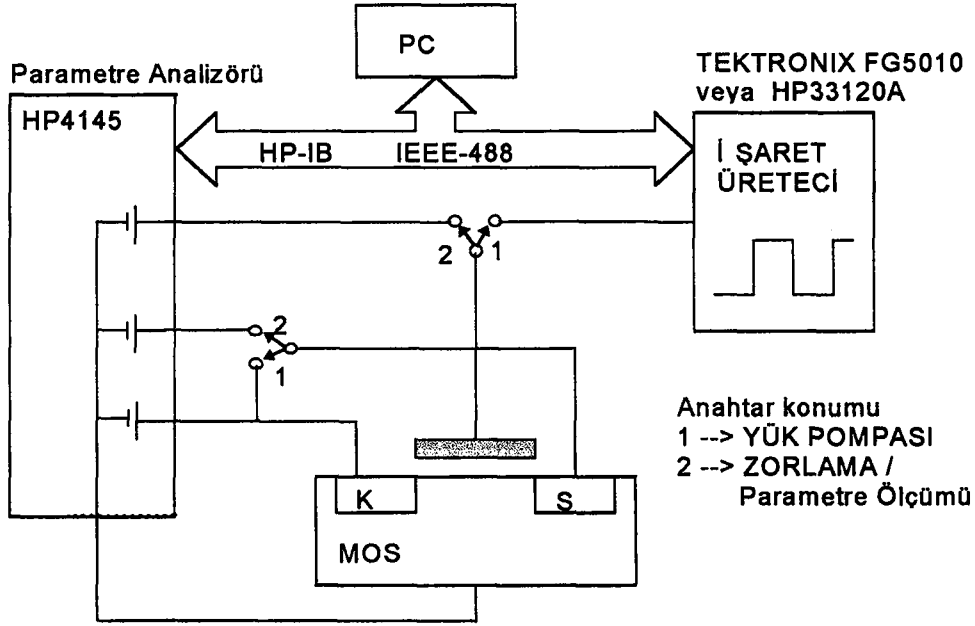
GOIN	Geçit oksitinden eşik ayar implantlı NMOS tranzistor, azot ortamında tavlama
FOIN	Ön oksitten eşik ayar implantlı NMOS tranzistor, azot ortamında tavlama
GOIP	Geçit oksitinden eşik ayar implantlı PMOS tranzistor, azot ortamında tavlama
FOIP	Ön oksitten eşik ayar implantlı PMOS tranzistor, azot ortamında tavlama
FOINH	Ön oksitten eşik ayar implantlı NMOS, azot/hidrojen ortamında tavlama
GOINZ	Geçit oksitinden eşik ayar implantlı NMOS tranzistor, tavlama
FOINZ	Ön oksitten eşik ayar implantlı NMOS tranzistor, tavlama

Tablo.4.2 Üretilen tranzistorların karakteristik büyüklüklerinin ortalama değerleri

Süreç	V_T	$g_m(\text{max})$	SS	$I_{\text{sub}}(\text{max})$
Tipi	[V]	[$\mu\text{A/V}$]	[mV/dec]	[nA]
GOIP	-0.71	11.6	99	0.05
FOIP	-1.12	8.9	89	0.04
GOIN	1.00	30.1	97	-255
FOIN	0.65	27.7	94	-215

Seçilen tranzistorların tuzak büyüklüklerini ölçmek için Şekil.2.12'deki yük pompası temel deney düzeneği Şekil.4.1'deki gibi değiştirilmiştir. Bu ölçme düzeneğinin avantajları şunlardır:

- Ölçmeler daha hızlı yapılabilmektedir. Her ölçüm, tranzistoru etkilemekte, yapıda ilave yükler ve tuzaklar yaratmaktadır. Ölçüm sürelerinin kısılması bu etkiyi azaltmaktadır.
- Her tranzistor aynı sürede ölçülmektedir. Böylece ölçme sırasında tranzistoru etkileme süresi aynı olmakta, farklı tranzistorların ölçüm sonuçlarının karşılaştırılması daha güvenilir olmaktadır.
- Ölçüm sonuçları, daha sonra incelenmek üzere ayrıntılı olarak kaydedilebilmektedir. Ayrıca ölçüm sırasında, elde edilen değerler ekranda gözlenmekte, benzer ölçümler üstüste çizilebilmekte, böylece ölçme işleminin nasıl ilerlediği görülerek, duruma göre, kesme, ilave ölçü yapma ve benzeri kararlar verilebilmektedir.

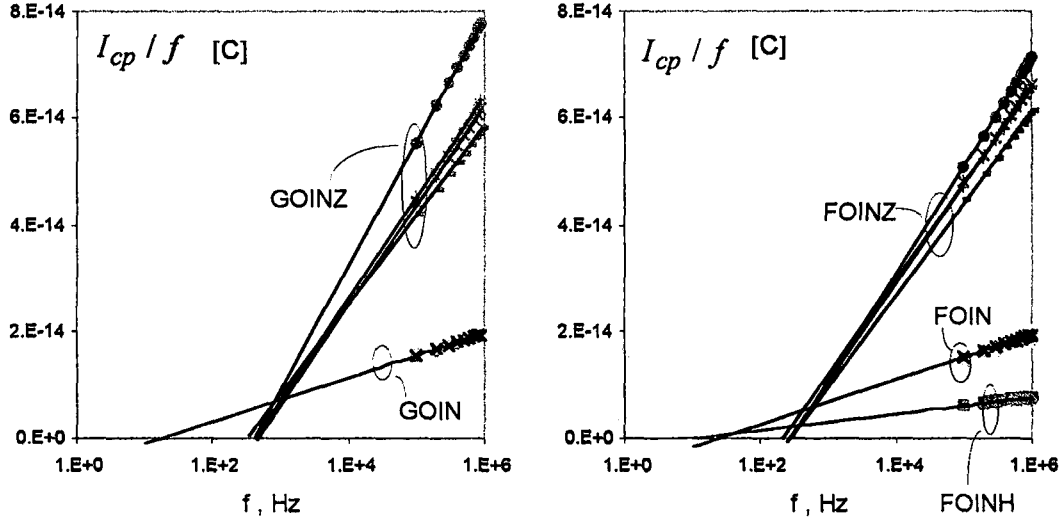


Şekil.4.1 Yük pompası yöntemini kullanmak, tranzistor karakteristiklerini ölçmek ve gerilim zorlaması uygulamak için kullanılan bilgisayar kontrollü deney düzeneği

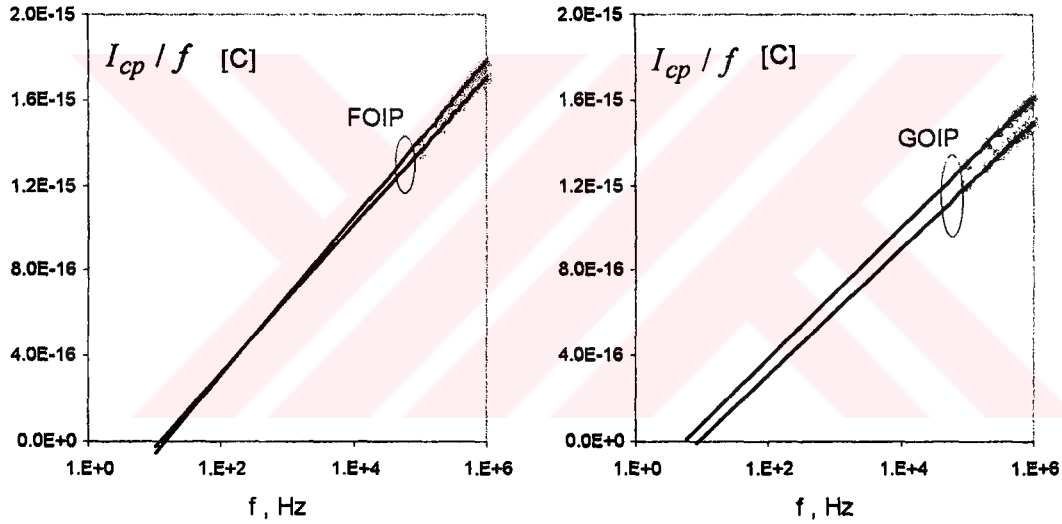
4.1 Değişken Frekans Yöntemi

Şekil.4.1'deki düzenek yardımıyla, Tablo.4.1'de verilen süreç tiplerine uygulanan bu yöntemde; MOS tranzistorun kaynak ve savak terminaleri birbirine bağlandıktan sonra, silisyum tabana göre 0.2 Volt tıkama yönünde kutuplama sağlayacak şekilde bir doğru gerilim kaynağına bağlanmış, geçit terminaline ise genliği ve ofset gerilimi sabit tutulan fakat frekansı 100KHz-1MHz aralığında değiştirilen bir üçgen dalga işareti uygulanmıştır. (Şekil.4.1'de anahtar 1 no'lu konumdadır). Uygulanan her bir frekans değerine karşılık olarak MOS tranzistorun taban terminalinden bir doğruakımölçer ile ölçülen yük pompası akımı değeri $I_{cp} / f - \log f$ koordinatlı bir düzlemde işaretlendiğinde bir doğru üzerine düştükleri görülür. (Arayüzey tuzak yoğunluğu değerinin tuzak enerji seviyelerine çok bağlı olmayıp hemen hemen sabit kaldığı enerji band aralığı için geçerlidir.)

$W/L=81\mu m/9\mu m$ NMOS tranzistorlar için elde edilen $I_{cp} / f - \log f$ eğrisi Şekil.4.2'de, $W/L=27\mu m/3\mu m$ PMOS tranzistorlar için elde edilen eğri Şekil.4.3'te verilmiştir. $W/L=27\mu m/3\mu m$ NMOS tranzistorlar dahil olmak üzere farklı W/L oranlı tranzistorlar için benzer eğriler elde edilmiştir.



Şekil.4.2 Değişken frekans yöntemiyle elde edilen ve Tablo.1'deki NMOS süreçlerine ait olan I_{cp}/f -logf eğrileri. $W=81\mu\text{m}/L=9\mu\text{m}$, $V_G: -4\text{V} \rightarrow +4\text{V}$ Üçgen Dalga



Şekil.4.3 Değişken frekans yöntemiyle elde edilen ve Tablo.1'deki PMOS süreçlerine ait olan I_{cp}/f -logf eğrileri. $W=27\mu\text{m}/L=3\mu\text{m}$, $V_G: -2\text{V} \rightarrow +2\text{V}$ Üçgen Dalga

Şekil.4.2, Şekil.4.3'teki gibi $Q_{cp} = I_{cp} / f - \log f$ eğrileri ve (3.17), (3.18) denklemleri kullanılarak $\overline{D_{it}}$ ve σ bulunabilmesi için her bir süreç tipine ait A_G , V_{FB} , V_T bilinmelidir.

$|V_{DS}| = 50\text{mV}$, $I_{DS} - V_{GS}$ geçiş öz eğrisinde, $g_m(\text{max})$ değerini veren V_{GS} 'te $I_{DS} - V_{GS}$ eğrisine uydurulan doğrunun V_{GS} eksenini kestiği noktadan $V_{DS}/2$ çıkarılarak bulunan eşik gerilimi, V_T [V] değerleri, üretilen süreç tipleri için Tablo.4.2'de verilmiştir.

A_G , yük pompası akımının aktığı kanal bölgesi alanıdır. Efektif kanal boyu, L_{eff} ve efektif kanal genişliği, W_{eff} çarpımına eşittir. Efektif kanal boyu ve efektif kanal genişliğinin bulunması için çeşitli yöntemler önerilmiştir [123-135]. Bu çalışmada kullanılan yöntem Ek-D'de verilmiştir.

V_{FB} değeri ise SUPREM süreç simülatörü ile buradan elde edilen sonuçların kullanıldığı MINIMOS4 eleman simülatörü yardımıyla bulunmuş ve sabit gerilim değişken ofset yük pompası tekniği ile bu değer teyit edilmiştir.

Bu üç büyüklük için elde edilen değerler Tablo.4.3'te verilmiştir.

Tablo.4.3 ($I_{cp} / f - \log f$) eğrilerinden $\overline{D_{it}}$ ve σ hesaplanması için gerekli büyüklüklerin süreç tiplerine göre değerleri

Süreç Tipi	ΔL [μm]	ΔW [μm]	V_{FB} [V]
GOIP	1.32	1.45	-0.3
FOIP	0.63	-0.40	-0.3
GOIN	1.16	2.17	-1.0
FOIN	0.78	1.86	-1.0

Bu yöntemde kullanılan frekans aralığının, yasak bant içinde hangi tuzak enerji bant aralığının taranmasına karşı düştüğünü bulmak için, önce kullanılan frekanslara ait emisyon zamanları (3.14) ile hesaplanır, elde edilen değerler (3.6) ve (3.7) denklemlerinde kullanılır. Uygulanan büyüklük ve ölçülen değerler kullanılarak 100KHz-1MHz aralığının has fermi seviyesinden yasak bant kenarlarına doğru 8kT-10kT aralığına karşı düştüğü hesaplanmıştır.

Tablo.4.3'te, L_m : çizilen kanal boyu, W_m : çizilen kanal genişliği olmak üzere, $\Delta L = L_m - L_{eff}$, $\Delta W = W_m - W_{eff}$ olarak tanımlanmıştır. (Optik litografi nedeniyle, pul üzerinde şekillenmiş geçit alanı çizilenden farklı ise, kullanılan yöntemlerle bulunan ΔL ve ΔW aynı miktarda farklıdır. L_{eff} ve W_{eff} ve dolayısıyla elektriksel kanal alanı değişmez).

Bu bilgiler kullanılarak bulunan $\overline{D_{it}}$ ve σ değerleri Tablo.4.4'de verilmiştir. Tablo.4.4'deki değerlerin hesaplanmasında,

$$v_{th} = 1e7 \text{ [cm/s] ,}$$

$$n_i = 1.5e10 \text{ [cm}^{-3}\text{]},$$

$$kT = 0.026 \text{ [eV]}, \text{ alınmıştır.}$$

Tablo.4.4- Her bir tranzistor için ($I_{cp} / f - \log f$) eğrileri ve
(2.11) , (2.12) denklemleri ile bulunan $\overline{D_{it}}$ ve σ değerleri

	$\overline{D_{it}}$ [$\text{cm}^2 \text{eV}^{-1}$]			σ [cm^2]		
Süreç	Minimum	Ortalama	Maksimum	Minimum	Ortalama	Maksimum
GOIN	3e10	3.1e10	3.3e10	0.9e-15	1.1e-15	1.2e-15
FOIN	2.6e10	2.8e10	3.3e10	1.1e-15	1.5e-15	1.9e-15
GOIP	3.6e10	3.7e10	4.7e10	0.8e-15	1e-15	7e-15
FOIP	2.2e10	2.8e10	3e10	0.5e-15	0.8e-15	2e-15
FOINH	1.1e10	1.2e10	1.3e10	4.4e-16	5.8e-16	7e-16
GOINZ	1.3e11	1.5e11	1.9e11	1.9e-14	2.3e-14	2.7e-14
FOINZ	1e11	1.2e11	1.6e11	6e-15	1.1e-14	1.8e-14

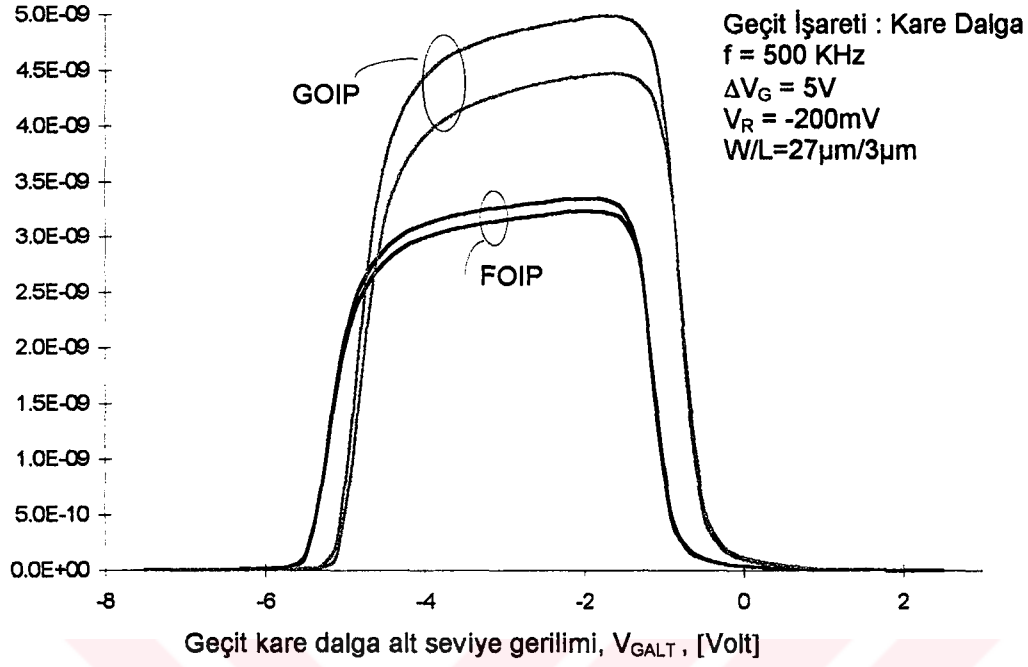
Değişken frekanslı üçgen dalga geçit gerilimi ile yük pompası akımı ölçümleri yapılmıştır, sonuç olarak,

- Azot ortamında tavlama işleminden sonra ölçülen $\overline{D_{it}}$ değerleri, tavlamadan önceki değerlerin yaklaşık beşte biridir.
- Azot ortamında tavlama işleminden sonra ölçülen σ değerleri, tavlamadan önceki değerlerin yaklaşık onda biridir.
- Azot + %13 Hidrojen ortamında tavlama işleminden sonra ölçülen $\overline{D_{it}}$ ve σ değerleri, tavlamadan önceki değerlerin yaklaşık onda biridir.
- Azot ortamında tavllanmış NMOS ve PMOS tranzistorlarda kanal katkılama yönteminin farklı olmasıyla farklı $\overline{D_{it}}$ ve σ değerleri elde edilmemiştir.

4.2 Değişken Ofset Gerilimi Yöntemi

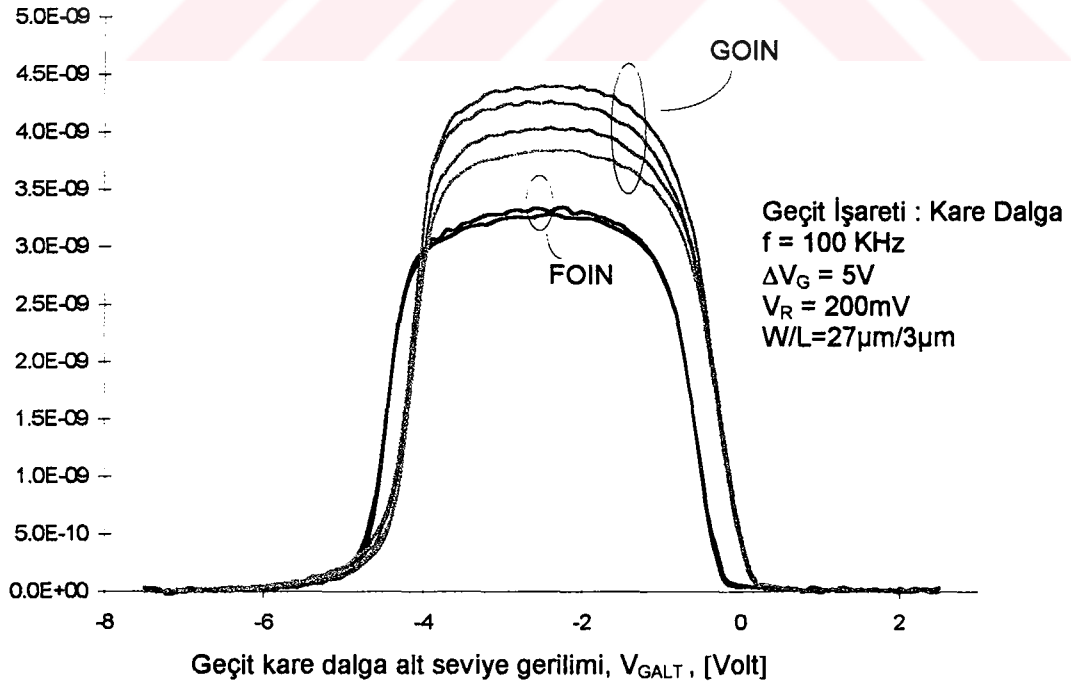
Bu yöntemde Şekil.4.1'deki ölçü düzeneğinde, geçit terminaline kare dalga işareti uygulanmış ve işaretin genliği, frekansı, yükselme ve düşme süreleri sabit tutulup, ofset gerilimi değiştirildiğinde oluşan yük pompası akımı ölçülmüştür. Bu yöntem kullanılarak elde edilen eğriler, çeşitli süreç tiplerini karşılaştırabilmek amacıyla; $Q_p = I_{cp} / fA_G$ olarak tanımladığımız birim alanda her bir periyotta pompalanan yük, cinsinden 4 farklı süreç için Şekil.4.4 ve Şekil.4.5'te verilmiştir.

Herbir periyotta birim alanda
pompananan yük, Q_p , [C/cm²]



Şekil.4.4 Değişken Ofset gerilimi yük pompası tekniği, PMOS ölçüm sonuçları

Herbir periyotta birim alanda
pompananan yük, Q_p , [C/cm²]



Şekil.4.5 Değişken Ofset gerilimi yük pompası tekniği, NMOS ölçüm sonuçları

Tranzistorun hem V_T eşik gerilimi hem V_{FB} düzbant geriliminin, uygulanan kare dalga'nın alt ve üst gerilim seviyeleri arasında kaldığı geçit gerilimi bölgesinde, yük pompası akımı maksimum değerine ulaşmaktadır. Bu maksimum değer, arayüzey tuzak yoğunluğunun bir göstergesidir. Çeşitli tranzistorlar için çıkartılan bu karakteristiklerde $Q_p(\max)$ değerleri ölçülmüş ve aynı süreç tipine ait olanların ortalaması alınarak, her bir süreç tipine ait $\overline{Q_p(\max)}$ değerleri tespit edilmiştir. Bu değerler, değişken frekans yönteminde elde edilen ortalama arayüzey tuzak yoğunluğu değerleriyle karşılaştırmalı olarak Tablo.4.5'te verilmiştir.

Tablo.4.5: Değişken ofset yöntemiyle ölçülen $\overline{Q_p(\max)}$ ile sabit frekans yöntemiyle ölçülen $\overline{D_{it}}$ değerlerinin karşılaştırılması

Süreç Tipi	$\overline{Q_p(\max)}$ [C/cm ²]	$\overline{D_{it}}$ [cm ⁻² eV ⁻¹]
GOIP	4.7e-9	3.7e10
FOIP	3.3e-9	2.8e10
GOIN	4.1e-9	3.1e10
FOIN	3.3e-9	2.8e10

Tablo.4.5'ten görüldüğü gibi $\overline{Q_p(\max)}$ ve $\overline{D_{it}}$ değerleri arasında iyi bir korelasyon vardır. Bolum.4.1'in sonunda bahsedilen arayüzey tuzak yoğunluğu-süreç tipi ilişkisi bu ölçüm yöntemin de de kendini tekrarlamıştır.

Ölçmelerde kullanılan kare dalga işaretin yükselme ve düşme sürelerinin tespitinde, Bölüm.3.2'de anlatılan yük pompası akımındaki geometrik akım bileşeninin, ihmal edilebilecek kadar küçük kalmasını sağlamak esas alınmıştır. Kullanılan yükselme ve düşme süreleri yaklaşık 50ns olup, ölçmelerde kullanılan 3µm kanal boylu tranzistorlar için yük pompası akımında geometrik akım bileşeni ihmal edilebilir.

Bu ölçü yöntemi, hem gerilim zorlaması öncesi hem sonrası kullanılarak arayüzey tuzak yoğunluğu yanısıra oksit içi tuzak yükü bilgisi elde etmek için de kullanılmıştır. Bölüm.3.3'te bahsedildiği gibi, bu yöntemle ölçülen MOS tranzistor yük pompası eğrisinin Şekil.3.2'deki standart biçiminden farklılıklar göstererek Şekil.3.3'te toplam yük pompası akımı ile gösterilen şekle dönüşmesi, oksit içi yüklerin varlığına işaret etmektedir.

4.3. Gerilim Zorlaması Altında Davranış

Üretilen yarıiletken devre elemanının güvenilirlik açısından incelenmesinde en önemli adımlardan biri, elemanın çalışma koşulları altındaki ömrü konusunda bir öngörümde bulunmaktır. Bu konuda öngörümde bulunmak için, güvenilirliği riske sokan mekanizmaların sıcaklık, yüksek gerilim veya yüksek akım koşulları ile hızlandırılması suretiyle yapılan deneylerden faydalanılır. Deney süresince elemanın hasar görmesine neden olacak parametre gözlenir. Bu parametredeki belirli bir değişmeye neden olan süre tespit edilir. Değişik koşullarda bu süre tespiti yapılarak, normal çalışma koşullarında elemanın ömrü konusunda öngörümde bulunulur.

Literatürde sıcak taşıyıcıyla bozulma mekanizmaları incelenmiş, çeşitli hızlandırılmış ömür saptama metodları önerilmiştir. [136-223]. Bunların hemen hepsi artırılmış savak gerilimi yardımıyla bozulmayı hızlandırma ilkesine dayanır. Bozulmanın geçit gerilimine bağımlılığı da bozulma yaratan mekanizma hakkında fikir verir [224-229]. Sıcak taşıyıcıyla bozulma, ortam ve eleman sıcaklığının artırılmasıyla hızlandırılmayan birkaç mekanizmadan biridir. [230,189].

İki farklı kanal katkılama yöntemi ile üretilen ve kılıflanan NMOS ve PMOS tranzistörlerde, Şekil.4.1'deki bilgisayar destekli ölçme düzeneği kullanılarak, hem gerilim zorlaması uygulanmadan önce hem her gerilim zorlamasından hemen sonra aşağıdaki ölçümler yapılmıştır.

- Değişken ofset yöntemiyle yük pompası akımı,
- Geçiş özeğrisi, (geçit gerilimine karşı savak akımı)
- Geçit gerilimine karşı taban ve savak akımı
- Savak ve kaynak uçları yerdeğiştirmiş durumda bir üstteki ölçüm

Bu ölçümlere ait koşullar Tablo.4.6'da özetlenmiştir.

Uygulanan savak-kaynak gerilim zorlaması değerlerinin, tranzistörlerin savak-kaynak kavuşma gerilimlerinden düşük olmasına dikkat edilmiştir. Kavuşma gerilimi; geçit gerilimi 0V iken 1 μ A savak akımının aktığı savak-kaynak gerilimi olarak tanımlanabilir [188].

Gerilim zorlaması uygulanarak incelenen iki farklı kanal katkılamalı NMOS ve PMOS tranzistörlerin çizilen kanal boyları 3 μ m, kanal genişlikleri 27 μ m'dir.

Bütün ölçümler oda sıcaklığında yapılmıştır.

Tablo.4.6- Gerilim zorlamasından önce ve sonra yapılan ölçümlere ait koşullar

Ölçüm Cinsi	Koşullar	NMOS	PMOS
Yük	V_R , Kutuplama Gerilimi	+200mV	-200mV
Pompası	Geçit işareti frekansı	100 KHz	500 KHz
Ölçümü	Tepeden tepeye genlik ΔV_G	5V	5V
	Yükselme ve düşme süresi, $t_r=t_f$	50 ns	50 ns
	Geçit işareti ofset gerilimi, $V_{G\text{offset}}$	-5V --> +5V	+5V --> -5V
Geçiş	V_{DS}	+50mV	-50mV
Özeğrisi	V_{GS}	0 --> +5V	0 --> -5V
Taban Akımı	V_{DS}	+5V	-5V
Ölçümleri	V_{GS}	0 --> +5V	0 --> -5V

Değişken ofset yük pompası yöntemiyle elde edilen yük pompası akımının maksimum seviyesi arayüzey tuzak yoğunluğunun bir ölçüsü iken, eşik gerilimi ve düzbant geriliminin göstergesi olan ve akımın ani değişim gösterdiği kenarlarda, gerilim zorlaması sonrası meydana gelen bozulma ve kaymalar oksit içi yüklerin göstergesi olurlar. Kenarların daha pozitif ofset gerilimine doğru kayması, negatif yük birikimine; kenarların negatif ofset gerilimi değerlerine kayması pozitif yük birikimine işaret eder [8].

Gerilim zorlaması ile Si-SiO₂ arayüzeyinde tuzaklama merkezlerinin yaratılmasının yanısıra, taşıyıcıların üretilmesi, oksit içine enjeksiyonu ve tuzaklar tarafından yakalanması mekanizmaları gerçekleşir. Temel olarak 4 farklı tip sıcak-taşıyıcı (hot-carrier) üretimi/enjeksiyonu mekanizması rapor edilmiştir [231, sf:385].

1. Kanal-Sıcak-Electron (Channel-Hot-Carrier:CHE) enjeksiyonu: $V_{GS}=V_{DS}$ gerilim kutuplaması altında çalıştırılan MOS tranzistorun kanal bölgesindeki elektronlar, V_{DS} geriliminin oluşturduğu elektriksel alan altında hızlanarak sahip oldukları yüksek enerji seviyeleri ile, Si-SiO₂ enerji bariyerini aşarak oksit içine enjekte olurlar ve V_{GS} gerilimi etkisi ile geçit akımı oluşturacak şekilde geçit terminaline ulaşırlar. Bu olay şanslı-elektron (lucky-electron) modeli ile modellenir.
2. Savak-Çığ-Sıcak-Taşıyıcı (Drain-Avalanche-Hot-Carrier:DAHC) mekanizması: V_{DS} gerilimiyle oluşan elektriksel alan nedeniyle hızlanan elektronlar kanal bölgesinin savak jonksiyonu tarafında çığ çarpışmaları (avalanche multiplication) oluşması suretiyle elektron-delik çiftleri üremesine sebep olurlar. Bu elektron ve delikler geçit oksitine enjekte olurlar. $V_{DS} > V_{GS} > V_T$ olacak şekilde kutuplanmış tranzistorlarda daha baskın olarak görülen bu mekanizma, mevcut mekanizmalar içinde en şiddetli bozulmaya sebep olanıdır.

3. Taban-Sıcak-Elektron (Substrate-Hot-Electron) enjeksiyonu : $V_{DS}=0$, $V_{GS} > 0$ ve $V_{BS} < 0$ koşulları altında, silisyum yüzeye yakın tabanın fakirleşmiş bölgesinde ısı yolla üreyen veya taban nötr bölgesinden difüzyonla gelen elektronların oksit içine enjeksiyonu mekanizmasıdır. Bu yöntemde, enjekte edilen elektronların sayısının çok düşük olması nedeniyle, bu mekanizmanın, normal çalışma koşullarında pratik önemi yoktur.
4. İkincil-Üreyen-Sıcak-Elektron (Secondarily-Generated-Hot-Electron) enjeksiyonu Kanalın savak tarafında çığ etkisi nedeniyle oluşan taban delik akımının yeniden elektron-delik çifti üretmesi nedeniyle meydana gelen ikincil elektronların oksit içine enjeksiyon mekanizmasıdır. İnce geçit oksitli ($T_{ox} < 10\text{nm}$) ve yüksek taban-kaynak kutuplaması uygulanmış tranzistörlerde etkili olur.

Mevcut mekanizmalar içinde, bu çalışmada incelenen NMOS tranzistörler için çok daha önemli olan CHE ve DAHC mekanizmalarının etkilerini incelemek amacıyla aşağıdaki gerilim zorlama koşulları seçilip her iki tür kanal katkılama ile üretilen NMOS tranzistörlere uygulanmıştır.

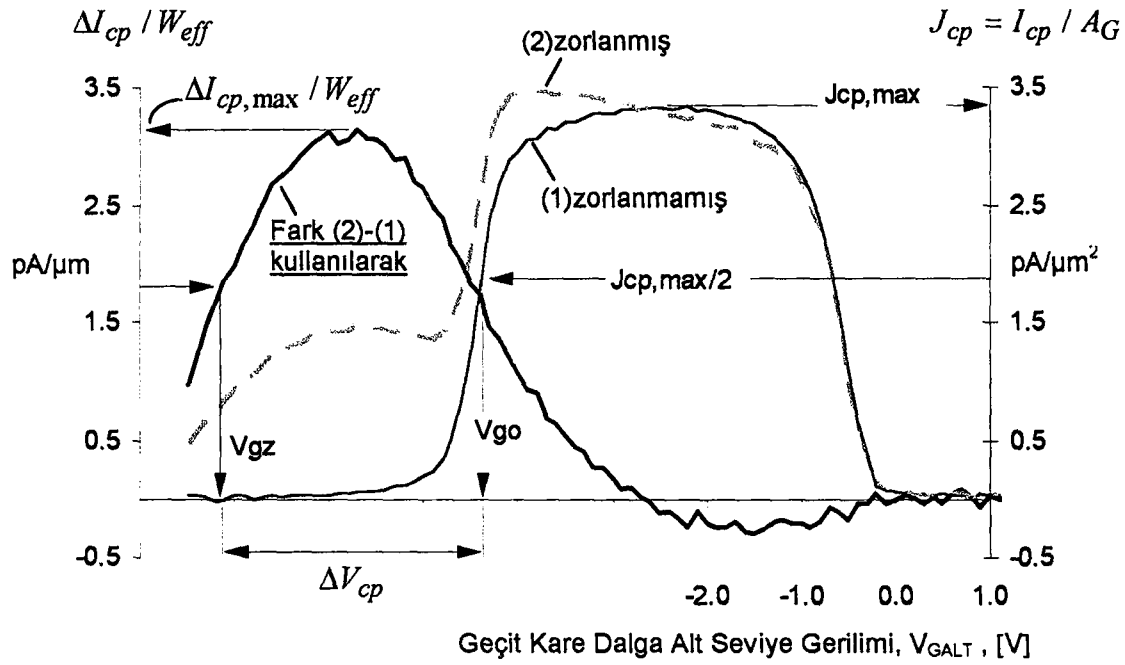
- I.) $V_{GS} \cong V_T$ zorlaması ($V_{GS}=1\text{V}$, $V_{DS}=10\text{V}$) ve ($V_{GS}=1\text{V}$, $V_{DS}=9\text{V}$)
- II.) $V_{GS} \cong V_{DS}/2$ zorlaması ($V_{GS}=5\text{V}$, $V_{DS}=10\text{V}$) ve ($V_{GS}=5.5\text{V}$, $V_{DS}=11\text{V}$)
- III.) $V_{GS} \cong V_{DS}$ zorlaması ($V_{GS}=9\text{V}$, $V_{DS}=9\text{V}$) ve ($V_{GS}=10\text{V}$, $V_{DS}=10\text{V}$)

PMOS tranzistörlerde kanal bölgesindeki deliklerin, elektron-delik yaratma yeteneklerinin, NMOS tranzistörlerdeki elektronların yeteneklerinden daha düşük olması; ayrıca, delikler için Si-SiO₂ bariyerinin elektronlar için olandan daha yüksek olması; ilave olarak, gerilim zorlaması sonrasında tranzistörlerde meydana gelen bozulmalarda ölçülen parametre değişimlerinin, zorlama uygulama süresi arttıkça doymaya girmesi nedeniyle PMOS tranzistörlerde sıcak-taşıyıcı mekanizmaları kaynaklı bozulma, NMOS tranzistörlerdekinden daha azdır. PMOS tranzistörlerde etkin mekanizmanın oksit içine elektron enjeksiyonu olduğu gözönüne alınarak, bu mekanizmanın baskın olduğu $V_{GS} < V_{DS}/2$ kutuplama koşullarında; $V_{DS} = -11\text{V}$ iken $V_{GS} = -1\text{V}$, $V_{GS} = -2\text{V}$, $V_{GS} = -3\text{V}$ değerlerinde gerilim zorlamaları her iki tür kanal katkılama ile üretilen PMOS tranzistörlere uygulanmıştır.

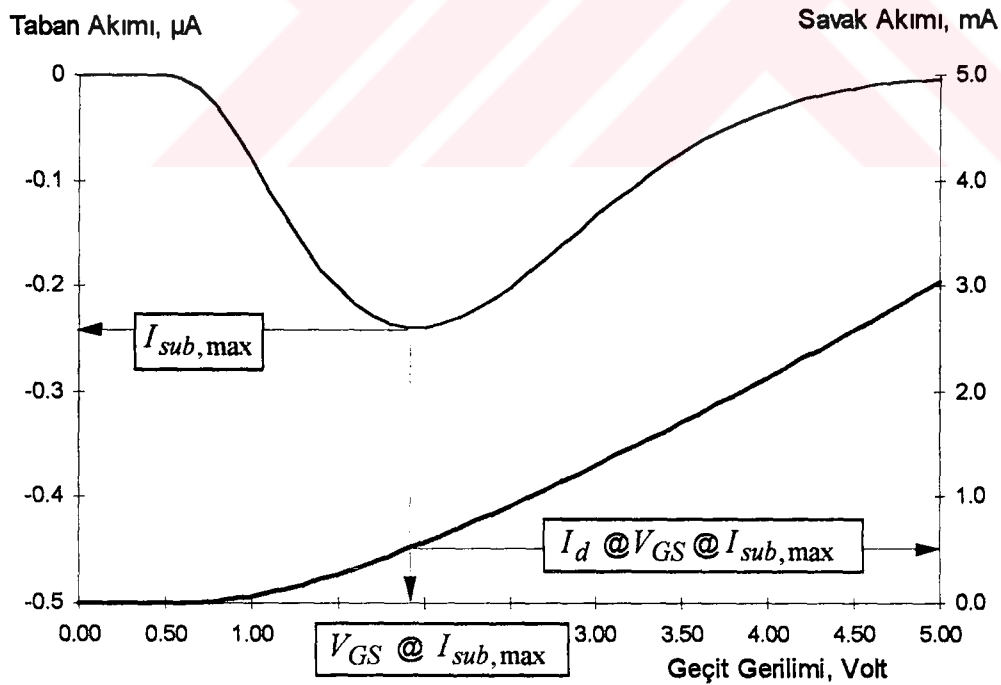
Ölçüm sonuçlarını karşılaştırmak amacıyla, aşağıda tanımlanan büyüklükler ölçümlerden elde edilen değerler yardımıyla hesaplanmıştır.

- Arayüzey tuzak yoğunluğu artımını göstermek üzere,

$$\frac{\Delta I_{cp, \max}}{W_{eff}} = \max\left(\frac{I_{cp}}{W_{eff}}(\text{zorlanmis}) - \frac{I_{cp}}{W_{eff}}(\text{zorlanmamis})\right) \quad (4.1)$$



Şekil.4.6 - Değişken Ofset Yük Pompası Tekniğı ile $V_G \cong V_T$ zorlaması öncesinde ve sonrasında ölçülen yük pompası akımları kullanılarak tanımlanan $\Delta I_{cp,max} / W_{eff}$ ve ΔV_{cp} değerlerinin grafiksel gösterimi



Şekil.4.7 Çoğaltma Faktörü $M = I_{sub,max} / I_d$ grafiksel tanımı

Tranzistorun efektif kanal genişliği başına yük pompası akımları, I_{cp} / W_{eff} , gerilim zorlaması öncesi ve sonrası ölçülüp, farkları hesaplanmış ve bu fark değerlerin maksimumu karşılaştırma için kullanılmıştır. (Şekil.4.6)

- Tuzaklanan yüke işaret eden gerilim ekseninde ötelemeyi göstermek üzere,

$$\Delta V_{cp} = V_{gz} \left(@ \frac{\Delta I_{cp, \max}}{2} \right) - V_{go} @ \left(\frac{I_{cp, \max}(\text{zorlanmamış})}{2} \right) \quad (4.2)$$

V_{go} : zorlanmamış yük pompası akımı, kayma görülen kenarda, maksimum değerinin yarısında iken okunan geçit ofset gerilimi değeridir.

V_{gz} : zorlanmış ve zorlanmamış yük pompası akımları farkı, kayma görülen tarafta, maksimum fark akımının yarı değerinde iken okunan geçit ofset gerilimi değeridir.

ΔV_{cp} bu iki gerilimin farkıdır. (Şekil.4.6)

- Taban akımı-savak akımı ilişkisini göstermek üzere, doğru-gerilim özeğriler kullanılarak maksimum taban akımının aktığı geçit geriliminde taban akımı/savak akımı oranı olarak tanımlanan çoğaltma faktörü (multiplication factor),

$$M = \frac{I_{sub, \max}}{I_d(@V_{GS} @ I_{sub, \max})} \quad (4.3)$$

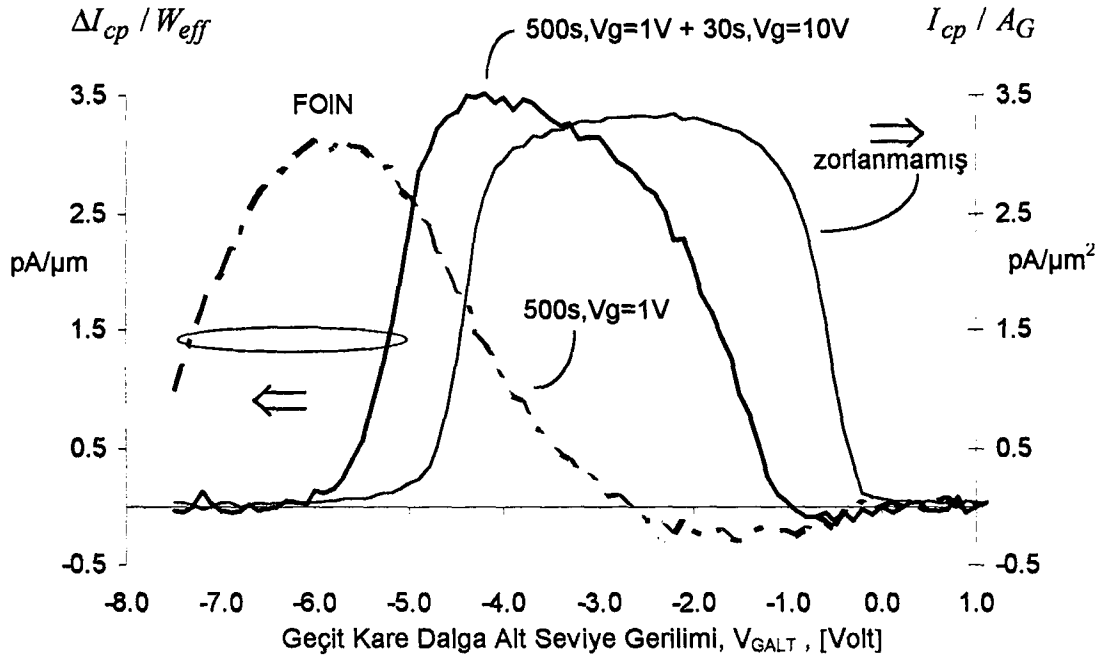
Zorlama nedeniyle çoğaltma faktöründeki değişim,

$$\frac{\Delta M}{M_o} = \frac{M(\text{zorlanmış}) - M(\text{zorlanmamış})}{M(\text{zorlanmamış})} \quad (4.4)$$

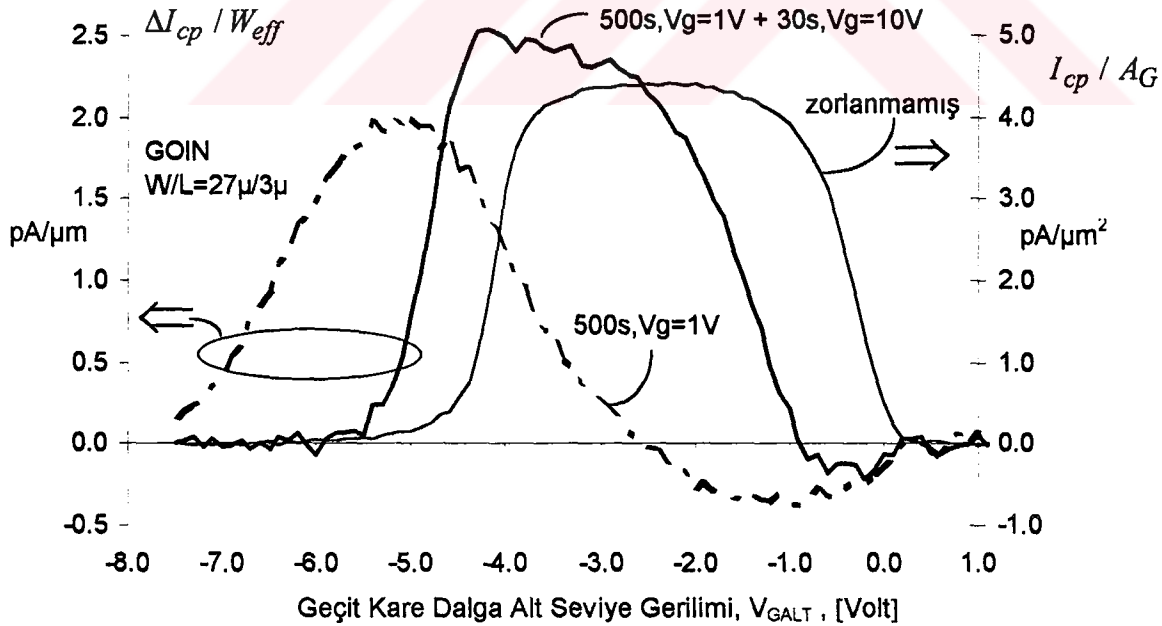
Burada M_o : zorlanmamış tranzistora ait çoğaltma faktörüdür. (4.3) ifadesiyle tanımlanan büyüklük akım-gerilim eğrilerinde Şekil.4.7'de gösterilmiştir.

4.3.1 NMOS Tranzistorlara $V_{GS} \cong V_T$ Gerilim Zorlaması Uygulanması

$V_{GS} \cong V_T$ gerilim zorlaması öncesi ve sonrası yapılan, değişken ofset yük pompası ölçümleriyle elde edilen, Şekil.4.8 ve Şekil.4.9 eğrilerinden görüldüğü gibi, gerilim zorlaması sonunda akım eğrisinin kenarları orijinal durumuna göre daha negatif ofset gerilimi değerlerine doğru kaymaktadır. Bu durum yapıda pozitif yük birikimi olduğunu söyler. Bunun nedeni, oksit içinde delik tuzaklanması veya verici-tip arayüzey tuzakları yaratılması olabilir. Bu ayrımı yapabilmek için, 500s süreyle oksit içine delik enjeksiyonu sağlayan $V_{GS}=1V$, $V_{DS}=10V$ gerilim zorlaması uygulandıktan hemen sonra 30s süreyle oksit içine elektron enjeksiyonu sağlayan



Şekil.4.8 - Ön oksit üzerinden kanal katkılamalı NMOS tranzistorda; 500s,Vg=1V ve ardından 30s,Vg=10V gerilim zorlaması sonrası; ölçülen efektif kanal genişliği başına yük pompası akım farkları ile zorlanmamış yük pompasındaki efektif alan başına yük pompası akımı. (W/L=27μm/3μm, Vd=10V, Geçit işareti frekansı: 100KHz, ΔV_G=5V, V_R=0.2V)

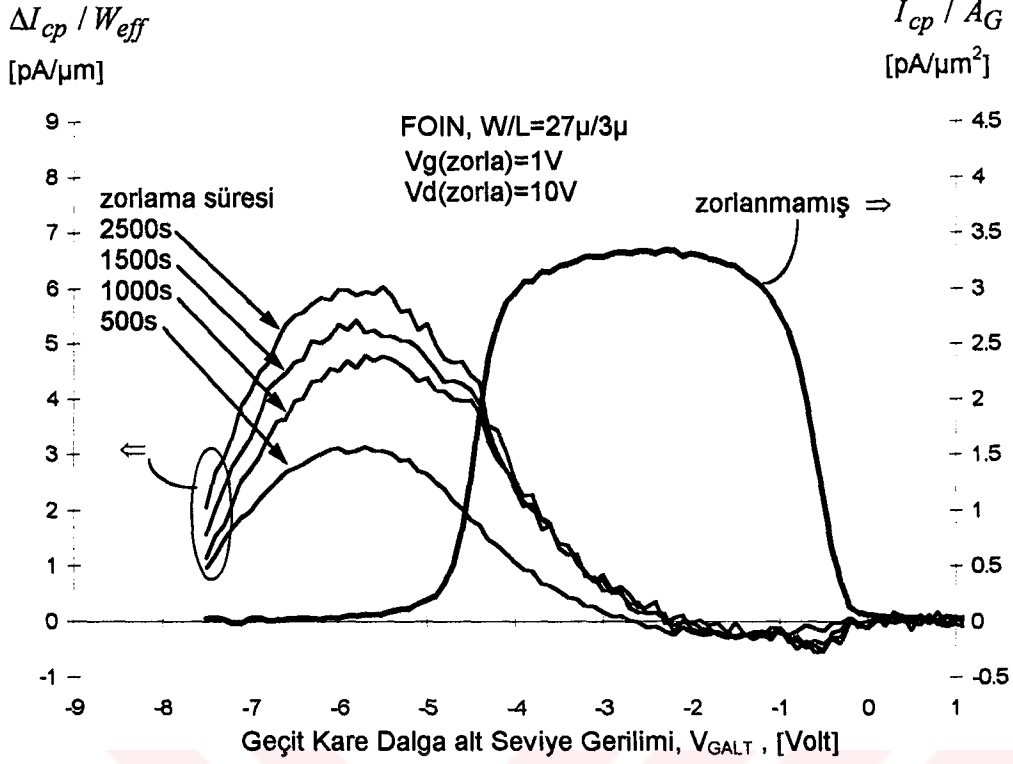


Şekil.4.9 - Geçit oksiti üzerinden kanal katkılamalı NMOS tranzistorda; 500s,Vg=1V ve ardından 30s,Vg=10V gerilim zorlaması sonrası; ölçülen efektif kanal genişliği başına yük pompası akım farkları ile zorlanmamış yük pompasındaki efektif alan başına yük pompası akımı. (Vd=10V, Geçit işareti frekansı: 100KHz, ΔV_G=5V, V_R=0.2V)

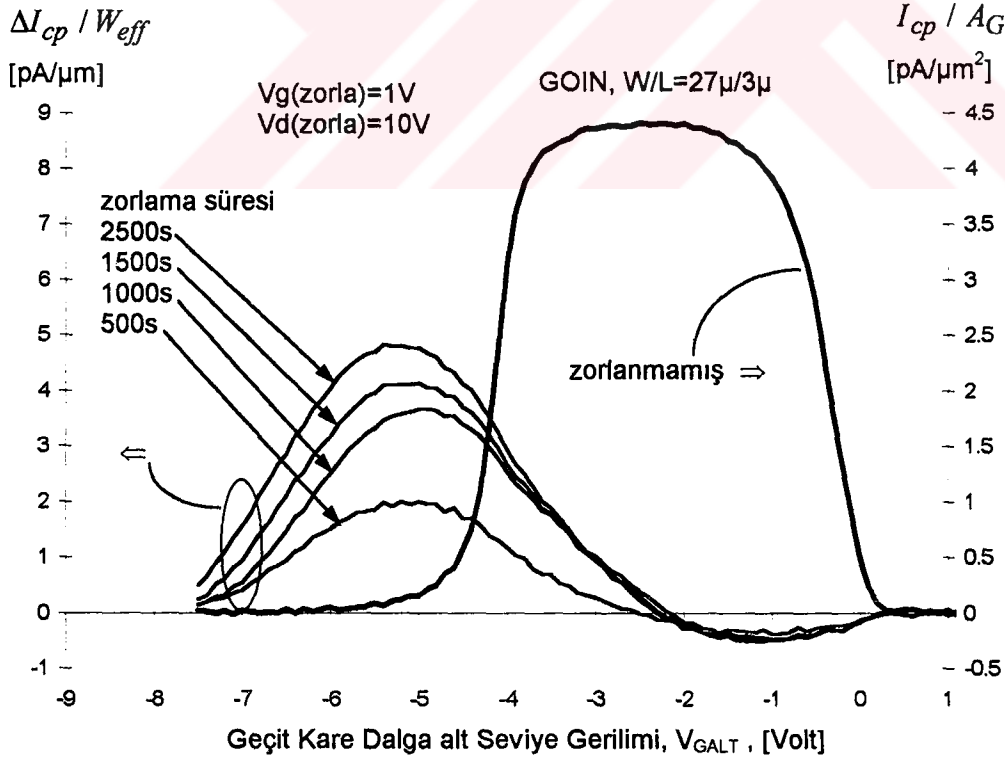
$V_{GS}=V_{DS}=10V$ gerilim zorlaması uygulanmıştır. Bu kısa süreli $V_{GS}=V_{DS}$ gerilim zorlaması ile akım eğrisi orijinal durumuna doğru kaymıştır. Oysa her iki gerilim zorlaması için fark akımları aşağı-yukarı aynıdır. Bu durumda düşük V_{GS} zorlaması ile, arayüzey tuzakları yaratılmamış, oksite yapılan delik enjeksiyonu ile tuzaklanan delikler, sonra yapılan elektron enjeksiyonu ile gelen elektronlarla birleşmişlerdir. $V_{GS}=V_{DS}$ zorlaması sırasında savak bölegesindeki küçük elektriksel alanlar bulunması nedeniyle tuzaklanmış deliklerin kaçması mümkün değildir [232,233].

Düşük geçit gerilimlerinde, deliklerin oksit içinde tuzaklanması, kanal kısalması etkisi yaratmış ve zorlama süresi uzadıkça, geçiş özdeşliklerinde, ölçülen savak akımı artmıştır. Düşük geçit gerilimlerinde arayüzey tuzakları da yaratılır fakat bunların akım üzerindeki etkisi tuzaklanmış delikler tarafından maskelenir. Bu arayüzey tuzaklarının etkisi, daha önce tuzaklanmış deliklerin nötralizasyonu sonrası gözlemlenebilir.

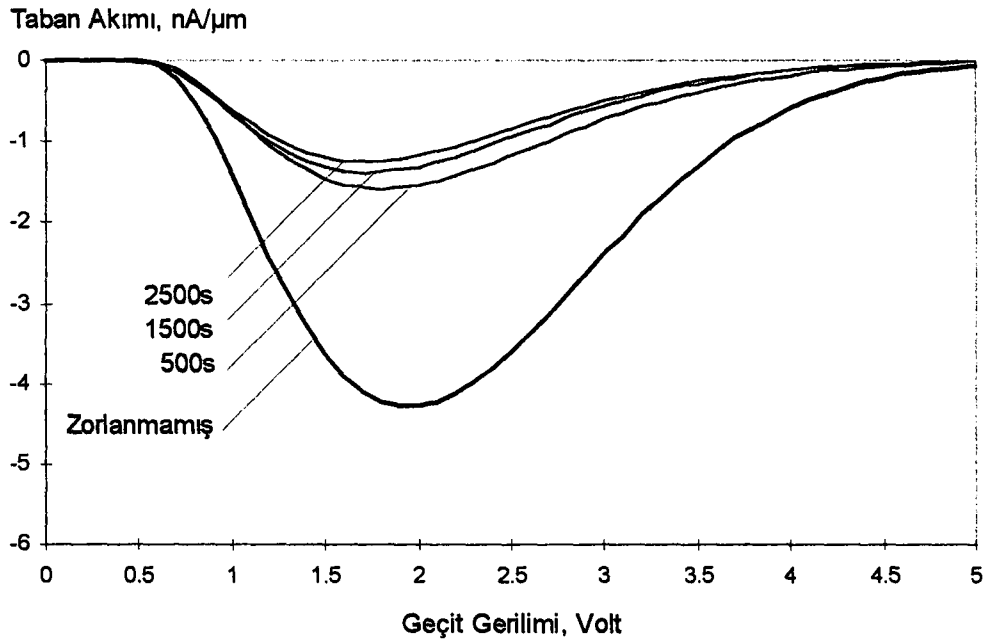
Ön oksit üzerinden implant ile kanal katkılanması yapılan tranzistorlarda düşük geçit gerilimi zorlaması sonrası ölçülen ΔV_{cp} ve ΔI_{cp} , geçit oksiti üzerinden implant ile kanalı katkılanan tranzistorlarda ölçülenlere göre daha fazladır. Bu durumda, ön oksitten implant durumunda delik tuzaklanmasının daha fazla olduğunu söylenebilir. Ön oksitten implant yapıp sonradan geçit oksiti büyütüldüğünde, bu yüksek sıcaklık işlemi sırasında, yüzeyde bulunan Bor atomlarının oksit içine kaçması mümkündür. Doğrudan geçit oksiti üzerinden Bor implant edildiğinde enerji ve doz değerlerine bağlı olarak yüzeye atılan Bor miktarının tekrar geçit oksitine kaçan miktarının, ön oksit üzerinden implant yapılmış duruma göre daha az ısı işlem görmesi nedeniyle daha az olması beklenir. Bu durumda ön oksitli durumdaki ΔV_{cp} ve ΔI_{cp} değerlerinin fazla olmasına dayanarak Bor'un delik tuzaklama mekanizmasına yardım ettiği, oksit içinde bulunduğu zaman delik tuzaklama olasılığını artırdığı söylenebilir. Yüzeydeki ve oksit içindeki Bor miktarı süreç simülasyonları ile araştırıldığında ön oksit üzerinden kanal katkılmalı tranzistorlarda oksit içinde yüzeye yakın bölgelerde Bor konsantrasyonunun diğer katkılama yöntemindekinden daha yüksek olduğu görülmektedir. (EK-B). Düşük geçit gerilim zorlaması uygulanan sürenin değiştirilmesi ile ΔV_{cp} ve ΔI_{cp} değerlerinin zorlama süresi ile orantılı olarak arttığı ölçülmüştür (Şekil.4.10 ve 4.11). Bu büyüklükler tranzistorların faydalı ömürlerini saptamak için bir parametre olarak kullanılabilir ve tespit edilen kritik değere daha çabuk ulaşacak şekilde ΔV_{cp} ve ΔI_{cp} değerleri daha hızlı büyüyen tranzistorun



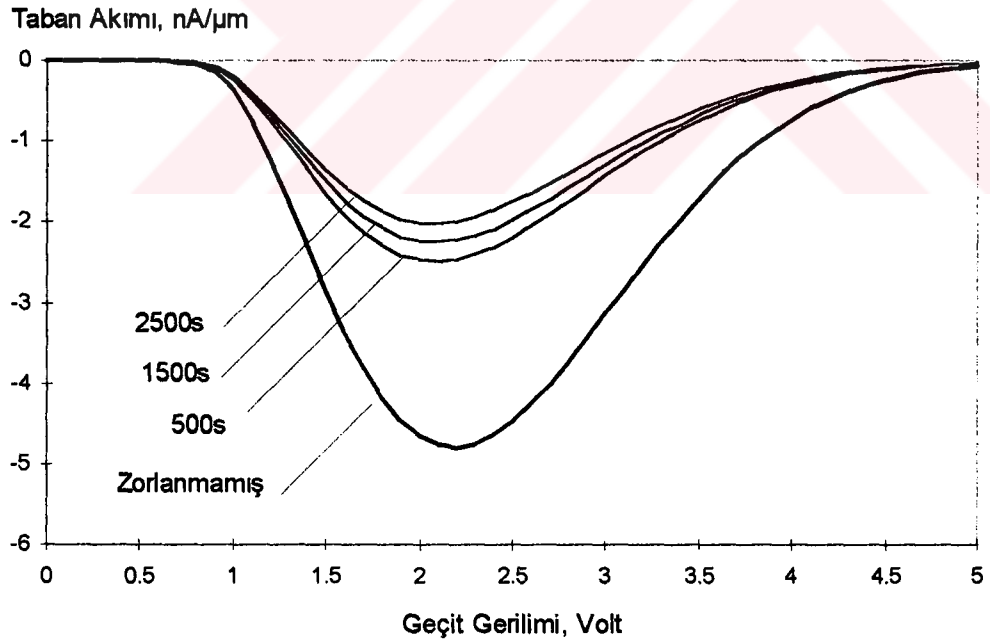
Şekil.4.10- Ön oksit üzerinden kanal katkılamalı NMOS tranzistorda $V_g=1V$, $V_d=10V$ gerilim zorlaması uygulandıktan sonra, efektif kanal genişliği başına yük pompası akımının zorlama uygulama süresi ile değişimi (Yük pompası ölçü frekansı: 100KHz, $\Delta V_G=5V$, $V_R=0.2V$)



Şekil.4.11- Geçit oksiti üzerinden kanal katkılamalı NMOS tranzistorda $V_g=1V$, $V_d=10V$ gerilim zorlaması uygulandıktan sonra, efektif kanal genişliği başına yük pompası akımının zorlama uygulama süresi ile değişimi (Yük pompası ölçü frekansı: 100KHz, $\Delta V_G=5V$, $V_R=0.2V$)



Şekil.4.12 Ön Oksit üzerinden kanal katkılamalı NMOS tranzistörde $V_{GS}=1V$, $V_{DS}=10V$ gerilim zorlaması uygulanmadan önce ve sonra taban akımlarının değişimi



Şekil.4.13 Geçit Oksiti üzerinden kanal katkılamalı NMOS tranzistörde $V_{GS}=1V$, $V_{DS}=10V$ gerilim zorlaması uygulanmadan önce ve sonra taban akımlarının değişimi

faydalı ömrü daha kısa olur. Bu kutuplama koşullarında ön oksit üzerinden katkılamalı tranzistorlar daha kısa faydalı ömre sahiptirler.

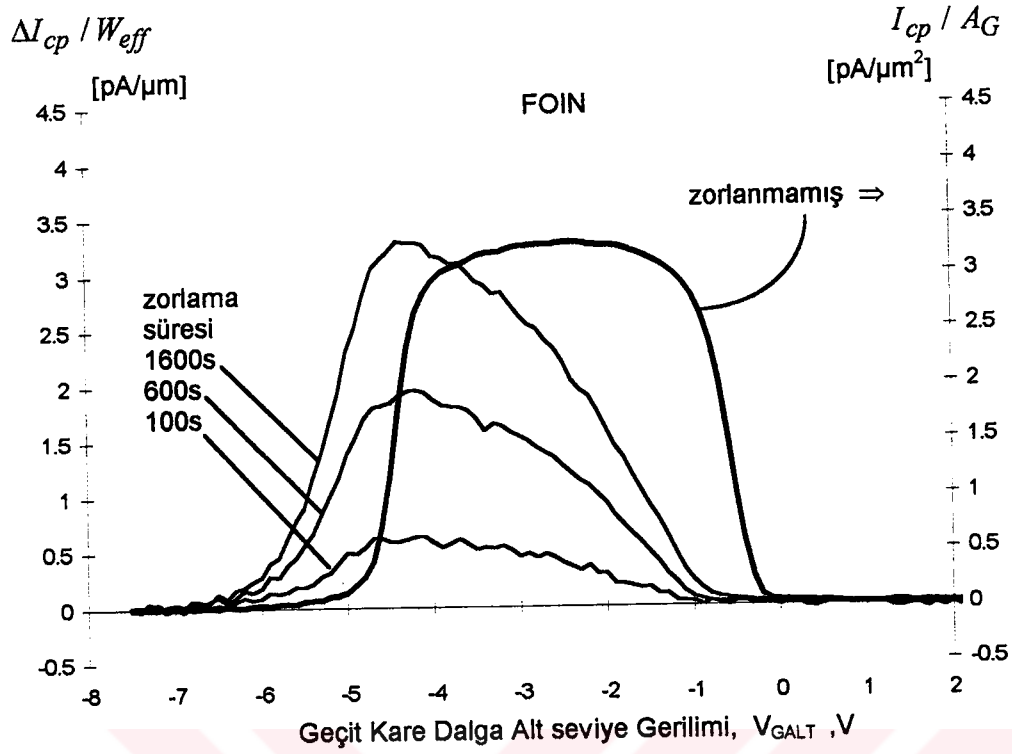
Gerilim zorlaması öncesi ve sonrası taban akımının geçit gerilimine göre değişimini gösteren eğriler Şekil.4.12 ve Şekil.4.13'de verilmiştir. Savak/Kaynak yerdeğiştirmiş durumda pek fazla değişmeyen eğrilerin normal çalışma rejiminde farklılık içermesi, bozulmanın düzgün dağılmamış olduğunu, savak bölgesi civarında bozulma meydana geldiğini göstermektedir. Ayrıca zorlama süresi uzadıkça taban akımının azalması, efektif geçit geriliminin arttığını yani oksit içinde net pozitif yük oluştuğunu göstermekte ve yük pompası ölçümleri ile uyuşmaktadır.

4.3.2 NMOS Tranzistorlara $V_{GS} \cong V_{DS}/2$ ve $V_{GS} \cong V_{DS}$ Gerilim Zorlamaları Uygulanması

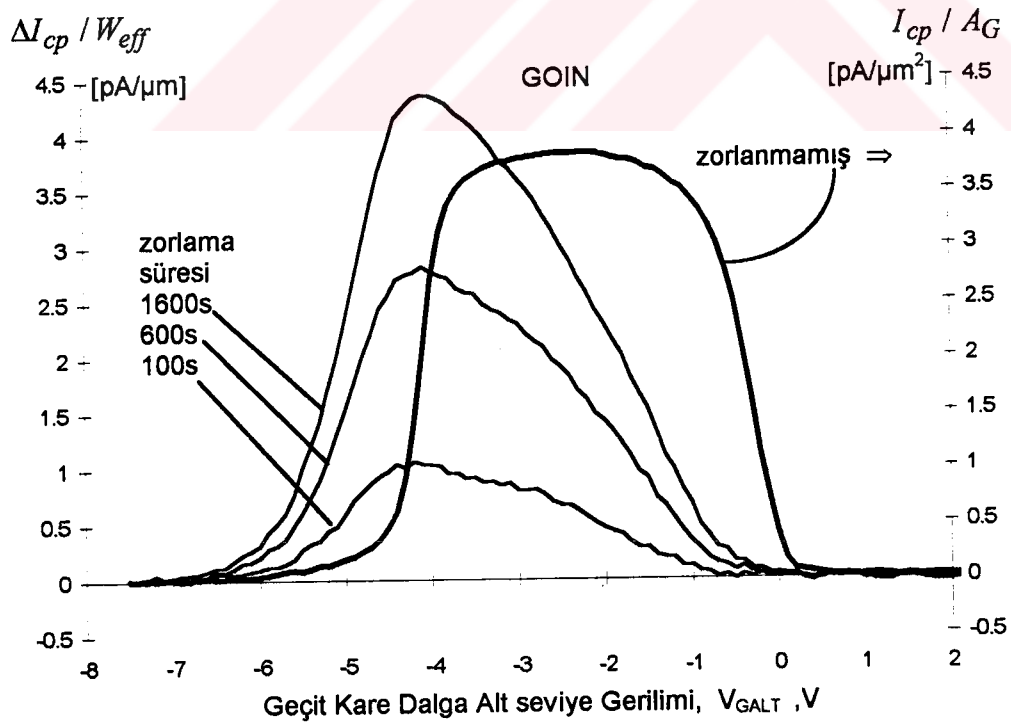
Literatürde, NMOS tranzistorlarda maksimum bozulmanın, $V_{GS} = V_{DS}/2$ zorlama koşullarında olduğu görüşü yaygındır. Bu koşullarda, geçit oksitine hem elektron hem delik enjeksiyonu vasıtasıyla arayüzey tuzakları yaratılmasının sonucu olarak silisyumdaki taşıyıcıların yüzey mobilitesi düşmekte, bu nedenle savak akımı azalmaktadır.

Gerilim zorlaması altındaki tranzistorlarda bütün geçit zorlama gerilimi değerlerinde arayüzey tuzakları yaratılır. Fakat arayüzey tuzaklarının en fazla yaratıldığı geçit gerilimi, maksimum taban akımının aktığı geçit gerilimi değeridir. Bu arayüzey tuzakları, kanalın savak ucunda yaratılmaktadırlar. $V_{GS} = 5V$, $V_{DS} = 10V$ ve $V_{GS} = 5.5V$, $V_{DS} = 11V$ gerilim zorlamaları değişik sürelerle iki farklı kanal katkılamalı tranzistorlara uygulanmıştır. Yük pompası akımları sonuçları Şekil.4.14 ve Şekil.4.15'de verilmiştir. Farklı kanal katkılaması yapılmış tranzistorlar arasında $V_{GS} = V_{DS}/2$ gerilim zorlamasının yarattığı hasarlar açısından durum bir önceki zorlamanın tersidir. Yani geçit oksitinden kanal katkılamalı durumda daha fazla bozulma vardır. Arayüzey tuzakları geçit oksitinden katkılamalı durumda daha fazla yaratılmaktadır. Taban akımlarının zorlama süresiyle fazla değişmediği de görüldüğünden bu zorlama koşullarında oksit içinde yük birikmesi olmadığı fakat arayüzey tuzakları yaratıldığı sonucuna varılır.

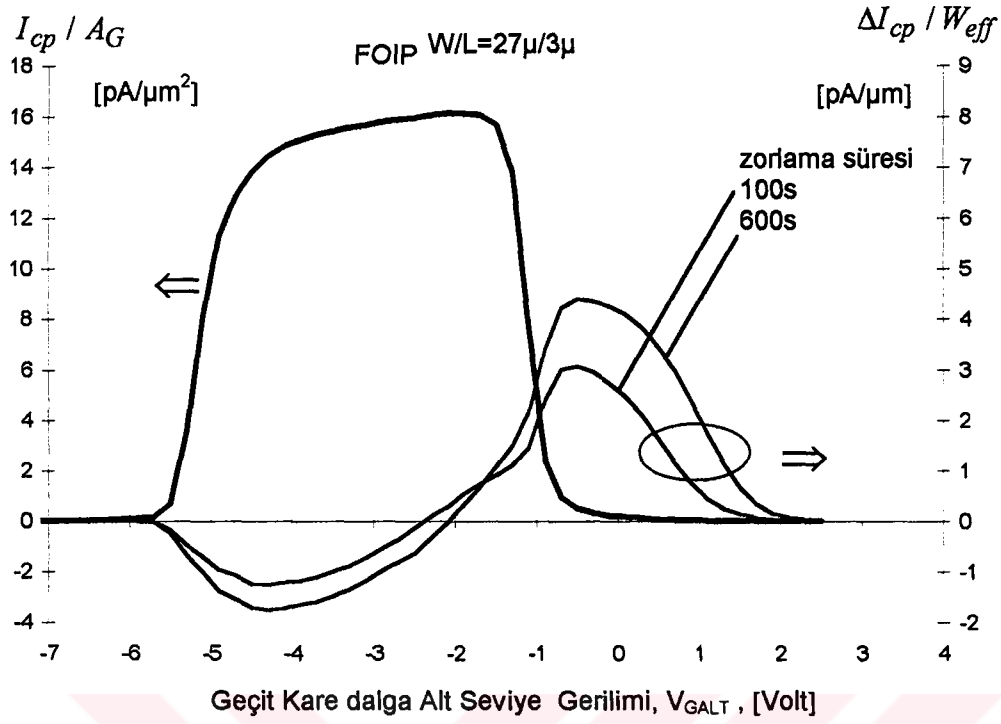
Geçit oksitinden kanal katkılamalı durumda daha fazla arayüzey tuzak seviyesi ölçülmüştür. Bunun nedeni şöyle açıklanabilir. Ön oksit üzerinden kanal katkılaması yapılan süreçte, implantasyon sonrası, $1000^{\circ}C$ 'de geçit oksiti büyütülmesi, diğer yöneme göre, ilave bir tavlama işlemi olarak, implantasyon nedeniyle hasara uğrayan arayüzeyde, tuzakları azaltmaktadır.



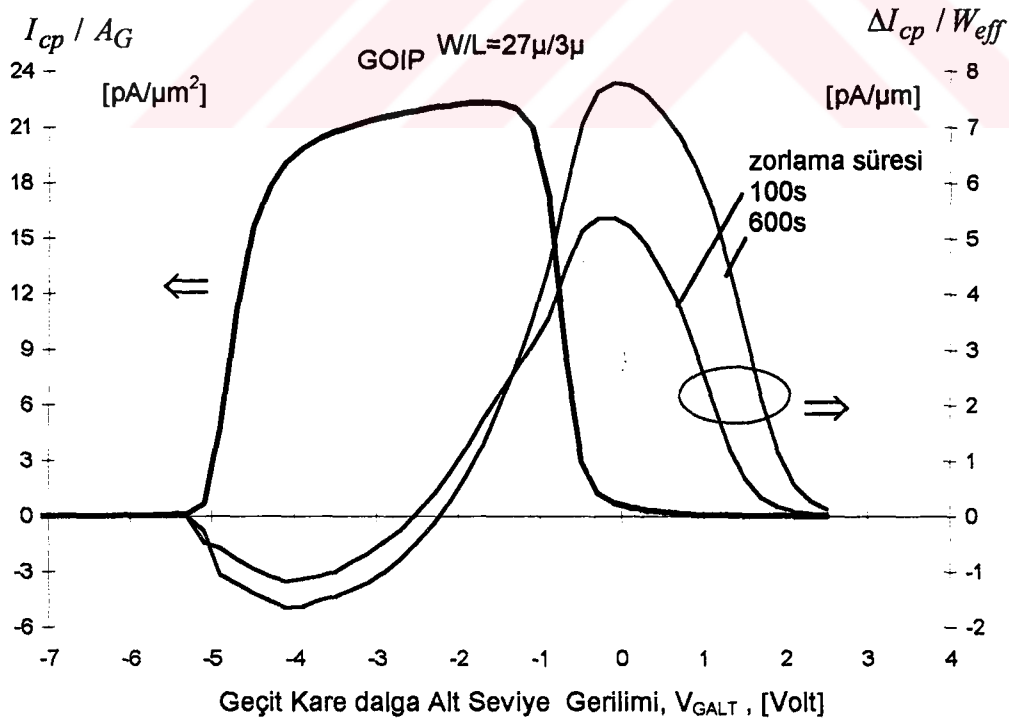
Şekil.4.14- Ön oksit üzerinden kanal katkılamalı NMOS tranzistorda $V_g=5V$, $V_d=10V$ zorlaması uygulandıktan sonra, efektif kanal genişliği başına yük pompası akımının, zorlama uygulama süresi ile değişimi ($f=100KHz$, $\Delta V_G=5V$, $V_R=0.2V$, $W/L=27\mu/3\mu$).



Şekil.4.15- Geçit oksiti üzerinden kanal katkılamalı NMOS tranzistorda $V_g=5V$, $V_d=10V$ zorlaması uygulandıktan sonra, efektif kanal genişliği başına yük pompası akımının, zorlama uygulama süresi ile değişimi ($f=100KHz$, $\Delta V_G=5V$, $V_R=0.2V$, $W/L=27\mu/3\mu$).



Şekil.4.16- Ön oksit üzerinden kanal katkılmalı PMOS tranzistorda $V_g=-3\text{V}$, $V_d=-11\text{V}$ gerilim zorlaması uygulandığında, efektif kanal genişliği başına yük pompası akımı farklarının, zorlama uygulama süresi ile değişimi ($f = 500\text{kHz}$, $\Delta V_G=5\text{V}$, $V_R = -0.2\text{V}$)



Şekil.4.17- Geçit oksiti üzerinden kanal katkılmalı PMOS tranzistorda $V_g=-3\text{V}$, $V_d=-11\text{V}$ gerilim zorlaması uygulandığında, efektif kanal genişliği başına yük pompası akımı farklarının, zorlama uygulama süresi ile değişimi ($f = 500\text{kHz}$, $\Delta V_G=5\text{V}$, $V_R = -0.2\text{V}$)

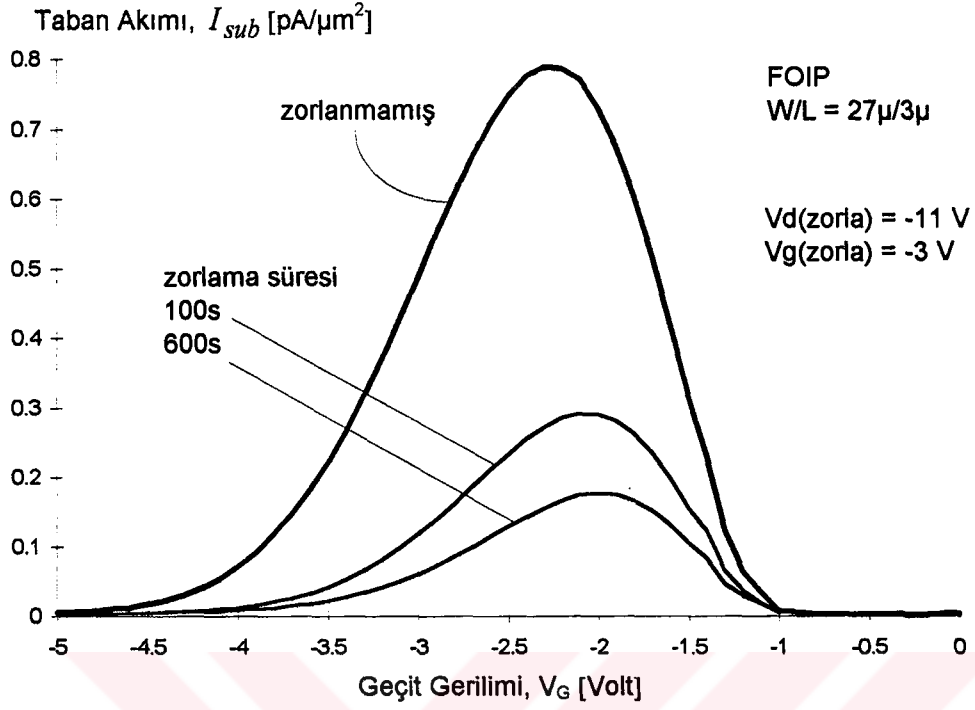
$V_{GS}=V_{DS}=9V$ ve $V_{GS}=V_{DS}=10V$ gerilim zorlamaları değişik sürelerle iki farklı süreçle üretilen tranzistorlara uygulanmıştır. Bu gerilim zorlamasının yarattığı bozulmanın diğer iki tip gerilim zorlamasına göre daha az ve her iki yöntem için aynı olduğu görülmüştür.

4.3.3 PMOS Tranzistorlara Sabit V_{DS} , Değişik V_{GS} Zorlamaları Uygulanması

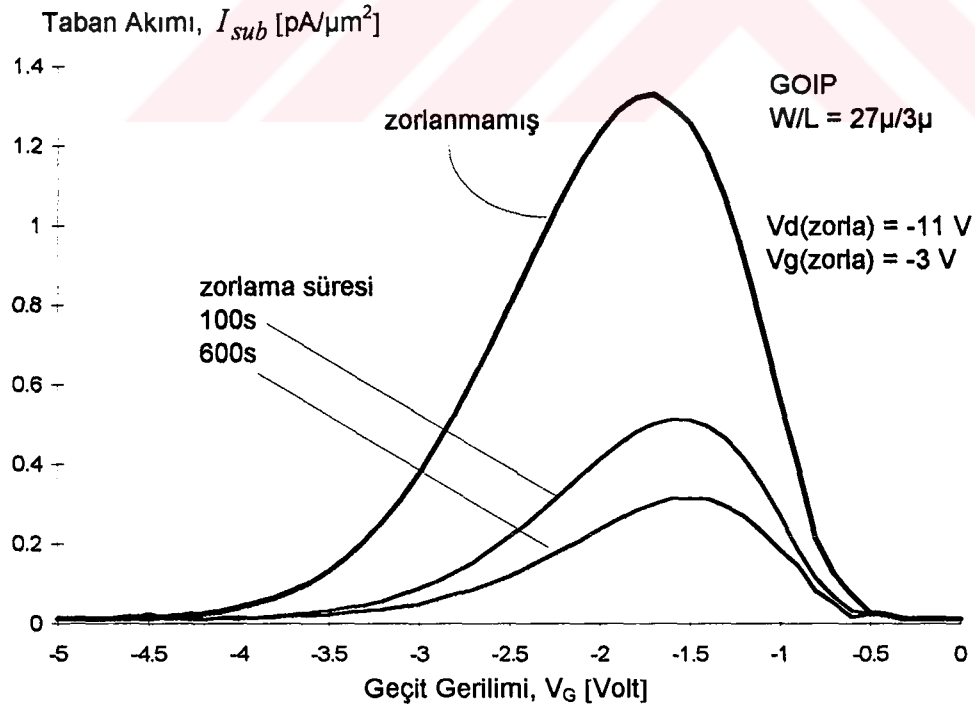
PMOS tranzistorlara, $V_{DS}=-11V$ ve değişik V_{GS} zorlama gerilimleri uygulanmıştır. Bir örnek olarak, $V_{GS}=-3V$ ve $V_{DS}=-11V$ gerilim zorlaması öncesi ve sonrasında yapılan değişken ofset gerilimi yük pompası ölçümleri ile elde edilen eğriler Şekil.4.16 ve 4.17' de verilmiştir. Fark akımlar eğrisi sağa (pozitif gerilimlere) doğru ötelenmiştir. NMOS'taki durumun aksine negatif yük birikmesi vardır. Geçit terminaline uygulanan doğru gerilimin değiştirilmesi ile elde edilen taban akımı değişiminin verildiği Şekil.4.18 ve 4.19 eğrilerinden, taban akımlarının zorlama süresiyle azaldıkları görülür. Efektif mutlak geçit gerilimi artmış demektir. PMOS'ta bu negatif yük birikimi anlamına gelir ve yük pompası ölçümleri ile uyuşur. $V_{GS}=-3V$ ve diğer geçit gerilimi zorlamalarında elde edilen yük pompası karakteristiklerinden (4.1) ve (4.2) ifadeleriyle tanımlanan büyüklükler hesaplanmış ve uygulanan efektif geçit zorlama gerilimi ($V_{GS}-V_T$) ile değişimleri Şekil.4.20'de verilmiştir. (4.3) ve (4.4) ifadeleri ile tanımlanan büyüklükler, tranzistorların akım-gerilim eğrilerinden hesaplanmış ve efektif geçit zorlama gerilimi ($V_{GS}-V_T$) ile değişimleri Şekil.4.21'de verilmiştir. Şekil.4.20 ve Şekil.4.21 den görüldüğü gibi geçit oksiti üzerinden katkılmalı tranzistorlarda tuzaklama mekanizmaları daha etkindir.

PMOS'larda düşük geçit gerilimi zorlamalarında savak akımının arttığı ölçülmüştür. Bu kutuplama koşullarında oksit içine elektron enjeksiyonu vardır. Savak negatif kutuplu olup elektronları iter ve kanal bölgesi üstünde negatif yük birikimi oluşarak kanal kısalmasına neden olur. Savak akımı bu nedenle artar [233].

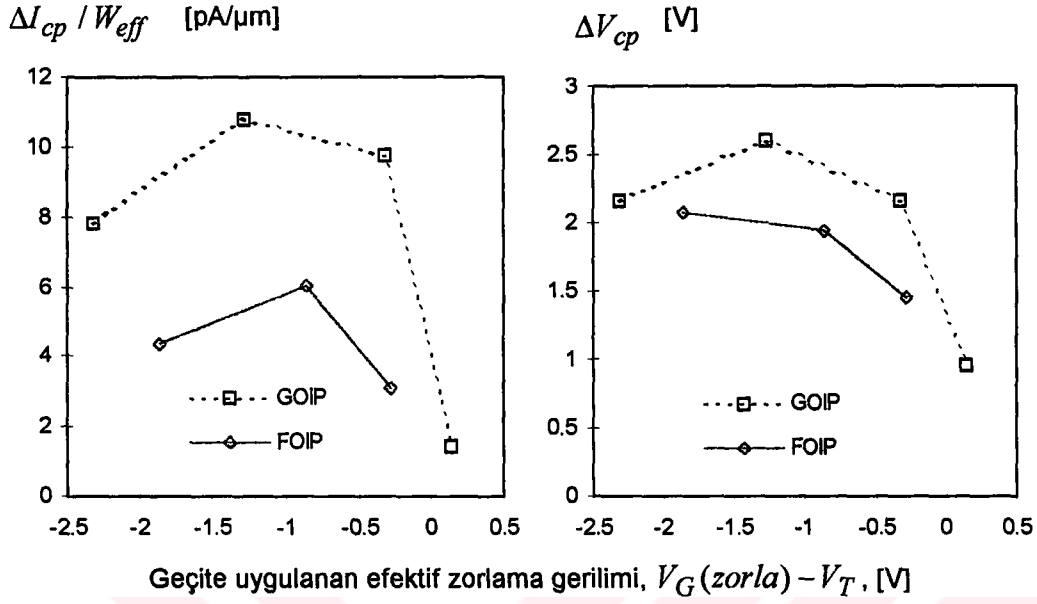
Düşük geçit gerilimleri ile zorlanan PMOS tranzistorlardan geçit oksiti üzerinden kanal katkılmalı olanlar daha fazla bozulma göstermişlerdir. Şekil.B.1'deki SUPREM simülasyonlarına baktığımız zaman, Bor konsantrasyonu arayüzeye yakın bölgelerde geçit oksit üzerinden kanal katkılmalı olanlarda daha yüksektir. Bor konsantrasyonu ile bozulma arasında bir ilişki kurmak mümkün görülebilir.



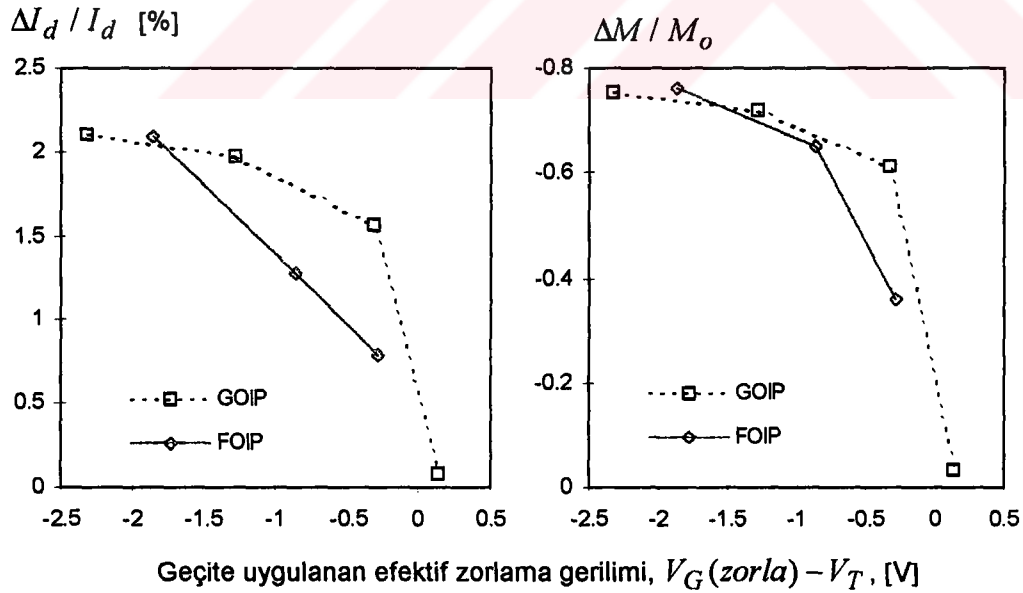
Şekil.4.18- Ön oksit üzerinden kanal katkılıyalı PMOS tranzistorda; zorlama öncesi ve $V_g=-3\text{V}$, $V_d=-11\text{V}$ gerilim zorlaması sonrası taban akımlarının geçit gerilimi ile değişimi.



Şekil.4.19- Geçit oksiti üzerinden kanal katkılıyalı PMOS tranzistorda; zorlama öncesi ve $V_g=-3\text{V}$, $V_d=-11\text{V}$ gerilim zorlaması sonrası taban akımlarının geçit gerilimi ile değişimi.



Şekil.4.20- İki farklı türde kanal katkılamalı PMOS tranzistorlarda, gerilim zorlaması öncesi ve sonrasında değişken ofset yük pompası tekniği ile yapılan yük pompası ölçümlerinden elde edilen sonuçlar. $V_d(zorla) = -11V$, zorlama süresi = 600s , Geçit gerilimi frekansı = 500khz, $\Delta V_{cp}=5V$, $V_R=-0.2V$, Tranzistorda $W/L = 27\mu/3\mu$



Şekil.4.21- İki farklı türde kanal katkılamalı PMOS tranzistorlarda, gerilim zorlaması öncesi ve sonrasında yapılan akım-gerilim ölçümlerinden elde edilen sonuçlar. $V_d(zorla) = -11V$, zorlama süresi = 600s , Tranzistorda $W/L = 27\mu/3\mu$, $M \equiv I_{sub} / I_d$ olarak tanımlanmıştır. M_o : zorlama uygulanmamış durumdaki değerdir.

5. SONUÇLAR

Bu çalışmada, tümdevre tranzistor üretim süreci adımlarından kanal katkılama ve düşük sıcaklıkta tavlama işlemlerinin oksit içi ve arayüzey tuzakları üzerine etkileri incelenmiştir. İki farklı kanal katkılama yöntemi ele alınmıştır. Birincisi geçit oksiti üzerinden iyon implantasyonu ile kanal katkılama, ikincisi geçit oksitinden önce büyütülmüş bir ön oksit üzerinden iyon implantasyonu ile kanal katkılama yöntemidir. İki farklı tavlama işlemi dikkate alınmıştır. Birincisi azot ortamı içinde tavlama, ikincisi azot içine %13 hidrojen ilave edilmiş ortamda tavlama işlemidir. Her iki tavlama sonrası ölçülen arayüzey tuzak yoğunluğu ve tuzak yakalama kesitleri tavlama sonrası duruma göre karşılaştırmalı olarak incelenmiştir. Her iki kanal katkılama yöntemi ile üretilen NMOS ve PMOS tranzistorlarda yük pompası tekniği ile tuzak yoğunluğu ve yakalama kesiti ölçümleri yapılmış, gerilim zorlamasının bu tranzistorlardaki tuzaklama mekanizmaları üzerine etkisi araştırılmıştır.

Çalışma, kanal katkılama yönteminin oksit içi ve arayüzey tuzakları üzerine etkisinin araştırılması bakımından özgündür. Açık literatürde benzeri bir çalışma bulunamamıştır. İki farklı kanal katkılama yönteminin arayüzey üzerine etkilerinin araştırıldığı yayınlar, oksit içi tuzaklar ve yakalama kesitleri hakkında inceleme içermemektedir. Arayüzey ve oksit içi tuzakları inceleyen yayınlarda ise, iki farklı kanal katkılama yönteminin etkileri incelenmemiştir.

Değişken frekans yük pompası yöntemi ile yapılan ölçümler sonucunda;

1. Her iki süreç tipi için metalizasyon sonrası tavlama yapılmadan önceki arayüzey tuzak yoğunluğu, $\overline{D_{it}}$; yaklaşık olarak $1.4 \times 10^{11} [\text{cm}^{-2} \text{eV}^{-1}]$ iken azot ortamında tavlama sonucu, $3 \times 10^{10} [\text{cm}^{-2} \text{eV}^{-1}]$ mertebesine düşmüştür. Tavlama süreç adımı azot içine %13 hidrojen ilave edilmesiyle bu değerler yaklaşık $1.2 \times 10^{10} [\text{cm}^{-2} \text{eV}^{-1}]$ olmaktadır.
2. Arayüzey tuzak yakalama kesiti, σ ; her iki tip süreç için tavlama sonrası duruma $2 \times 10^{-14} [\text{cm}^2]$ civarındadır. Bu değer, azot ve azot+%13 hidrojen ortamında tavlama sonucunda bir mertebe küçülerek $2 \times 10^{-15} [\text{cm}^2]$ civarına düşmüştür.

3. Azot ortamında tavllanmış NMOS ve PMOS tranzistörlerde kanal katkılama yönteminin farklı olmasıyla farklı $\overline{D_{it}}$ ve σ değerleri elde edilmemiştir.

Özetle, metalizasyon sonrası 450 °C'de azot ortamında yapılan tavlama işleminin arayüzey tuzaklarının etkisini önemli ölçüde azalttığı gözlenmiştir. Tavlama ortamına %13 oranında hidrojen ilave edilince (2 L/d N₂ + 0.3 L/d H₂ gaz akışı ile) azot ortamında tavlama ile elde edilenden daha düşük tuzak yoğunluğu ve yakalama kesiti değerleri ölçülmüştür. Bu sonuç, literatürde mevcut sonuçlarla uyushmaktadır [234-236] ve yapıya ilave edilen hidrojenin Si-SiO₂ arayüzeydeki eksik bağları tamamlayarak yapıyı onarması şeklinde açıklanabilir [237].

NMOS tranzistörlere $V_{GS} \cong V_T$ gerilim zorlaması sonunda, değişken offset yük pompası yöntemiyle elde edilen eğriler yapıda pozitif yük birikimi olduğunu söyler. Bunun nedeni, oksit içinde delik tuzaklanması veya verici-tip arayüzey tuzakları yaratılması olabilir. Bu ayrımı yapabilmek için, 500s süreyle oksit içine delik enjeksiyonu ve hemen ardından 30s süreyle oksit içine elektron enjeksiyonu sağlayan $V_{GS} = V_{DS}$ gerilim zorlaması uygulanmıştır. Bu kısa süreli gerilim zorlaması ile akım eğrisi, maksimum yük pompası akımı fazla değişmeksizin orijinal durumuna doğru kaymıştır. Sonuçta, $V_{GS} \cong V_T$ gerilim zorlamasıyla arayüzey tuzağı yaratılmamış, oksite yapılan delik enjeksiyonu ile tuzaklanan delikler, daha sonra yapılan elektron enjeksiyonu ile gelen elektronlarla birleşmişlerdir. Deliklerin oksit içinde tuzaklanması, kanal kısalması etkisi yaratarak savak akımının artmasına neden olmuştur.

Ön oksit üzerinden implant ile kanal katkılanması yapılan tranzistörlerde düşük geçit gerilimi zorlaması sonrası ölçülen ΔV_{cp} ve ΔI_{cp} değerleri, geçit oksiti üzerinden implant ile kanalı katkılanan tranzistörlerde ölçülenlere göre daha fazladır. Bu durumda, ön oksitten implant durumunda delik tuzaklanmasının daha fazla olduğu söylenebilir. Ön oksitten implant yapıp sonradan geçit oksiti büyütüldüğünde, bu yüksek sıcaklık işlemi sırasında, yüzeyde bulunan Bor atomlarının oksit içine kaçması mümkündür. Doğrudan geçit oksiti üzerinden Bor implant edildiğinde enerji ve doz değerlerine bağlı olarak yüzeye atılan Bor miktarının tekrar geçit oksitine kaçan kısmının, ön oksit üzerinden implant yapılmış duruma göre daha az ısı işlem görmesi nedeniyle daha az olması beklenir. Bu durumda ön oksitli durumdaki ΔV_{cp} ve ΔI_{cp} değerlerinin fazla olmasına dayanarak Bor'un delik tuzaklama mekanizmasına yardım ettiği, oksit içinde bulunduğu zaman delik tuzaklama olasılığını artırdığı söylenebilir. Yüzeydeki ve

oksit içindeki Bor miktarı süreç simülasyonları ile araştırıldığında, oksit içinde silisyum yüzeyine yakın bölgelerdeki Bor konsantrasyonu, tuzak ölçümleriyle uyumlu olarak, ön oksit üzerinden katkılmalı durumda daha yüksek bulunmuştur. Süreç simülatörü için giriş dosyaları ve elde edilen sonuç katkı profilleri Ek-B'de verilmiştir.

Gerilim zorlaması öncesi ve sonrası taban akımının geçit gerilimine göre değişimini gösteren eğrilerden, bozulmanın düzgün dağılmayıp, savak bölgesi civarında olduğu sonucuna varılmıştır. Ayrıca zorlama süresi uzadıkça taban akımının azalması, efektif geçit geriliminin arttığını yani oksit içinde net pozitif yük oluştuğunu göstermekte ve yük pompası ölçümleri ile uyushmaktadır.

NMOS tranzistorlara $V_{GS} \cong V_{DS}/2$ gerilim zorlaması uygulandığında, geçit oksitine hem elektron hem delik enjeksiyonu yapılmaktadır. Değişken ofset yük pompası ölçümleri, zorlama koşullarında arayüzey tuzakları yaratıldığını söyler. $V_{DS}=5V$, $0 < V_{GS} < 5V$ ölçümlerinden bulunan taban akımlarının zorlama süresiyle fazla değişmediği de görüldüğünden bu zorlama koşullarında oksit içinde yük birikmesi olmadığı fakat arayüzey tuzakları yaratıldığı sonucuna varılır. Kanal katkılama işleminin geçit oksidi üzerinden yapılması durumunda diğer yöntemle göre daha fazla arayüzey tuzak yoğunluğu ölçülmektedir. Bu sonuç, implantasyon nedeniyle hasara uğrayan arayüzeyin tavlama işlemiyle açıklanabilir. Ön oksit üzerinden kanal katkılaması yapıldığında, implantasyon sonrası, ön oksit silinip $1000^{\circ}C$ 'de geçit oksidi büyütülmesi işlemi aynı zamanda, geçit oksidi üzerinden kanal katkılaması yapılan durumda bulunmayan ilave bir adım olarak, tavlama mekanizması yardımıyla, arayüzeyde tuzak yoğunluğunun azalmasını sağlamaktadır.

NMOS tranzistorlara $V_{GS} \cong V_{DS}$ gerilim zorlaması iki farklı süreçle üretilen tranzistorlara uygulanmıştır. Bu gerilim zorlamasının yarattığı bozulmanın önceki iki tip gerilim zorlamasına göre daha az ve her iki yöntem için aynı olduğu görülmüştür.

PMOS tranzistorlara sabit V_{DS} , değişik V_{GS} gerilim zorlamaları uygulandıktan sonra değişken ofset yük pompası yöntemiyle elde edilen eğriler orijinal durumlarına göre sağa (pozitif gerilimlere) ötelenmiştir. NMOS tranzistorlardaki durumun aksine yapıda negatif yük birikmesi vardır. $V_{DS}=-5V$, $0 > V_{GS} > -5V$ ölçümlerinden bulunan taban akımları zorlama süresi ile orantılı olarak azalmıştır. Bu durumda, efektif mutlak geçit gerilimi artmış demektir. PMOS'ta bu negatif yük birikimi anlamına gelir ve yük pompası ölçümleri ile uyuşur.

PMOS'larda düşük geit gerilimi zorlamalarında oksit iine elektron enjeksiyonu vardır. Savak'ta negatif kutuplandığından elektronları iter ve kanal bölgesi üstünde negatif yük birikimi oluşarak kanal kısılmasına neden olur. Bu nedenle, geiş özeğrilerinde, savak akımının arttığı ölçülmüştür.

Düşük geit gerilimleri ile zorlanan PMOS tranzistorlardan geit oksiti üzerinden kanal katkılmalı olanlar daha fazla bozulma göstermişlerdir. Ek-B'deki SUPREM simulasyon sonuçlarına göre, Bor konsantrasyonu arayüzeye yakın bölgelerde geit oksit üzerinden kanal katkılmalı olanlarda daha yüksektir. Bor konsantrasyonu ile bozulma arasında literatürde olduğu gibi [238-241] bir ilişki kurmak mümkün görülebilir.

Sonuç olarak, geit oksit üzerinden kanal katkılması yapılan tranzistorlarda arayüzey tuzakları; ön oksit üzerinden kanal katkılması yapılan tranzistorlarda oksit tuzakları daha etkindir. MOS tranzistorlarda oksit ve arayüzey tuzakları nedeniyle bozulmaya baėlı güvenilirlik ve faydalı ömür açısından iki farklı kanal katkılama yönteminden biri diğerine göre üstün değildir. Üretimde hangi kanal katkılama yönteminin seçileceğine, yöntemlerin oksit ve arayüzey tuzakları dışındaki parametrelere etkilerine göre karar vermek uygun olacaktır.

KAYNAKLAR

- [1] **Snel, J.**, 1981. The Doped Si/SiO₂ Interface, *Solid State Electronics*, **24**, 135-139.
- [2] **Ghannam, M.Y., Mertens, R.P., De Keersmaecker, R.F., Van Overstraeten, R.J.**, 1985. Electrical Characterization of the Boron-Doped Si-SiO₂ Interface, *IEEE Transactions on Electron Devices*, **ED-32**, 1264-1271.
- [3] **Colby, J.W., Katz, L.E.**, 1976. Boron Segregation at Si-SiO₂ Interface as a Function of Temperature and Orientation, *J. Electrochem. Soc.:Solid-state Science and Technology*, **123**, No:3, 409-412.
- [4] **Hawkins, G.A.**, 1988. Generation Currents From Interface States In Selectively Implanted MOS Structures, *Solid State Electronics*, **31**, 181-196.
- [5] **McWhorter, P.J., Winokur, P.S.**, 1986. Simple Technique for Separating the Effects of Interface Traps and Trapped Oxide Charge in Metal-Oxide-Semiconductor Transistors, *Appl. Phys. Lett.*, **48**(2), 133-135.
- [6] **Tsai, M., Ma, T.**, 1993. 1/f Noise in Hot-Carrier Damaged MOSFET's: Effects of Oxide Charge and Interface Traps, *IEEE Electron Device Letters*, **14**, 256-258.
- [7] **Doyle, B.S., Faricelli, J., Mistry, K.R., Vuillaume, D.**, 1993. Characterization of Oxide Trap and Interface Trap Creation During Hot-Carrier Stressing of n-MOS Transistors Using the Floating-Gate Technique, *IEEE Electron Device Lett.*, **14**, 63-65
- [8] **Heremans, P., Witters, J., Groeseneken, G., Maes, H.E.**, 1989. Analysis of the Charge Pumping Technique and Its Application for the Evaluation of MOSFET Degradation, *IEEE Transactions on Electron Devices*, **36**, 1318-1335.
- [9] **Chen, W., Balasinski, A., Ma, T.**, 1993. Lateral Profiling of Oxide Charge and Interface Traps Near MOSFET Junctions, *IEEE Transactions on Electron Devices*, **40**, 187-196.
- [10] **Chen, W., Ma, T.**, 1991. A New Technique for Measuring Lateral Distribution of Oxide Charge and Interface Traps Near MOSFET Junctions, *IEEE Electron Device Letters*, **12**, No:7, 393-395.
- [11] **Russell, T.J., Wilson, C.L., Gaitan, M.**, 1983. Determination of the Spatial Variation of Interface Trapped Charge Using Short-Channel MOSFET's, *IEEE Transaction on Electron Devices*, **30**, No:12, 1662-1671.
- [12] **Li, H.H., Chu, Y.L., Wu, C.Y.**, 1997. A Novel Charge-Pumping Method for Extracting The Lateral Distributions of Interface-Trap and Effective Oxide-Trapped Charge Densities in MOSFET Devices, *IEEE Transactions on Electron Devices*, **44**, No.5, 782-791.
- [13] **Paulsen, R.E., White, M.H.**, 1994. Theory and Application of Charge Pumping for The Characterization of Si-SiO₂ Interface and Near-Interface Oxide Traps, *IEEE Transactions on Electron Devices*, **41**, No.7, 1213-1216.

- [14] **Cheng, S.M., Yih, C.M., Yeh, J.C., Kuo, S.N., Chung, S.S.**, 1997. A Unified Approach to Profiling The Lateral Distributions of Both Oxide Charge and Interface States in n-MOSFET's Under Various Bias Stress Conditions, *IEEE Transactions on Electron Devices*, **44**, No.11, 1908-1914.
- [15] **Han, K.M., Nishida, T.**, 1995. Sequential Substrate and Channel Hot Electron Injection to Separate Oxide and Interface Traps in nMOSTs, *Solid state Electronics*, **38**, No.1, 105-113.
- [16] **Neugroschel, A., Sah, C.T., Han, K.M., Carroll, M.S., Nishida, T., Kavalieros, J.T., Lu, Y.**, 1995. Direct-Current Measurements of Oxide and Interface Traps on Oxidized Silicon, *IEEE Transactions on Electron Devices*, **42**, No.9, 1657-1662.
- [17] **Ching-Hsiang, C., Sah, C.T.**, 1988. Generation-Annealing of Oxide and Interface Traps at 150 and 298K in Oxidized Silicon Stressed by Fowler-Nordheim Electron Tunneling, *Solid state Electronics*, **31**, No.6, 1003-1007.
- [18] **Fleetwood, D.M., Shaneyfelt, M.R., Warren, W.L., Schwank, J.R., Meisenheimer, T.L., Winokur, P.S.**, 1995. Border Traps: Issues for MOS Radiation Response and Long-Term Reliability, *Microelectronics Reliability*, **35**, No.3, 403-428.
- [19] **Saks, N.S., Ancona, M.G.**, 1992. Evaluation of the 3-level Charge Pumping Technique for Characterizing Interface Traps, *Appl. Phys. Lett.*, **60**(18), 2261-2263.
- [20] **Woltjer, R., Hamada, A., Takeda, E.**, 1993. Time Dependence of p-MOSFET Hot-Carrier Degradation Measured and Interpreted Consistently Over Ten Orders of Magnitude, *IEEE Transactions on Electron Devices*, **40**, No:2, 392-401.
- [21] **Witczak, S.C., Suehle, J.S., Gaitan, M.**, 1992. An Experimental Comparison of Measurement Techniques to Extract Si-SiO₂ Interface Trap Density, *Solid-State Electronics*, **35**, No.3, 345-355.
- [22] **Deal, B.E.**, 1980. Standardized Terminology for Oxide Charges Associated with Thermally Oxidized Silicon, *IEEE Transactions on Electron Devices*, **27**, 606-608.
- [23] **Deal, B.E., Sklar, M., Grove, A.S., Snow, E.H.**, 1967. Characteristics of the Surface-State Charge (Q_{ss}) of Thermally Oxidized Silicon, *J. Electrochem. Soc. Solid State Science*, **114**, 266-274.
- [24] **Schroder, D.K.**, 1990. *Semiconductor Material and Device Characterization*, John Wiley & Sons, U.S.A.
- [25] **Barbottin, G., Vapaille, A.**, 1989. *Instabilities in Silicon Devices*, Vol.2, Elsevier Science Publishers B.V., The Netherlands.
- [26] **Sze, S.M.**, 1981. *Physics of Semiconductor Devices*, John Wiley & Sons, U.S.A.
- [27] **Shockley, W., Read, W.T.**, 1952. Statistics of The Recombinations of Holes and Electrons, *Physical Review*, **87**, Number 5, 835-842
- [28] **Çilingiroğlu, U.**, 1985. A General Model for Interface-Trap Charge-Pumping Effects in MOS Devices, *Solid State Electronics*, **28**, No.11, 1127-1141.
- [29] **Li, H.H., Chu, Y.L., Wu, C.Y.**, 1996. A new simplified charge pumping current model and its model parameter extraction, *IEEE Transactions on Electron Devices*, **43**, No.11, 1857-1863.
- [30] **Lehovec, K., Lin, S.T.**, 1976. Analysis of C-V Data in The Accumulation Regime of MIS Structures, *Solid State Electronics*, **19**, 993-996.

- [31] **Zaininger, K.H., Warfield, G.**, 1965. Limitations of The MOS Capacitance Method for The Determination of Semiconductor Surface Properties, *IEEE Transactions on Electron Devices*, April, 179-193.
- [32] **Zechnall, W., Werner, W.M.**, 1975. Determination of Generation Lifetime from Small Signal Transient Behavior of MOS Capacitors, *Solid State Electronics*, **18**, 971-976.
- [33] **Sah, C.T., Tole, A.B., Pierret, R.F.**, 1969. Error Analysis of Surface State Density Determination Using The MOS Capacitance Method, *Solid State Electro.*, **12**, 689-709
- [34] **Kerber, M.**, 1993. Energy Distribution of Slow Trapping States in Metal-Oxide-Semiconductor Devices after Fowler-Nordheim Injection, *J.Appl.Phys.*, **74**(3), 2125-27
- [35] **Grove, A.S., Deal, B.E., Snow, E.H., Sah, C.T.**, 1965. Investigation of Thermally Oxidised Silicon Surfaces Using Metal-Oxide-Semiconductor Devices, *Solid State Electronics*, **8**, 145-163.
- [36] **Schroder, D.K., Guldberg, J.**, 1971. Interpretation of Surface and Bulk Effects Using The Pulsed MIS Capacitor, *Solid State Electronics*, **14**, 1285-1297.
- [37] **Schroder, D.K., Whitfield, J.D., Varker, C.J.**, 1984. Recombination Lifetime Using The Pulsed MOS Capacitor, *IEEE Transactions on Electron Devices*, **31**(4), 462-467.
- [38] **Kuhn, M.**, 1970. A Quasi-Static Technique for MOS C-V and Surface State Measurements, *Solid State Electronics*, **13**, 873-885.
- [39] **Oversraeten, R., Declerck, G., Broux, G.**, 1973. Graphical Technique to Determine The Density of Surface States at The Si-SiO₂ Interface of MOS Devices Using The Quasistatic C-V Method, *J. Electrochem. Soc. : Solid-State Science and Technology*, **120**, No:12, 1785-1787.
- [40] **Peykov, P., Carrillo, J., Aceves, M.**, 1993. Triangular-Voltage Sweep C-V Method for Determination of Generation Lifetime and Surface Generation Velocity, *Solid State Electronics*, **36**, No:1, 99-102.
- [41] **Barber, H.D., Lef, K.C., Jones, J.E.**, 1976. Impurity Bands in Moderately Doped Semiconductors and Their Effect on The MOS C-V Freeze-Out Characteristics, *Solid State Electronics*, **19**, 365-368.
- [42] **Gray, P.V., Brown, D.M.**, 1968. Freeze-Out Characteristics of The MOS Varactor, *Applied Physics Letters*, **13**, No.8, 247-248.
- [43] **Cezhou, Z., Desheng, Z., Baohua, S.**, 1996. Hot Carrier Effect-Model, Mechanism and Effects on C-V and I-V Characteristics in MOS Structures, *Microelectronics Reliability*, **36**, No.4, 493-496.
- [44] **Mohsen, A.M., Morris, F.J.**, 1975. Measurements on Depletion-Mode Field Effect Transistors and Buried Channel MOS Capacitors for The Characterization of Bulk Transfer Charge-Coupled Devices, *Solid State Electronics*, **18**, 407-416.
- [45] **Sinha, A.K.**, 1976. MOS (Si-Gate) Compatibility of RF Diode and Triode Sputtering Processes, *J. Electrochem.Soc.:Electrochem. Science and Technology*, **123**(1), 65-71
- [46] **Brown, D.M., Gray, P.V.**, 1968. Si-SiO₂ Fast Interface State Measurements, *J.Electrochem. Soc.:Solid-State Science*, **115**, No:7, 760-766.
- [47] **Goetzberger, A., Irvin, J.C.**, 1968. Low-Temperature Hysteresis Effects in Metal-Oxide-Silicon Capacitors Caused by Surface-State Trapping, *IEEE Transactions on Electron Devices*, **15**, No.12, 1009-1014.

- [48] **Ziegler, K., Klausmann, E.,** 1975. Static Technique for Precise Measurements of Surface Potential and Interface State Density in MOS Structure, *Applied Physics Letters*, **26**, No.7, 400-402.
- [49] **Koomen, J.,** 1974. Interface Studies of The MOS Structure by Transfer-Admittance Measurements, *Solid State Electronics*, **17**, 312-328.
- [50] **Haddara, H.S., Sayed, M.,** 1988. Conductance Technique in MOSFET's Study of Interface Trap Properties in The Depletion and Weak Inversion Regimes, *Solid State Electronics*, **31**, No.8, 1289-1298.
- [51] **Hung, K.K., Cheng, Y.C.,** 1987. Characterization of Si-SiO₂ Interface Traps in p-Metal-Oxide-Semiconductor Structures with Thin Oxides by Conductance Technique, *J. Appl. Phys.*, **62**, 4204-4211.
- [52] **Deuling, H., Klausmann, E., Goetzberger, A.,** 1972. Interface States in Si-SiO₂ Interfaces, *Solid state Electronics*, **15**, 559-571.
- [53] **Cooper, J.A., Schwartz, R.J.,** 1974. Electrical Characteristics of The SiO₂-Si Interface Near Midgap and Weak Inversion, *Solid State Electronics*, **17**, 641-654.
- [54] **Lang, D.V.,** 1974. Deep-Level Transient Spectroscopy: A New Method to Characterize Traps in Semiconductors, *Journal of Applied Physics*, **45**(7), 3023-3032.
- [55] **Eades, W.D., Swanson, R.M.,** 1984. Improvements in the Determination of Interface State Density Using Deep Level Transient Spectroscopy, *J.Appl.Phys.*, **56**(6), 1744-51
- [56] **Özder, S., Atılgan, İ., Katurcioğlu, B.,** 1995. Temperature Dependence of The Capture Cross Section Determined by DLTS on An MOS Structure, *Semicond. Sci. Technol.*, **10**, 1510-1519
- [57] **Johnson, N.M.,** 1982. Measurement of Semiconductor-Insulator Interface States by Constant-Capacitance Deep-Level Transient Spectro., *J. Vac. Sci. Tech.*, **21**(2), 303-314.
- [58] **Tredwell, T.J., Viswanathan, C.R.,** 1980. Determination of Interface-State Parameters in a MOS Capacitor by DLTS, *Solid State Electronics*, **23**, 1171-178.
- [59] **Katsube, T., Kakimoto, K., Ikoma, T.,** 1981. Temperature and Energy Dependences of Capture Cross Sections at Surface States in Si Metal-Oxide-Semiconductor Diodes Measured by Deep Level Transient Spectroscopy, *J. Appl. Phys.*, **52**(5), 3504-3508.
- [60] **Eades, W.D., Swanson, R.M.,** 1985. Calculation of Surface Generation and Recombination Velocities at the Si-SiO₂ Interface, *J. Appl. Phys.*, **58**(11), 4267-4276.
- [61] **Brugler, J.S., Jespers, P.G.A.,** 1969. Charge Pumping in MOS Devices, *IEEE Transactions on Electron Devices*, **16**, 297-302.
- [62] **Autran, J.L., Chabrierie, C.,** 1996. Use of the Charge Pumping Technique With A Sinusoidal Gate Waveform, *Solid-State Electronics*, **39**, No.9, 1394-1395.
- [63] **Groeseneken, G., Maes, H.E., Beltran, N., DeKeersmaecker, R.F.,** 1984. A Reliable Approach to Charge Pumping Measurements in MOS Transistors, *IEEE Transactions on Electron Devices*, **31**, 42-53.
- [64] **Çilingiroğlu, U.,** 1990. Charge Pumping Spectroscopy with Pulsed Interface Proping, *IEEE Transactions on Electron Devices*, **37**, 267-272.
- [65] **Çilingiroğlu, U.,** 1988. A Pulsed Interface Proping Technique for MOS Interface Characterization at Mid-Gap Levels, *IEEE Trans. on Electron Devices*, **35**, 2391-2396

- [66] **Wachnik, R.A.**, 1986. The Use of Charge Pumping to Characterize Generation by Interface Traps, *IEEE Transactions on Electron Devices*, **33**, No:7, 1054-1061.
- [67] **Wachnik, R.A., Lowney, J.R.**, 1986. A Model for the charge-pumping current based on small rectangular voltage pulses, *Solid State Electronics*, **29**, No:4, 447-460.
- [68] **Saks, N.S., Ancona, M.G.**, 1990. Determination of Interface Trap Capture Cross Sections Using Three-Level Charge Pumping, *IEEE Electron Device Lett.*, **11**, 339-341
- [69] **Ancona, M.G., Saks, N.S.**, 1992. Numerical Simulation of 3-level Charge Pumping, *J.Appl. Phys.*, **71**(9), 4415-4421
- [70] **Tseng, W.L.**, 1987. A New Charge Pumping Method of Measuring Si-SiO₂ Interface States, *J.Appl.Phys.*, **62**(2), .591-599.
- [71] **Chung, J.E., Muller, R.S.**, 1989. The Development and Application of A Si-SiO₂ Interface-Trap Measurement System Based on The Staircase Charge-Pumping Technique, *Solid state Electronics*, **32**, No.10, 867-882.
- [72] **Hofmann, F., Krautschneider, W.H.**, 1989. A Simple Technique for Determining The Interface-Trap Distribution of Submicron Metal-Oxide-Semiconductor Transistors by The Charge Pumping Method, *J. Appl. Phys.*, **65**(3), 1358-1360.
- [73] **Kejhar, M.**, 1992. Double-Pulse Charge Pumping in MOSFET's, *IEEE Electron Device Letters*, **13**, No.6, 344-346.
- [74] **Mitra, V., Bouderbala, R., Benfdila, A., Bentarzi, H., Amrouche, A.**, 1993. Charge Extraction Technique for Studying the Surface States in MOS Devices, *IEEE Transactions on Electron Devices*, **40**, 923-931.
- [75] **Chen, W., Balasinski, A., Ma, T.**, 1992. Evaluation of Capture Cross-Section of Radiation-Induced Interface Traps in MOSFET's as Studied by A Rapid Charge Pumping Technique, *IEEE Transaction on Nuclear Science*, **39**, No:6, 2152-2157.
- [76] **Chen, W., Balasinski, A., Ma, T.P.**, 1992. A Charge Pumping Method for Rapid Determination of Interface-Trap Parameters in Metal-Oxide-Semiconductor Devices, *Rev. Sci. Instrum.*, **63**(5), 3188-3190.
- [77] **Habas, P.**, 1995. Charge Pumping Characteristics of Virgin and Stressed Lightly-Doped Drain MOSFET's, *Solid State Electronics*, **38**, No:4, 891-904.
- [78] **Elliot, A.B.M.**, 1976. The Use of Charge Pumping Currents to Measure Surface State Densities in MOS Transistors, *Solid State Electronics*, **19**, 241-247.
- [79] **Schuermeier, F.L., Young, C.R., Sutton, W.C.**, 1977. Charge-Pumping Investigations on MNOS Structures, *IEEE Transactions on Electron Devices*, **24**, No:5, 552-559.
- [80] **Bosch, G.V., Groeseneken, G., Heremans, P., Maes, H.E.**, 1991. Spectroscopic Charge Pumping: A New Procedure for Measuring Interface Trap Distributions on MOS Transistors, *IEEE Transactions on Electron Devices*, **38**, No.8, 1820-1831.
- [81] **Hofmann, F., Hansch, W.**, 1989. The Charge Pumping Method: Experiment and Complete Simulation, *J. Appl. Phys*, **66**(7), 3092-3096.
- [82] **Paulsen, R.E., Siergie, R.R., French, M.L., White, M.H.**, 1992. Observation of Near-Interface Oxide Traps with The Charge Pumping Technique, *IEEE Electron Device Letters*, **13**, No.12, 627-629.

- [83] **Balasinski, A., Worley, J., Huang, K.W., Liou, F.T.,** 1995. Observation of Two Types of Trapping Centers in Thin Film Transistors Using Charge Pumping Technique, *IEEE Electron Device Letters*, **16**, No.10, 460-462.
- [84] **Balasinski, A., Worley, J., Huang, K.W., Liou, F.T.,** 1995. Identification of Si/SiO₂ Interface Properties in Thin Film Transistors with Charge Pumping Technique, *J.Electrochem.Soc.*, **142**, No.8, 2717-2721.
- [85] **Bauza, D., Maneglia, Y.,** 1997. In-depth Exploration of Si-SiO₂ Interface Traps in MOS Transistors Using The Charge Pumping Technique, *IEEE Transactions on Electron Devices*, **44**, No.12, 2262-2266.
- [86] **Paulsen, R.E., Siergie, R.R., French, M.L., White, M.H.,** 1992. Observation of Near-Interface Oxide Traps with The Charge-Pumping Technique, *IEEE Electron Device Letters*, **13**, No.12, 627-629.
- [87] **Overstraeten, R.J., Declerck, G.J., Muls, P.A.,** 1975. Theory of The MOS Transistor in Weak Inversion - New Method to Determine The Number of Surface States, *IEEE Transactions on Electron Devices*, **22**, No:5, 282-288.
- [88] **Fu, H.S., Sah, C.T.,** 1972. Theory and Experiments on Surface 1/f Noise, *IEEE Transactions on Electron Devices*, **19**, No:2, 273-285.
- [89] **Fleetwood, D.M., Winokur, P.S., Reber, R.A., Meisenheimer, T.L., Schwank, J.R., Shaneyfelt, M.R., Riewe, L.C.,** 1993. Effects of Oxide Traps, Interface Traps and "Border Traps" on Metal-Oxide-Semiconductor Devices, *J.Appl.Phys*, **73**(10), 5058-74
- [90] **Mueller, H.H., Schulz, M.,** 1995. Review Individual Interface Traps at The Si-SiO₂ Interface, *Journal of Materials Science:Materials in Electronics*, **6**, 65-74
- [91] **Muto,H., Tsai, M.H., Ma, T.P.,** 1991. Random Telegraph Signals in Small MOSFET's After X-ray Irradiation, *IEEE Transaction on Nuclear Science*, **38**, No.6, 1116-1123
- [92] **Tsai, M.H., Muto, H., Ma, T.P.,** 1992. Random Telegraph Signals Arising from Fast Interface States in Metal-SiO₂-Si Transistors, *Appl. Phys. Lett.*, **61**(14), 1691-1693.
- [93] **Sayed, M., Haddara, H.,** 1991. Study of Interface Trap Properties in MOSFET's Using Split-Current Measurements, *Solid state Electronics*, **34**, No.2, 173-180.
- [94] **Giebel, T., Goser, K.,** 1989. Hot-Carrier Degradation of n-Channel MOSFET's Characterized by a Gated-Diode Measurement Technique, *IEEE Electron Device Letters*, **10**, No:2, 76-78.
- [95] **Speckbacher, P., Berger, J., Asenov, A., Koch, F., Weber, W.,** 1995. The Gated Diode Configuration in MOSFET's, A Sensitive Tool for Characterizing Hot-Carrier Degradation, *IEEE Transactions on Electron Devices*, **42**, No:7, 1287-1295.
- [96] **Spiegel,J., Declerk, G.,** 1981. Theoretical and Practical Investigation of The Thermal Generation In Gate Controlled Diodes, *Solid State Electronics*, **24**, No:9, 869-877.
- [97] **Pierret, R.F., Grossman, R.J.,** 1977. Depleted Surface Recombination Velocity s_0 Measurements Using Gate Controlled Diodes, *Solid State Electronics*, **20**, 373-379.
- [98] **Pierret, R.F.,** 1974. The Gate-Controlled Diode s_0 Measurement and Steady-State Lateral Current Flow In Deeply Depleted MOS Structures, *Solid State Electronics*, **17**, 1257-1269.
- [99] **Fitzgerald, D.J., Grove, A.S.,** 1968. Surface Recombination in Semiconductors, *Surface Science*, 347-369

- [100] **Han, C.H., Kim, K.**, 1991. Leakage Mechanisms in the Heavily Doped Gated Diode Structures, *IEEE Electron Device Letters*, **12**, No.2, 74-76.
- [101] **Hawkins, G.A., Trabka, E.A., Nielsen, R.L., Burkey, B.C.**, 1985. Characterization of Generation Currents In Solid-State Imagers, *IEEE Transactions Electron Devices*, **32**, No.9, 1806-1816.
- [102] **Hillen, M.W., Holsbrink, J.**, 1983. The Base Current Recombining At The Oxidized Silicon Surface, *Solid state Electronics*, **26**, No.5, 453-463.
- [103] **Hurkx, F., Peek, L., Slotboom, J.W., Windgassen, R.A.**, 1993. Anomalous Behavior of Surface Leakage Currents In Heavily Doped Gated-Diodes, *IEEE Transactions on Electron Devices*, **40**, No.21, 2273-2281.
- [104] **Anderson, S.R., Zupac, D., Schrimpf, R.D., Galloway, K.F.**, 1994. The Surface Generation Hump In Irradiated Power MOSFET's, *IEEE Transaction on Nuclear Science*, **41**, No.6, 2443-2451.
- [105] **Pierret, R.F., Grossman, R.J.**, 1977. Depleted Surface Recombination Velocity s_0 Measurements Using "Gate Controlled Diodes", *Solid-State Electronics*, **20**, 373-379.
- [106] **Okhonin, S., Hessler, T., Dutoit, M.**, 1996. Comparison Of Gate-Induced Drain Leakage And Charge Pumping Measurements For Determining Lateral Interface Trap Profiles In Electrically Stressed MOSFET's, *IEEE Transactions on Electron Devices*, **43**, No.4, 605-612.
- [107] **Joshi, A.B., Kwong, D.L.**, 1992. Comparison of n-MOSFET Lifetime Estimates Based On GIDL Enhancement And Transconductance Degradation As Criteria, *Solid-State Electronics*, **35**, No.12, 1757-1760.
- [108] **Werner, W.M.**, 1976. The Influence Of Fixed Interface Charges On The Current Gain Falloff Of Planar N-P-N Transistors, *J. Electrochem.Soc.:Solid State Science And Technology*, **123**, No.4, 540-543.
- [109] **San, K.T., Ma, T.**, 1992. Determination of Trapped Oxide Charge in Flash EPROM's and MOSFET's with Thin Oxides, *IEEE Electron Device Letters*, **13**, No.8, 439-441.
- [110] **Ma, Z.J., Lai, P.T., Cheng, Y.C.**, 1992. Oxide-Trap-Induced Instability in GIDL of Thermally Nitrided-Oxide nMOSFETs Under Stress, *IEEE Electron Device Letters*, **13**(2), 77-79.
- [111] **Lo, G.Q., Joshi, A.B., Kwong, D.L.**, 1991. Hot-Carrier-Stress Effects on Gate-Induced Drain Leakage Current in n-Channel MOSFET's, *IEEE Electron Device Letters*, **12**, No.1, 5-7.
- [112] **Hawkins, G.A.**, 1985. Lateral Profiling Of Interface States Along The Sidewalls Of Channel Stop Isolation, *Solid State Electronics*, **28**, No:9, 945-956.
- [113] **Swart, J.W., Charry, E.**, 1983. Interpretation of a Non-Conventional Reverse-Current Curve of A Depletion-Type Gate-Controlled Diode, *Solid State Electr.*, **26**(8), 801-803
- [114] **Nicollian, E.H., Brews, J.R.**, 1982. *MOS (Metal Oxide Semiconductor) Physics and Technology*, John Wiley & Sons, U.S.A.
- [115] **Schwerin, A., Hansch, W., Weber, W.**, 1987. The Relationship Between Oxide Charge And Device Degradation: A Comparative Study of n- and p-Channel MOSFET's, *IEEE Transactions on Electron Devices*, **34**, No:12, 2493-2500.

- [116] **Haddara, H., Cristoloveanu, S.,** 1987. Two Dimensional Modeling Of Locally Damaged Short-Channel MOSFET's Operating In The Linear Region, *IEEE Transactions on Electron Devices*, **34**, No:2, 378-385.
- [117] **Groeseneken, G.V., Wolf, I., Bellens, R., Maes, H.E.,** 1996. Observation of Single Interface Traps in Submicron MOSFETs by Charge Pumping, *IEEE Transactions on Electron Devices*, **43**, No.6, 940-945.
- [118] **Simmons, J.G., Wei, L.S.,** 1973. Theory of Dynamic Charge Current and Capacitance Characteristics in MIS Systems Containing Distributed Surface Traps, *Solid State Electronics*, **16**, 53-66.
- [119] **Bauza, D., Ghibaudo, G.,** 1996. Analytical Study of The Contribution of Fast and Slow Oxide Traps to The Charge Pumping Current in MOS Structures, *Solid State Electronics*, **39**, No.4, 563-570.
- [120] **Ghibaudo, G., Saks, N.S.,** 1988. A Time Domain Analysis of The Charge Pumping Current, *J. Appl. Phys.*, **64**(9), 4751-4754.
- [121] **Ghibaudo, G., Saks, N.S.,** 1989. Investigation of The Charge Pumping Current in Metal-Oxide-Semiconductor Structures, *J. Appl. Phys.*, **65**(11), pp.4311-4318.
- [122] **Bosch, G.V., Groeseneken, G., Maes, H.E.,** 1993. On The Geometric Component of Charge Pumping Current in MOSFET's, *IEEE Electron Device Letters*, **14**(3), 107-109
- [123] **Eitan, B.,** 1988. Channel-Length Measurement Technique Based On A Floating Gate Device, *IEEE Electron Device Letters*, **9**, No:7, 340-342.
- [124] **Takeuchi, K., Kasai, N., Kunio, T., Terada, K.,** 1996. An Effective Channel Length Determination Method for LDD MOSFET's, *IEEE Transactions on Electron Devices*, **43**, No.4, 580-587.
- [125] **Jeppson, K.O., Bogren, A.W., Karlsson, P.R.,** 1996. A New Method of Determining The Effective Channel Width and Its Dependence On The Gate Voltage, *Proceedings of the 1996 IEEE International Conf. on Microelectronics Test structures*, **9**, 151-156.
- [126] **Jean, Y.S., Wu, C.Y.,** 1996. A New Extraction Algorithm for The Metallurgical Channel Length of Conventional and LDD MOSFET's, *IEEE Trans. on Electron Devices*, **43**, No.6, 946-953.
- [127] **Sasaki, M., Ito, H., Horiuchi, T.,** 1996. A New Method to Determine The Effective Channel Length, Series Resistance and Threshold Voltage, *Proceedings of the 1996 IEEE International Conference on Microelectronics Test structures*, **9**, 139-144.
- [128] **Hamer, M.F.,** 1986. First-Order Parameter Extraction On Enhancement Silicon MOS Transistors, *IEE Proceedings*, **133**, No.2, 49-54.
- [129] **Li, H.H., Chu, Y.L., Wu, C.Y.,** 1996. A Novel Method for Extracting the Metallurgical Channel Length of MOSFET's Using A Single Device, *IEEE Electron Device Letters*, **17**, No.3, 85-87
- [130] **Li, H.H., Wu, C.Y.,** 1995. A Novel Extraction Technique for the Effective Channel Length of MOSFET Devices, *IEEE Transactions on Electron Devices*, **42**(5), 856-863.
- [131] **Kwok, K., Brews, J.R.,** 1990. Measuring the Effective Channel Length of MOSFETs, *IEEE Circuits & Devices*, **6**, No:6, 33-38.
- [132] **Suciu, P.I., Johnston, R.L.,** 1980. Experimental Derivation of the Source and Drain Resistance of MOS Transistors, *IEEE Trans. on Electron Devices*, **27**(9), 1846-1848.

- [133] **Whitfield, J.**, 1985. A Modification on "An Improved Method to Determine MOSFET Channel Length", *IEEE Electron Device Letters*, **6**, No.3, 109-110.
- [134] **Hu, G.J., Chang, C., Chia, Y.T.**, 1987. Gate-Voltage-Dependent Effective Channel Length and Series Resistance of LDD MOSFET's, *IEEE Transactions on Electron Devices*, **34**, No.12, 2469-2475.
- [135] **Bauza, D., Ghibaudo, G.**, 1994. MOSFET Parameter Extraction From Static, Dynamic And Transient Current Measurements, *Microelectronics Journal*, **25**, 41-61.
- [136] **Bosch, G. V., Groeseneken, G., Maes, H.E.**, 1994. Critical Analysis of The Substrate Hot-Hole Injection Technique, *Solid State Electronics*, **37**, No:3, 393-399.
- [137] **Kim, S., Min, K., Lee, K.**, 1996. Time Dependent Hot-Carrier Induced Interface State Generation In Deep Submicron LDD nMOSFET's, *Solid State Electr.*, **39**(3), 405-410.
- [138] **Heremans, P., Ballens, R., Groeseneken, G., Maes, H.E.**, 1992. Comment on "The Generation And Characterization of Electron and Hole Traps Created by Hole Injection During Low Gate Voltage Hot-Carrier Stressing of NMOS Transistors", *IEEE Transactions on Electron Devices*, **39**, No:2, 458-464.
- [139] **Bravaix, A., Vuillaume, D.**, 1992. A Simple Charge-Pumping Method to Measure The Logarithmic-Time Dependence of Trapped Oxide Charge in pMOSFET's, *Microelectronic Engineering*, **19**, 469-472
- [140] **Bravaix, A., Vuillaume, D.**, 1995. Lifetime Prediction Methods for pMOSFET's: A Comparative Study of Standard and Charge-Pumping Lifetime Criteria, *IEEE Transactions on Electron Devices*, **42**, No:1, 101-108
- [141] **Wang, Q., Brox, M., Krautschneider, W.H., Weber, W.**, 1991. Explanation and Model for The Logarithmic Time Dependence of pMOSFET Degradation, *IEEE Electron Device Letters*, **12**, No:5, 218-220
- [142] **Woltjer, R., Paulzen, G. M., Pomp, H.G., Lifka, H., Woerlee, P.H.**, 1995. Three Hot-Carrier Degradation Mechanisms in Deep-Submicron pMOSFET's, *IEEE Transactions on Electron Devices*, **42**, No:1, 109-115
- [143] **Weber, W., Lau, F.**, 1987. Hot-Carrier Drifts in Submicrometer p-Channel MOSFET's, *IEEE Electron Device Letters*, **8**, No:5, 208-210
- [144] **Fang, H., Fang, P., Yue, J.T.**, 1994. Hot-Carrier Induced Off-State Current Leakage in Submicrometer PMOSFET Devices, *IEEE Electron Device Letters*, **15**(11), 463-465
- [145] **Hamada, A., Takeda, E.**, 1994. Hot-electron Trapping Activation Energy in PMOSFET's Under Mechanical Stress, *IEEE Electron Device Letters*, **15**(1), 31-32
- [146] **Bergonzoni, C., Libera, G.D., Nannini, A.**, 1992. Novel Degradation Effects in Dynamically Stressed p-Channel MOSFET's, *IEEE Transactions on Electron Devices*, **39**, No:5, 1144-1149
- [147] **Pan, Y., Ng, K.K.**, 1995. Characterization of The Gate Oxide Thickness and The Channel Length Dependencies of Hot-Carrier Degradation in LDD pMOSFET's, *Solid State Electronics*, **38**, No:1, 183-187.
- [148] **Das, N.C., Nathan, V.**, 1993. Hot Carrier Degradation in MOSFETs: A Charge Pumping Study, *Semicond. Sci. Technol.*, **8**, 549-554
- [149] **Bellens, R., Groeseneken, G., Heremans, P., Maes, H.E.**, 1992. On The Different Time Dependence of Interface Trap Generation And Charge Trapping During Hot Carrier Degradation in CMOS, *Microelectronic Engineering*, **19**, 465-468.

- [150] **Das, N.C., Nathan, V.**, 1993. Two Types of Interface Traps Induced by Hot-Carrier Stressing in MOSFET's, *Solid State Electronics*, **36**, No:6, 936-938.
- [151] **Horiuchi, T., Mikoshiba, H., Nakamura, K., Hamano, K.**, 1986. Simple Method to Evaluate Device Lifetime Due to Hot-Carrier Effect Under Dynamic Stress, *IEEE Electron Device Letters*, **7**, No:6, 337-339.
- [152] **Hu, C., Tam, S.C., Hsu, F.C., Ko, P.K., Chan, T.Y., Terrill, K.W.**, 1985. Hot-Electron Induced MOSFET Degradation - Model Monitor and Improvement, *IEEE Transactions on Electron Devices*, **32**, No:2, 375-385.
- [153] **Bergonzoni, C., Libera, G.D.**, 1992. Physical Characterization of Hot-Electron Induced MOSFET Degradation Through an Improved Approach to The Charge Pumping Technique, *IEEE Transactions on Electron Devices*, **39**, No:8, 1895-1901.
- [154] **Chan, V.H., Chung, J.E.**, 1995. Two Stage Hot Carrier Degradation And Its Impact On Submicrometer LDD nMOSFET Lifetime Prediction, *IEEE Transactions on Electron Devices*, **42**, No:5, 957-962.
- [155] **Mistry, K., Doyle, B.**, 1991. A Model for AC Hot-Carrier Degradation in n-Channel MOSFET's, *IEEE Electron Device Letters*, **12**, No:9, 492-494.
- [156] **Meehan, A., O'sullivan, P., Hurley, P., Mathewson, A.**, 1994. Evaluation of Hot-Carrier Degradation of n-Channel MOSFETs at Low Gate Bias, *Microelectronics Journal*, **25**, 463-467.
- [157] **Heremans, P., Groeseneken, G., Maes, H.E.**, 1992. Hole Trapping During Low Gate Bias, High Drain Bias Hot-Carrier Injection in nMOSFET's at 77K, *IEEE Transactions on Electron Devices*, **39**, No:4, 851-857.
- [158] **Ling, C.H., Tan, S.E., Ang, D.S.**, 1995. A Study of Hot Carrier Degradation in nMOSFET's by Gate-Capacitance and Charge Pumping Current, *IEEE Transactions on Electron Devices*, **42**, No:7, 1321-1328.
- [159] **Chen, W., Balasinski, A., Zhang, B., Ma, T.P.**, 1992. Hot Carrier Effects On Interface Trap Capture Cross Sections In MOSFET's As Studied By Charge Pumping, *IEEE Electron Device Letters*, **13**, No:4, 201-202.
- [160] **Takeda, E., Shimizu, A., Hagiwara, T.**, 1983. Role Of Hot-Hole Injection In Hot-Carrier Effects and the Small Degraded Channel Region in MOSFET's, *IEEE Electron Device Letters*, **4**, No:9, 329-331.
- [161] **Hofmann, K.R., Werner, C., Weber, W., Dorda, G.**, 1991. Hot-Electron and Hole-Emission Effects in Short n-Channel MOSFET's, *IEEE Transactions on Electron Devices*, **32**, No:3, 691-699.
- [162] **Weber, W., Brox, M.**, 1993. Dynamic Effects in Hot-Carrier Degradation Relevant for CMOS Operation, *Microelectronics Reliability*, **33**, No:11/12, 1729-1736.
- [163] **Krautschneider, W.H., Terletzki, H., Wang, Q.**, 1992. Reliability Problems of Submicron MOS Transistors and Circuits, *Microelectron. Reliab.*, **32**(11), 1499-1508.
- [164] **Pan, Y., Ng, K.K., Wei, C.**, 1994. Hot Carrier Induced Electron Mobility and Series Resistance Degradation in LDD nMOSFET's, *IEEE Elect. Device Lett.*, **15**(12), 499-501
- [165] **Mistry, K.R., Doyle, B.**, 1993. AC Versus DC Hot Carrier Degradation in n-Channel MOSFET's, *IEEE Transactions on Electron Devices*, **40**, No:1, pp.96-104.
- [166] **Bergonzoni, C., Libera, G.D., Benecchi, R., Nannini, A.**, 1992. Dynamic Hot Carrier Degradation Effects in CMOS Submicron Transistors, *Microelectron. Reliab.*, **32**(11), 1515-1519

- [167] **Bellens, R., Schrijver, E., Groeseneken, G., Heremans, P., Maes, H.E.,** 1992. Influence of Post-Stress Effects on The Dynamic Hot-Carrier Degradation Behavior of Passivated n-Channel MOSFET's, *IEEE Electron Device Letters*, **13**, No:7, 357-359.
- [168] **Weber, W., Brox, M., Künemund, T., Mühlhoff, H.M., Landsiedel, D.S.,** 1991. Dynamic Degradation in MOSFET's - Part-II, Application in The Circuit Environment, *IEEE Transactions on Electron Devices*, **38**, No:8, 1859-1867.
- [169] **Chen, K. L., Saller, S., Shah, R.,** 1986. The Case of AC Stress in The Hot-Carrier-Effect, *IEEE Transactions on Electron Devices*, **33**, No:5, 424-426.
- [170] **Choi, J.Y., Ko, P.K., Hu, C.,** 1987. Effect of Oxide Field on Hot-Carrier-Induced Degradation of Metal-Oxide-Semiconductor Field-Effect Transistors, *Appl. Phys. Lett.*, **50**(17), 1188-1190
- [171] **Chan, V.H., Chung, J.E.,** 1995. The Impact of nMOSFET Hot-Carrier Degradation on CMOS Analog Subcircuit Performance, *IEEE J. of Solid State Circuits*, **30**(6), 644-649
- [172] **Marchetaux, J.C., Bourcerie, M., Boudou, A., Vuillaume, D.,** 1990. Application of the Floating-Gate Technique to the Study of the NMOSFET Gate Current Evolution due to Hot-Carrier Aging, *IEEE Electron Device Letters*, **11**, No:9, 406-408.
- [173] **Saks, N., Heremans, P., Hove, L., Maes, H., DeKeersmaecker, R., Declerck, G.,** 1986. Observation of Hot-Hole Injection in NMOS Transistors Using a Modified Floating-Gate Technique, *IEEE Transactions on Electron Devices*, **33**(10), 1529-1534.
- [174] **Lai, S.K.,** 1983. Interface Trap Generation in Silicon Dioxide When Electrons are Captured by Trapped Holed, *J. Appl. Phys.*, **54**(5), 2540-2546
- [175] **Uchida, H., Ajioka, T.,** 1987. Electron Trap Center Generation Due to Hole Trapping in SiO₂ Under Fowler-Nordheim Tunneling Stress, *Appl. Phys. Lett.*, **51**(6), 433-435.
- [176] **Takeda, E.,** 1993. Hot Carrier Effects in Scaled MOS Devices, *Microelectronics Reliability*, **33**, No:11/12, 1687-1711.
- [177] **Kuo, J.B., Dutton, R.W., Wooley, B.A.,** 1986. MOS Pass Transistor Turn-Off Transient Analysis, *IEEE Transactions on Electron Devices*, **33**, No:10, 1545-1555.
- [178] **Ning, T.H., Yu, H.N.,** 1974. Optically Induced Injection of Hot Electrons into SiO₂, *Journal of Applied Physics*, **45**, No:12, 5373-5378.
- [179] **Martin, P.A., Streetman, B.G., Hess, K.,** 1981. Electric Field Enhanced Emission From Non-Coulombic Traps In Semiconductors, *J. Appl. Phys.*, **52** (12), 7409-7415.
- [180] **Sanchez, J.J., Demassa, T.A.,** 1993. Hot Electron Resistance Properties Of Submicron Gate Structures, *Microelectronic Engineering*, **20**, 211-226
- [181] **Shimoyama, N., Tsuchiya, T.,** 1995. Enhanced Hot-Carrier-Degradation in LDD MOSFET's Under Pulsed Stress, *IEEE Trans. on Electron Devices*, **42**(9), 1600-1603.
- [182] **Tsuchiya, T.,** 1987. Trapped Electron and Generated Interface Trap Effects in Hot-Electron-Induced MOSFET Degradation, *IEEE Transactions on Electron Devices*, **34**, No:11, 2291-2296.
- [183] **DeKeermaecker, R.F., Dimaria, D.J.,** 1980. Electron Trapping and Detrapping characteristics of Arsenic-Implanted SiO₂ Layers, *J. Appl. Phys.*, **51**(2), 1085-1101.
- [184] **Bravaix, A., Vuillaume, D.,** 1995. Lifetime Prediction Methods for p-MOSFET's: A Comparative Study Of Standard And Charge-Pumping Lifetime Criteria, *IEEE Transactions on Electron Devices*, **42**, No.1, 101-108.

- [185] **Ling, C.H., Tan, S.E., Ang, D.S.**, 1995. A Study Of Hot Carrier Degradation in nMOSFET's by Gate Capacitance And Charge Pumping Current, *IEEE Transactions on Electron Devices*, **42**, No.7, 1321-1328.
- [186] **Bellens, R., Heremans, P., Groeseneken, G., Maes, H.E., Weber, W.**, 1990. The Influence of The Measurement Setup On Enhanced AC Hot Carrier Degradation of MOSFETs, *IEEE Transactions on Electron Devices*, **37**, No.1, 310-313.
- [187] **Tsuchiaki, M., Hara, H., Morimoto, Y., Iwai, H.**, 1993. New Charge Pumping Method For Determining The Spatial Distribution of Hot-Carrier-Induced Fixed Charge in p-MOSFET's, *IEEE Transactions on Electron Devices*, **40**, No.10, 1768-1779.
- [188] **Koyanagi, M., Lewis, A.G., Martin, R.A., Huang, T.Y., Chen, J.Y.**, 1987. Hot-Electron-Induced Punchthrough (HEIP) Effect in Submicrometer pMOSFET's, *IEEE Transactions on Electron Devices*, **34**, No.4, 839-844.
- [189] **Heremans, P., Bosch, G.V., Bellens, R., Groeseneken, G., Maes, H.E.**, 1990. Temperature Dependence of The Channel Hot-Carrier Degradation of n-Channel MOSFET's, *IEEE Transactions on Electron Devices*, **37**, No.4, 980-993.
- [190] **Ng, K.K., Taylor, G.W.**, 1983. Effects of Hot-Carrier Trapping in n- and p-Channel MOSFET's, *IEEE Transactions on Electron Devices*, **30**, No.8, 871-876.
- [191] **Hansch, W., Mazure, C., Lill, A., Orlowski, K.**, 1991. Hot Carrier Hardness Analysis of Submicrometer LDD Devices, *IEEE Trans. on Electron Devices*, **38**(3), 512-517.
- [192] **Bergonzoni, C., Libera, G., Benecchi, R., Nannini, A.**, 1992. Dynamic Hot Carrier Degradation Effects in CMOS Submicron Transistors, *Microelectronics Reliability*, **32**(11), 1515-1519
- [193] **Bellens, R., Groeseneken, G., Heremans, P., Maes, H.E.**, 1994. Hot-Carrier Degradation Behavior of n- and p-Channel MOSFET's Under Dynamic Operation Conditions, *IEEE Transactions on Electron Devices*, **41**, No.8, 1421-1428.
- [194] **Ahn, S.T., Hayashida, S., Iguchi, K., Takagi, J., Watanabe, T., Sakiyama, K.**, 1992. Hot-Carrier Degradation of Single-Drain pMOSFET's With Differing Sidewall Spacer Thicknesses, *IEEE Electron Device Letters*, **13**, No.4, 211-213.
- [195] **Wang, T., Huang, C., Chou, P.C., Chung, S., Chang, T.E.**, 1994. Effects of Hot Carrier Induced Interface State Generation in Submicron LDD MOSFET's, *IEEE Transactions on Electron Devices*, **41**, No.9, 1618-1622.
- [196] **Ang, D.S., Ling, C.H.**, 1997. A New Assessment Of The Self-Limiting Hot-Carrier Degradation in LDD nMOSFET's by Charge Pumping Measurement, *IEEE Electron Device Letters*, **18**, No.6, 299-301.
- [197] **Chan, V.H., Chung, J.E.**, 1995. Two-Stage Hot-Carrier Degradation And Its Impact On Submicrometer LDD NMOSFET Lifetime Prediction, *IEEE Transactions on Electron Devices*, **42**, No.5, 957-962.
- [198] **Hwang, H.**, 1997. Enhanced Degradation of NMOSFET's Under Dynamic Stress Due to The Broad Distribution of Interface States, *Solid-State Electronics*, **41**(1), 125-126.
- [199] **Weber, W., Brox, M., Thewes, R., Saks, N.S.**, 1995. Hot-Hole-Induced Negative Oxide Charges in n-MOSFET's, *IEEE Trans. on Electron Devices*, **42**(8), 1473-1480
- [200] **Lee, R.G.H., Wu, J.P., Chung, S.**, 1996. An Efficient Method for Characterizing Time-Evolutional Interface State And Its Correlation With The Device Degradation in LDD N-MOSFET's, *IEEE Transactions on Electron Devices*, **43**, No.6, 898-903.

- [201] **Thewes, R., Brox, M., Goser, K.F., Weber, W.,** 1997. Hot-Carrier Degradation of pMOSFETs under Analog Operation, *IEEE Trans. on Electron Devices*, **44**(4), 607-617
- [202] **Song, M., MacWilliams, K.P., Woo, J.C.S.,** 1997. Comparison of NMOS and PMOS Hot Carrier Effects from 300 to 77K, *IEEE Trans. on Electron Devices*, **44**(2), 268-276
- [203] **Brox, M., Weber, W.,** 1991. Dynamic Degradation in MOSFET's-Part I: The Physical Effects, *IEEE Transactions on Electron Devices*, **38**, No.8, 1852-1858.
- [204] **Jang, S.L., Tang, T.H., Chen, Y.S., Sheu, C.J.,** 1996. Modeling of Hot-Carrier Stressed Characteristics of Submicrometer pMOSFET's, *Solid-State Electronics*, **39**(7), 1043-1049
- [205] **Chen, M., Leung, C., Cochran, W.T., Jüngling, W., Dziuba, C., Yang, T.,** 1988. Suppression of Hot-Carrier Effects in Submicrometer CMOS Technology, *IEEE Transactions on Electron Devices*, **35**, No.12, 2210-2220.
- [206] **Borchert, B., Hofmann, K.R., Dorda, G.,** 1983. Positive and Negative Charge Generation by Hot Carriers in n-MOSFET's, *Electronic Letters*, **19**, No.18, 746-747.
- [207] **Doyle, B.S., Bourcierie, M., Bergonzoni, C., Benecchi, R., Bravis, A., Mistry, K.R., Boudou, A.,** 1990. The Generation and Characterization of Electron and Hole Traps Created by Hole Injection During Low Gate Voltage Hot-Carrier Stressing of n-MOS Transistors, *IEEE Transactions on Electron Devices*, **37**, No.8, 1869-1876.
- [208] **Doyle, B., Bourcierie, M., Marcetaux, J.C., Boudou, A.,** 1990. Interface State Creation and Charge Trapping in the Medium-to-High Gate Voltage Range ($V_d/2 \geq V_g \geq V_d$) During Hot-Carrier Stressing of n-MOS Transistors, *IEEE Transactions on Electron Devices*, **37**, No.3, 744-754.
- [209] **Doyle, B.S., Mistry, K.R.,** 1992. Hot-Carrier Stress Damage in the Gate "Off" State in n-Channel Transistors, *IEEE Transactions on Electron Devices*, **39**, No.7, 1774-1776
- [210] **Bauer, F., Balk, P.,** 1986. Relationship Between Short Channel Behavior and Long Term Stability of n-Channel Enhancement and Depletion MOSFET's, *Solid-State Electronics*, **29**, No.8, 797-806.
- [211] **Ma, Z.J., Shin, H., Ko, P., Hu, C.,** 1994. Effects of Plasma Charging Damage on the Noise Performance of Thin-Oxide MOSFET's, *IEEE Elect. Device Lett.*, **15**(6), 224-226
- [212] **Maes, H.E., Groeseneken, G.,** 1982. Determination of Spatial Surface State Density Distribution in MOS and SIMOS Transistors After Channel Hot Electron Injection, *Electronics Letters*, **18**, No:9, 372-374.
- [213] **Habas, P.,** 1995. Modeling Study of the Experimental Techniques for the Characterization of MOSFET Hot-Carrier Aging, *Microelectron. Reliab.*, **35**(3), 481-510
- [214] **Goo, J.S., Kim, Y.G., Lyee, H., Kwon, H.Y., Shin, H.,** 1995. An Analytical Model for Hot-Carrier-Induced Degradation of Deep-Submicron n-Channel LDD MOSFETs, *Solid state Electronics*, **38**, No.6, 1191-1196.
- [215] **Hwang, N., Forbes, L.,** 1995. Hot-Carrier Induced Series Resistance Enhancement Model (HISREM) of nMOSFET's for Circuit Simulations and Reliability Projections, *Microelectron. Reliab.*, **35**, No.2, 225-239.
- [216] **Leblebici, Y., Kang, S.M.,** 1993. Modeling and Simulation of Hot-Carrier-Induced Device Degradation in MOS Circuits, *IEEE J. of Solid State Circuits*, **28**(5), 585-595
- [217] **Leblebici, Y.,** 1996. Design Considerations for CMOS Digital Circuits With Improved Hot-Carrier Reliability, *IEEE Journal of Solid State Circuits*, **31**, No.7, 1014-1023

- [218] **Vuillaume, D., Marchetaux, J.C., Boudou, A.,** 1991. Evidence of Acceptor-Like Oxide Defects Created by Hot-Carrier Injection in n-MOSFET's : A Charge-Pumping Study, *IEEE Electron Device Letters*, **12**, No.2, 60-62.
- [219] **Cristoloveanu, S., Haddara, H., Revil, N.,** 1993. Defect Localization Induced by Hot Carrier Injection in Short-Channel MOSFETs: concept, modeling and characterization, *Microelectron. Reliab.*, **33**, No.9, 1365-1385.
- [220] **Habas, P.,** 1995. Modeling Study of the Experimental Techniques for the Characterization of MOSFET Hot-Carrier Aging, *Microelectronics Reliability*, **35**(7), 1073-1104
- [221] **Shabde, S., Bhattacharyya, A., Kao, R.S., Muller, R.S.,** 1988. Analysis of MOSFET Degradation due to Hot-Electron Stress in terms of Interface-State and Fixed-Charge Generation, *Solid-State Electronics*, **31**, No.11, 1603-1610.
- [222] **Haddara, H.S., Cristoloveanu, S.,** 1988. Parameter Extraction Method for Inhomogeneous MOSFET's Locally Damaged by Hot Carrier Injection, *Solid-State Electronics*, **31**, No.11, 1573-1581.
- [223] **Sakakibara, K., Ajika, N., Hatanaka, M., Miyoshi, H., Yasuoka, A.,** 1997. Identification of Stress-Induced Leakage Current Components and The Corresponding Trap Models in SiO₂ Films, *IEEE Transactions on Electron Devices*, **44**, No.6, 986-992.
- [224] **Gaensslen, F.H., Aitken, J.M.,** 1980. Sensitive Technique for Measuring Small MOS Gate Currents, *IEEE Electron Device Letters*, **1**, No:11, 231-233.
- [225] **Wen, K.S., Li, H.H., Wu, C.Y.,** 1995. A New Gate Current Simulation Technique Considering Si/SiO₂ Interface Trap Generation, *Solid State Electronics*, **38**(4), 851-859
- [226] **Doyle, B.S., Faricelli, J., Mistry, K.R., Vuillaume, D.,** 1993. Characterization of Oxide Trap and Interface Trap Creation During Hot Carrier Stressing of NMOS Transistors Using The Floating-Gate Technique, *IEEE Electron Device Letters*, **14**, No:2, 63-65.
- [227] **Vuillaume, D., Doyle, B.S.,** 1992. Properties of Hot Carrier Induced Traps in MOSFET's Characterized by The Floating-Gate Technique, *Solid State Electronics*, **35**, No:8, 1099-1107.
- [228] **Lang, S.E., Chim, W.K., Chan, D.S.H.,** 1995. A New Gate Current Measurement Technique for the Characterization of Hot-Carrier Induced Degradation in MOSFET's, *Solid State Electronics*, **38**, No:10, 1791-1798.
- [229] **Vuillaume, D., Marchetaux, J.C., Lippens, P.E., Bravaix, A., Boudou, A.,** 1993. A Coupled Study by Floating-Gate and Charge-Pumping Techniques of Hot-Carrier-Induced Defects in Submicrometer LDD n-MOSFET's, *IEEE Transactions on Electron Devices*, **40**, No.4, 773-781.
- [230] **Groeseneken, G., Bellens, R., Van Den Bosch, G., Maes, H.E.,** 1995. Hot-Carrier Degradation in Submicrometre MOSFETs : From Uniform Injection Towards The Real Operating Conditions, *Semicond. Sci. Technol.*, **10**, 1208-1220.
- [231] **Arora, N.,** 1993. *MOSFET Models for VLSI Circuit Simulation*, Springer-Verlag, Wien
- [232] **Heremans, P., Maes, H.E., Saks, N.,** 1986. Evaluation of Hot Carrier Degradation of N-Channel MOSFET's with the Charge Pumping Technique, *IEEE Electron Device Letters*, **7**, 428-430.

- [233] **Heremans, P., Bellens, R., Groeseneken G., MAES, H.E.**, 1988. Consistent Model for The Hot-Carrier Degradation in n-Channel and p-Channel MOSFET's, *IEEE Transactions on Electron Devices*, **35**, 2194-2209.
- [234] **Sinha, A.K., Levinstein, H.J., Adda, L.P., Fuls, E.N., Povilonis, E.I.**, 1978. Effect of High Temperature H₂ Anneals on the Slow-Trapping Instability of MOS Structures, *Solid State Electronics*, **21**, 531-535.
-
- [235] **Stahlbush, R.E., Cartier, E.**, 1994. Interface Defect Formation in MOSFET's by Atomic Hydrogen Exposure, *IEEE Transaction on Nuclear Science*, **41**(6), 1844-1853
- [236] **King, J.C., Hu, C.**, 1994. Effect of Low and High Temperature Anneal on Process-Induced Damage of Gate Oxide, *IEEE Electron Device Letters*, **15**, No.11, 475-476.
- [237] **Wolf, S.**, 1990. *Silicon Processing for The VLSI Era*, Vol.2, Lattice Press, U.S.A.
- [238] **Perng, R.K., Lin, P.S.**, 1993. The Improvement of Short-Channel Effects Due To Oxidation-Induced Boron Redistribution For Counter Implantation p-MOSFET's, *IEEE Electron Device Letters*, **14**, No:5, 237-239.
- [239] **Pfiester, J.R., Baker, F.K., Mele, T.C., Tseng, H.H., Tobin, P.J., Hayden, J.D., Miller, J.W., Gunderson, C.D., Parrillo, L.C.**, 1990. The Effects Of Boron Penetration on p⁺ Polysilicon Gated PMOS Devices, *IEEE Transactions on Electron Devices*, **37**, No.8, 1842-1851.
- [240] **Gdula, R.A.**, 1976. The Effects of Processing on Hot Electron Trapping in SiO₂, *J.Electrochem. Soc. Solid State Science And Technology*, **123**, No.1, 42-47.
- [241] **Pfiester, J.R., Parrillo, L.C., Baker, F.K.**, 1990. A Physical Model for Boron Penetration Through Thin Gate Oxides from p⁺ Polysilicon Gates, *IEEE Electron Device Letters*, **11**, No.6, 247-249.

EK-A: DENEYLERDE KULLANILAN TRANZİSTORLARIN HAZIRLANMASI

Deneylerde kullanılan tranzistorlar TÜBİTAK, Ulusal Elektronik ve Kriptoloji Araştırma Enstitüsü, Yarıiletken Teknolojisi Araştırma Laboratuvarında, 3µm n-kuyu CMOS teknolojisi ile üretilmişlerdir. Kullanılan teknolojiyi ve üretilecek devre elemanlarını test etmek amacıyla tasarlanan tümdevrenin bilgisayarda hazırlanan geometrik yerleşim planı (layout) Şekil.A.1'de verilmiştir. Üretimde kullanılan süreç adımlarının listesi ilerleyen sayfalarda verilmektedir. Liste, geçit oksiti üzerinden iyon implantasyonu ile kanal katkılama yapılması durumu için verilmiştir. Ön oksit üzerinden iyon implantasyonu yapılması durumu için, değişikliğe uğrayan süreç adımları listenin sonunda belirtilmiştir. Ayrıca, arayüzey tuzaklarına etkisi bakımından incelenen, metalizasyon sonrası düşük sıcaklıkta hidrojen ortamında tavlama işlemi süreç koşulları da listenin sonunda verilmektedir.

Tümdevre Tranzistor Üretim Süreci Adımları

1.-Maske Oksidi Büyütülmesi

Hedef Oksit Kalınlığı : 8000 Å ,

İşlem sıcaklığı : 1125 °C,

İşlem Süresi ve Ortam : 40' Kuru + 105' Nemli + 20' Kuru

2.-Oksit Aşındırılması

Yöntem : RIE(reaktif iyon aşındırma) + BOE (Tamponlu Oksit aşındırıcı)

Kullanılan Gazlar : CHF₃ , Argon,

3.-Ekran Oksiti Büyütülmesi

Hedef Oksit Kalınlığı : 200 Å,

İşlem sıcaklığı : 1000 °C,

İşlem Süresi ve Ortam : 12' Kuru

4.-N-Kuyu Bölgesi Katkılama İmplantasyonu

Kullanılan İyon : Fosfor,

Enerji ve Doz : 150 KeV, $3 \times 10^{12} \text{ cm}^{-2}$

5.-Oksitin Soyulması, Yöntem ve İşlem Sıcaklığı : BOE, 30 °C

6.-N-Kuyu derinleştirme Difüzyonu

Hedef Oksit Kalınlığı : 3500 Å ,

Hedef Kuyu Derinliği : 4 µm

İşlem Sıcaklığı ve Ortam : 1125 °C , 10' Kuru, 25' Nemli, 1800' N₂

- 7.-Oksit Soyulması, Yöntem ve İşlem Sıcaklığı : BOE, 30 °C
- 8.-Taban Oksiti Büyütülmesi
Hedef Oksit Kalınlığı : 500 °A,
İşlem Süresi ve Ortam : 1000 °C, 65' Kuru
- 9.-Silisyum Nitrür Depolanması
Yöntem : LPCVD (Düşük Basıncıta Kimyasal Buhar Depolama),
Hedef Tabaka Kalınlığı : 1500 °A,
İşlem Sıcaklığı : 800 °C,
Kullanılan Gazlar : SiH₂Cl₂, NH₃
- 10.-Silisyum Nitrür Aşındırılması
Yöntem : RIE,
Kullanılan Gazlar : CF₄ , O₂
- 11.-Alan Bölgesi Katkılama İmplantasyonu
Kullanılan İyon : Bor ,
Enerji ve Doz : 26 KeV , 2x10¹³ cm⁻²
- 12.-Bölgesel Oksit Büyütülmesi
Hedef Oksit Kalınlığı : 6000 °A ,
İşlem Sıcaklığı : 1125 °C ,
Süre ve Ortam : 30' Kuru , 65' Nemli, 20' N₂
- 13.-Silisyum Nitrür Soyulması
Kimyasal : H₃PO₄,
İşlem Sıcaklığı ve Süre : 150 °C, 180'
- 14.-Oksit Soyulması, Yöntem ve işlem sıcaklığı : BOE, 30 °C
- 15.-Geçit Oksiti Büyütülmesi
Hedef Oksit Kalınlığı : 450 °A ,
İşlem Sıcaklığı : 1000 °C ,
Süre ve Ortam : 45' Kuru, 30' N₂
- 16.-Kanal Bölgesi Katkılama İmplantasyonu
Kullanılan İyon : Bor ,
Enerji ve Doz : 26 KeV , 6x10¹¹ cm⁻²
- 17.-Polisilisyum Depolanması
Yöntem : LPCVD ,
Hedef Tabaka Kalınlığı : 5000 °A ,
İşlem Sıcaklığı : 600 °C ,
Kullanılan Gaz : SiH₄ (70 sccm)
- 18.-Polisilisyum Katkılanması
Yöntem :Spin-On ,
İşlem Sıcaklığı ve süre : 1000 °C , 30'
- 19.-Polisilisyum aşındırılması
Yöntem :RIE ,

- Kullanılan Gazlar : SF_6 , O_2
- 20.-p+ Kaynak/Savak Bölgesi Katkılama İmplantasyonu
Kullanılan İyon : Bor ,
Enerji ve Doz : 25 KeV , $2.5 \times 10^{15} \text{ cm}^{-2}$
- 21.-n+ Kaynak/Savak Bölgesi Katkılama İmplantasyonu
Kullanılan İyon : Arsenik ,
Enerji ve Doz : 150 KeV , $6 \times 10^{15} \text{ cm}^{-2}$
- 22.-BPSG Depolanması
Yöntem : APCVD (Atmosferik Basıncıta Kimyasal Buhar Depolama),
Hedef Tabaka Kalınlığı : $1 \mu\text{m}$,
İşlem Sıcaklığı : 365°C ,
Kullanılan Gazlar : SiH_4 , O_2 , B_2H_6 , PH_3
- 23.-BPSG Akitılması
İşlem sıcaklığı : 900°C ,
İşlem Süresi ve Ortam : 40' Dry
- 24.-Kontak Penceresi Bölgelerinin Aşındırılması
Yöntem : RIE + BOE
Kullanılan Gazlar : CHF_3 , O_2
- 25.-Metal Depolanması
Yöntem : Sputter (Tozutma) ,
Kaplanan malzeme : %1 Silisyum katkılı Alüminyum,
Hedef Tabaka Kalınlığı : $1 \mu\text{m}$
- 26.-Metal Aşındırılması
Yöntem : RIE ,
Kullanılan Gazlar : BCl_3 , Cl_2 , CHF_3
- 27.-Tavlama
İşlem Sıcaklığı : 450°C ,
İşlem Süresi ve Ortam : 45' N_2
- 28.-Koruyucu Tabaka Depolanması
Yöntem : APCVD ,
Hedef Tabaka Kalınlığı : 8000°A ,
İşlem Sıcaklığı : 365°C ,
Kullanılan Gazlar : SiH_4 , O_2
- 29.- Koruyucu Tabaka Aşındırılması

Ön Oksit üzerinden iyon implantasyonu ile kanal katkılama yapılması durumunda 14 numaralı "oksit soyma" adımı yapılmaz. Nitrür aşındırma sonrası kalan oksit üzerinden iyon implantasyonu ile kanal katkılması yapılır. Daha sonra üzerinden implantasyon yapılan bu oksit soyularak, geçit oksiti büyütülür. Ön oksit üzerinden kanal katkılama durumunda listedeki 13-17 adımları arası şöyle olacaktır.

13'.-Silisyum Nitrür Soyulması

Kimyasal : H_3PO_4 ,

İşlem Sıcaklığı ve Süre : 150 °C, 180'

14'.-Kanal Bölgesi Katkılama İmplantasyonu

Kullanılan İyon : Bor ,

Enerji ve Doz : 40 KeV , $8 \times 10^{11} \text{ cm}^{-2}$

15'.-Oksit Soyulması

Yöntem ve işlem sıcaklığı : BOE, 30 °C

16'.-Geçit Oksiti Büyütülmesi

Hedef Oksit Kalınlığı : 450 °Å ,

İşlem Sıcaklığı : 1000 °C ,

Süre ve Ortam : 45' Kuru, 30' N_2

17'.-Polisilisyum Depolanması

Yöntem : LPCVD ,

Hedef Tabaka Kalınlığı : 5000 °Å ,

İşlem Sıcaklığı : 600 °C ,

Kullanılan Gaz : SiH_4

Sürecin diğer adımlarında değişiklik yapılmamıştır. Üzerinden implantasyon yapılan ön oksit kalınlığı geçit oksiti kalınlığından farklı olduğundan ve ön oksit soyma sonrası geçit oksiti büyütme aşamasında, yüksek sıcaklık nedeniyle yüzeydeki Bor atomlarının oksit içine kaçması söz konusu olduğundan, uygun eşik gerilimleri elde edebilmek amacıyla, kanal katkılama iyon implantasyonunun enerji ve doz değerleri değiştirilmiştir.

Metalizasyon sonrası düşük sıcaklıkta hidrojen ortamında tavlama sürecinin arayüzey tuzaklarına etkisini incelemek amacıyla 27 numaralı tavlama adımı birkaç pul için aşağıdaki gibi yapılarak iki süreç karşılaştırılmıştır.

27'.- Tavlama

İşlem sıcaklığı : 450 °C,

Pulları fırına itme : 7 dakika, 15 litre/dakika Azot akışında

Ön Temizlik : 5 dakika, 15 litre/dakika Azot

Tavlama : 15 dakika, 2 litre/dakika Azot + 0.3 litre/dakika Hidrojen

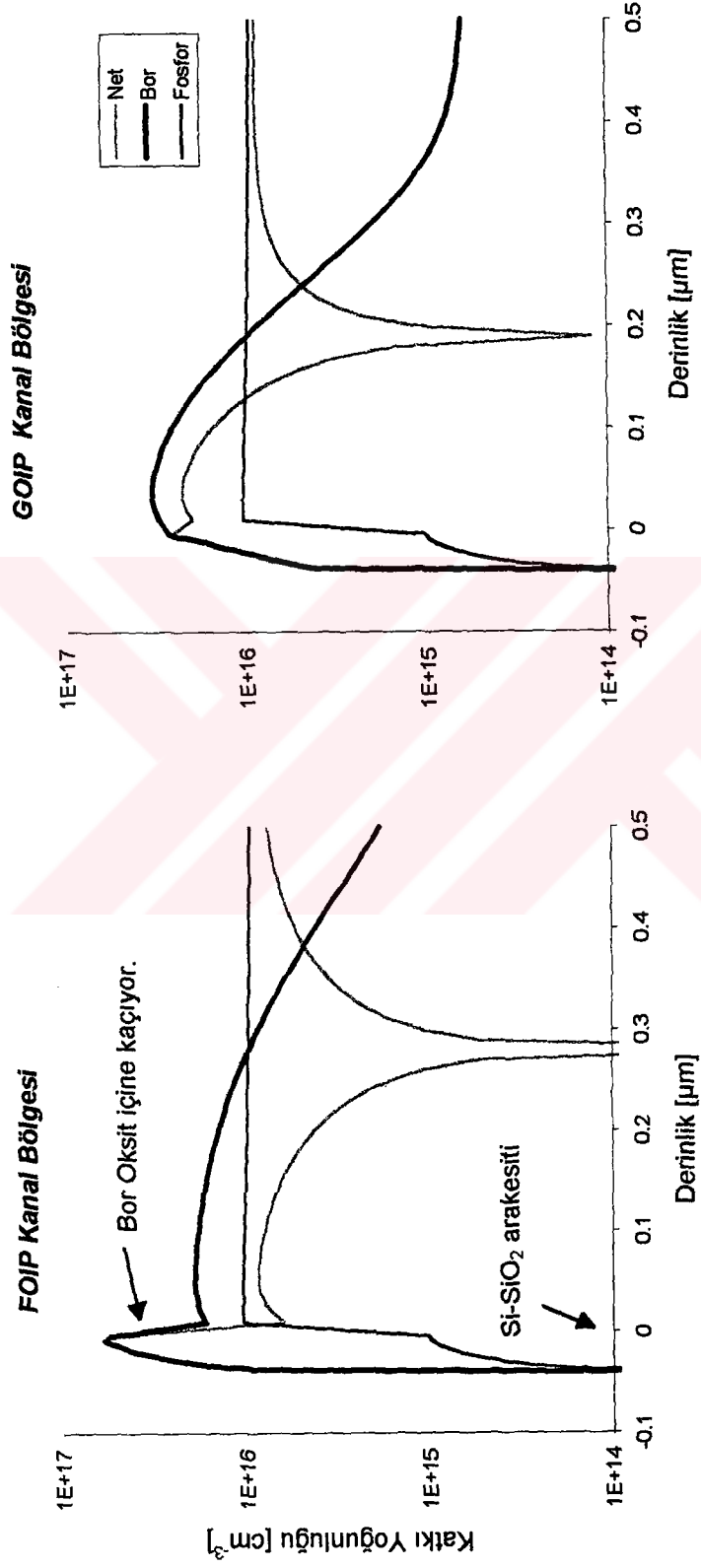
Son Temizlik : 5 dakika, 15 litre/dakika Azot

Pulları fırından çekme : 7 dakika, 15 litre/dakika Azot akışında

EK-B: ÜRETİLEN TRANZİSTORLARIN SİMULASYONLARI

B.1 FOIP Kanal Bölgesi için giriş dosyası

```
TITL  * 3um CMOS Process c5-14 / PMOS * GATE
SUBS  ORNT=100, ELEM=B, CONC=7E14
GRID  DYSI=0.01, DPTH=2, YMAX=4
MODEL NAME=WET1, LRTE=7.29E5, PRTE=7.09
MODEL NAME=DRY1, LRTE=53289.9, PRTE=11.2345
MODEL NAME=MBO1, SEG0=2208
MODEL NAME=SPM1, GATE=-, QSSQ=5E10, CBLK=7E14
COMM  **** ILK OKSITLEME ****
STEP TYPE=OXID,TEMP=1125,TIME=40,MODL=DRY1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=105,MODL=WET1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=20,MODL=NIT0,MODL=MBO1
COMM  * OKSIT SILME*
STEP TYPE=ETCH, TEMP=27
COMM  **** PERDE OKSITI BUYUTME ****
STEP TYPE=OXID,TEMP=1000,TIME=12,MODL=DRY1
COMM  ** N-KUYU EKME ***
STEP TYPE=IMPL,ELEM=P,AKEV=150,DOSE=3E12
COMM  *** DERINLESTIRME ****
STEP TYPE=OXID,TEMP=1125,TIME=10,MODL=DRY1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=25,MODL=WET1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=1800,MODL=NIT0,MODL=MBO1
COMM  * OKSIT SILME*
STEP TYPE=ETCH, TEMP=27
COMM  * Nitrid icin alt OKSIT BUYUTME *
STEP TYPE=OXID,TEMP=1000,TIME=65,MODL=DRY1,MODL=MBO1
COMM  * NITRIDE DEP *
COMM  * LOCOS *
STEP TYPE=OXID,TEMP=1125,TIME=30,MODL=NIT0,MODL=MBO1,
STEP TYPE=OXID,TEMP=1125,TIME=65,MODL=NIT0,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=20,MODL=NIT0,MODL=MBO1
COMM  * NITRIDE STRIP*
COMM  * ESİK AYARI *
STEP TYPE=IMPL, ELEM=B, DOSE=8E11,AKEV=40
COMM  * PERDE OKSITI SILME *
STEP TYPE=ETCH, TEMP=27
COMM  * GECİT OKSİDİ BUYUTME *
STEP TYPE=OXID,TEMP=1000,TIME=45,MODL=DRY1,MODL=MBO1
STEP TYPE=OXID,TEMP=1000,TIME=30,MODL=NIT0,MODL=MBO1
COMM  * POLY DEPOLAMA *
COMM  * POLY KATKILAMA *
STEP TYPE=OXID,TEMP=1000,TIME=30,MODL=NIT0,MODL=MBO1
COMM  * BPSG AKITMA *
PRINT HEAD=N,TOTL=Y
COMM  PCMATLAB
STEP TYPE=OXID,TEMP=900,TIME=40,MODL=NIT0,MODL=MBO1
SAVE LUNM=20,TYPE=B
END
```



Şekil.B.1 İki farklı kanal katılama yöntemi için, PMOS kanal bölgesinin SUPREM simülasyonları ile elde edilen katkı profilleri

B.2 GOIP Kanal Bölgesi için giriş dosyası

```
TITL  * 3um CMOS Process c5-8 / PMOS * GATE
SUBS  ORNT=100, ELEM=B, CONC=7E14
GRID  DYSI=0.01, DPTH=2, YMAX=4
MODEL NAME=WET1, LRTE=7.29E5, PRTE=7.09
MODEL NAME=DRY1, LRTE=53289.9, PRTE=11.2345
MODEL NAME=MBO1, SEG0=2208
MODEL NAME=SPM1, GATE=-, QSSQ=5E10, CBLK=7E14
COMM  **** ILK OKSITLEME ****
STEP TYPE=OXID,TEMP=1125,TIME=40,MODL=DRY1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=105,MODL=WET1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=20,MODL=NIT0,MODL=MBO1
COMM  * OKSIT SILME*
STEP TYPE=ETCH, TEMP=27
COMM  **** PERDE OKSITI BUYUTME ****
STEP TYPE=OXID,TEMP=1000,TIME=12,MODL=DRY1
COMM  ** N-KUYU EKME **
STEP TYPE=IMPL,ELEM=P,AKEV=150,DOSE=3E12
COMM  *** DERINLESTIRME ****
STEP TYPE=OXID,TEMP=1125,TIME=10,MODL=DRY1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=25,MODL=WET1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=1800,MODL=NIT0,MODL=MBO1
COMM  * OKSIT SILME*
STEP TYPE=ETCH, TEMP=27
COMM  * Nitrid için alt OKSIT BUYUTME *
STEP TYPE=OXID, TEMP=1000, TIME=65, MODL=DRY1,MODL=MBO1
COMM  * NITRIDE DEP *
COMM  * LOCOS *
STEP TYPE=OXID, TEMP=1125, TIME=30, MODL=NIT0,MODL=MBO1,
STEP TYPE=OXID, TEMP=1125, TIME=65, MODL=NIT0,MODL=MBO1
STEP TYPE=OXID, TEMP=1125, TIME=20, MODL=NIT0,MODL=MBO1
COMM  * NITRIDE STRIP*
COMM  * PERDE OKSITI SILME *
STEP TYPE=ETCH, TEMP=27
COMM  * GECIT OKSIDI BUYUTME *
STEP TYPE=OXID, TEMP=1000,TIME=45, MODL=DRY1,MODL=MBO1
STEP TYPE=OXID, TEMP=1000, TIME=30, MODL=NIT0,MODL=MBO1
COMM  * ESİK AYARI *
STEP TYPE=IMPL, ELEM=B, DOSE=6E11,AKEV=26
COMM  * POLY DEPOLAMA *
COMM  * POLY KATKILAMA *
STEP TYPE=OXID,TEMP=1000,TIME=30,MODL=NIT0,MODL=MBO1
COMM  * BPSG AKITMA *
PRINT HEAD=N,TOTL=Y
COMM  PCMATLAB
STEP TYPE=OXID,TEMP=900,TIME=40,MODL=NIT0,MODL=MBO1
SAVE LUNM=20, TYPE=B
END
```

Bu giriş dosyaları ile elde edilen katkı profilleri Şekil.B-1'de verilmiştir. Savak/Kaynak bölgeleri için de giriş dosyaları yazılmış. Elde edilen profiller 2-boyutlu MOS eleman simulatörü MINIMOS4'e giriş olarak verilmiştir. MINIMOS çıktıları elemanın çeşitli kutuplama koşullarında çalışmasını incelemek için kullanılmıştır. NMOS tranzistörler için de aşağıdaki giriş dosyaları kullanılarak benzer işlemler yapılmıştır.

B.3 FOIN Kanal Bölgesi için giriş dosyası

```
TITL  * 3um CMOS Process c5-14 / NMOS * GATE
SUBS  ORNT=100, ELEM=B, CONC=7E14
```

```

GRID  DYSI=0.01, DPTH=2, YMAX=4
MODEL NAME=WET1, LRTE=7.29E5, PRTE=7.09
MODEL NAME=DRY1, LRTE=53289.9, PRTE=11.2345
MODEL NAME=MBO1, SEG0=2208
MODEL NAME=SPM1, GATE=-, QSSQ=5E10, CBLK=7E14
COMM  **** ILK OKSITLEME *****
STEP TYPE=OXID,TEMP=1125,TIME=40,MODL=DRY1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=105,MODL=WET1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=20,MODL=NIT0,MODL=MBO1
COMM  **** Butun Pul yuzeyi oksitlendi
COMM  **** PERDE OKSITI BUYUTME ****
STEP TYPE=OXID,TEMP=1000,TIME=12,MODL=DRY1
COMM  **** N-Well Implant yapilacak yerlerde buyudu.
COMM  **** Diger yerlerde onceki okside ilave oldu
COMM  *** DERINLESTIRME ****
STEP TYPE=OXID,TEMP=1125,TIME=10,MODL=DRY1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=25,MODL=WET1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=1800,MODL=NIT0,MODL=MBO1
COMM  *** Butun pul yuzeyinde var olan okside ilave oldu.
COMM  * OKSIT SILME*
STEP TYPE=ETCH, TEMP=27
COMM  * Nitrid icin alt OKSIT BUYUTME *
STEP TYPE=OXID, TEMP=1000, TIME=65, MODL=DRY1,MODL=MBO1
COMM  * NITRIDE DEP *
COMM  * LOCOS *
STEP TYPE=OXID, TEMP=1125, TIME=30, MODL=NIT0,MODL=MBO1,
STEP TYPE=OXID, TEMP=1125, TIME=65, MODL=NIT0,MODL=MBO1
STEP TYPE=OXID, TEMP=1125, TIME=20, MODL=NIT0,MODL=MBO1
COMM  * Gecit bolgesi simulasyonu olacak, bu bolgede
COMM  LOCOS istenmiyor, sicaklik simulasyonu icin NIT0 kullanildi
COMM  * NITRIDE STRIPE
COMM  * ESİK AYARI *
STEP TYPE=IMPL, ELEM=B, DOSE=8E11, AKEV=40
COMM  * PERDE OKSITI SILME *
STEP TYPE=ETCH, TEMP=27
COMM  * GECIT OKSIDI BUYUTME *
STEP TYPE=OXID, TEMP=1000,TIME=45, MODL=DRY1,MODL=MBO1
STEP TYPE=OXID, TEMP=1000, TIME=30, MODL=NIT0,MODL=MBO1
COMM  * POLY DEPOLAMA *
COMM  * POLY KATKILAMA *
STEP TYPE=OXID,TEMP=1000,TIME=30,MODL=NIT0,MODL=MBO1
COMM  * BPSG AKITMA *
PRINT HEAD=N,TOTL=Y
COMM  PCMATLAB
STEP TYPE=OXID,TEMP=900,TIME=40,MODL=NIT0,MODL=MBO1
SAVE LUNM=20, TYPE=B
END

```

B.4 GOIN Kanal Bölgesi için giriş dosyası

```

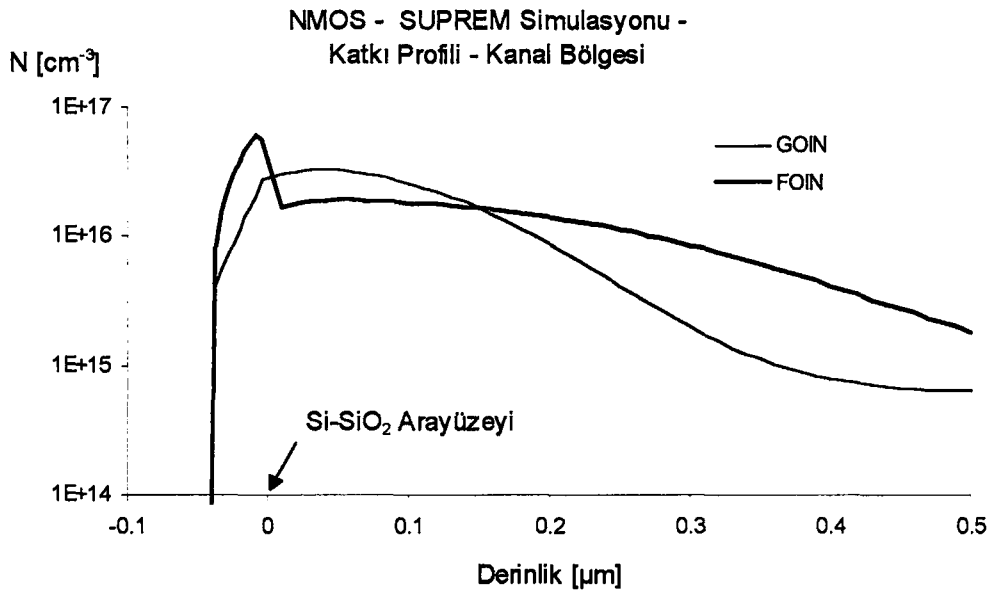
TITL  * 3um CMOS Process c5-8 / YITAL * GATE
SUBS  ORNT=100, ELEM=B, CONC=7E14
GRID  DYSI=0.01, DPTH=2, YMAX=4
MODEL NAME=WET1, LRTE=7.29E5, PRTE=7.09
MODEL NAME=DRY1, LRTE=53289.9, PRTE=11.2345
MODEL NAME=MBO1, SEG0=2208
MODEL NAME=SPM1, GATE=-, QSSQ=5E10, CBLK=7E14
COMM  **** ILK OKSITLEME *****
STEP TYPE=OXID,TEMP=1125,TIME=40,MODL=DRY1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=105,MODL=WET1,MODL=MBO1

```

```

STEP TYPE=OXID,TEMP=1125,TIME=20,MODL=NIT0,MODL=MBO1
COMM **** Butun Pul yuzeyi oksitlendi
COMM **** PERDE OKSITI BUYUTME ****
STEP TYPE=OXID,TEMP=1000,TIME=12,MODL=DRY1
COMM *** DERINLESTIRME ****
STEP TYPE=OXID,TEMP=1125,TIME=10,MODL=DRY1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=25,MODL=WET1,MODL=MBO1
STEP TYPE=OXID,TEMP=1125,TIME=1800,MODL=NIT0,MODL=MBO1
COMM * OKSIT SILME*
STEP TYPE=ETCH, TEMP=27
COMM * Nitrid icin alt OKSIT BUYUTME *
STEP TYPE=OXID, TEMP=1000, TIME=65, MODL=DRY1,MODL=MBO1
COMM * NITRIDE DEP *
COMM * LOCOS *
STEP TYPE=OXID, TEMP=1125, TIME=30, MODL=NIT0,MODL=MBO1,
STEP TYPE=OXID, TEMP=1125, TIME=65, MODL=NIT0,MODL=MBO1
STEP TYPE=OXID, TEMP=1125, TIME=20, MODL=NIT0,MODL=MBO1
COMM * NITRIDE STRIP*
COMM * PERDE OKSITI SILME *
STEP TYPE=ETCH, TEMP=27
COMM * GECIT OKSIDI BUYUTME *
STEP TYPE=OXID, TEMP=1000,TIME=45, MODL=DRY1,MODL=MBO1
STEP TYPE=OXID, TEMP=1000, TIME=30, MODL=NIT0,MODL=MBO1
COMM * ESİK AYARI *
STEP TYPE=IMPL, ELEM=B, DOSE=6E11,AKEV=26
COMM * POLY DEPOLAMA *
COMM * POLY KATKILAMA *
STEP TYPE=OXID,TEMP=1000,TIME=30,MODL=NIT0,MODL=MBO1
COMM * BPSG AKITMA *
PRINT HEAD=N,TOTL=Y
COMM PCMATLAB
STEP TYPE=OXID,TEMP=900,TIME=40,MODL=NIT0,MODL=MBO1
SAVE LUNM=20, TYPE=B
END

```



Şekil.B-2 İki farklı kanal katkılama yöntemi için, NMOS kanal bölgelerinin katkı profilleri (karşılaştırma amacıyla üstüste çizilmiştir).

EK-C: ÖLÇÜ KONTROL PROGRAMI

Bu çalışmada kullanılan ölçü kontrol programları, Şekil.4.1'deki deney düzeneğini bilgisayar'dan kontrol etmek için yazılmıştır ve PC, HP4145 parametre analizörü, HP33120A işaret üreticinin HP-IB hattı üzerinden veri alışverişi yapmasını sağlar. QuickBASIC programlama dilinin kullanıldığı programlar ile elde edilen veriler kullanıcının adını verdiği dosyaya yazılırken aynı zamanda grafik ekranda işaretlenir. Aşağıda örnek olarak verilen program, PMOS tranzistorların sabit genlik değişken ofset yöntemi ile yük pompası olarak çalıştırıldıklarında akacak taban akımını ölçmeye, tranzistorların geçiş karakteristiklerini çıkarmaya, normal ve ters çalışma halinde akacak taban ve savak akımlarını ölçmeye, tranzistorlara istenilen süre ve gerilimlerde zorlama uygulamaya ve bu işlemleri farklı dosyalara kaydederek tekrarlamaya olanak vermektedir. Benzeri programlar, farklı yük pompası çalışma tipleri veya farklı tranzistor karakteristikleri elde edilecek şekilde farklı elemanlar için benzer formda yazılmıştır.

```
-----
screen 9:bekle=1
17 SEND=9:ENTER=21:INITIALIZE=0:SPOLL=12
170 DEF SEG=&HCC00
180 INITIALIZE=0:LEVEL%=0:ADDR%=21
190 CALL INITIALIZE(ADDR%,LEVEL%)
200 ADDRESS%=17:HP33120A%=10
210 ENTER=21:AL$=SPACE$(255)
*****initialize
    send$="**RST":gosub 4000
    send$="OUTP:LOAD INF":gosub 4000
    send$="APPL:DC DEF, DEF, 0.0":gosub 4000
***** STRES UYGULA VE OLC
colo=10
locate 1,1:print space$(80)
locate 1,1
input "cikis dosyasi adi (soyadsiz): ", ad$
locate 1,1:print space$(80)
locate 1,1
input "direkt stres icin (s), gecis egr. (g), yuk <RETURN> ",cev1$
if cev1$="s" then goto 888
if cev1$="g" then goto 6789
1:
locate 1,1:print space$(80)
locate 1,1:beep
input "icp --> drain=source->smu1, sub->smu3, gate->EXT LOW, devam->(y) gir :
",cevap2$
if cevap2$="y" then gosub 7777 else goto 2222
6789:
locate 1,1
print space$(80)
locate 1,1:beep
input "idvg --> drain->smu1, gate->smu2, sub->smu3, source->vs1, devam->(y) gir :
",cevap2$
if cevap2$="y" then gosub 6666 else goto 2222
gosub 5555
gosub 4444
888:
```

```

locate 1,1:beep
input "stres zamani ve gerilimleri..... time[s],vg[V],vd[V] : ",stime,vg,vd
gosub 8888
colo=colo+1
go to 1
***** OLCUMU BITIR --- HP4145 ESKI KONUMUNA
2222 send$="DF":gosub 3000
      send$="SS":gosub 3000
      stop
3000 REM ***** hp4145 *****
3010 CALL SEND (ADDRESS%, SEND$, STATUS%)
3020 IF STATUS%=8 THEN PRINT"KOMUT=";SEND$;" 4145 YANIT VERMIYOR":END
3030 RETURN
4000 REM ***** hp33120a *****
4050 CALL SEND (hp33120a%, SEND$,STATUS%)
4055 IF STATUS%=8 THEN PRINT"hp33120a YANIT VERMIYOR"
4060 RETURN
7777 REM ***** YUK POMPASI OLCUMU *****
view (350,50)-(600,275),,4
window (-7.5,0)-(-7.5,-1.5e-9)
locate 1,1:print space$(80)
locate 1,1
Outfile1$=ad$+".yuk"
print Outfile1$
open Outfile1$ for output as #1
      send$="US":gosub 3000
      send$="BC":gosub 3000
'DV SMU channel,output range 0:auto,value,compliance
      send$="DV 3,0,0,1.0e-3":gosub 3000
      send$="DV 1,0,-0.2,1.0e-6":gosub 3000
      send$="APPL:SQU 5e5, 5.0, 5.0":gosub 4000:gosub 8899
      for o=5.0 to -5.0 step -.2
        send$="VOLT:OFFS "+str$(o):gosub 4000:gosub 8899
      send$="TI 3":gosub 3000
      send$="DO":gosub 3000
410 CALL SPOLL (ADDRESS%,POLL%,STATUS%)
420 IF (POLL% AND 16)=16 THEN 410
      for x=1 to 1000:next x
570 CALL ENTER (AL$,LENGTH%,ADDRESS%,STATUS%)
575 IF STATUS%<>0 THEN PRINT STATUS$:STOP:GOTO 570
      i=instr(al$,"I")
      al=val(mid$(al$,i+1,LENGTH%-1))
590 print #1, o,al
      locate 21,45
      print using "##.## ##.###^",o,al
      pset(o,al),colo
      for x=1 to 5000:next x
      next o
      send$="BC":gosub 3000
      close #1
*****initialize
      send$="*RST":gosub 4000
      send$="OUTP:LOAD INF":gosub 4000
      send$="APPL:DC DEF, DEF, 0.0":gosub 4000
return
6666 REM ***** ID-VG *****
view (50,50)-(300,150),,4
window (0,0)-(-5,-3e-5)
locate 1,1:print space$(80)
locate 1,1

```

```

OutFile2$=ad$+".gm"
print Outfile2$
open Outfile2$ for output as #2
    send$="US":gosub 3000
    send$="BC":gosub 3000
'set smu1:drain:-50mV
    send$="DV 1,0,-0.05,1.0e-6":gosub 3000
'set smu3:taban:0V
    send$="DV 3,0,0,1.0e-3":gosub 3000
'set vs1:source:0V
    send$="DS 1,0":gosub 3000
'change vg:0 to -5V
    for vo=0 to -5 step -0.02
        send$="DV 2,0,"+str$(vo)+",1.0e-9":gosub 3000:gosub 8899
'measure smu1 current
    send$="TI 1":gosub 3000
    send$="DO":gosub 3000
1410 CALL SPOLL (ADDRESS%,POLL%,STATUS%)
1420 IF (POLL% AND 16)=16 THEN 1410
    for x=1 to 1000:next x
1570 CALL ENTER (AL$,LENGTH%,ADDRESS%,STATUS%)
1575 IF STATUS%<>0 THEN PRINT STATUS%:STOP:GOTO 1570
    i=instr(al$,"I")
    al=val(mid$(al$,i+1,LENGTH%-1))
1590 print #2, vo,al
    locate 3,10
    print using "##.## ##.###^",vo,al
    pset(vo,al),colo
    for x=1 to 5000:next x
    next vo
    send$="BC":gosub 3000
    close #2
    return
5555 REM ***** ISUB & ID-VG *****
view (50,175)-(300,275),,4
window (0,0)-(-5,1e-10)
locate 1,1:print space$(80)
locate 1,1
OutFile3$=ad$+".sub"
print Outfile3$
open Outfile3$ for output as #3
    send$="BC":gosub 3000
'set smu1:drain:-5V
    send$="DV 1,0,-5.0,1.0e-6":gosub 3000
'set smu3:taban:0V
    send$="DV 3,0,0,1.0e-3":gosub 3000
'set vs1:source:0V
    send$="DS 1,0":gosub 3000
'change vg:0 to -5V
    for vo=0 to -5 step -0.1
        send$="DV 2,0,"+str$(vo)+",1.0e-9":gosub 3000:gosub 8899
'measure smu3 current
    send$="TI 3":gosub 3000
    send$="DO":gosub 3000
2410 CALL SPOLL (ADDRESS%,POLL%,STATUS%)
2420 IF (POLL% AND 16)=16 THEN 2410
    for x=1 to 1000:next x
2570 CALL ENTER (AL$,LENGTH%,ADDRESS%,STATUS%)
2575 IF STATUS%<>0 THEN PRINT STATUS%:STOP:GOTO 2570
    i=instr(al$,"I")

```

```

        alsub=val(mid$(al$,i+1,LENGTH%-1))
'measure smu1 current
    send$="BC":gosub 3000
    send$="TI 1":gosub 3000
    send$="DO":gosub 3000
3410  CALL SPOLL (ADDRESS%,POLL%,STATUS%)
3420  IF (POLL% AND 16)=16 THEN 3410
        for x=1 to 100:next x
3570  CALL ENTER (AL$,LENGTH%,ADDRESS%,STATUS%)
3575  IF STATUS%<>0 THEN PRINT STATUS%:STOP:GOTO 3570
        i=instr(AL$,"I")
        alid=val(mid$(AL$,i+1,LENGTH%-1))
2590  print #3, vo,alsub,alid
        locate 21,5
        print using "##.## ##.###^ ^ ^ ^ ^ ^ ##.###^ ^ ^ ^ ^ ^";vo,alsub,alid
        pset(vo,alsub),colo
        for x=1 to 5000:next x
        next vo
        send$="BC":gosub 3000
        close #3
        return
4444  REM ***** REVERSE ISUB & ID-VG *****
view (50,175)-(300,275),,4
window (0,0)-(5,1e-10)
locate 1,1:print space$(80)
locate 1,1
OutFile4$=ad$+".rsu"
print Outfile4$
open Outfile4$ for output as #4
    send$="US":gosub 3000
    send$="BC":gosub 3000
'set smu1:DRAIN:0V
    send$="DV 1,0,0,1.0e-6":gosub 3000
'set smu3:taban:0V
    send$="DV 3,0,+0,1.0e-3":gosub 3000
'set vs1:source:-5V
    send$="DS 1,-5":gosub 3000
'change vg:0 to -5V
    for vo=0 to -5 step -0.1
        send$="DV 2,0,"+str$(vo)+",1.0e-9":gosub 3000:gosub 8899
'measure smu3 current
    send$="TI 3":gosub 3000
    send$="DO":gosub 3000
4410  CALL SPOLL (ADDRESS%,POLL%,STATUS%)
4420  IF (POLL% AND 16)=16 THEN 4410
        for x=1 to 1000:next x
4570  CALL ENTER (AL$,LENGTH%,ADDRESS%,STATUS%)
4575  IF STATUS%<>0 THEN PRINT STATUS%:STOP:GOTO 4570
        i=instr(al$,"I")
        alsub=val(mid$(al$,i+1,LENGTH%-1))
'measure smu1 current
    send$="BC":gosub 3000
    send$="TI 1":gosub 3000
    send$="DO":gosub 3000
5410  CALL SPOLL (ADDRESS%,POLL%,STATUS%)
5420  IF (POLL% AND 16)=16 THEN 5410
        for x=1 to 1000:next x
5570  CALL ENTER (AL$,LENGTH%,ADDRESS%,STATUS%)
5575  IF STATUS%<>0 THEN PRINT STATUS%:STOP:GOTO 5570
        i=instr(AL$,"I")

```

```

    alid=val(mid$(AL$,i+1,LENGTH%-1))
5590 print #4, vo,alsub,alid
    locate 21,5
    print using "### ## ###.###^#### ##.###^####";vo,alsub,alid
    pset(vo,alsub),colo
    for x=1 to 5000:next x
    next vo
    send$="BC":gosub 3000
    close #4
    return
8888 REM ***** STRES *****
    'tranzistore gerilim stresi uygula
    ct$=time$
    ch=val(mid$(ct$,instr(ct$,".")-2,2))
    cm=val(mid$(ct$,instr(ct$,".")+1,2))
    cs=val(mid$(ct$,instr(ct$,".")+4,2))
    ct=ch*3600+cm*60+cs
    for x=1 to 10000:next x
    send$="US":gosub 3000
    send$="BC":gosub 3000
    'smu1 drain
    'smu2 gate
    'smu3 substrate
    'vs1 source
9999 send$="DV 1,0,"+str$(vd)+",1.0e-1":gosub 3000
    send$="DV 2,0,"+str$(vg)+",1.0e-9":gosub 3000
    send$="DV 3,0,0,1.0e-1":gosub 3000
    send$="DS 1,0":gosub 3000
    '***** stres uygulama zamani tespiti *****
    nt$=time$
    nh=val(mid$(nt$,instr(nt$,".")-2,2))
    nm=val(mid$(nt$,instr(nt$,".")+1,2))
    ns=val(mid$(nt$,instr(nt$,".")+4,2))
    nt=nh*3600+nm*60+ns
    locate 1,1:print space$(80)
    locate 1,1
        print using "stime=####.# vg=####.# vd=####.#";nt-ct,vg,vd
        if nt < ct+stime then goto 9999
        send$="DV 1,0,0,1e-1":gosub 3000
        send$="DV 2,0,0,1e-9":gosub 3000
    locate 1,1:print space$(80)
    locate 1,1
    input "cikis dosyasi adi (soyadsiz): ", ad$
    RETURN
8899 REM ***** bekle *****
    ct$=time$
    ch=val(mid$(ct$,instr(ct$,".")-2,2))
    cm=val(mid$(ct$,instr(ct$,".")+1,2))
    cs=val(mid$(ct$,instr(ct$,".")+4,2))
    ct=ch*3600+cm*60+cs
9988 nt$=time$
    nh=val(mid$(nt$,instr(nt$,".")-2,2))
    nm=val(mid$(nt$,instr(nt$,".")+1,2))
    ns=val(mid$(nt$,instr(nt$,".")+4,2))
    nt=nh*3600+nm*60+ns
    if nt < ct+bekle then goto 9988
RETURN

```

EK-D: EFEKTİF KANAL BOYU VE GENİŞLİĞİ BULUNMASI

D.1 Efektif Kanal Boyu Bulunması (Sucio & Johnson Yöntemi)

Lineer bölgede çalışan MOS tranzistor için, $V_{DS} \ll (V_{GS} - V_T)$

$$I_{DS} = \mu \frac{W_{eff}}{L_{eff}} C_{ox} (V_{GS} - V_T) (V_{DS} - R_t I_{DS}) \text{ yazılabilir. [131]} \quad (D.1)$$

R_t :Kaynak ve Savak bölgelerine ait tabaka direnci, kontak direnci ve benzeri; *kanal bölgesine ait olmayan dirençler toplamıdır*. $L_{eff} \equiv L_{mask} - \Delta L$ dir. (D.1) düzenlenerek V_{DS} / I_{DS} teşkil edilirse,

$$R_m \equiv \frac{V_{DS}}{I_{DS}} = \frac{L_{eff}}{C_{ox} W_{eff} (V_{GS} - V_T) \mu} + R_t \text{ olur.} \quad (D.2)$$

(D.2)'nin her iki tarafını $V_{GS} - V_T$ ile çarpalım, $R_m (V_{GS} - V_T) \equiv E_m$ tanımlayalım.

$$\mu = \frac{\mu_o}{1 + \theta (V_{GS} - V_T)}, \text{ mobilitenin geçit gerilimine bağımlılığı için kullanılacaktır.}$$

V_{DS} / I_{DS} 'yi , kanal genişlikleri büyük ve $W_{eff1} \cong W_{eff2} \equiv W$, $R_{t1} \cong R_{t2} \equiv R$ olarak tasarlanan iki farklı tranzistor için ölçebiliriz. Bu şartlar altında,

$$E_{m1} = \frac{L_{mask1} - \Delta L}{C_{ox} W \mu_o} (1 + \theta (V_{GS} - V_{T1})) + R_t (V_{GS} - V_{T1}) \quad (D.3)$$

yazılabilir. Düzenlenirse

$$E_{m1} = \frac{L_{mask1} - \Delta L}{C_{ox} W \mu_o} + (V_{GS} - V_{T1}) \left(\theta \frac{L_{mask1} - \Delta L}{C_{ox} W \mu_o} + R_t \right) \quad (D.4)$$

olur.

$$E_{mo1} \equiv \frac{L_{mask1} - \Delta L}{C_{ox} W \mu_o} \quad (D.5)$$

$$S_{o1} \equiv \theta \frac{L_{mask1} - \Delta L}{C_{ox} W \mu_o} + R_t = E_{mo1} \theta + R_t \quad (D.6)$$

olarak tanımlarsak (D.4)

$$E_{m1} = E_{mo1} + S_{o1}(V_{GS} - V_{T1}) \quad (D.7)$$

şeklinde yazılır.

Farklı V_{GS} 'lerde elde edilen E_{m1} değerleri $E_{m1} - (V_{GS} - V_{T1})$ grafiğinde bir doğru oluştururlar. Bu doğrunun E_{m1} eksenini kestiği nokta E_{mo1} ve eğimi S_{o1} olur. Aynı işlemler ikinci tranzistor için yapılarak E_{mo2} ve S_{o2} bulunur.

(D.5)'i dikkate alırsak, her bir $L_{mask,j}$ için elde edilen $E_{mo,j}$ değerleri $E_{mo,j} - L_{mask,j}$ grafiğinde işaretlenirse oluşturulan doğrunun eğimi $(C_{ox}W\mu_o)^{-1}$ ve L_{mask} eksenini kestiği nokta ΔL olur.

(D.7)'yi dikkate alırsak, her bir $E_{mo,j}$ değeri için elde edilen $S_{o,j}$ değerleri $S_{o,j} - E_{mo,j}$ grafiğinde işaretlenirse oluşan doğrunun eğimi θ , S_o eksenini kestiği nokta R_t olur.

Tablo.D.1 Sudio & Johnson L_{eff} yöntemiyle bulunan değerler

Süreç Tipi	ΔL [μm]	R_t [Ω]	θ [1/V]	μ_o [cm^2/Vs]
GOIN	1.16	233	0.023	531
FOIN	0.78	139	0.049	576
GOIP	1.32	436	0.094	211
FOIP	0.63	324	0.096	199

D.2 Efektif Kanal Genişliği Bulunması

$L_{eff1} \cong L_{eff2} \cong L$ yazılabilecek kadar uzun kanallı ve $R_{t1} \cong R_{t2} \equiv R$ olacak şekilde tasarlanmış iki tranzistor için $W_{eff} \equiv W_{mask} - \Delta W$ tanımı kullanılarak D.1 kısmındakine benzer hesaplarla ΔW bulunabilir. Bu şartlarda (D.2) yeniden yazılırsa

$$R_m \equiv \frac{V_{DS}}{I_{DS}} = \frac{L}{C_{ox}(W_{mask1} - \Delta W)(V_{GS} - V_{T1})\mu} + R_t \quad \text{olur.} \quad (D.8)$$

(D.3)'e benzer şekilde E_{m1} yazılabilir.

$$E_{m1} = \frac{L}{C_{ox}(W_{mask1} - \Delta W)\mu_o} (1 + \theta(V_{GS} - V_{T1})) + R_t(V_{GS} - V_{T1}) \quad (D.9)$$

$$E_{m1} = \frac{L}{C_{ox}(W_{mask1} - \Delta W)\mu_o} + (V_{GS} - V_{T1})\left(\theta \frac{L}{C_{ox}(W_{mask1} - \Delta W)\mu_o} + R_t\right) \quad (D.10)$$

$$E_{mo1} \equiv \frac{L}{C_{ox}(W_{mask1} - \Delta W)\mu_o} \quad (D.11)$$

$$S_{o1} \equiv \theta \frac{L}{C_{ox}(W_{mask1} - \Delta W)\mu_o} + R_t = E_{mo1}\theta + R_t \quad (D.12)$$

olarak tanımlarsak (D.10)

$$E_{m1} = E_{mo1} + S_{o1}(V_{GS} - V_{T1}) \text{ yazılır.} \quad (D.13)$$

Farklı V_{GS} 'lerde elde edilen E_{m1} değerleri $E_{m1} - (V_{GS} - V_{T1})$ grafiğinde bir doğru oluştururlar. Bu doğrunun E_{m1} eksenini kestiği nokta E_{mo1} ve eğimi S_{o1} olur. Aynı işlemler ikinci tranzistor için yapılarak E_{mo2} ve S_{o2} bulunur.

(D.11)'i dikkate alırsak, her bir $W_{mask,j}$ için elde edilen $E_{mo,j}$ değerleri kullanılarak $(1/E_{mo,j}) - W_{mask,j}$ grafiğinde işaretlenirse oluşturulan doğrunun eğimi $(C_{ox}\mu_o / L)$ ve W_{mask} eksenini kestiği nokta ΔW olur.

(D.12)'yi dikkate alırsak, her bir $E_{mo,j}$ değeri için elde edilen $S_{o,j}$ değerleri $S_{o,j} - E_{mo,j}$ grafiğinde işaretlenirse oluşan doğrunun eğimi θ , S_o eksenini kestiği nokta R_t olur.

Tablo.D.2 Sudio & Johnson W_{eff} yöntemiyle bulunan değerler

Süreç Tipi	ΔW [μm]	R_t [Ω]	θ [1/V]	μ_o [cm^2/Vs]
GOIN	2.17	256	0.019	664
FOIN	1.86	211	0.038	677
GOIP	1.45	276	0.104	262
FOIP	-0.4	150	0.105	211

ÖZGEÇMİŞ

Engin Konur, 1961 yılında Gölpazarı/Bilecik'te doğdu. 1978 yılında Bilecik Ertuğrul Gazi Lisesini bitirdi. 1982 yılında İstanbul Teknik Üniversitesi, Elektrik-Elektronik Fakültesi, Elektronik ve Haberleşme Bölümünden mezun oldu. Yüksek Lisans eğitimini, İ.T.Ü. Fen Bilimleri Enstitüsü, Elektronik Programında 1985 yılında tamamladı.

1982-1986 yılları arasında İ.T.Ü. Elektrik-Elektronik Fakültesi, Elektronik Ana Bilim Dalı'nda Araştırma Görevlisi olarak çalıştı. 1986 yılında TÜBİTAK Marmara Araştırma Merkezi Elektronik Bölümü'nde çalışmaya başladı. Halen TÜBİTAK Ulusal Elektronik ve Kriptoloji Araştırma Enstitüsü'nde çalışmaktadır.

