

727208

**CMOS ANALOG ÇARPMA DEVRELERİNDE
HARMONİK DİSTORSİYONUNUN AZALTILMASINA
YÖNELİK YENİ TOPOLOJİLER**

**DOKTORA TEZİ
Y. Müh. Rıza Can TARCAN
504942031**

**Tezin Enstitüye Verildiği Tarih : 1 Şubat 2002
Tezin Savunulduğu Tarih : 20 Haziran 2002**

Tez Danışmanı : Prof.Dr. Hakan KUNTMAN

Diğer Jüri Üyeleri Prof.Dr. Avni MORGÜL

Doç.Dr. Ali TOKER

Doç.Dr. Sait TÜRKÖZ

Doç.Dr. Oğuzhan ÇİÇEKOĞLU

[Signature] 10.9.02

[Signature] 6.9.02

[Signature] 10.09.2002

[Signature] 10.09.2002

[Signature] 6.9.2002

HAZİRAN 2002

127208

ÖNSÖZ

Sayın Hocam Prof. Dr. Hakan KUNTMAN'a değerli katkıları ve çalışma arkadaşlarıma yardımları için çok teşekkür ederim.

Şubat 2002

Rıza Can Tarcan



İÇİNDEKİLER

KISALTMALAR	v
TABLO LİSTESİ	vi
ŞEKİL LİSTESİ	vii
SEMBOL LİSTESİ	iii
ÖZET	ix
SUMMARY	xi
BÖLÜM 1. GİRİŞ	1
BÖLÜM 2. ANALOG ÇARPMA DEVRESİNİN GENEL ÖZELLİKLERİ VE CMOS ÇARPMA DEVRELERİNİN ÇALIŞMASINI ETKİLEYEN ETKENLER	6
2.1 Çarpma Devrelerinin Genel Özellikleri	6
2.2 MOS ve BJT Temelli Çarpma Devrelerinin Çalışmasında Kullanılan Yöntemler	7
2.3 MOS Tranzistorun Kareselliğini Bozan Etkenler	11
2.4 Kısa Kanal Etkisi Sonucu Oluşan Hareket Yeteneği Azalması Etkisinin Temel Çarpma Devresine Etkisi	14
BÖLÜM 3 KISA KANAL ETKİSİNİ AZALTMAK ÜZERE ÖNERİLEN YÖNTEMLER	17
3.1 Kısa Kanal Etkisinin Azaltılması İçin Yöntem-1	17
3.2 Kısa Kanal Etkisinin Azaltılması İçin Yöntem-2	19
3.3 Akım Modunda Çalışan Bir Çarpma devresinin Kare Alıcı Hücrelerinin İyileştirilmesi	23
BÖLÜM 4 ÖNERİLEN ÇARPMA DEVRELERİ	27
4.1 Yüksek Doğruluklu Çarpma Devresi-1	27
4.1.1 Yüksek doğruluklu çarpma devresi-1'in çalışması	28
4.1.2 Aktif zayıflatıcı devreleri	29
4.1.3 Direnç devresi	31
4.2 Yüksek Doğruluklu Çarpma Devresi-2	33
4.2.1 Yüksek doğruluklu çarpma devresi-2'in çalışması	35
4.3 Akım Modunda Çalışan Yüksek Doğruluklu Çarpma Devresi	36
4.3.1 Yüksek doğruluklu akım modunda çalışan çarpma devresinin çalışması	38
BÖLÜM 5. DEVRELERİN BENZETİMİ VE KARŞILAŞTIRILMASI	40

5.1 Yüksek Doğruluklu Çarpma Devresi-1	40
5.2 Yüksek Doğruluklu Çarpma Devresi-2	47
5.3 Yüksek Doğruluklu Akım Modlu Çarpma Devresi	53
5.4 Sonuçların İrdelenmesi	59
BÖLÜM 6. SONUÇ	61
KAYNAKLAR	62
ÖZGEÇMİŞ	66



KISALTMALAR

PLL	: Phase Locked Loop
AGC	: Automatic Gain Control
OTA	: Operational Transconductance Amplifier
BJT	: Bipolar Junction Transistor
MOS	: Metal-Oxide-Semiconductor
NMOS	: n-type Metal-Oxide-Semiconductor
PMOS	: p-type Metal-Oxide-Semiconductor
CMOS	: Complementary Metal-Oxide-Semiconductor
BICMOS	: Bipolar and Complementary Metal-Oxide-Semiconductor
PWM	: Pulse Width Modulation



TABLO LİSTESİ

	<u>Sayfa no</u>
Tablo 5.1. Çarpma devresi-1'in benzetim sonuçları	41
Tablo 5.2. Devre-1 için $N=0$ ve $N=N_{opt}$ durumlarında intermodülasyon distorsiyonu sonucunda oluşan frekans bileşenleri	41
Tablo 5.3. Çarpma devresi-2 nin benzetim sonuçları	47
Tablo 5.4. Devre-2 için, $k=k_{opt}$ ve $k=0$ durumlarında intermodulasyon distorsiyonu sonucunda oluşan frekans bileşenleri	48
Tablo 5.5. Çarpma devresi-3 benzetim sonuçları	53
Tablo 5.6. Devre-3 için $N=0$ ve $N= N_{opt}$ durumlarında inermodulasyon distorsiyonu sonucu oluşan frekans bileşenleri	54
Tablo 5.7. TÜBİTAK N-WELL 3μ prosesi SPICE LEVEL-3 parametreleri...	60

ŞEKİL LİSTESİ

	<u>Sayfa No</u>
Şekil 2.1 Çarpıcı devre-1.....	9
Şekil 2.2 Çarpıcı devre-2.....	10
Şekil 2.3 Çarpıcı devre-3.....	10
Şekil 2.4 Kanal boyu modülasyonunun etkisinin azaltılması.....	13
Şekil 2.5 Temel çarpma devresi.....	14
Şekil 3.1 Hareket yeteneği azalması etkisinin azaltılması.....	18
Şekil 3.2 M tranzistorun kareselliğinin iyileştirilmesi.....	20
Şekil 3.3 T3 Tranzistorunun karesel karakteristiğinin iyileştirilmesi.....	21
Şekil 3.4 $\theta=0.3$ için E-1 fonksiyonunun çeşitli n değerleri için değişimi.....	22
Şekil 3.5 Kare alıcı hücreler.....	25
Şekil 4.1 Yüksek doğruluklu çarpma devresi-1.....	28
Şekil 4.2 Çıkış devresi.....	29
Şekil 4.3 X ve Y girişleri için aktif zayıflatma devresi.....	30
Şekil 4.4 R Direnç devresi.....	32
Şekil 4.5 Yüksek doğruluklu analog çarpma devresi.....	35
Şekil 4.6 Çıkış devresi.....	36
Şekil 4.7 Lineerleştirilmiş akım modunda çalışan analog çarpma devresi	38
Şekil 5.1 R direncinin I_k ile değişimi.....	42
Şekil 5.2 a) $N=0$ için I_o-V_x eğrileri b) I_o-V_x eğrilerinin eğiminin değişimi.....	43
Şekil 5.3 a) $N=N_{opt}$ için I_o-V_x eğrileri b) I_o-V_x eğrilerinin eğiminin değişimi.....	44
Şekil 5.4 a) $N=0$ için I_o-V_y eğrileri b) I_o-V_y eğrilerinin eğiminin değişimi.....	45
Şekil 5.5 a) $N=N_{opt}$ için I_o-V_y eğrileri b) I_o-V_y eğrilerinin eğiminin değişimi.....	46
Şekil 5.6 a) $k=0$ için I_o-V_x eğrileri b) I_o-V_x eğrilerinin eğiminin değişimi.....	49
Şekil 5.7 a) $k=k_{opt}$ için I_o-V_x eğrileri b) I_o-V_x eğrilerinin eğiminin değişimi.....	50
Şekil 5.8 a) $k=0$ için I_o-V_y eğrileri b) I_o-V_y eğrilerinin eğiminin değişimi.....	51
Şekil 5.9 a) $k=k_{opt}$ için I_o-V_y eğrileri b) I_o-V_y eğrilerinin eğiminin değişimi.....	52
Şekil 5.10 a) $N=0$ için I_o-I_x eğrileri b) I_o-I_x eğrilerinin eğiminin değişimi.	55
Şekil 5.11 a) $N=1$ için I_o-I_x eğrileri b) I_o-I_x eğrilerinin eğiminin değişimi.	56
Şekil 5.12 a) $N=0$ için I_o-I_x eğrileri b) I_o-I_y eğrilerinin eğiminin değişimi.	57
Şekil 5.13 a) $N=1$ için I_o-I_x eğrileri b) I_o-I_y eğrilerinin eğiminin değişimi	58

SEMBOL LİSTESİ

V_{GS}	: Geçit-kaynak gerilimi
V_{BS}	: Gövde-kaynak gerilimi
V_{DS}	: Savak-kaynak gerilimi
I_D	: Savak akımı
V_{Dsat}	: Savak-kaynak doyma gerilimi
I_{Dsat}	: Savak doyma akımı
V_{TH}	: Eşik gerilimi
W	: Kanal genişliği
L	: Kanal boyu
L_{eff}	: Etkin kanal boyu
C_{ox}	: Birim alan oksit kapasitesi
θ	: Dikey alan mobilite azalma katsayısı
μ	: Mobilite
γ	: Gövde etkisi katsayısı
β	: Geçiş iletkenliği parametresi
λ	: Kanal boyu modülasyonu katsayısı
σ	: DIBL etkisi katsayısı
δ	: Triyot akımında gövde etkisi parametresi
Φ_F	: Fermi potansiyeli
v_{max}	: Doyma hızı

CMOS ANALOG ÇARPMA DEVRELERİNDE HARMONİK DİSTORSİYONUNUN AZALTILMASINA YÖNELİK YENİ TOPOLOJİLER

ÖZET

Bir çok devre ve sistem uygulamaları iki analog işaretin lineer çarpımı olan bir işarete ihtiyaç duyar. Analog çarpma devreleri bu amaca hizmet eden bir devre bloğudur. Bu nedenle analog çarpma devreleri işaret işleme sistemlerinin anahtar elemanlarından biridir.

Dört bölgeli analog çarpma devrelerinin gerçekleştirilmesi için bir çok yöntem vardır. Bunların biride doyma bölgesinde çalışan MOS tranzistorun karesel davranışına dayalı yöntemdir. Bu tür devrelerin doğrusallığını etkileyen birçok ikinci dereceden etkiler vardır. Hareket yeteneği azalması, tranzistorun karesel davranışına bağlı çalışan çarpma devrelerinin doğrusallığını bozan en önemli etkilerden biridir. Literatürde tranzistorun karesel davranışına dayanarak çalışan birçok çarpma devresi olmasına rağmen hareket yeteneği azalması etkisinden kaynaklanan doğrusal olmama hatasını azaltmak için hiç bir özel önlem alınmamıştır. Bu tezin amacı bu etkileri incelemek ve hareket yeteneği azalması etkisinin azalması etkisinin azlatılması için yeni topolojik iyileştirmeler önermektir. Son ürün olarak çok doğrusal analog çarpma devreleri oluşturmaktır.

Tezin ikinci bölümünde analog çarpma devreleri hakkında genel bilgi verilmiş, MOS tranzistorun kareselliğini etkileyen ikincil etkilere değinilmiş ve MOS tranzistorun kareselliğini temel alarak çalışan çarpma devrelerinin doğrusallığını bozan başlıca etkilerden birinin hareket yeteneği azalması etkisi olduğu vurgulanmıştır.

Üçüncü bölümde ileride MOS tranzistorun kareseliğine temel alarak çalışan literatürdeki bir çarpma devresine uygulanmak üzere hareket yeteneği azaltılması etkisinin tranzistorun kareselliğini bozan etkisini azaltan üç yöntem önerilmiştir.

Dördüncü bölümde üçüncü bölümde sunulan yöntemler yardımıyla, biri akım modunda olmak üzere üç yeni çarpma devresi önerilmiştir. Devrelerin transfer fonksiyonları seriye açılarak yöntemlerin çarpma devresi doğrusallığını ne ölçüde düzelttiği araştırılmıştır. Bu yeni topolojilerin diğerlerine göre farklı bir özelliği de distorsiyonun dışarıdan uygulanan bir kontrol gerilimi ile ayarlanabilme imkanını vermesidir.

Beşinci bölümde karşılaştırma amacıyla çarpma devrelerinin lineerleştirmenin yapılmadığı(lineerleştirme yönteminin uygulanmadığı) ve lineerleştirmenin yapıldığı (lineerleştirme yönteminin uygulandığı) durumlar için benzetimler yapılmıştır. Benzetimlerde SPICE LEVEL-3 model parametreleri kullanılmıştır. Sonuçlar önerilen yöntemlerin doğrusallığı arttırdığını sonuç olarakta distorsiyonu azaltmakta etkili olduğunu göstermiştir. Ayrıca önerilen yöntemler devrenin minimum distorsiyonu için dışarıdan ayarlanabilmesine imkan vermektedir. Sonuç olarak önerilen devreler analog tümdevre tasarımında yeni olanaklar sağlayacaktır.

NEW TOPOLOGIES FOR REDUCING HARMONIC DISTORTION IN CMOS ANALOG MULTIPLIER CIRCUITS

SUMMARY

Many circuit or system applications require a signal, which is a linear product of two analog signals. Analog multiplier is a circuit block that serves for such an aim. Therefore, analog multipliers are one of the key elements of signal processing systems.

There exist several techniques for implementing four quadrant multipliers. One of these is the technique based on the square-law behaviour of the MOS transistor operating in the saturation region. There are several second-order effects influencing the linearity of this kind of multiplier. Mobility degradation is the most important factor, which worsens the linearity of such multipliers whose operation is based on the square-law characteristic of the MOS transistor. Although several analog multiplier circuits based on square-law characteristic of MOS transistor have been reported in literature, no specific precaution has been taken to reduce the nonlinearity due to the mobility degradation. The aim of this thesis is to investigate these effects and propose new topological modifications to reduce the mobility degradation effect in analog multipliers. As the final product, very linear analog multiplier circuits are aimed.

In the second chapter of the thesis, the general insight has been given about analog multipliers, second-order effects of MOS transistor have been discussed and it has been emphasized that the mobility degradation effect is one of the most important effects degrading the linearity of MOS multipliers based on square-law characteristic of the MOS transistor.

In the third chapter, three new methods have been proposed for reducing the mobility degradation effect on square-law characteristic of the MOS transistor, to be applied

later to a previously reported multiplier based on the square-law characteristic of the MOS transistor.

In the fourth chapter, by applying the methods presented in the third chapter, three new multiplier circuits have been proposed, one of them being a current-mode multiplier. Serial expansions of the transfer functions of the circuits have been obtained for investigating to what extent these methods are improving the linearity of multiplier circuits. One of the different properties of these new topologies, compared to the others is that, it avails the adjustment the distortion via an externally applied control voltage.

In the fifth chapter, for comparison purposes, simulations are performed for the forms of multipliers wherein linearization is applied and for the forms wherein linearization is not applied. SPICE LEVEL-3 model parameters have been used in the simulations. The results indicate that the proposed methods are effective for increasing the linearity and thus reducing the distortion. The proposed methods also allow external tuning of the circuit for minimum distortion. Consequently, the proposed circuits will provide new possibilities in analog IC design.

BÖLÜM 1

GİRİŞ

Birçok devre ve sistem uygulamalarında iki giriş işaretinin çarpımı olan bir çıkış işareti gerekmektedir. Giriş işaretleri, ve çıkış işaretleri gerilim veya akım boyutlarında olabilir. Ayrıca giriş işaretleri tek polariteli veya çift polariteli olabilir. Bu durumlara göre tek bölgeli veya çift bölgeli olmak üzere çeşitlere ayrılırlar.

Çarpma devrelerinin başlıca uygulama alanları işaret işleme, modülatörler, mixerler, yapay sinir ağları, frekans dublörleri, frekans kaydırıcı devreler, PLL devrelerinde faz dedektörleri ve AGC devreleridir.

Literatür tarandığında birçok çarpma devresi ile karşılaşılır. Bunlar kullandıkları yöntemle göre aşağıdaki gibi kısımlara ayrılabilir.

-Servo çarpıcı devreler

-PWM yöntemiyle çalışan çalışan devreler

-Geçiş iletkenliği kuvvetlendiricisi kullanılarak gerçekleştirilenler

-Yarı iletken elemanın direkt elektriksel davranışına dayanarak çalışan devreler.

-Anahtarlamalı devreler

Servo çarpıcı devreler en eski çarpma yöntemlerinden biridir [1]. X giriş gerimi bir motora uygulanır ve motor tarafından döndürülen potansiyometreye uygulanan diğer Y giriş gerilimi bölünerek çıkış gerilimi elde edilir. Böylece motora uygulanan X giriş gerilimi ile Y giriş gerilimi ölçeklenerek XY biçiminde çıkış gerilimi edilir. Tabii ki bu yöntemin günümüzdeki yüksek hızla uygulamalarda kullanılmayacağı aşikardır.

İkinci yöntem de ise kare dalgaının darbe boşluk oranı bir kontrol gerilimi ile değiştirilip bir süzgeç yardımıyla ortalaması alınmakta ve çıkış işareti oluşturulmaktadır. Bu durumda çıkış işareti kontrol gerilimi ile kare dalgaının genliğinin çarpımı biçinde olmaktadır [2,3]. Bu yöntem de hızlı uygulamalar için uygun değildir. Ayrıca çıkış işaretinin dalgalılığını azaltmak için yüksek dereceden süzgeç kullanılması gerekmektedir.

Geçiş iletkenliği kuvvetlendiricisi kullanılarak gerçekleştirilen çarpma devreleri ise halen en yaygın şekilde kullanılan devre türüdür. Bu çarpma yöntemine dayanarak çalışan en yaygın devre BJT temelli Gilbert hücresidir [4]. Gilbert hücresinin temeli ise uzun kuyruklu devreye dayanmaktadır. Daha sonra Gilbert devresinin girişlerinde ters hiperbolik alıcı devre kullanılarak lineerlik arttırılmıştır[5]. Bu devre doğrusallığı arttırmakla birlikte band genişliğini düşürmüştür. Ayrıca uygun model kullanıldığında Gilbert devresinin çıkışının uygun şartlarda kutuplanmasıyla düşük distorsiyonlu yapılar elde edilebileceği gösterilmiş ve bunu sağlayacak yeni devreler elde edilmiştir[6]. Ayrıca bipolar tranzistorun direkt üstel özelliğini kullanarak çalışan çarpma devreleri mevcuttur[7]. MOS tranzistorlu geçiş iletkenliği kuvvetlendiricisi kullanarak çalışan çarpma devreleri BJT temelli Gilbert mantığıyla çalışmaktadır. Daha sonra literatürde katlanmış Gilbert devresi ve lineerleştirilmiş Gilbert devresi yer almıştır[8].

Diğer yandan literatürde MOS tranzistorun direkt elektriksel davranışına dayanarak çalışan çarpma devreler mevcuttur. Bu tür devreler, MOS tranzistorun doyma bölgesinde çalışma [9-20] ve direnç bölgesinde çalışma[21-24] durumuna bağlı olarak iki gruba ayrılabilir. Doyma bölgesinde çalışan çarpma devrelerinin çalışma prensibi genel olarak MOS tranzistorun savak akımının V_{GS} gerilimine karesel bağımlı olmasına dayanmaktadır. Bu türlerde işaretin geçitten veya kaynaktan yada her birine birden uygulanmasına bağlı olarak kendi aralarında gruplara ayrılır. Bunların arasında işaretin gövdeden uygulanan olanı da vardır. Geçitten sürülenlerin arasına yüzen çoklu geçitli MOS tranzistorlarıyla gerçekleştirilen çarpma devrelerini de koyulabilir.

Çarpma devrelerinin MOS tranzistorun direnç bölgesindeki elektriksel davranışına bağlı olarak çalışanlarının prensibi ise bu bölgede tranzistorun savak akımının V_{GS} , V_{DS} ile orantılı olmasına ya da sabit V_{GS} altında V_{DS}^2 ile orantılı olmasına dayanmaktadır.

Diğer yandan zayıf evirtimde çalışan MOS tranzistorlar ile çalışan çarpma devreleri vardır [21]. Bunların çalışma prensibi zayıf evirtimde MOS tranzistorun davranışı üstel olduğundan BJT'li çarpma devrelerine benzer.

Ayrıca MOS taranzistorlarla BJT'nin birlikte kullanıldığı BICMOS teknolojisine dayalı karma çarpma devreleri literatürde yer almaktadır [25].

Son zamanlarda akım taşıyıcıların kullanılmasının artmasıyla akım taşıyıcılar kullanılarak gerçekleştirilen çarpma devreleri literatürde yer almaya başlamıştır[26-28]. Bu devrelerin çalışmasında temel alınan husus yine MOS tranzistorun lineer bölgedeki direncini gerilim ile kontrol etmektir.

Bütün bu topolojilerde karşılaşılan başlıca problem topolojilerin gerçekleştirilmesinde tranzistorun en basit modelinin kullanılması nedeniyle çarpma devresinin istenilen düşük distorsiyonu verememesidir. Çünkü ikincil etkenler nedeniyle tranzistorlar istenilen elektriksel davranışı göstermemekte sonuçta çarpma devresinin doğrusalılığı bozulmakta ve distorsiyon oluşmaktadır. Ayrıca çarpma devrelerinin girişlerinin genellikle fark giriş işaretleri ile sürüldüğü farz edilmektedir. Gerçekte ise genellikle elimizde toprağa göre tek bir işaret bulunmakta ve bu tek giriş işareti ile sürüldüğü durumda çift harmoniklerin yanında tek harmonikler de oluşmaktadır. Bu durumu düzeltmek için tek giriş işaretinden fark giriş işaretini oluşturan ek devreler kullanılması gerekmekte, bunu elde ederken de ilave distorsiyon oluşmaktadır.

Literatürdeki çarpma devrelerinin önemli bir bölümü doymada çalışan MOS tranzistorun karesel davranışını temel alarak çalışmaktadır. Bu yöntemde X ve Y giriş işaretlerinin negatif ve pozitiflerinin çeşitli kombinasyonları kare alıcı tranzistora uygulanmakta ve çıkış akımı oluşturulmaktadır. Bur arada kare alma işleminin iyiliğini belirleyen başlıca etken hareket yeteneği azalması olmakta ve çarpma devresinin lineerliğini belirlemektedir. Çünkü hareket yeteneği azalması nedeniyle MOS tranzistorun karesel davranışı büyük V_{GS} gerilimlerinde savak akımı ile V_{GS} arasındaki ilişki $K \cdot V_{GS}$ biçiminde doğrusal bir geçiş fonksiyonuna dönüşmektedir.

Bu nedenle bu tezde tranzistorun karesel davranışını iyileştirmek üzere hareket yeteneği azalması etkisini azaltan üç yöntem geliştirilmiştir. Bu yöntemin ilkinde geribesleme uygulanarak hareket yeteneği azalması etkisi azaltılmaktadır. İkinci

yöntemde ise giriş işareti kare alıcı tranzistora uygulanmadan önce gerilim şekillendiricisinden geçirilmektedir. Bu sayede hareket yeteneği azalması nedeniyle kaynaklanan savak akımının azalması kompanse edilmektedir. Üçüncü yöntem ise ilk yöntemin akım modunda çalışan bir çarpma devresinin akımın karesini alan hücrelerine uyarlanmış olan şeklidir. Daha sonra bu üç yöntem tranzistörün karesel davranışını dayanarak çalışan bir çarpma devresinin hücrelere uyarlanarak birisi akım modunda olmak üzere literatürde bulunmayan üç yeni çarpma devresi elde edilmiştir. Söz konusu olan devreler hem tek uçtan girişli hem de diferansiyel girişlidir. Ayrıca distorsiyonun kontrolünü dışardan bir gerilimle sağlayarak eleman değerlerinin kaymalarından oluşan distorsiyon artışlarını kompanse etmek imkanını vermektedir. Burada bahsedilen yöntemlerle çalışan yeni devreler literatürde yer almıştır [29-31].

Yukarıda anlatılanlar tezde aşağıdaki gibi bölümlenerek sunulmaktadır.

Tezin ikinci bölümünde çarpma devrelerinin genel özelliklerine değinilmiş ve MOS tranzistörün kareselliğini etkileyen faktörlere ve bunun MOS tranzistörün karesellik özelliğine dayanarak çalışan çarpma devrelerinin doğrusallığına etkisinden söz edilmiştir.

Üçüncü bölümde ilerde çarpma devrelerine uygulanmak üzere hareket yeteneği azaltması etkisinin tranzistörün kareselliğini bozan etkisini azaltan üç yeni yöntem önerilmiştir.

Dördüncü bölümde bu yöntemlerin çarpma devresine uygulanmasıyla biri akım modunda olmak üzere üç yeni çarpma devresi topolojisi elde edilmiştir. Devrelerin transfer fonksiyonları seriye açılarak yöntemlerin çarpma devresinin lineerliğini ne ölçüde düzelttiği araştırılmıştır. Bu yeni topolojilerin getirdiği yeni bir özellikte distorsiyonun dışarıdan uygulanan bir kontrol gerilimi ile ayarlanabilme imkanını vermesidir. Bunların yanında ilk çarpma devresinde yüksek doğruluklu direnç gereksinimi karşılamak üzere doğruluğu oldukça yüksek yeni bir direnç devresi önerilmiştir.

Beşinci bölümde çarpma devrelerinin lineerleştirmenin yapılmadığı (lineerleştirme yönteminin uygulanmadığı) ve lineerleştirmenin yapıldığı (lineerleştirme yönteminin uygulandığı) durumlar için DC ve frekans domeninde benzetimler yapılmıştır.

Benzetimlerde SPICE LEVEL-3 model parametreleri kullanılmıştır. Sonuçlar önerilen yöntemlerin doğrusallığı arttırdığını sonuç olarak da distorsiyonu azaltmakta etkili olduğunu göstermiştir. Ayrıca önerilen yöntemler devrenin distorsiyonunu dışarıdan ayarlayabilme imkanını vermektedir. Sonuç olarak bu devreler IC tasarımında yeni olanaklar vermektedir.



BÖLÜM 2

ANALOG ÇARPMA DEVRESİNİN GENEL ÖZELLİKLERİ VE MOS ÇARPMA DEVRELERİNİN ÇALIŞMASINI ETKİLEYEN ETKENLER

Bu bölümde analog çarpma devresinin tanımı verildikten sonra genel özelliklerine değinilecek, çalışma yöntemlerinden bahsedilecek ve çalışmasını bozan ikincil etkenlerden bahsedilecektir.

2.1 ÇARPMA DEVRELERİNİN GENEL ÖZELLİKLERİ

İdeal çarpma devresi çıkışı Z ve girişleri X ve Y olmak üzere Z çıkışı aşağıdaki bağıntıyla belirli olan bir devredir.

$$Z=K.X.Y \quad (2.1)$$

Giriş ve çıkışları akım ve gerilim boyutlarında olabilir. Ayrıca X ve Y girişleri hem pozitif hem negatif değerler alabileceği gibi sadece pozitif veya negatif değerler alabilir. Buna göre çarpma devreleri 4 bölgeli veya 2 bölgeli çarpma devresi diye adlandırılabilirler.

Pratikte çarpma devrelerinin tanım bağıntısı (2.2) bağıntısındaki gibi olmaktadır. Bağıntıdaki $K_1.X+K_2.Y+K_0$ terimleri dengesizliği temsil etmekte, $f(X,Y)$ terimi ise nonlineerliği temsil etmektedir.

$$Z=K.X.Y+K_1.X+K_2.Y+K_0+f(X,Y) \quad (2.2)$$

(2.2) deki K katsayısı devrenin kazancıdır. Bu katsayı eleman parametrelerindeki sapmalardan dolayı kayabilir. Buna ölçekleme hatası denir. K_1 ve K_2 katsayıları ise çarpma devresinin dengesizliklerinden dolayı çıkışa sızan kaçak X ve Y işaretlerinin katsayılarıdır. K_1 ve K_2 katsayıları dengeli yapılarla azaltılabilir. Çarpma devrelerinin

iyiliğini belirleyen diğer bir özellikte X ve Y girişlerinin çalışma aralığıdır. Örneğin X ve Y gerilim boyutunda ise X ve Y girişlerine uygulanan gerilimlerin besleme geriline kadar değiştirilebilmesi istenir.

İdeal olmayan çarpma devresinde nonlineerliği temsil eden $f(X,Y)$ terimi nedeniyle X ve Y girişlerine sinüs işareti uygulandığında çıkışında istenilen çarpım terimi dışında giriş işaretinin frekansının katları, bunların toplamaları ve farkları oluşur. Oluşan bu distorsiyona harmonik ve intermodulasyon distorsiyonu denir. Bu nedenle doğrusallık çarpma devresinin iyiliğini belirleyen önemli faktörlerdendir.

Bunlardan yola çıkarak çarpma devrelerinin iyiliğini belirleyen faktörler aşağıdaki gibi sıralanabilir.

- a) Doğrusallık (Distorsiyon)
- b) Frekans band genişliği,
- c) Ölçekleme hatası,
- d) Eleman toleranslarından oluşan idealden sapmalar, dengesizlik,
- e) Gürültü.

2.2 MOS VE BJT TEMELLİ ÇARPMA DEVRELERİNİN ÇALIŞMASINDA KULLANILAN YÖNTEMLER

Çarpma devrelerinin gerçekleştirilmesinde genel olarak iki yöntem kullanılmaktadır.

1-Geçiş iletkenliğini kuvvetlendiricisi kullanarak gerçekleştirilenler

2-MOS (veya bipolar) Tranzistorun elektriksel özelliklerini kullanarak çalışanlar

Geçiş iletkenliğini kuvvetlendiricisi kullanarak gerçekleştirilenlerde iletkenliği kontrol eden gerilim (yada akım) $X-X_0$ işareti ile değiştirilmekte bu sayede $Z_1=YX+YX_0$ olmaktadır. Burada X, X_0 sabit geriliminin üzerine bindirilmiş değişken işaret, Y ise OTA'nın değişken giriş işaretidir. Bilindiği gibi simetrik OTA kullanıldığında X_0 gerilimi sadece pozitif (yada negatif) olabilir. Eğer X_0 sabit geriliminin etkisinden kurtulmak istenirse ikinci bir OTA kullanılarak $Z_2=-YX-YX_0$

biçiminde yeni çıkış işareti oluşturulur ve $Z=Z_1-Z_2$ bize $Z=2.YX$ biçiminde ideal çarpma fonksiyonu verir. Buradaki OTA devreleri yerine basit uzun kuyruklu devre kullanılırsa Gilbert çarpma devresini elde edilir. Gilbert çarpma devresinde $X-X_O$ ve $-X+X_O$ işaretleri gene uzun kuyruklu devre kullanılarak elde edilmektedir. Bu tür devrelerini lineerliğini belirleyen başlıca faktör OTA'ların lineerliği olmaktadır.

Tranzistörün elektriksel özelliklerini kullanarak çalışanların temel prensibi X ve Y giriş işaretlerini nonlinear bir fonksiyondan geçirip giriş işaretlerinden XY biçiminde çarpım terimini oluşturmaktır. Tabii bu arada X^2 , Y^2 , X^3 , Y^3 vb. biçiminde yüksek dereceden terimler de oluşmaktadır. Bu terimlerin oluşması harmonik ve intermodulasyon distorsiyonuna neden olmaktadır. Bu nonlinear fonksiyonun uygun seçilmesi durumunda bu yüksek dereceden terimler minimize edilebilir. Bu amaçla kullanılabilecek en uygun fonksiyonlardan birisi aşağıdaki gibidir[28].

$$I_O=8KXY=K[(X+Y+V)^2-(-X+Y+V)^2-((X-Y+V)^2-(-X-Y+V)^2)] \quad (2.3)$$

(2.3) bağıntısındaki V sabit büyüklüğü X ve Y değişkenlerinin üzerine bindirildiği devrenin kutuplanması için gerekli olan kaçınılmaz olan ön gerilimdir. Eğer devre tasarlanırken (2.3) bağıntısındaki V bileşeninden kurtulacak ve (2.3) bağıntısındaki kare alıcı hücrelerin X ve Y girişlerinin hem negatif hem de pozitiflerinin karesini alabilecek şekilde tasarım yapılırsa (2.3) bağıntısı aşağıdaki gibi basitleşir.

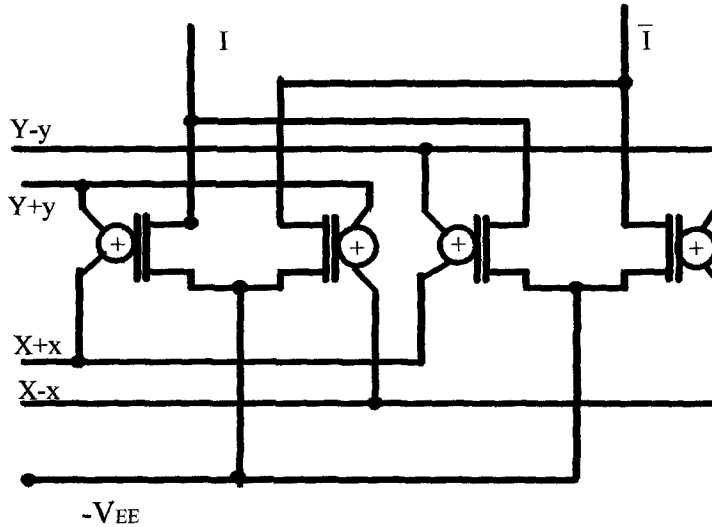
$$I_O=4KXY=K[(X+Y)^2-(-X+Y)^2] \quad (2.4)$$

(2.4) bağıntısıyla çalışacak devrenin tasarımındaki zorluklar X ve Y gerilimlerindeki dc offset gerilimlerinin mümkün olduğu kadar yok edilebilmesi ve çift yönlü kare alıcı devrenin gerçekleştirilebilmesi gerekliliğidir. Literatürdeki [19] devresi bu şekilde çalışmaktadır.

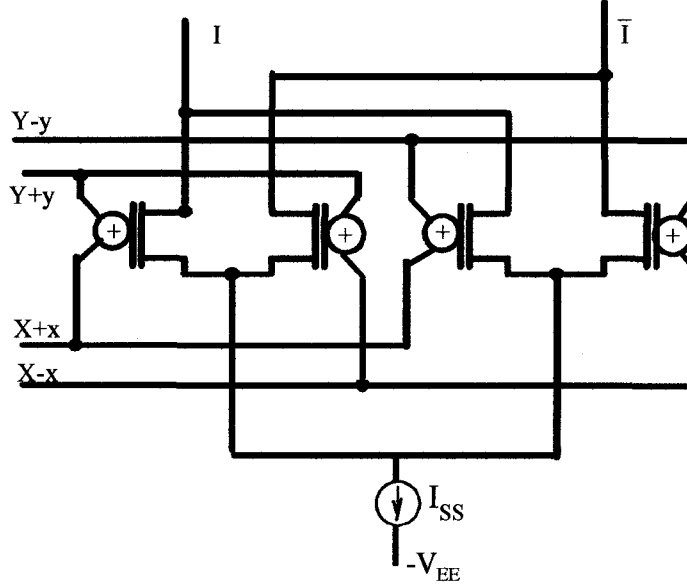
Tezde ilgilenilen çarpma devresi türleri MOS tranzistörün karesel davranışını kullanarak çalıştığından X ve Y gerilim boyutunda olmaktadır bu durumda (2.3) aşağıdaki gibi olmaktadır.

$$I_O=8KV_XV_Y=K[(V_X+V_Y+V_{off})^2-(-V_X+V_Y+V_{off})^2-((V_X-V_Y+V_{off})^2-(-V_X-V_Y+V_{off})^2)] \quad (2.5)$$

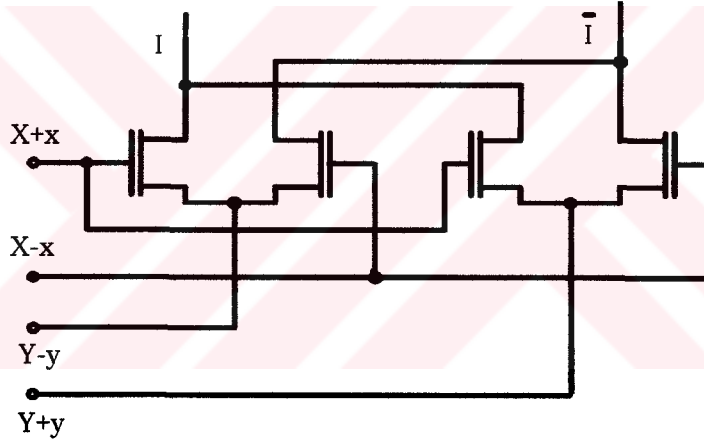
Burada V_X ve V_Y giriş gerilimleri, V_{off} de devredeki tranzistorların V_X ve V_Y geriliminin değişim aralığında iletimde kalmasını sağlayacak kutuplama gerilimidir. Literatürde (2.5) fonksiyonunu kullanarak çarpma işlemini gerçekleştiren birçok devre vardır. Bunların genel yapıları Şekil 2.1, Şekil 2.2 ve Şekil 2.3'deki devre yapıları biçiminde gruplanabilir. Şekillerdeki x , $-x$, y , $-y$ işaretleri değişken giriş işaretleri, X ve Y ise sabit ön kutuplama gerilimleridir. Devrelerin çıkış akımı ise I ve $\bar{I}$ akımlarının farkı alınarak oluşturulmaktadır. Şekil 2.1 ve Şekil 2.2'deki MOS tranzistorların geçitlerindeki daire içindeki toplama işareti iki işaretin tranzistora uygulanmadan önce toplandığını vurgulamaktadır. Şekil 2.1'deki devrede tranzistorların kaynakları toprakta olup giriş işaretlerinin toplamı ve farkları geçite uygulanmadan önce oluşturulması gerekmektedir. Şekil 2.2'deki devrede ise tranzistorların kaynakları ortak ve girişlerin bir fonksiyonudur. Bu durum (2.3) bağıntısı uyarınca bir sorun teşkil etmemektedir. Çünkü bu ortak kaynak gerilimi (2.4) bağıntısı uyarınca yok olmaktadır. Şekil 2.1 ve Şekil 2.2 devrelerinin dezavantajı x ve y gerilimlerinin toplamlarının farklarının oluşturulduktan sonra tranzistorların geçitlerine uygulanması gerekliliğidir. Bu toplamların ve farkların oluşturulması, aktif devrelerle [9,11,12,13], dirençlerle [10], yada çoklu geçitli MOS tranzistorlar kullanıldığında kapasitif olarak geçitlerde yapılmaktadır [14].



Şekil 2.1 Çarpıcı devre-1



Şekil 2.2 Çarpıcı devre-2



Şekil 2.3 Çarpıcı devre-3

Şekil 2.3'deki devrede ise toplam ve farkların alınması ayrı bir devre kullanılmadan tranzistorların kaynaklarından sürülerek yapılmakta, bu nedenle Şekil 2.3'deki devreyi temel alarak tasarlanan çarpma devrelerinin yapısı daha basit olmaktadır.

Her ne kadar fonksiyon (2.3) direkt XY biçiminde çarpma terimini oluşturmakla birlikte MOS tranzistorlarla kare alma işlemi yapılırken tranzistorun kareselliğini etkileyen ikincil etkenler işin içine girerek MOS tranzistorun kareselliği bozulmakta ve çarpma işleminin lineerliği bozulup distorsiyon oluşmaktadır. Bu nedenlerden dolayı MOS tranzistorların kareselliğini bozan etkenlere burada değinmekte yarar vardır.

2.3 MOS TRANZİSTORUN KARESELLİĞİNİ BOZAN ETKENLER

Bu bölümde doymada çalışan MOS tranzistorun kareselliğini etkileyen nedenlere değinilecektir. MOS tranzistorlarda lineer bölgede I_D - V_{DS} bağıntısı [32]

$$I_D = \beta(V_{GS} - V_{TH} - \frac{1+\delta}{2}V_{DS})V_{DS} \quad (2.6)$$

olarak tanımlıdır. Burada δ gövde etkisini temsil eden bir parametre olup

$$\delta = \frac{\gamma}{2(2\Phi_F - V_B)^{1/2}} \quad (2.7)$$

ile tanımlıdır. Doyma sınırındaki V_{Dsat} gerilimi ise

$$V_{Dsat} = \frac{(V_{GS} - V_{TH})}{1 + \delta} \quad (2.8)$$

olarak bulunur. [32]. Doyma sınırındaki I_{Dsat} , akımı ise

$$I_{Dsat} = \frac{\beta}{2} \frac{(V_{GS} - V_{TH})^2}{1 + \delta} \quad (2.9)$$

bulunur[32]. Diğer yandan β ,

$$\beta = \mu_{eff} Cox \frac{W}{L} \quad (2.10)$$

olarak tanımlıdır [32]. Kanal boyunun μ_{eff} hareket yeteneğine etkisi

$$\mu_{eff} = \frac{\mu_s}{1 + \frac{\mu_s V_{DS}}{V_{max} L_{eff}}} \quad (2.11)$$

ile verilir, μ_s olarak tanımlı yüzeydeki taşıyıcıların hareket yeteneğinin geçit elektriksel alanına bağımlılığı ise [33]

$$\mu_s = \frac{\mu}{1 + \theta(V_{GS} - V_{TH})} \quad (2.12)$$

ile tanımlıdır. (2.12) bağıntısını (2.11)'de, (2.11) bağıntısını (2.10)'de ve (2.10) bağıntısını (2.9)'te yerine koyarsak kısılma noktasındaki I_{Dsat} akımı

$$I_{Dsat} = \frac{W}{L} \frac{\mu Cox}{1 + \theta(V_{GS} - V_{TH}) + \frac{V_{Dsat}\mu}{V_{max} L_{eff}}} \frac{(V_{GS} - V_{TH})^2}{2(1 + \delta)} \quad (2.13)$$

olarak elde edilir. Bağıntıdaki V_{TH} geriliminin kısa, dar kanal etkileri ve V_{DS} ile değişimi SPICE LEVEL-3 parametreleriyle

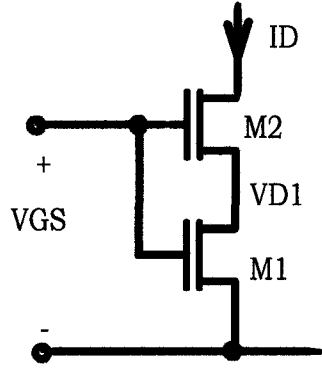
$$V_{TH} = V_{FB} + 2\Phi_F - \sigma V_{DS} + \gamma F_s \sqrt{2\Phi_F - V_{BS}} + F_n (2\Phi_F - V_{BS}) \quad (2.14)$$

olarak verilir[33]. Buradaki F_s , F_n , sırasıyla kısa kanal etkisi ve dar kanal etkisini tanımlayan ampirik parametrelerdir. Bu bağıntıya göre gövde etkisini kaldırarak şekilde tasarım yapılırsa ($V_{BS}=0$) kısa ve dar kanal etkisinden kurtulunur, geriye ile tanımlı V_{DS} 'ye bağımlılık kalır.

Diğer yandan doyma bölgesindeki I_D akımı kanal boyu modülasyonu nedeniyle

$$I_D = I_{Dsat} \frac{L_{eff}}{L_{eff} - \Delta L} \quad (2.15)$$

biçiminde değişir. Buradaki ΔL , ($V_{DS}-V_{Dsat}$)'ye bağlı bir fonksiyonla değişir. Bu fonksiyon, çeşitli modellerde çeşitli biçimlerde tanımlanmıştır. Kanal boyu modülasyonunun etkisi V_{DS} gerilimini her V_{GS} değeri için V_{Dsat} değeri civarında tutarak giderilir. Bu Şekil 2.4'deki gibi bir devre ile sağlanabilir.



Şekil 2.4 Kanal boyu modülasyonunun etkisinin azaltılması

Şekil 2.4'deki devre literatürde mevcuttur [34]. Burada anlatılmak istenen devrenin kanal boyu modülasyonunun etkisinden nasıl kurtulduğu konusuna değişik yönden yaklaşmak ve sonuçta tranzistorun kareselliğinin bozulmasını tek bir θ' gibi bir parametreye indirgenebileceğini anlatmaktır.

Şekil 2.4'deki devredeki M2 tranzistorunun W/L oranı M1 tranzistorunkine oranla çok büyüktür. Bu nedenle $V_{DS1}=V_{GS}-V_{TH}$ olur. Bu da M1 tranzistorunun doyma sınırında çalışmasını sağlar[34]. Şekil 2.4'deki devre sayesinde tranzistorun kareselliğini bozan bir tek θ parametresi kalmaktadır. Bu takdirde I_D akımı (2.8) ve (2.13) bağıntıları dikkate alındığında

$$I_D = \frac{W}{L} \frac{\mu C_{ox}}{1 + \theta(V_{GS} - V_{TH}) + \frac{(V_{GS} - V_{TH})\mu}{V_{max} L_{eff}(1 + \delta)}} \frac{(V_{GS} - V_{TH})^2}{2(1 + \delta)} \quad (2.16)$$

şeklinde tanımlanmaktadır. Ayrıca eşik gerilimi gövde etkisi yokken ($V_{BS}=0$)

$$V_{TH} = V_{FB} + 2\Phi_F - \sigma(V_{GS} - V_{TH}) + \gamma F_s \sqrt{2\Phi_F} + F_n(2\Phi_F) \quad (2.17)$$

olarak belirlenir. Görüldüğü gibi (2.16) bağıntısında kareselliği bozan parametre paydadaki enine ve boyuna alan etkisiyle nedeniyle gelen terim olmaktadır. Paydadaki bu terim yardımıyla aşağıdaki gibi tanımlı yeni bir θ parametresi oluşmaktadır.

$$\theta' = \theta + \frac{\mu}{V_{\max} L_{\text{eff}} (1 + \delta)} \quad (2.18)$$

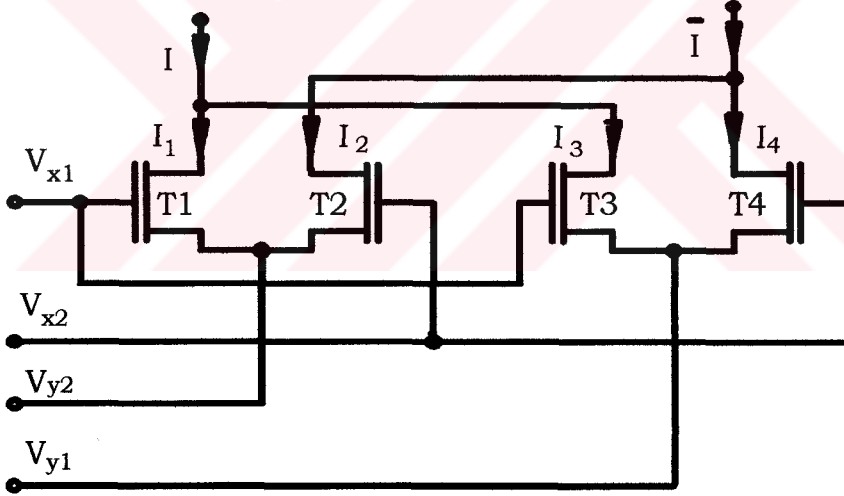
Tezin bundan sonraki kısımlarında basitlik olsun diye $\theta \cong \theta'$ kabul edilecektir.

2.4 KISA KANAL ETKİSİNİ SONUCU OLUŞAN MOBİLİTE AZALMASI ETKİSİNİN TEMEL ÇARPMA DEVRESİNE ETKİSİ

Burada temel çarpma devresi olarak yapısının basitliğinden dolayı Şekil 2.3'deki devre göz önüne alınacaktır. Sonuçlar Şekil-2.1'deki devreye de uygulanabilir. Temel çarpma devresi Şekil 2.3'deki gibi doymada çalışan MOS tranzistorun karesel davranışına dayanarak çalışan bir çarpma devresidir. Çarpma işlemi [28]

$$I_o = 8KV_x V_y = K[(V_x + V_y + V_{\text{off}})^2 - (-V_x + V_y + V_{\text{off}})^2 - ((V_x - V_y + V_{\text{off}})^2 - (-V_x - V_y + V_{\text{off}})^2)] \quad (2.19)$$

bağıntısı uyarınca yapılmaktadır.



Şekil 2.5 Temel çarpma devresi

Devrede V_{DX} , V_{DY} , V_{CX} ve V_{CY} gerilimleri aşağıdaki gibi tanımlıdır.

$$V_{X1} - V_{X2} = V_{DX}, \quad V_{Y2} - V_{Y1} = V_{DY}, \quad V_{X1} + V_{X2} = V_{CX}, \quad V_{Y1} + V_{Y2} = V_{CY} \quad (2.20)$$

Bunlardan yola çıkarak V_{X1} , V_{X2} , V_{Y1} ve V_{Y2} gerilimleri

$$V_{X1} = (V_{CX} + V_{DX})/2, \quad V_{X2} = (V_{CX} - V_{DX})/2, \quad V_{Y1} = (V_{CY} + V_{DY})/2 \text{ ve } V_{Y2} = (V_{CY} - V_{DY})/2 \quad (2.21)$$

olarak bulunur.

Şekil 2.5'deki devredeki her bir tranzistor için hareket yeteneği azalması etkisini katmak üzere I_1 , I_2 , I_3 ve I_4 için

$$I_D = \frac{\beta}{2} \frac{(V_{GS} - V_T)^2}{1 + \theta(V_{GS} - V_T)} \quad (2.22)$$

bağıntısını kullanıp, tranzistorların her birinin V_{GS} gerilimi için sırasıyla $V_{X1}-V_{Y2}$, $V_{X2}-V_{Y2}$, $V_{X1}-V_{Y1}$ ve $V_{X2}-V_{Y1}$ gerilimlerini kullandıktan sonra $I_O = I - \bar{I} = I_1 - I_2 - (I_3 - I_4)$ çıkış akımını gerekli düzeltmeler ve sadeleştirmeler yaptıktan sonra $a = (1 + \theta/2(V_{CX} - V_{CY} - V_T))$ varsayımı altında

$$I_O = I - \bar{I} = \frac{\beta V_{DX} V_{DY} a}{a^4 - a^2 \frac{\theta^2}{2} (V_{DX}^2 + V_{DY}^2) + \frac{\theta^4}{16} (V_{DX}^2 - V_{DY}^2)^2} \quad (2.23)$$

olarak elde edilir. Buradaki V_{CX} ve V_{CY} , X ve Y girişleri için ortak mod gerilimleri, V_{DX} ve V_{DY} ise X ve Y girişleri için fark giriş gerilimleridir. θ ihmal edilirse (2.23) denklemini bize

$$I_O = I - \bar{I} = B \cdot V_{DX} \cdot V_{DY} \quad (2.24)$$

çarpma fonksiyonunu verir. Tabii bu çalışmanın gerçekleştirilmesi için tranzistorlar için $V_{GS} - V_T > 0$ şartının V_{DX} ve V_{DY} 'nin değişim aralığı boyunca sağlanması sağlayacak şekilde tranzistorların kutuplanması gereklidir.

Gerçekte ise θ nedeniyle harmonik ve intermodülasyon distorsiyonu oluşur. Şöyle ki (2.23) formülü, paydadaki θ^4 'lü terim θ^2 yanında ihmal edilip seriye açılırsa

$$I_O = \beta V_{DX} V_{DY} \left(1 - \frac{3\theta}{2} (V_{CX} - V_{CY} - V_T) \right) \left[1 + \frac{\theta^2}{2a^2} (V_{DX}^2 + V_{DY}^2) + \frac{\theta^4}{4a^4} (V_{DX}^2 + V_{DY}^2)^2 + \frac{\theta^6}{8a^6} (V_{DX}^2 + V_{DY}^2)^4 + \dots \right] \quad (2.25)$$

bulunur. V_{CX} ve V_{CY} sabit tutulduğu farz edilirse $a \approx 1$ olarak sabit olur. V_{DX} sabit iken V_{DY} 'nin tek, V_{DY} sabit iken ise V_{DX} 'nin tek harmonikleri oluşur. Eğer V_{CX} veya V_{CY} sabit tutulamazsa hemen çift harmonikler de oluşmaya başlar.

Buraya kadar elde edilen sonuçlar Şekil 2.1'deki devreye de uygulanabilir. Bu devrelerde kaynaklar toprakta olup. V_{off} gerilim V_x ve V_y geriliminin içinde yer almaktadır.

Şekil 2.2'deki devrede ise savak ortaktır. Bu durumda yukarıdaki seri açılımlar çok farklı olmaktadır. Fakat literatürde bu devre yapısını temel alan üç yüzen geçitli MOS tranzistor kullanılarak çalışan çarpma devresinde [10], V_Y sabit gerilimi için X girişine V_{AC} genlikli sinüs işareti uygulandığında oluşan üçüncü harmonik distorsiyon

$$|H_{D3}| = \frac{3\theta W_i^2}{16\sqrt{\frac{2I_{SS}}{K} - W_i^2 V_Y^2}} V_{AC}^2 \quad (2.26)$$

bağıntısı ile tanımlıdır [10]. Burada W_i yüzen geçitle ana geçit arasındaki kuplaj katsayısı, I_{SS} kuyruk akımı, K ise tranzistorların geçiş iletkenliği katsayısı ve θ hareket yeteneği azalması katsayısıdır. Görüldüğü gibi bağıntıda θ yer almaktadır. Bu da bize hareket yeteneği azalması etkisinin bu tür çarpma devrelerinin lineerliğini bozan başlıca etkenlerinden biri olduğunu ortaya koymaktadır.

Buradan da yüksek doğruluklu devreler elde etmek isteniyorsa θ 'nın etkisini azaltacak yöntemler geliştirilmesi gerektiği ortaya çıkmaktadır. Bu amaçla önerilen yöntemlere sonraki bölümde değinilecektir.

BÖLÜM 3

KISA KANAL ETKİSİNİ AZALTMAK ÜZERE ÖNERİLEN YÖNTEMLER

Kısa kanal etkisinin başlıca etkilerinden biri hareket yeteneği azalmasıdır. Bu bölümde kısa kanal etkisinin MOS tranzistorun kareselliğini bozmasını azaltan üç yöntem ortaya koyulacaktır. Sonraki bölümde bu yöntemleri kullanarak çalışan kare alıcı devreler Şekil 2'deki devreyi göz önüne alarak çalışan çarpma devresindeki kare alıcı tranzistorların yerine koyularak yeni çarpma devreleri oluşturulacaktır.

3.1 KISA KANAL ETKİSİNİN AZALTILMASI İÇİN YÖNTEM-1

Bilindiği gibi kısa kanal etkisi hareket yeteneği azalmasına neden olur ve bu SPICE Level-3 Modelinde θ ile modellenir. θ 'yu katarak tranzistorun I_D savak akımı kanal boyu modülasyonunu ihmal edilerek

$$I_D = \frac{\beta}{2} \frac{(V_{GS} - V_T)^2}{1 + \theta(V_{GS} - V_T)} \quad (3.1)$$

olarak yazılır [33]. Buradan

$$V_{GS} - V_T = \frac{I_D \theta}{\beta} + \sqrt{\left(\frac{I_D \theta}{\beta} \right)^2 + \frac{2I_D}{\beta}} \quad (3.2)$$

bulunur. Eğer

$$\left(\frac{I_D \theta}{\beta} \right)^2 \ll \left(\frac{2I_D}{\beta} \right) \quad (3.3)$$

olacak şekilde düşük I_D akımlarında çalışırsak

$$V_{GS}-V_T \approx \frac{I_D \theta}{\beta} + \sqrt{\frac{2I_D}{\beta}} \quad (3.4)$$

yazılabilir. Eğer V_{GS} gerilimini $V_G+K.I$ şeklinde oluşturursak (3.4) bağıntısı

$$V_G+K.I_D-V_T \approx \frac{I_D \theta}{\beta} + \sqrt{\frac{2I_D}{\beta}} \quad (3.5)$$

şekline dönüştür. Eğer K aşağıdaki gibi seçilirse

$$K = \left(\frac{\theta}{\beta} \right) \quad (3.6)$$

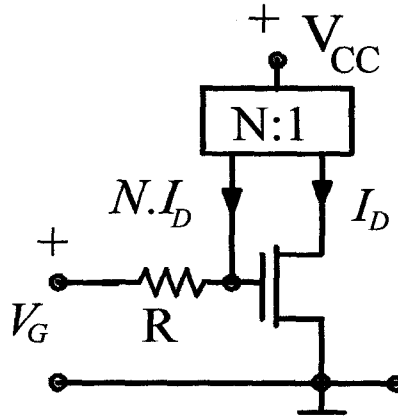
(3.5) bağıntısı

$$V_G-V_T \approx \sqrt{\frac{2I_D}{\beta}} \quad (3.7)$$

şekline dönüştür. Bu da bize (3.3) şartı altında

$$I_D \approx \frac{\beta}{2} (V_G - V_T)^2 \quad (3.8)$$

olarak hareket yeteneği azalması etkisi olmayan ideal MOS tranzistorun karakteristiğini verir. Bu fonksiyonu Şekil 3.1'deki gibi bir devreyle gerçekleştirebiliriz.



Şekil 3.1 Hareket yeteneği azalması etkisinin azaltılması

Şekil 3.1’de N:1 olarak gösterilen blok bir akım aynasıdır. Burada (3.8) bağıntısının doğru olabilmesi için

$$N.R=K=\frac{\theta}{\beta} \quad (3.9)$$

olmalıdır. θ ihmal edilmeden ise (3.9) şartı altında Şekil 3.1’teki devre için savak akımının bağıntısı

$$I_D = \frac{\beta}{\theta^2} \left(\sqrt{1 + \theta^2 (V_{GS} - V_T)^2} - 1 \right) \quad (3.10)$$

biçiminde elde edilir.(3.1) bağıntısının $V_{GS}=V_T$ civarında $V_X=V_{GS}-V_T$ olmak üzere seriye açılımı

$$I_D = \frac{\beta}{2} V_X^2 \left[1 - \theta V_X + \theta^2 V_X^2 - \theta^3 V_X^3 + \theta^4 V_X^4 \dots \right] \quad (3.11)$$

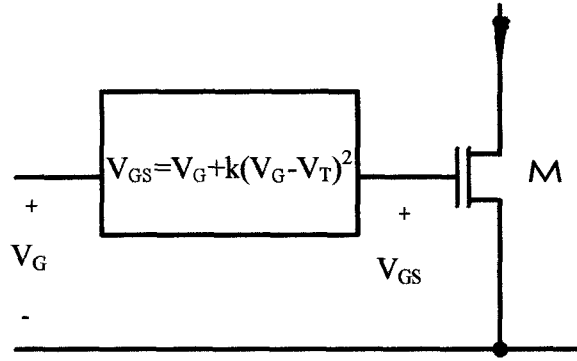
biçiminde olur. Kareselliği iyileştirilmiş devreye ait (3.10) bağıntısının seriye açılımı ise

$$I_D = \frac{\beta}{2} V_X^2 \left[1 - \frac{\theta^2}{4} V_X^2 + \frac{\theta^4}{8} V_X^4 - \frac{5\theta^6}{64} V_X^6 + \frac{7\theta^8}{128} V_X^8 \dots \right] \quad (3.12)$$

şeklinde olmaktadır. (3.11) ve (3.12) serisinin katsayılarını biri biriyle karşılaştırdığımızda (3.12) serisinde V_X ’in tek dereceli terimleri bulunmadığı ve (3.11) serisindeki çift dereceli kuvvetlerin katsayılarının (3.12) serisindeki katsayılara göre daha düşük olduğu gözükmemektedir. olduğuna göre (3.12) serisinin katsayılarının daha hızlı sıfıra gittiğini dolayısıyla (3.10) bağıntısının kareselliğinin (3.1) bağıntısına göre daha iyi olacağını söylenebilir.

3.2 KISA KANAL ETKİSİNİ AZALTILMASI İÇİN YÖNTEM-2

Bu yöntemi Şekil 3.2’den kolayca anlamak mümkündür. Şekildeki M tranzistoru ana kare alıcı tranzistordur. Bu yöntemde giriş gerilimi ana kare alıcı tranzistorun girişine (3.13) bağıntısı uyarınca değiştirilip uygulanmaktadır.



Şekil 3.2 M tranzistorunun kareselliğinin iyileştirilmesi.

$$V_{GS} = V_G + k(V_G - V_T)^2 \quad (3.13)$$

(3.13) bağıntısında k 'nın uygun seçilmesi durumunda karesel hata minimize edilebilir. Şöyle ki M tranzistorunun savak akımı, kanal boyu modülasyonunun ihmal edilmesi durumunda aşağıdaki gibi tanımlanabilir

$$I = \frac{\beta}{2} \frac{(V_{GS} - V_T)^2}{1 + \theta(V_{GS} - V_T)} \quad (3.14)$$

(3.13) bağıntısını (3.14) bağıntısında yerine koyup gerekli düzeltmeler yaptıktan sonra

$$I = \frac{\beta}{2} V_X^2 \frac{1 + 2kV_X + k^2 V_X^2}{1 + \theta V_X + \theta k V_X^2} \quad (3.15)$$

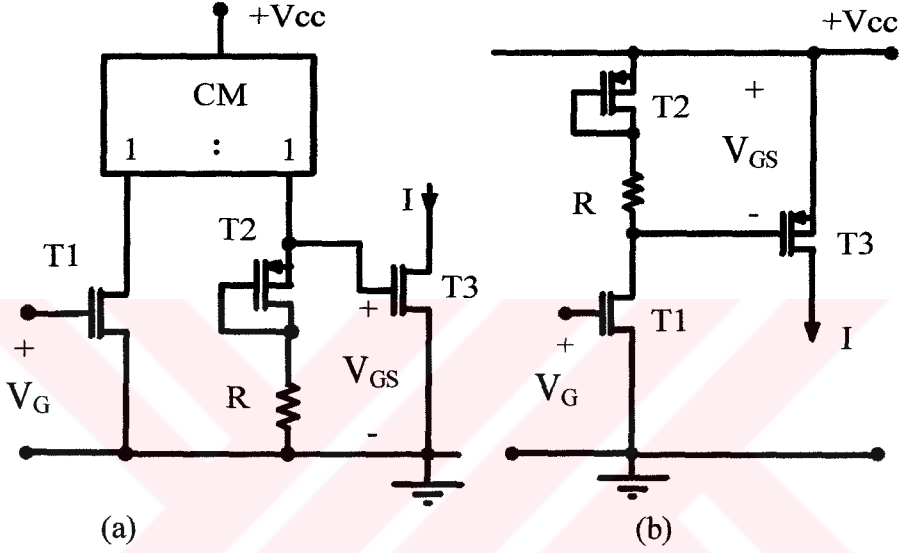
elde ederiz. Buradaki V_X büyüklüğü $V_X = V_G - V_T$ şeklinde tanımlanmıştır. $k = n\theta$ olduğunu göz önüne alıp n katsayısı, $1/2$ olarak seçilirse (3.15) bağıntısı

$$I = \frac{\beta}{2} V_X^2 \frac{1 + \theta V_X + (\theta^2/4) V_X^2}{1 + \theta V_X + (\theta^2/2) V_X^2} \quad (3.16)$$

bağıntısına dönüşür. $\theta \ll 1$ olduğundan dolayı θ^2 'li terim kolaylıkla ihmal edilir (3.16) bağıntısındaki gibi ideal karesel davranış elde edilir.

$$I \approx \frac{\beta}{2} V_x^2 \quad (3.17)$$

(3.13)'deki bağıntıyı gerçekleştirmek üzere Şekil 3.3a ve Şekil 3.3b'deki devreler önerilmektedir. Şekil 3.3a'daki devrede bu işlevi T1, T2, R ve CM akım aynasından oluşan alt devre, Şekil 3.3b'de ise T1, T2 ve R direncinden oluşan alt devre gerçekleştirmektedir. Şekillerdeki T3 tranzistoru, kareselliği düzeltilen ana kare alıcı tranzistorlardır.



Şekil 3.3 T3 Tranzistorunun karesel karakteristiğinin iyileştirilmesi

Genelde NMOS transistorunda hareket yeteneği azalması olayı PMOS tranzistorunkine göre daha düşük olmasından dolayı Şekil 3.3a'daki devre tercih edilir. Eğer Şekil 3.3b'deki devredeki T3 tranzistorunun kısa kanal etkisi küçük olması durumunda daha az eleman içermesi açısından Şekil 3.3b'deki devre de kullanılabilir. Şekil 3.3a ve Şekil 3.3b'deki devrelerin çalışmasını etkileyen başlıca etken, T1 ve T2 tranzistorlarının θ_1 ve θ_2 , ile modellenen kısa kanal etkileridir. θ_1 , θ_2 ve $\beta_1=\beta_2=\beta$ için V_{GS} geriliminin bağıntısı

$$V_{GS} = V_G + k \frac{(V_G - V_T)^2}{1 + \theta_1(V_G - V_T)} \quad (3.18)$$

ile hesaplanır. Bu durumda k bağıntısı

$$k = \frac{\beta}{2} \left(R + \frac{\theta_2}{\beta} - \frac{\theta_1}{\beta} \right) \quad (3.19)$$

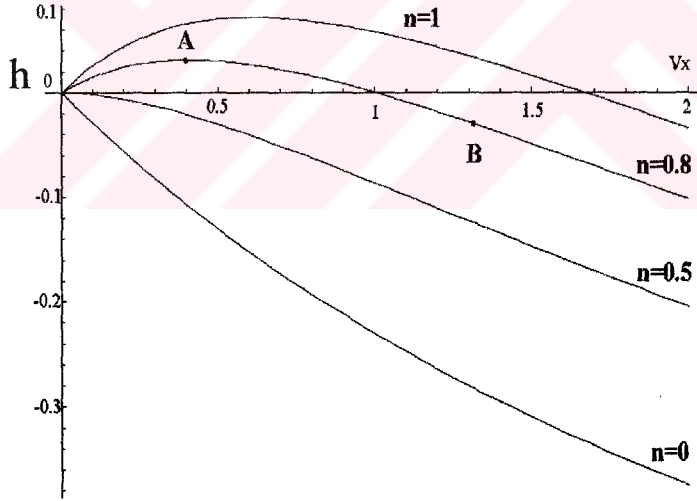
olarak bulunur. $\theta_1 = \theta$ ve $k = n\theta$ için T3' ün savak akımının tam bağıntısı

$$I = \frac{\beta}{2} V_X^2 \cdot E \quad (3.20)$$

olup $V_X = V_G - V_T$ 'dir. Buradaki E fonksiyonu, 1 civarında değişen V_X 'e bağlı karesel hatayı tanımlayan bir fonksiyon olup .

$$E = \frac{(1 + \theta(1+n)V_X + \theta^2(1+n)^2V_X^2)}{(1 + \theta V_X)(1 + 2\theta V_X + \theta^2(1+n)V_X^2)} \quad (3.21)$$

şeklinde verilebilir. Şekil 3.4'de yöntemin karesel hatayı azalttığını göstermek için oldukça büyük bir θ için ($\theta=0.3$) n katsayı parametre olarak alınarak (3.21) kullanılarak $h=E-1$ hata fonksiyonu çizilmiştir.



Şekil 3.4 $\theta=0.3$ için $h=E-1$ fonksiyonunun çeşitli n değerleri için değişimi

$n=0$ için devre klasik MOS transistorun davranışına uygun olarak (3.14) bağıntısındaki gibi çalışmaktadır. n'i arttırdıkça karesel hata azalmaktadır. A noktasında hata e gibi bir maksimum değer alırken B($V_X = V_{XM}$) noktasında -e değerini almaktadır. A ve B noktalarının bu özelliklerini kullanarak kabul edilen

maximum bağıl hata $|h|$ için girişin maximum çalışma aralığı V_{XM} , (3.21) bağıntısı kullanılarak

$$V_{XM} \approx \frac{\sqrt{8e} + 3e + \sqrt{e(16 + 12\sqrt{2e} + e)}}{4\theta(1 - e)} \quad (3.22)$$

bağıntısıyla bulunabilir. Buradaki $e=|h|$ olarak tanımlıdır. (3.22)'i olarak kılacak n katsayısı da

$$n \approx \frac{1 + \sqrt{8e}}{2} \quad (3.23)$$

uyarınca seçilmelidir. Yukarıdaki n katsayısını sağlayabilmek için, $k=n\theta$ olduğu için R ve β , (3.19) bağıntısına göre seçilmelidir. Eğer R direncini di renç bölgesinde çalışan bir MOS transistor ile simule edersek arzu edilen R direncini, sonuç olarak n katsayısını MOS tranzistorun V_{GS} gerilimini ayarlayarak elde edebiliriz.

3.3 AKIM MODUNDA ÇALIŞAN BİR ÇARPMA DEVRESİNİN KARE ALICI HÜCRELERİNİN İYİLEŞTİRİLMESİ

Bu tür çarpma devresi akımın karesini alan kare alıcı hücrelerden oluşmuş olup çarpma işlemini aşağıdaki fonksiyonu gerçekleştirerek [16]

$$I_o = 8K I_X \cdot I_Y = K((I_X + I_Y + I_{off})^2 - (-I_X + I_Y + I_{off})^2 - ((I_X - I_Y + I_{off})^2 - (-I_X - I_Y + I_{off})^2)) \quad (3.24)$$

yapmaktadır. (3.24)'teki I_X ve I_Y akımları giriş büyüklükleri, I_{off} ise devredeki elemanların dengesizliklerinden kaynaklanan bir dengesizlik akımıdır. (3.24) bağıntısındaki kare alma işlemleri, Şekil 2.6b'deki devre ile yapılmaktadır [16]. Şekil 2.6a'daki devrenin I akımını I_g akımına bağlayan bağıntı, β tranzistorların iletkenlikleri ve θ hareket yeteneği azalması etkisini modelleyen parametre olduğuna göre

$$\sqrt{\frac{(I + I_g)^2 \theta^2}{4\beta^2} + \frac{I + I_g}{\beta}} + \sqrt{\frac{(I - I_g)^2 \theta^2}{4\beta^2} + \frac{I - I_g}{\beta}} + \frac{I\theta}{\beta} = V_{REF} - 2V_T \quad (3.25)$$

bağıntısı ile hesaplanabilir. MOS tranzistorlarda $\theta < 1$ olduğundan düşük I_g akımlarıyla çalışmada aşağıdaki

$$\frac{(I + I_g)^2 \theta^2}{4\beta^2} \ll \frac{I + I_g}{\beta}, \quad \frac{(I - I_g)^2 \theta^2}{4\beta^2} \ll \frac{I - I_g}{\beta} \quad (3.26)$$

şartları geçerli olacaktır. Bu durumda (3.25)'de θ^2 'li terim ihmal edilerek

$$I = \frac{\beta(V_{REF} - 2V_T - I\theta/\beta)^2}{4} + \frac{I_g^2}{(V_{REF} - 2V_T - I\theta/\beta)^2} \quad (3.27)$$

bağıntısı elde edilir. (3.27) bağıntısında $V = V_{REF} - 2V_T$ olmak üzere $(V - I\theta/\beta)^2 \cong (V^2 + 2V \cdot I\theta/\beta)$ yaklaşıklığı yapıldıktan sonra elde edilen yeni bağıntının uygun çözümü aşağıdaki gibidir.

$$I = \beta V \frac{1 + \theta V - \sqrt{1 - \frac{4\theta(2 + \theta V)I_g^2}{V^3}}}{2\theta(2 + \theta V)} \quad (3.28)$$

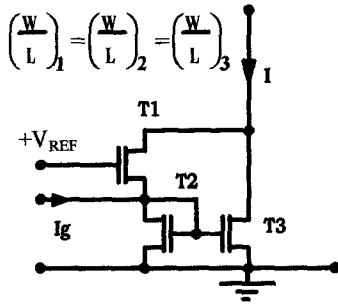
(3.28)'nin seriyeye açılımı

$$I = \frac{\beta V^2}{4 + 2\theta V} + \frac{I_g^2}{\beta V^2} + \theta \frac{(2 + \theta V)}{\beta^3 V^5} I_g^4 + 2\theta^2 \frac{(2 + \theta V)^2}{\beta^5 V^8} I_g^6 + 5\theta^3 \frac{(2 + \theta V)^3}{\beta^7 V^{11}} I_g^8 \dots \quad (3.29)$$

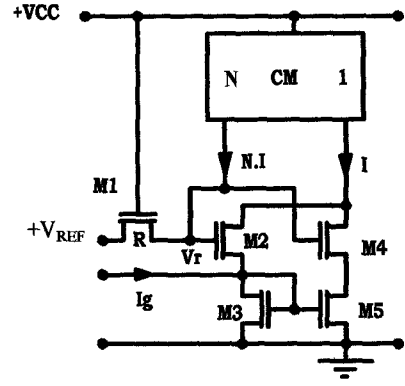
gibi bulunur. Görüldüğü gibi I_g^2 teriminin yanında daha yüksek dereceden terimler oluşmaktadır. Bunun sonucu olarak çarpma işleminin lineerliği bozulmakta ve distorsiyon oluşmaktadır.

Eğer (3.27)'deki V_{REF} gerilimi yerine $V_{REF} + I\theta/\beta$ biçiminde değişen bir gerilim konursa θ 'nın etkisi ortadan kalkar ve aşağıdaki gibi ideal karesel davranış elde edilir.

$$I \cong \frac{\beta(V_{REF} - 2V_T)^2}{4} + \frac{I_g^2}{\beta(V_{REF} - 2V_T)^2} \quad (3.30)$$



a) Temel kare alıcı hücre



b) İyileştirilmiş kare alıcı hücre

Şekil 3.5 Kare alıcı hücreler

Bu şekilde çalışan lineerleştirilmiş kare alıcı devre Şekil 3.5b'de görülmektedir. Burada M1 tranzistoru direnç bölgesinde çalışmakta olup direnç görevi görmektedir. M2, M3, M4 ve M5 tranzistorlarının W/L oranları aynıdır. Şekildeki CM bloku ise bir akım aynasıdır. M4 tranzistorunun görevi ise devrenin uygun kutuplanması durumunda M2 ve M5 tranzistorlarının V_{DS} gerilimlerini eşit kılarak bu tranzistorların kanal boyu modülasyonunun kare alıcı hücrenin üzerinde oluşturacağı dengesizliği gidermektir. Devrede CM akım aynası yardımıyla I akımını N katsayısıyla çarpılarak yansıtılmakta, yansıtılan bu akımın R direnci üzerinde oluşturduğu gerilim düşümü ile yeni V_{REF} gerilimi $V_{REF} + I \cdot N \cdot R$ biçiminde oluşturulmaktadır. Eğer R direnci, $N \cdot R = \theta / \beta$ şartını sağlayacak şekilde seçilirse (3.30) bağıntısı gerçekleşmiş olur. İyileştirme yapıldığı durumda (3.25) bağıntısı

$$\sqrt{\frac{(I + I_g)^2 \theta^2}{4\beta^2} + \frac{I + I_g}{\beta}} + \sqrt{\frac{(I - I_g)^2 \theta^2}{4\beta^2} + \frac{I - I_g}{\beta}} = V_{REF} - 2V_T \quad (3.31)$$

şekline dönüşür. Bunun uygun çözümü $V = V_{REF} - 2V_T$ olmak üzere

$$I = -\frac{2B}{\theta^2} + \frac{BV}{\theta^2} \sqrt{\frac{I_g^2 \theta^4 - \beta^2 (4 + \theta^2 V^2)}{I_g^2 \theta^2 - \beta^2 V^2}} \quad (3.32)$$

şeklindedir. (3.32)'nin seriye açılımı $a = 4 + \theta^2 V^2$ kabulü altında

$$I = \beta \frac{\sqrt{4 + \theta^2 V^2} - 2}{\theta^2} + \frac{2I_g^2}{\beta V^2 a^{1/2}} + \theta^2 \frac{I_g^4 (6 + 2\theta^2 V^2)}{\beta^3 V^4 a^{3/2}} + \dots \quad (3.33)$$

$$+ \theta^4 \frac{I_g^6 (20 + 12\theta^2 V^2)}{\beta^5 V^6 a^{5/2}} + \theta^6 \frac{I_g^8 (70 + 60\theta^2 V^2)}{\beta^7 V^8 a^{7/2}} \dots\dots\dots$$

şeklindedir. (3.29) ile (3.33) serilerindeki I_g^i ve I_g^i 'lerin katsayılarını karşılaştırdığımızda, (3.33) serisindeki I_g^i katsayılarının (3.29) serisindeki I_g^i katsayılarına oranının $a_i(V.\theta)^{(i/2)}$ şeklinde olduğu görülmektedir. $V.\theta < 1$ olacak şekilde V_{REF} seçildiğinde $a_i < 1$ olduğundan (3.33) serisinin katsayılarının (3.33) serisinin katsayılarına göre daha hızlı sıfıra gittiğini ve Şekil 3.5b'deki devrenin kareselliğinin daha iyi olduğunu söylenebilir.



BÖLÜM 4

ÖNERİLEN ÇARPMA DEVRELERİ

Bu bölümde lineerleştirme yöntemlerinin uygulanmasıyla yeni çarpma devreleri elde edilecektir. Bu çarpma devrelerinin ilk ikisinin girişleri gerilim modunda olup Şekil 2.5'deki çarpma devresini temel almaktadır. Yeni devreler oluşturulurken Şekil 2.5'deki devredeki tranzistörler yerine daha önce bahsedilen iyileştirilmiş kare alıcı devreler getirilmiştir. Ayrıca devrelerin girişlerinde aktif zayıflatıcı devreler bulunmaktadır. Üçüncü devre ise akım modunda olup lineerleştirilmiş akımın karesini alan hücreler kullanılarak oluşturulmuştur.

4.1 YÜKSEK DOĞRULUKLU ÇARPMA DEVRESİ-1

Bu çarpma devresinde lineerliği arttırmak üzere θ 'nın etkisini azaltmak üzere Bölüm 3.1'de anlatılan Şekil 3.1'deki devre Şekil 2.5'deki temel çarpma devresindeki T1, T2, T3 ve T4 tranzistörleri için kullanılmıştır. Bu durumda yeni devrede Şekil 2.5'deki her tranzistör için (3.10) bağıntısı geçerlidir. (3.10) bağıntısı seriye açılıp θ^4 'den büyük terimler ihmal edildikten sonra $I_o = I - \bar{I} = I_1 - I_2 - (I_3 - I_4)$ bağıntısını $b = V_{CX} - V_{CY} - 2V_T$ olmak üzere

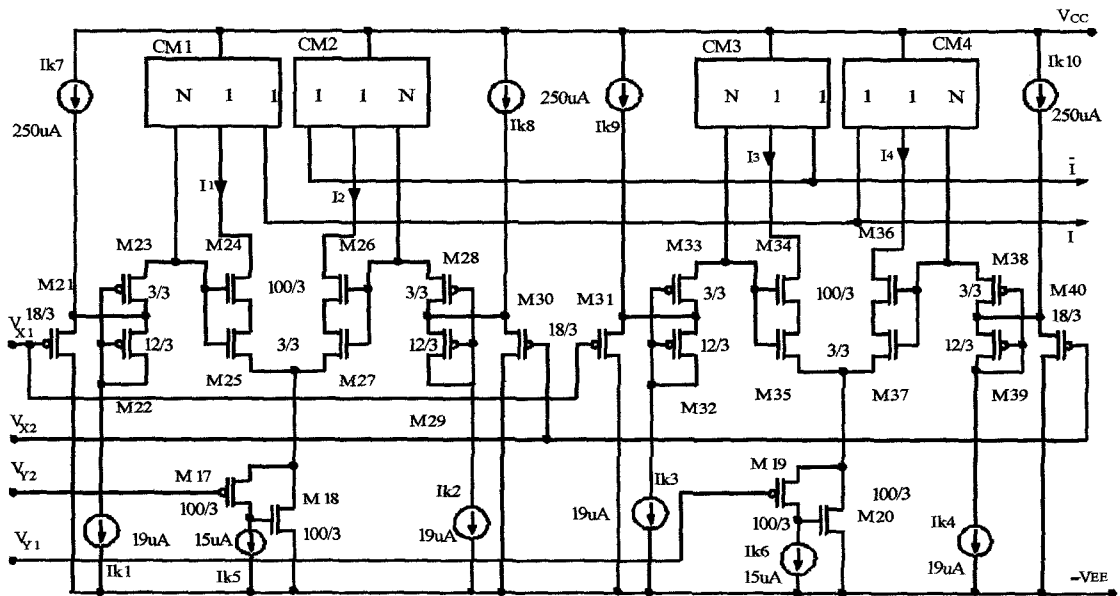
$$I_o = \beta V_{DX} V_{DY} \left[1 - \frac{\theta^2}{8} (V_{DX}^2 + V_{DY}^2) - \frac{3\theta^2}{8} b^2 + \frac{\theta^4}{128} (3V_{DX}^4 + 3V_{DY}^4 + 10V_{DX}^2 V_{DY}^2 + 30b(V_{DX}^2 + V_{DY}^2) + 15b^2) \right] \quad (4.1)$$

olarak elde ederiz. (2.25) ve (4.1) serilerini karşılaştırdığımızda (2.25) bağıntısındaki V_{DX}^2 ve V_{DY}^2 katsayılarının $4/a^2$, V_{DX}^4 ve V_{DY}^4 katsayılarının ise $32/(3a^4)$ kere daha büyük olduğu gözükmemektedir. Bunun yanında (2.25) bağıntısından anlaşılacağı üzere V_{CX} ve V_{CY} gerilimlerine bağlı oluşan distorsiyon Şekil 2.5'deki devrede daha

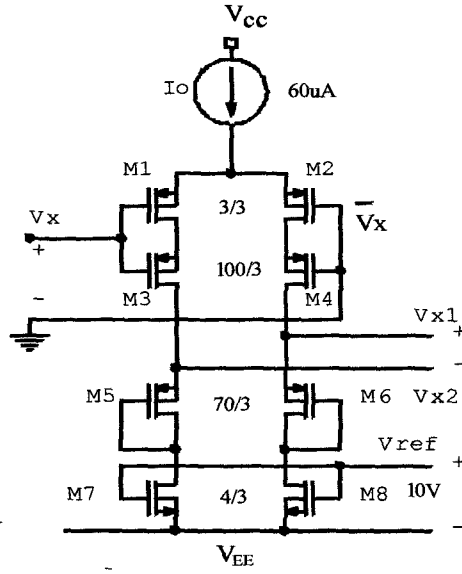
fazladır. Çünkü (2.25)'de bu gerilimlerin katsayıları $3/2\theta$ iken (4.1)'de yaklaşık $3/2.\theta^2$ olduğu gözükmemektedir. $\theta < 1$ olduğuna göre (4.1) serisinin katsayılarının (2.25) serisinin katsayılarına göre daha hızlı sıfıra gittiğini ve harmoniklerin genliklerinin V_{DX} ve V_{DY} kuvvetlerinin genlikleriyle orantılı olduğuna göre yeni devrenin distorsiyonunun daha düşük olduğunu söylenebilir.

4.1.1. Yüksek doğruluklu çarpma devresi-1'in çalışması

Çarpma devresi Şekil 4.1'de gözükmemektedir. Çarpma devresinin V_{X1} , V_{X2} , V_{Y1} ve V_{Y2} gerilimleri Şekil 4.1'deki X ve Y girişleri için aktif zayıflatıcı devreleriyle oluşturulmaktadır. M17, M18 ile M19, M20 tranzistörleri iki tampon devre vazifesi görmektedir. Çıkış I_o akımı ise Şekil 4.2'deki $I_{\bar{v}}$ akımlarının farkını alan akım aynalarından oluşan devre ile elde edilmektedir. Şekil 4.1'deki M25-M24, M26-M27, M34-M35 ve M36-M37 tranzistör çiftleri sırasıyla Şekil 2.5'deki T1, T2, T3 ve T4 tranzistörlerinin vazifesini yapmaktadır. CM1, CM2, CM3 ve CM4 ise hem Şekil 3.1'deki akım aynasının işlevlerini görmekte hem de çıkış devresi için gerekli I_1 , I_2 , I_3 ve I_4 akımlarını sağlamaktadır. Burada M24, M26, M34 ve M36 tranzistörlerinin W/L oranları, M25, M27, M35 ve M37 tranzistörlerine göre yeterince büyük seçilerek M25, M27, M35 ve M37 tranzistörlerinin doyma sınırında çalışması sağlanmıştır.



Şekil 4.1 Yüksek doğruluklu çarpma devresi



Şekil 4.3 X ve Y girişleri için aktif zayıflatma devresi

Sadece Y zayıflatıcı devresinin çıkışına kare alıcı tranzistorların akımlarının zayıflatıcı devreyi yüklemesini engellemek için M17...M20 tranzistorları ve ilgili akım kaynaklarından oluşan tampon devre koyulmuştur. M1, M2, M3 ve M4 tranzistorları bir uzun kuyruklu devreyi oluşturmaktadır. M3 ve M4'lerin W/L oranları. M1 ve M2'lerinkine göre yeterince büyük seçilerek M1 ve M2 tranzistorlarının doyma bölgesi sınırında çalışması sağlanmaktadır. Bu durumda devrenin geçiş iletkenliğini M1 ve M2 tranzistorları belirlemekte, uzun kuyruklu devrenin çıkış direnci ise M3 ve M4 sayesinde klasik uzun kuyruklu devreye göre daha büyük olmaktadır. M7 ve M8 tranzistorları ise direnç bölgesinde çalışmakta olup θ 'nın zayıflatma üzerindeki nonlineer etkisini gidermek için kullanılmaktadır. β_1 ve β_2 sırasıyla M1, M2 ve M5, M6 tranzistor çiftlerinin iletkenlikleri, I_1 ve I_2 ise M1, M2 tranzistorlarının savak akımları olduğuna göre

$$\frac{I_1 \theta}{\beta_1} + \sqrt{\frac{2I_1}{\beta_1}} - \left(\frac{I_2 \theta}{\beta_1} + \sqrt{\frac{2I_2}{\beta_1}} \right) = V_x - \bar{V}_x = V_{ix} \quad (4.2)$$

yazılabilir. Diğer yandan M5, M6 tranzistorlarıyla ve M7, M8 ile oluşturulan R_d direnci yardımıyla ise

$$\frac{I_1\theta}{\beta_2} + \sqrt{\frac{2I_1}{\beta_2}} - \left(\frac{I_2\theta}{\beta_2} + \sqrt{\frac{2I_2}{\beta_2}} \right) + R_d(I_1 - I_2) = V_{X2} - V_{X1} \quad (4.3)$$

yazılabilir. Yukarıdaki (4.2) denklemini $\sqrt{\beta_1}$ ve (4.3) denklemini $\sqrt{\beta_2}$ çarpıp farkını aldıktan sonra R_d 'yi uygun seçersek distorsiyona neden olan I_1 ve I_2 'li bileşenlerden bağımsız zayıflatma fonksiyonunu elde ederiz. Bunu sağlayan R_d direnci

$$R_d = \theta \left(\frac{1}{\sqrt{\beta_1\beta_2}} - \frac{1}{\beta_2} \right) \quad (4.4)$$

dir. R_d 'nin bu değeri için

$$V_{X2} - V_{X1} = \sqrt{\left(\frac{\beta_1}{\beta_2} \right)} \cdot V_{iX} \quad (4.5)$$

bulunur. Benzer şekilde aynı yoldan gidilerek Y aktif zayıflatması içinde

$$V_{Y2} - V_{Y1} = \sqrt{\left(\frac{\beta_1}{\beta_2} \right)} \cdot V_{iY} \quad (4.6)$$

bulunur. Üzerinde çalışılan devrede X ve Y zayıflatması için K zayıflatma katsayısı 0.2 seçilmiştir. Lineer bölgede çalışan M7 ve M8 tranzistorlarının $\beta_8 = \beta_7$ iletkenlik katsayıları ise

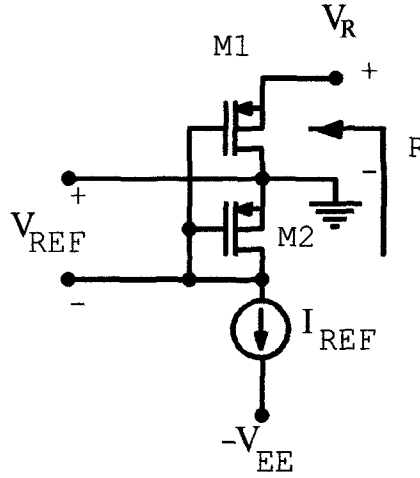
$$\beta_7 = \beta_8 = \frac{1}{R_d(V_{ref} - V_T)} \quad (4.7)$$

olarak seçilmelidir.

4.1.3 Direnç devresi

Tümleşik devrelerde direnç elemanının gerçekleştirilmesi çok yer kaybına neden olmaktadır [34]. Bunun yerine genellikle MOS taranzistor kullanılarak direnç devreleri oluşturulmaktadır [34]. Literatürdeki direnç devreleri önerilen çarpma devresinde kullanılmasına uygun olacak kadar doğrusal değildir. Çünkü bunlarda ikincil etkenler hesaba katılmadan tasarım yapılmıştır. Önerilen devrede ise kanal

boyu modülasyonu ve hareket yeteneği azalması gibi ikincil etkilerinin birbirine ters etki yaparak yok etmesini kullanarak yeni bir direnç devresi önerilmiştir.



Şekil 4.4 R Direnç devresi

Direnç devresi Şekil 4.4'de görülmektedir. M1 transistörü direnç bölgesinde çalışmakta olup, M2 transistörü ile I_{REF} akım kaynağı yardımıyla kutuplanmaktadır. M1 transistörünün kutuplama gerilimi uygun seçilerek hareket yeteneği azalması etkisi yardımıyla direnç bölgesindeki M1 transistörünün nonlinearlığı giderilebilir. Şöyle ki β_1 ve β_2 sırasıyla M1 ve M2 transistörlerinin iletkenlikleri olduğunu göz önüne alarak $V_{OFF} = V_{REF} - |V_{TP}|$ ve

$$V_{OFF} = \sqrt{\frac{2I_{REF}}{\beta_2}} \quad (4.8)$$

olmak üzere

$$G(V_R) = \frac{1}{R} = \frac{(V_{OFF} + V_R / 2)(1 + \lambda(1 + V_R))}{1 + \theta(V_{OFF} + V_R)} \quad (4.9)$$

yazılabilir. (4.9) İletkenliği seriye açıldığında nonlinearlığa neden olan V_R 'nin kuvvetlerinden oluşan terimler oluşur. Lineerliği bozan ilk V_R teriminin katsayısını sıfırlayan V_{OFF} gerilimi

$$V_{OFF} = \frac{\theta - 2\lambda - \sqrt{4\lambda^2 - 12\lambda\theta + \theta^2}}{4\lambda\theta} \quad (4.10)$$

olarak bulunur. Bunun gerçekleşebilmesi için $\lambda < \theta/12$ olması gereklidir. Bu V_{OFF} gerilimi için elde edilen R direnci

$$R = \frac{1}{\beta_1} \frac{4\theta^2}{3\theta - 2\lambda - \sqrt{4\lambda^2 - 12\lambda\theta + \theta^2}} \quad (4.11)$$

olur. Eğer λ ihmal edilirse R direnci

$$R = \frac{2\theta}{\beta_1} \quad (4.12)$$

olarak elde edilir. Devrede $V_{REF} = 1.4V$ ve $I_{REF} = 19\mu A$ seçilmiş, R direnci 56K olarak elde edilmiştir.

4.2 YÜKSEK DOĞRULUKLU ÇARPMA DEVRESİ-2

Bu çarpma devresi de Şekil 2.5'deki çarpma devresini temel alarak çalışmaktadır. Fakat her bir tranzistor yerine Şekil 3.3a'daki devre gelmiştir.. Bu durumda çarpma bağıntısını bulurken her bir tranzistor yerine (3.20) bağıntısının kullanılması gerekmektedir. Basitlik olması açısından (3.21) bağıntısında pay ve paydadaki parantez içerisindeki θ^2 yi ihmal edersek

$$I \approx \frac{\beta}{2} V_x^2 \frac{1 + 2\theta(1+n)V_x}{(1 + \theta V_x)(1 + 2\theta V_x)} \quad (4.13)$$

bağıntısını elde ederiz. Çarpma bağıntısını kolayca elde edebilmek için (4.13) bağıntısını, aşağıdaki gibi iki kısma ayırabiliriz.

$$I \approx \frac{\beta}{2} V_x^2 \left[\frac{1 + 2n}{1 + \theta V_x} \right] - \frac{\beta}{2} V_x^2 \left[\frac{2n}{1 + 2\theta V_x} \right] \quad (4.14)$$

Her bir tranzistor için (3.21) bağıntısı kullanılırsa yeni çarpma bağıntısı

$$I = \beta V_{DX} V_{DY} \left[\frac{1+2n}{a^3 - a \frac{\theta^2}{2} z} - \frac{2n}{b^3 - 2b\theta^2 z} \right] \quad (4.15)$$

gibi elde edilir. Buradaki a, b, z katsayıları.

$$a = 1 + \theta/2(V_{CX} - V_{CY} - 2V_T) \quad (4.16)$$

$$b = 1 + \theta(V_{CX} - V_{CY} - 2V_T)$$

$$z = V_{DX}^2 + V_{DY}^2$$

bağıntılarıyla tarif edilmiştir. Diğer yandan (4.15) bağıntısının seriye açılımı aşağıda görülmektedir.

$$I_o = \beta V_{DX} V_{DY} \left[\frac{1+2n}{a^3} - \frac{2n}{b^3} + \theta^2 \left(\frac{(1+2n)}{2a^5} - \frac{8n}{2b^5} \right) (V_{DX}^2 + V_{DY}^2) + \theta^4 \left(\frac{(1+2n)}{4a^7} - \frac{32n}{4b^7} \right) (V_{DX}^2 + V_{DY}^2)^2 \dots \right] \quad (4.17)$$

Açıkça görüldüğü üzere V_{DX}^2 ve V_{DY}^2 terimlerinin oluşturduğu üçüncü harmonik distorsiyon, n'in aşağıdaki gibi seçilmesi durumunda yok edilebilir.

$$n = \frac{b^5}{8a^5 - 2b^5} \quad (4.18)$$

$\theta < 1$ olduğundan dolayı a ve b yaklaşık 1 olur. Bu durumda (4.18) bağıntısı $n=1/6$ verir.

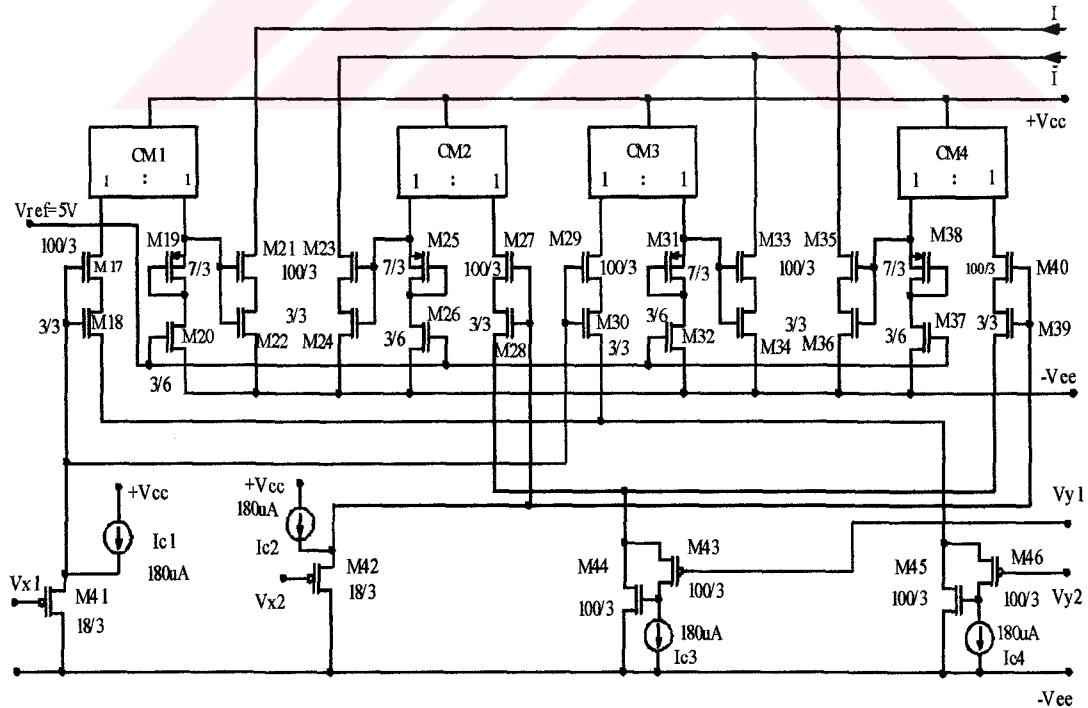
Bu devrenin getirdiği önemli bir avantaj n'i k ($k=n\theta$), yardımıyla kontrol ederek distorsiyonun minimum yapma olanağını sağlamasıdır. Çünkü k, (3.19) bağıntısı uyarınca R direncine bağlıdır. R direnci yerine lineer bölgede çalışan bir MOS tranzistor koyarsak bu tranzistorun direncini

$$R = \frac{1}{\beta_R (V_{GS} - V_T)} \quad (4.19)$$

bağıntısına göre V_{GS} gerilimini değiştirerek ayarlayabiliriz. Tabii bu bağıntı $V_{DS} \ll V_{GS} - V_T$ durumu için geçerlidir. Bağıntıdaki β_R MOS tranzistorun iletkenlik katsayısıdır.

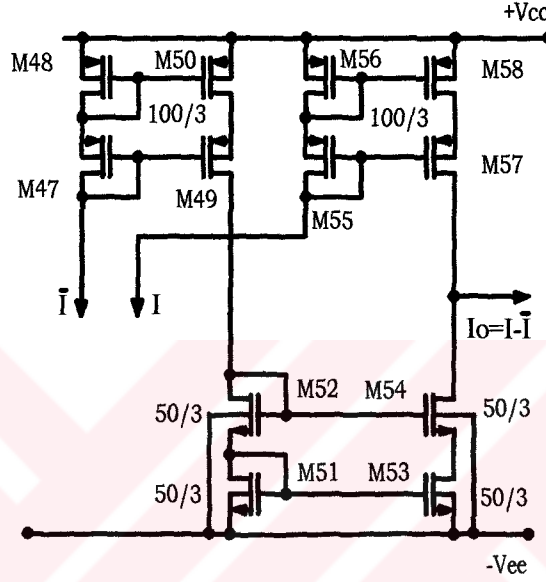
4.2.1 Yüksek doğruluklu çarpma devresi-2'in çalışması

Tüm devre Şekil 4.5'de görülmektedir. I_O çıkış akımı Şekil 4.6'de görülen çıkış devresi yardımıyla I ve $\bar{I}$ akımlarının farkları alınarak elde edilmektedir. V_{X1} , V_{X2} , V_{Y1} ve V_{Y2} gerilimleri Şekil 4.3'deki aktif zayıflatma devresi tarafından üretilmektedir. CM1, CM2, CM3 ve CM4 kaskod akım aynalarıdır ve W/L oranları çıkış devresindeki gibi seçilmiş olup yansıtma oranları 1/1'dir. M17-M22 ve CM1, M23-M28 ve CM2, M29-M34 ve CM3, M35-M40 ve CM4 elemanlarından oluşan alt devre, Şekil 3.3a'daki gibi çalışmaktadır. M20, M26, M32 ve M37 tranzistorları direnç bölgesinde çalışmakta olup Şekil 3.3a'daki direnç elemanının yerine geçmektedir.



Şekil 4.5 Yüksek doğruluklu analog çarpma devresi

Bu bize minimum distorsiyonu elde etmek üzere V_{REF} 'i değiştirerek (3.19) bağıntısına göre k 'yı değiştirme imkanını vermektedir. M17, M21, M23, M27, M29, M33, M35 ve M40 tranzistorlarının W/L oranları M18, M22, M24, M28, M30, M34, M36 ve M39 tranzistorlarinkine göre onları doyma sınırında çalışmasını sağlayacak kadar büyük seçilmiştir. Böylece M18, M22, M24, M28, M30, M34, M36, ve M39 tranzistorlarının kanal boyu modülasyonunun çarpma işlemi üzerinde oluşturacağı dengesizlik etkisi azaltılmış olmaktadır.



Şekil 4.6 Çıkış devresi

Diğer yandan M41 ve M42 tranzistorları M18, M28, M30 ve M39 için V_{DX} and V_{DY} geriliminin değişim aralığı boyunca $V_{GS} - V_T > 0$ geçerli olması için kutuplama gerilimi sağlamaktadır. Diğer yandan M43, M44, Ic3 ve M45, M46, Ic4 elemanlarından oluşan alt devreler M18, M30 ve V_{y2} ile M28, M39 ve V_{y1} arasında birer tampon devre oluşturmaktadır. Bu sayede M18, M30, M28, M39 kaynak akımlarının Y aktif zayıflatıcı devresini yüklemesi önlenmektedir.

4.3 AKIM MODUNDA ÇALIŞAN YÜKSEK DOĞRULUKLU ÇARPMA DEVRESİ

Bu çarpma devresinin çalışma bağıntısı aşağıdaki gibidir [16].

$$I_o = 8K I_X \cdot I_Y = K(I_X + I_Y + I_{off})^2 - (-I_X + I_Y + I_{off})^2 - ((I_X - I_Y + I_{off})^2 - (-I_X - I_Y + I_{off})^2) \quad (4.20)$$

Devre akımın karesinin alan hücrelerden oluşmaktadır. Giriş devresi, I_X ve I_Y giriş akımlarını paralellemekte ve bunların ters işaretli olanlarını üretmektedir. Daha sonra bu akımlar akımın karesini alan devrelerin giriş düğümlerinde çeşitli kombinasyonda birleştirilerek (4.20)'bağıntısına uygun bir biçimde oluşturulmaktadır. Bağıntıdaki I_{off} akımı ise eleman uyumsuzluklarından oluşan bir dengesizlik akımıdır. Bu tür çarpma devresi [9]'de yer almıştır ve bu devre de kare alıcı devreler yerine Şekil 3.5a'daki devre yer almıştır. Yüksek doğruluklu devrede ise Bölüm 3.4'de bahsedilen Şekil 3.5b'deki iyileştirilmiş kare alıcı devre ye almıştır.

(4.20) bağıntısındaki kare alıcı hücreler yerine Şekil 3.5a'daki klasik kare alıcı devre kullanıldığında çarpma fonksiyonu bulunurken bu devreye ait (3.29) serisi kullanılırsa

$$I = I_X \cdot I_Y A \left(1 + \frac{4\theta}{\beta^2 V^3} (I_X^2 + I_Y^2) + \frac{8\theta^2}{\beta^4 V^6} (3I_X^4 + 3I_Y^4 + 10I_X^2 I_Y^2) + \frac{160\theta^3}{\beta^6 V^9} (I_X^6 + I_Y^6 + 7I_X^4 I_Y^2 \dots) \dots \right) \quad (4.21)$$

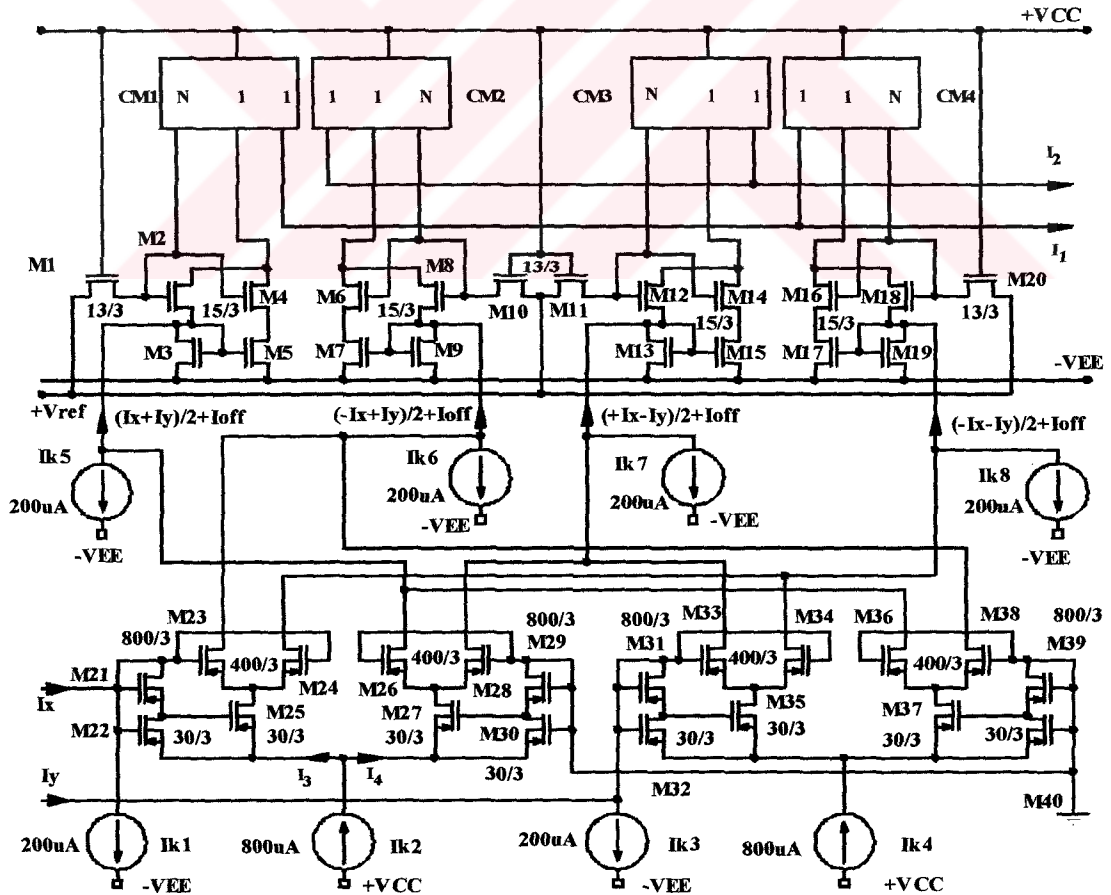
serisi elde edilir. Diğer yandan çarpma devresinde karesel iyileştirmenin yapıldığı Şekil 3.5b'deki devre kullanılır ve çarpma bağıntısı bulunurken bu devreye ait (3.33) bağıntısı kullanılırsa, $a=4+\theta^2$, $V^2 \approx 4$ ve $I_{off} \approx 0$ şartları altında

$$I = I_X \cdot I_Y A \left(1 + \frac{12\theta^2}{\beta^2 V^2 4^{4/2}} (I_X^2 + I_Y^2) + \frac{20\theta^4}{\beta^4 V^4 4^{5/2}} (3I_X^4 + 3I_Y^4 + 10I_X^2 I_Y^2) + \frac{280\theta^6}{\beta^6 V^6 4^{7/2}} (I_X^6 + I_Y^6 + 7I_X^4 I_Y^2 \dots) \dots \right) \quad (4.22)$$

bağıntısı bulunur. (4.21) ile (4.22) serilerindeki I_X^i ve I_Y^i 'lerin katsayılarını karşılaştırdığımızda, (4.22) serisindeki I_X^i ve I_Y^i 'lerin katsayılarının (4.21) serisindeki I_X^i ve I_Y^i 'lerin katsayılarına oranının $a_i \cdot (V \cdot \theta)^{(i/2)}$ şeklinde olduğu görülmektedir. $V \cdot \theta < 1$ olacak şekilde V_{REF} seçildiğinde $a_i < 1$ olduğundan (4.22) serisinin katsayılarının (4.21) serisinin katsayılarına göre daha hızlı sıfıra gittiğini ve harmoniklerin genliklerinde I_X ve I_Y kuvvetlerinin genlikleriyle orantılı olduğuna göre yeni devrenin distorsiyonunun daha düşük olduğunu söyleyebiliriz.

4.3.1 Yüksek doğruluklu akım modunda çalışan çarpma devresinin çalışması

Devredeki M1-M5 ve CM1, M6-M10 ve CM2, M11-M15 ve CM3, ile M16-M20 ve CM4 elemanlarından oluşan devreler Şekil 3.5b'deki kare alıcı hücre gibi çalışmaktadır. Aradaki tek fark CM1, CM2, CM3 ve CM4 akım aynalarının I_1 ve I_2 akımlarını oluşturmak üzere ikinci bir çıkışları olmasıdır. M21-M40 tranzistorları ve ilgili akım kaynaklarından oluşan devre, I_X ve I_Y akımlarını paralelleyerek ve bu akımların ters işaretli olanlarını üreterek kare alıcı hücreler için $(I_X+I_Y)/2$, $(I_X-I_Y)/2$, $(-I_X+I_Y)/2$ ve $(-I_X-I_Y)/2$ biçiminde giriş akımlarını oluşturmaktadır. Örnek olarak I_X akımının işlendiği devre ele alınırsa M21, M22, M23, M24 ve M25 ile M26, M27, M28, M29 ve M30 tranzistorlarından oluşan devre blokları birbirinin eşi olan iki akım aynası olarak çalışmaktadır. Benzer durum I_Y akımının işlendiği M31-M40 tranzistorları içinde geçerlidir. M21, M22, M23, M24 ve M25 tranzistorlarının oluşturduğu akım aynasında, I_{DM22} ve I_{DM25} akımları birbirine eşit olup $I_{DM22}=I_{DM25}=-I_X+I_{k1}$ 'dir.



Şekil 4.7 Lineerleştirilmiş akım modunda çalışan analog çarpma devresi

Diğer yandan M23, M24 tranzistorlarının alanları birbirine eşit olduğundan bu tranzistorların savak akımları $I_{DM24}=I_{DM23}=I_{DM25}/2$ olur. Bunlardan yola çıkarak

$$I_{DM23}=I_{DM24}=(-I_X+I_{k1})/2 \quad (4.23)$$

$$I_3=2(-I_X+I_{k1})=4.I_{DM23}=4.I_{DM24} \quad (4.24)$$

bağıntıları elde edilir. Diğer yandan $I_{k2}=I_3+I_4=4.I_{k1}$ ve $I_4=4.I_{DM26}=4.I_{DM28}$ olmaktadır. Bu sayede

$$I_{DM26}=I_{DM28}=(I_X+I_{k1})/2 \quad (4.25)$$

elde edilir Aynı şekilde I_Y akımının işlendiği devrede de $(I_Y+I_{k1})/2$ ve $(-I_Y+I_{k1})/2$ biçiminde akımlar elde edilmektedir. I_{k5} , I_{k6} , I_{k7} ve I_{k8} akım kaynaklarının bağlandıkları düğümlerdeki toplam düğüm akımları, I_k bu akım kaynaklarının değeri olmak üzere $(I_X+I_Y)/2+I_{k1}-I_k$, $(-I_X+I_Y)/2+I_{k1}-I_k$, $(I_X-I_Y)/2+I_{k1}-I_k$ ve $(-I_X-I_Y)/2+I_{k1}-I_k$ 'dir. I_k 'nın değeri I_{k1} seçilerek I_{k1} bileşeni yok edilmekte ve uygun giriş akımları elde edilmektedir.

Daha sonra Şekil 4.2'teki akım aynalarından oluşan çıkış devresi yardımıyla çarpma devresinin ürettiği I_1 ve I_2 akımlarının farkı alınarak I_o çıkış akımı oluşturulmaktadır. Buradaki akım aynaların yansıtma oranları 1/1 dir. Devrenin çıkış I_o akımı, kare alıcı hücreler için (3.30) bağıntısı kullanıldığı zaman

$$I_o = \frac{2I_X I_Y}{\beta(V_{REF} - 2V_T)^2} \quad (4.26)$$

elde edilir.

BÖLÜM 5

DEVRELERİN BENZETİMİ VE KARŞILAŞTIRILMASI

Devrelerin benzetiminde TUBİTAK 3 μ N-WELL teknolojisinin Level-3 parametreleri kullanılmıştır. Bütün devreler, kare alıcı devrelerinin iyileştirilmediği ve iyileştirildiği durum için benzetim yapılmıştır. Ayrıca lineerleştirmenin yapıldığı ve yapılmadığı durumda IMD özelliklerini incelemek üzere çarpma devrelerinin girişlerine maksimum genlikte 1KHz ve 100KHz'lik bir işaret uygulanarak çıkışın harmonik spektrumu gözlenmiştir.

5.1 YÜKSEK DOĞRULUKLU ÇARPMA DEVRESİ 1

Devre $\pm 5V$ ile beslenmektedir. X ve Y girişlerinin çalışma aralığı $\pm 3V$ 'dur. Zayıflatmada kullanılan R_d direnci 4900Ω ve Şekil-3.2'deki CM1, CM2, CM3 ve, CM4 kaskod akım aynalarının N yansıtma katsayısı ise 0.08'dir. Direnç devresiyle elde edilen R direncinin değeri yaklaşık $56K\Omega$ 'dur. Şekil 5.1'de bu direncin hata eğrisi gözükmemektedir. 1,2V'luk çalışma aralığında %0.1 gibi hata oluşmaktadır ki bu doğrusallık hatası ve çalışma aralığı devre için yeterlidir. Şekil 5.2a'da $N=0$ alınarak θ düzeltilmesi olmadığı durum için çıkış eğrisi gözükmemekte, Şekil 5.2b'de ise bu duruma ait doğrusallık hatası gözükmemektedir. Görüldüğü gibi $V_y=-3V$ için hata %11 olmakta ve 100KHz'lik 3V genlikli bir sinüs işareti için distorsiyon %2 olmaktadır. Şekil 5.3a'da ise θ 'nın etkisi azaltıldığı durum için V_y 'nin çeşitli değerleri için çıkış akımının değişimi gözükmemekte, Şekil 5.3b'de ise bu duruma ilişkin doğrusallık hatası gözükmemektedir. $V_y=3V$ için doğrusallık hatası %0.3 ve 100KHz'lik 3V genlikli bir sinüs işareti için distorsiyon %0.15'dir. Benzer sonuçlar V_y girişi için aynı ölçüm koşullarında elde edilmiştir. Bunlara ait sonuçlar Şekil 5.4-Şekil 5.5'de gözükmemektedir. Düzeltme olduğu durumda $V_x=3V$ için doğrusallık hatası %0.5, distorsiyon ise %0.15'dur. Düzeltme olmadığı durum için ise doğrusallık hatası %6.6 ve distorsiyon %1 olmaktadır. Devrenin frekans bandı ise X girişi için 11 MHz, Y

girişi için ise 10 MHz'dir. Bu devreye ait IMD özellikleri Tablo 2'de görülmektedir.

Tablo 5.1 Çarpma Devresi-1'in benzetim sonuçları

X Girişi için (Vy=3V)	THD (3V, 100KHz)	Doğrusallık hatası
N=N _{opt}	%0.15	%0.3
N=0	%2	%11
Y Girişi için (Vx=3V)		
N=N _{opt}	%0.15	%0.5
N=0	%1	%6.6

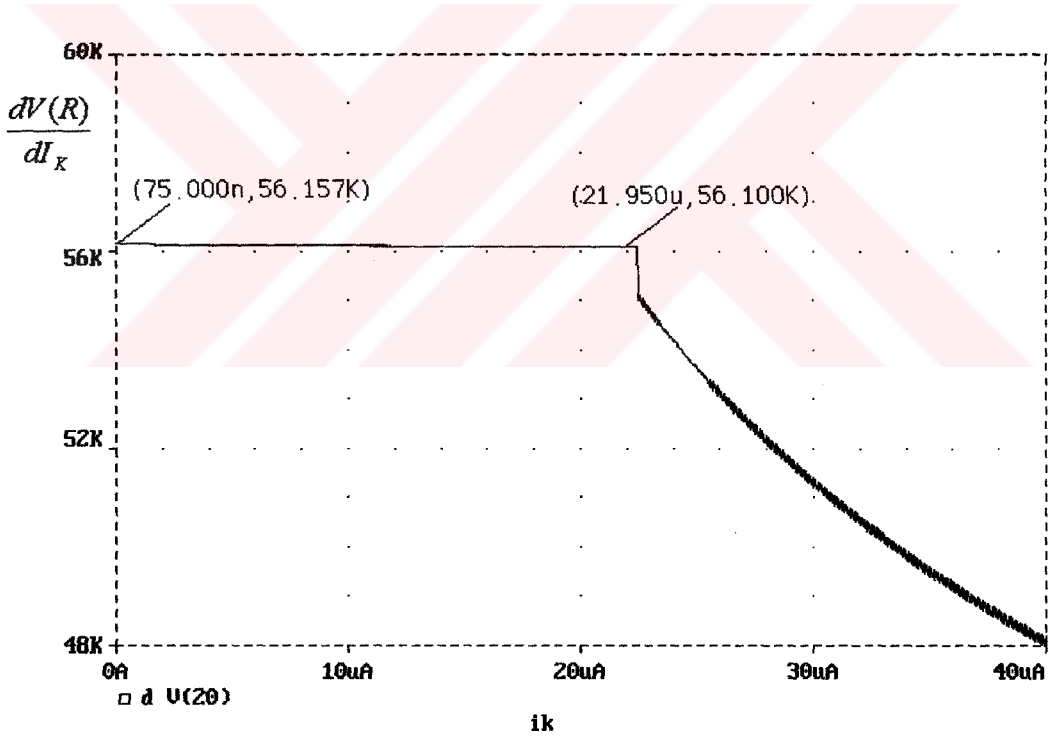
Tablo 5.2 Devre-1 için N=0 ve N=N_{opt} durumlarında intermodülasyon distorsiyonu sonucunda oluşan frekans bileşenleri

	f ₁ =101KHz f ₂ =99KHz	f ₃ =103KHz f ₄ =97KHz	f ₅ =107KHz f ₆ =93KHz
N=N _{opt} X=1KHz(6Vpp) Y=100KHz(6Vpp)	0 dB	-66 dB	-78 dB
N=0 X=1KHz(6Vpp) Y=100KHz(6Vpp)	0 dB	-40 dB	-68 dB

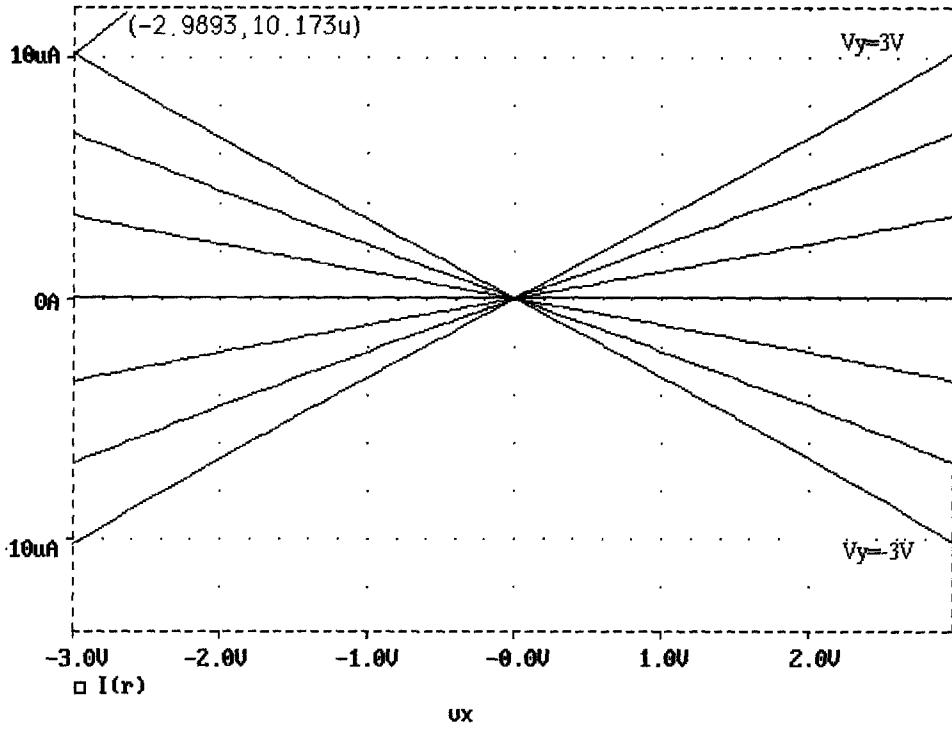
	f ₁ =201KHz f ₂ =199KHz	f ₃ =203KHz f ₄ =197KHz	f ₅ =205KHz f ₆ =195KHz
N=N _{opt} X=1KHz(6Vpp) Y=100KHz(6Vpp)	-72dB	-78 dB	-74 dB
N=0 X=1KHz(6Vpp) Y=100KHz(6Vpp)	-69 dB	-79 dB	-75 dB

Tablo 2'de 101KHz ve 99 KHz'lik bileşenlerin 0dB seviyesine karşı gelen genlikleri lineerleştirilmemiş ve lineerleştirilmiş durumlarda sırasıyla 5µ ve 17µA olmaktadır.

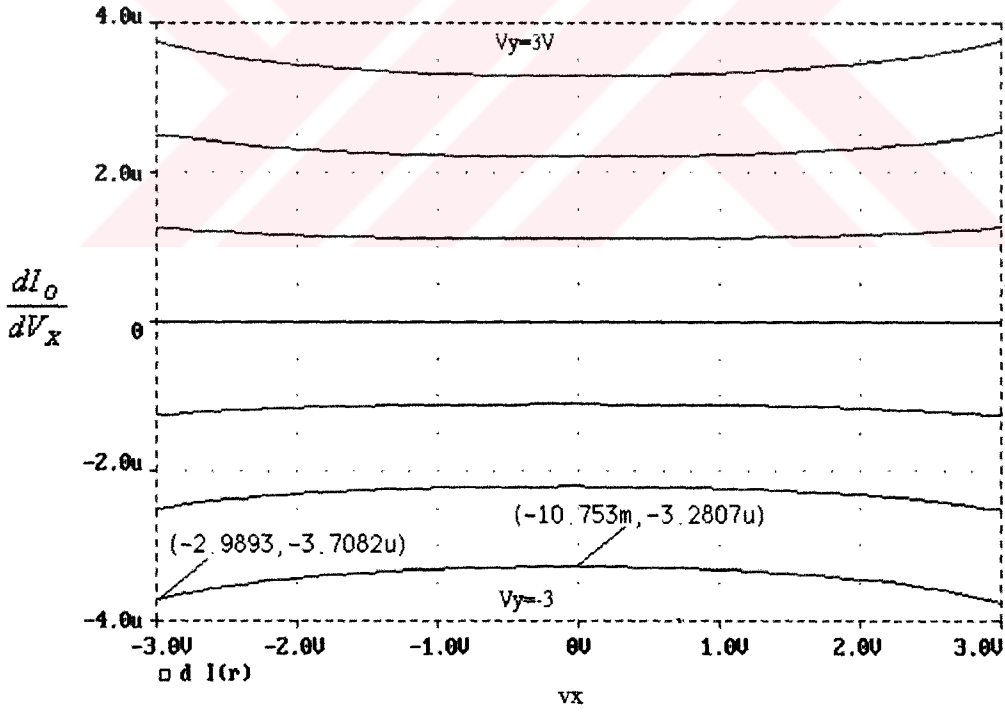
İntermodülasyon distorsiyonunu oluşturan frekans bileşenlerinin seviyelerinden görüldüğü gibi 103KHz ve 97KHz'lik bileşenlerin lineerleştirme yapılmadığı durumdaki seviyeleri -40dB olduğu halde lineerleştirme yapıldığı durumda -60dB olmaktadır. Bu da 103KHz'lik bileşenin 10 kere zayıfladığını göstermektedir. Diğer yandan 107KHz'lik bileşenin seviyesi -68dB iken lineerleştirme yapıldığında -78dB olmaktadır. Diğer harmonik bileşenlerin seviyesi de (203KHz, 205KHz, 207KHz) yaklaşık 75dB olmaktadır. Bu seviye devrenin gürültü tabanının yaklaşık 75%dB olduğunu göstermektedir. Lineerleştirme yapıldığı zaman 103KHz/97KHz frekanslı bileşenler için bulunan -60dB seviyesi bu frekansların genliklerinin ana harmoniğin (101KHz) genliğinin binde biri olduğunu dolayısıyla distorsiyonun da yaklaşık %0.1 olacağını desteklemektedir. Bu sonuçlarda lineerleştirmenin iyi çalıştığını ve düşük distorsiyonlu yeni bir çarpma devresi elde ettiğimizi göstermektedir.



Şekil 5.1 R direncinin I_K ile değişimi

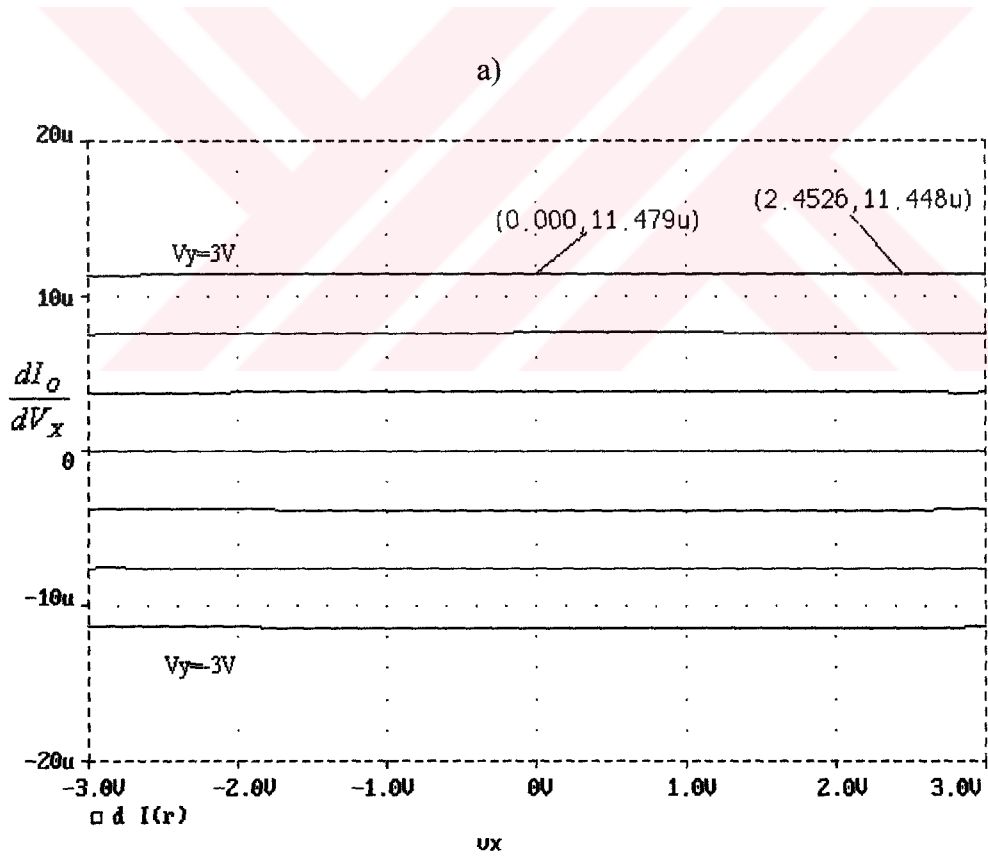
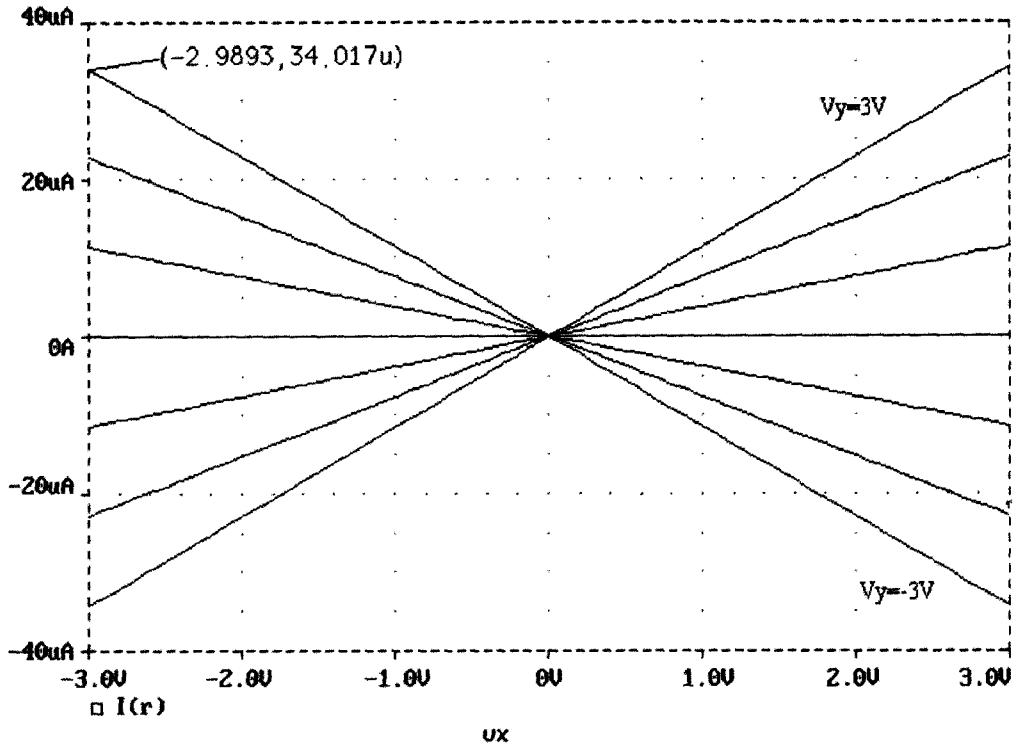


a)

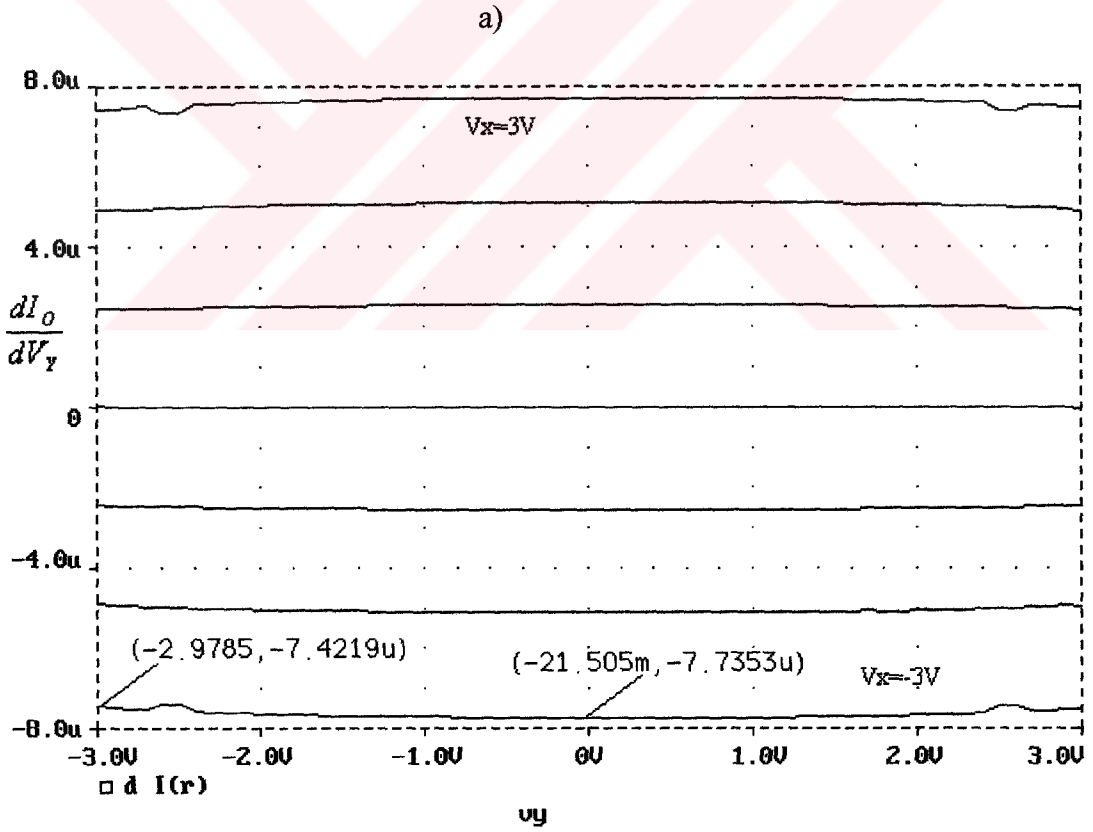
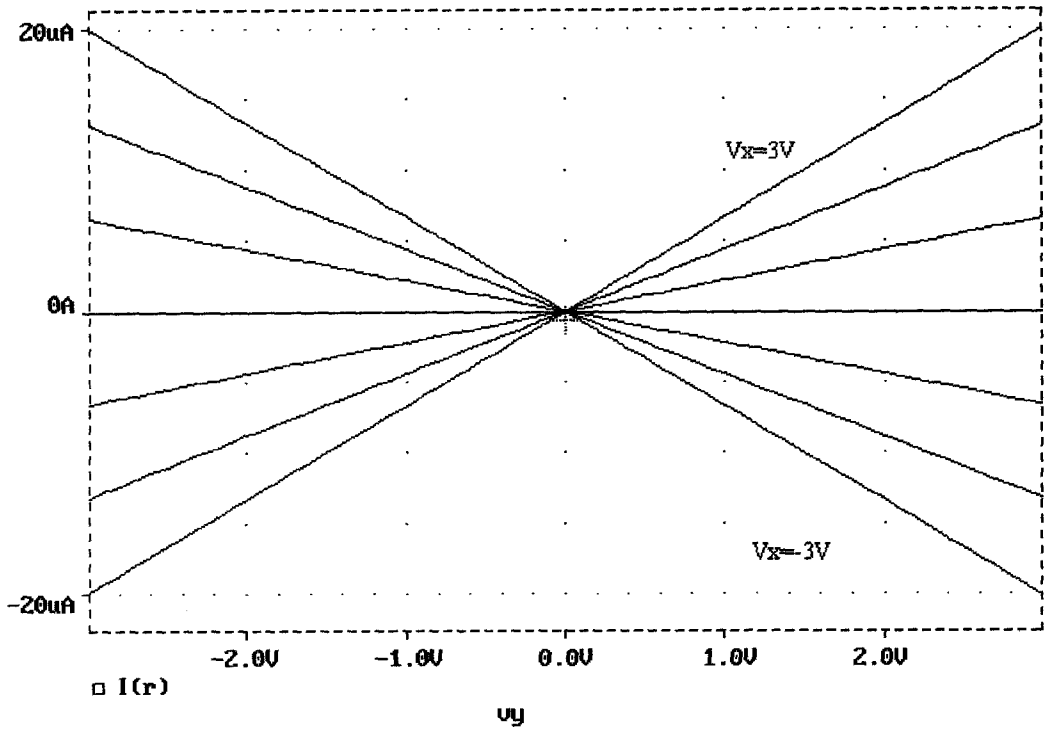


b)

Şekil 5.2 a) $N=0$ için I_o - V_x eğrileri b) I_o - V_x eğrilerinin eğiminin değişimi

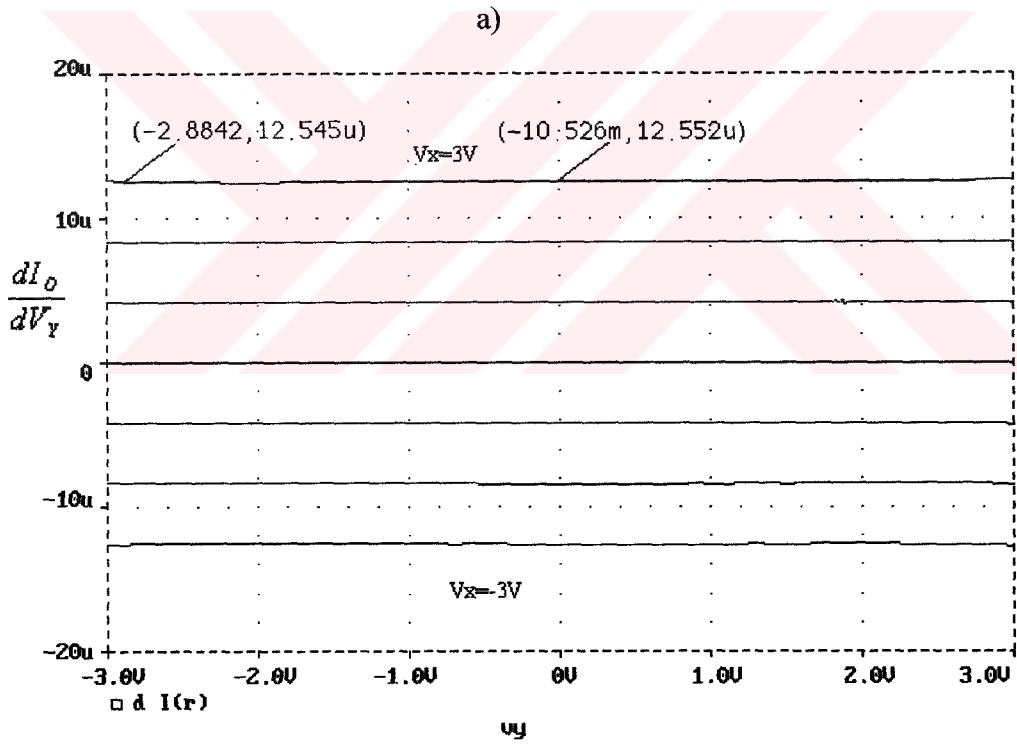
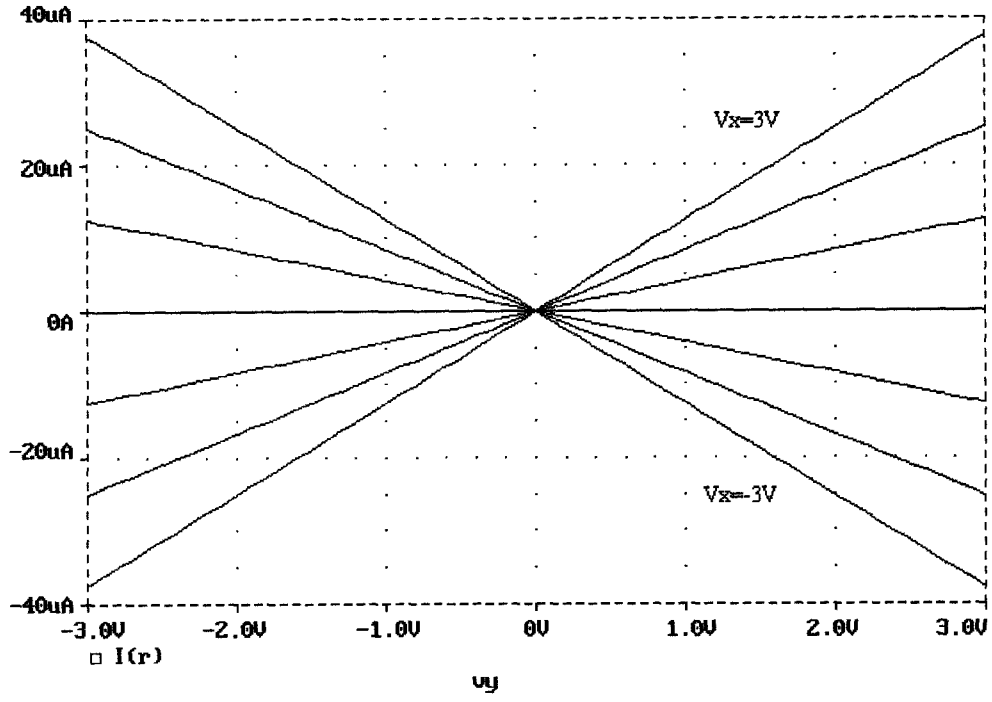


Şekil 5.3 a) $N=N_{opt}$ için I_o - V_x eğrileri b) I_o - V_x eğrilerinin eğiminin değişimi



b)

Şekil 5.4 a) $N=0$ için I_0 - V_y eğrileri b) I_0 - V_y eğrilerinin eğiminin değişimi



b)

Şekil 5.5 a) $N=N_{opt}$ için I_0 - V_y eğrileri b) I_0 - V_y eğrilerinin eğiminin değişimi

5.2 YÜKSEK DOĞRULUKLU ÇARPMA DEVRESİ-2

Devre $\pm 5V$ ile çalışmaktadır. X ve Y girişlerinin değişim aralığı $\pm 3V$. Simule edilen R ve Rd dirençlerinin değerleri sırasıyla $11K\Omega$ ve $5K\Omega$ 'dur. Karşılaştırmak için benzetimler distorsiyonun minimum olduğu optimum durum ($k=k_{opt}=1/6$) ve devrenin klasik çarpma devresi olarak çalıştığı optimum olunmadığı durum için ($k=0$) yapılmıştır. Şekil 4.6a'da optimum durum için çeşitli V_y değerleri için I_o-V_x eğrileri gözükmekte, Şekil 4.6b'de ise Şekil 4.6a'daki eğrilerin eğim hatası dolayısıyla doğrusallık hatası gözükmemektedir. Diğer yandan Şekil 4.7a'da optimum olmayan durum için çeşitli V_y değerleri için I_o-V_x eğrileri gözükmekte, Şekil 4.7b'de ise Şekil-4.6a'daki eğrilerin eğim hatası yani doğrusallık hatası gözükmemektedir. Şekillerdeki noktalar göz önüne alındığında doğrusallık hatası optimum durumda 0.6% olurken optimum olmayan durum için 15% olmaktadır. Devre ayrıca 3V genlikli 100KHz sinüzoidal işaret ile test edilmiştir. Optimum durum için distorsiyon 0.2% olarak bulunmuş, optimum olmayan durum için ise distorsiyon 1% olmuştur. Benzer sonuçlar aynı benzetim koşullarında V_y girişi için gözlenmiştir. Bu benzetimlere ait şekiller Şekil 4.8-Şekil 4.9 arasında gözükmemektedir. Bu durumda optimum için doğrusallık hatası 0.5% ve distorsiyon 0.2% iken optimum olmayan durumda doğrusallık hatası 8% ve distorsiyon 0.7%'dir. Ayrıca devrenin X ve Y girişlerinin -3 dB frekans band genişlikleri sırasıyla 33MHz ve 34Mhz'dir. Bu devreye ait IMD özellikleri Tablo 4'de gözükmemektedir

Tablo 5.3 Çarpma devresi-2 nin benzetim sonuçları

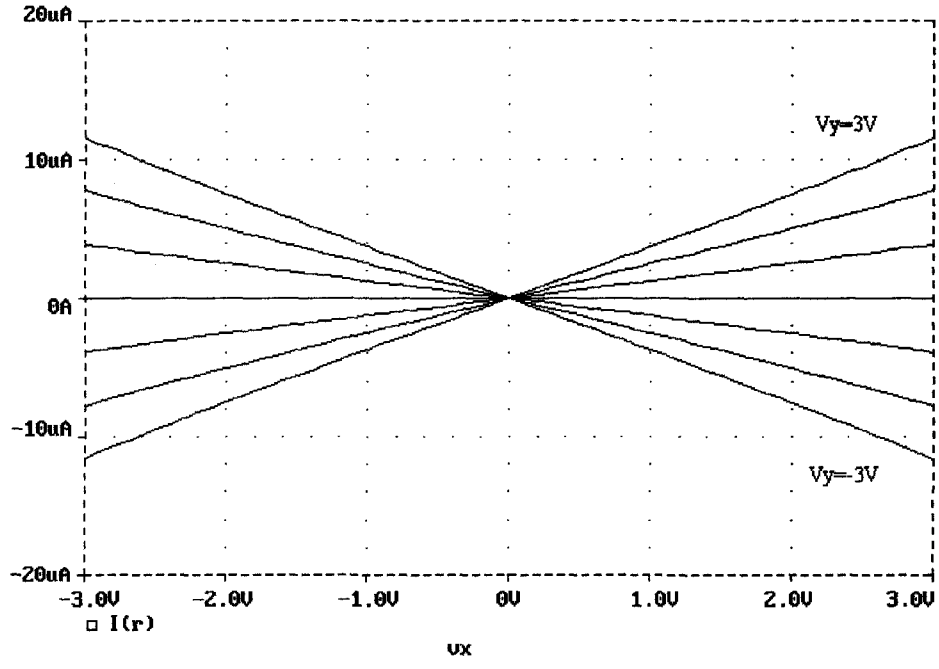
X girişi için ($V_y=-3V$)	THD (3V, 100KHz)	doğrusallık hatası
$N=N_{opt}$	%0.15	%0.3
$N=0$	%2	%11
Y girişi için ($V_x=3V$)		
$N=N_{opt}$	%0.15	%0.5
$N=0$	%1	%6.6

Tablo 5.4 Devre-2 için, $k=k_{opt}$ ve $k=0$ durumlarında intermodulasyon distorsiyonu sonucunda oluşan frekans bileşenleri

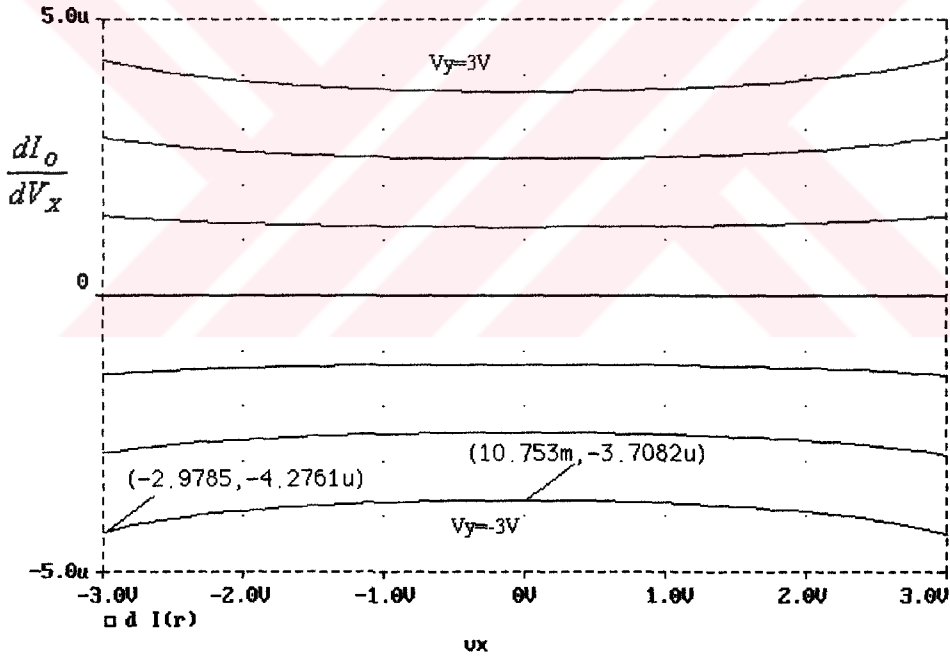
	$f_1=101\text{KHz}$ $f_2=99\text{KHz}$	$f_3=103\text{KHz}$ $f_4=97\text{KHz}$	$f_5=105\text{KHz}$ $f_6=95\text{KHz}$
$k=k_{opt}$ $X=1\text{KHz}(6\text{V}_{pp})$ $Y=100\text{KHz}(6\text{V}_{pp})$	0 dB	-56.5 dB	-68.5 dB
$k=0$ $X=1\text{KHz}(6\text{V}_{pp})$ $Y=100\text{KHz}(6\text{V}_{pp})$	0 dB	-39.3 dB	-58.5 dB

	$f_1=201\text{KHz}$ $f_2=199\text{KHz}$	$f_3=203\text{KHz}$ $f_4=197\text{KHz}$	$f_5=205\text{KHz}$ $f_6=195\text{KHz}$
$k=k_{opt}$ $X=1\text{KHz}(6\text{V}_{pp})$ $Y=100\text{KHz}(6\text{V}_{pp})$	-61 dB	-72 dB	-63 dB
$k=0$ $X=1\text{KHz}(6\text{V}_{pp})$ $Y=100\text{KHz}(6\text{V}_{pp})$	-57 dB	-51 dB	-55 dB

Tablo 4’de 101KHz ve 99 KHz’lik bileşenlerin 0dB seviyesine karşı gelen genlikleri lineerleştirilmemiş ve lineerleştirilmiş durumlarda sırasıyla 6μ ve $19\mu\text{A}$ olmaktadır. İntermodülasyon distorsiyonunu oluşturan frekans bileşenlerinin seviyelerinden görüldüğü gibi 103KHz ve 97KHz’lik bileşenlerin lineerleştirme yapılmadığı durumdaki seviyeleri -39dB olduğu halde lineerleştirme yapıldığı durumda -56.5dB olmaktadır. Bu da 103KHz’lik bileşenin yaklaşık 10 kere zayıfladığını göstermektedir. Diğer yandan 105KHz’lik bileşenin seviyesi -58.5dB iken lineerleştirme yapıldığında -68.5dB Diğer frekans bileşenlerinin seviyeleri (201KHz, 203KHz, 207KHz.) yaklaşık 72dB olmaktadır. Bu seviye devrenin gürültü tabanının yaklaşık -72dB olduğunu göstermektedir. Lineerleştirme yapıldığı zaman 103KHz/97KHz frekanslı bileşenler için bulunan -68.5dB seviyesi bu frekansların genliklerinin ana harmoniğin (101KHz) genliğinin binde biri olduğunu dolayısıyla distorsiyonun da yaklaşık %0.1 olacağını gösterir. Bu sonuçlarda lineerleştirmenin iyi çalıştığını ve düşük distorsiyonlu yeni bir çarpma devresi elde ettiğimizi vurgulamaktadır.

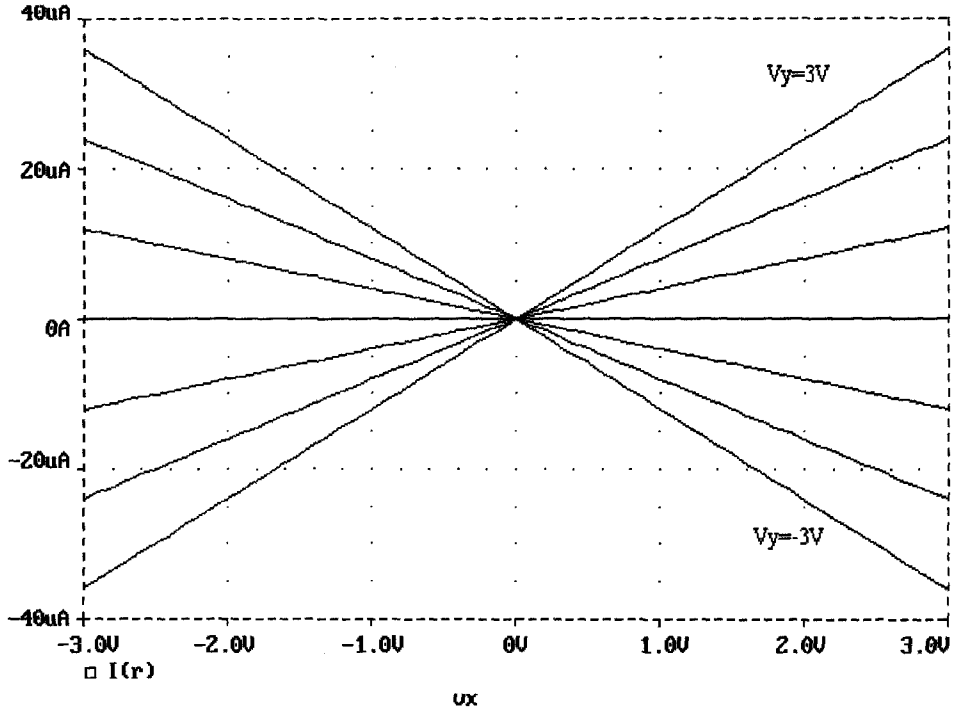


(a)

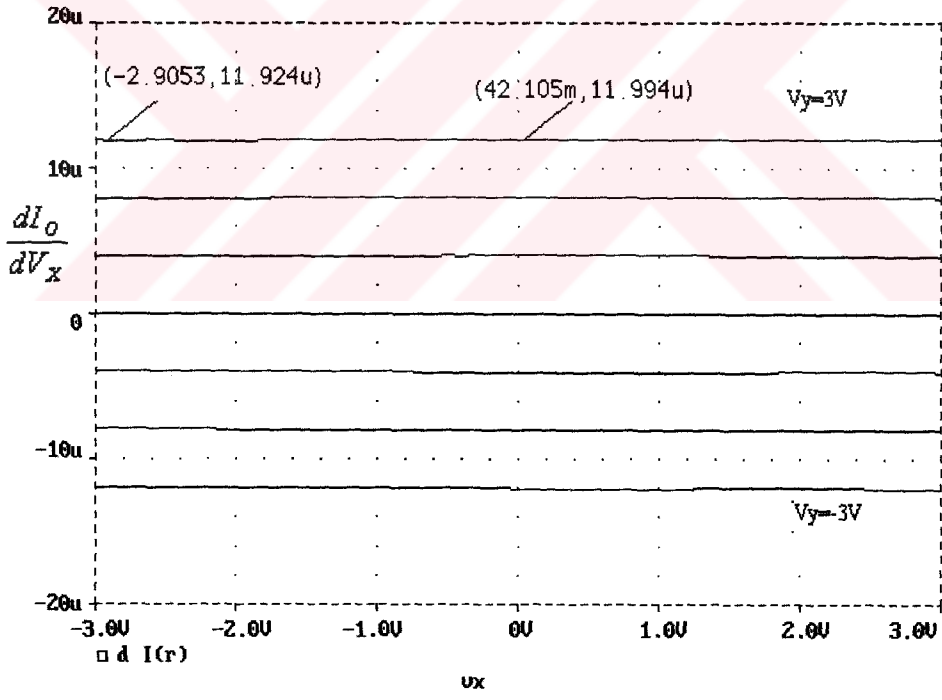


(b)

Şekil 5.6 a) $k=0$ için I_0 - V_x eğrileri b) I_0 - V_x eğrilerinin eğiminin değişimi

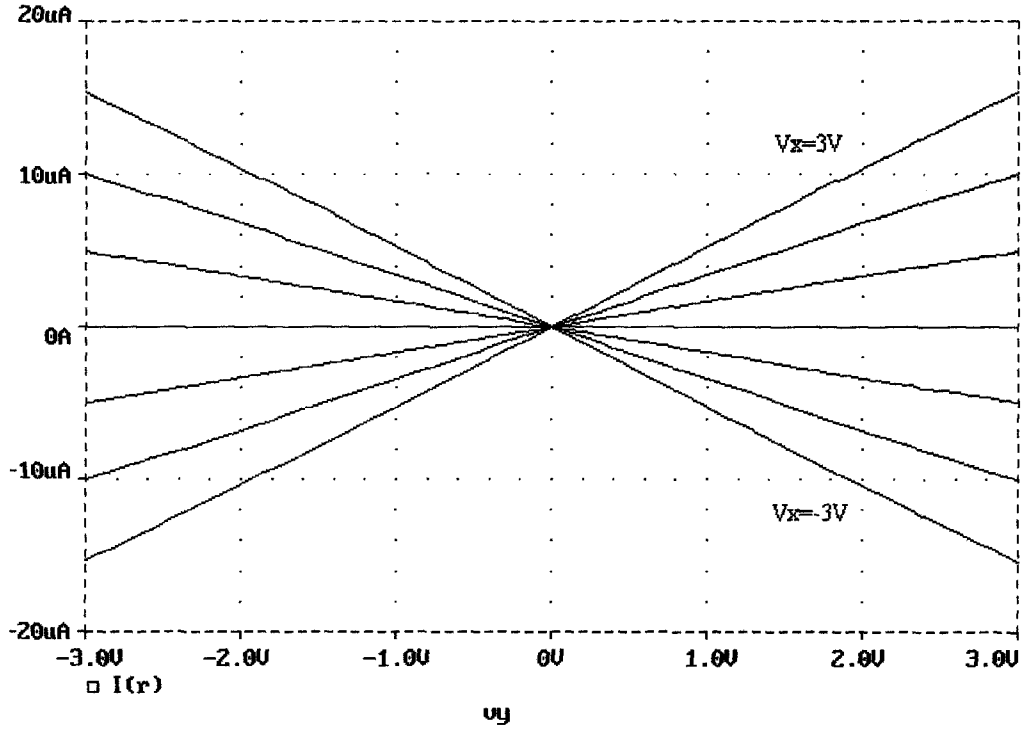


(a)

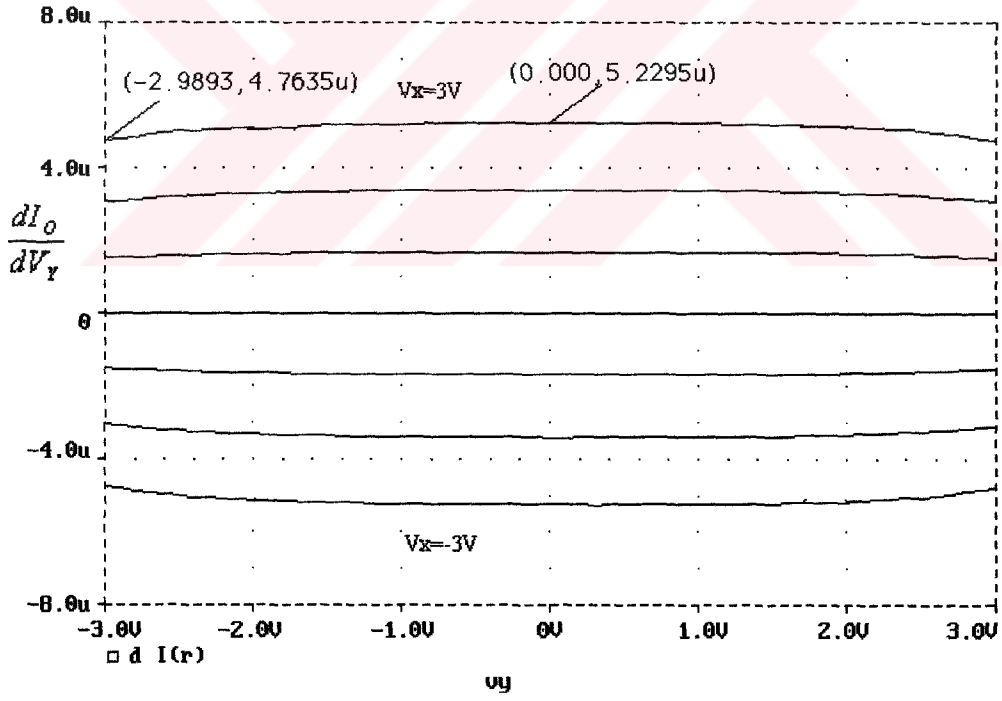


(b)

Şekil 5.7 a) $k=k_{opt}$ için I_o - V_x eğrileri b) I_o - V_x eğrilerinin eğiminin değişimi

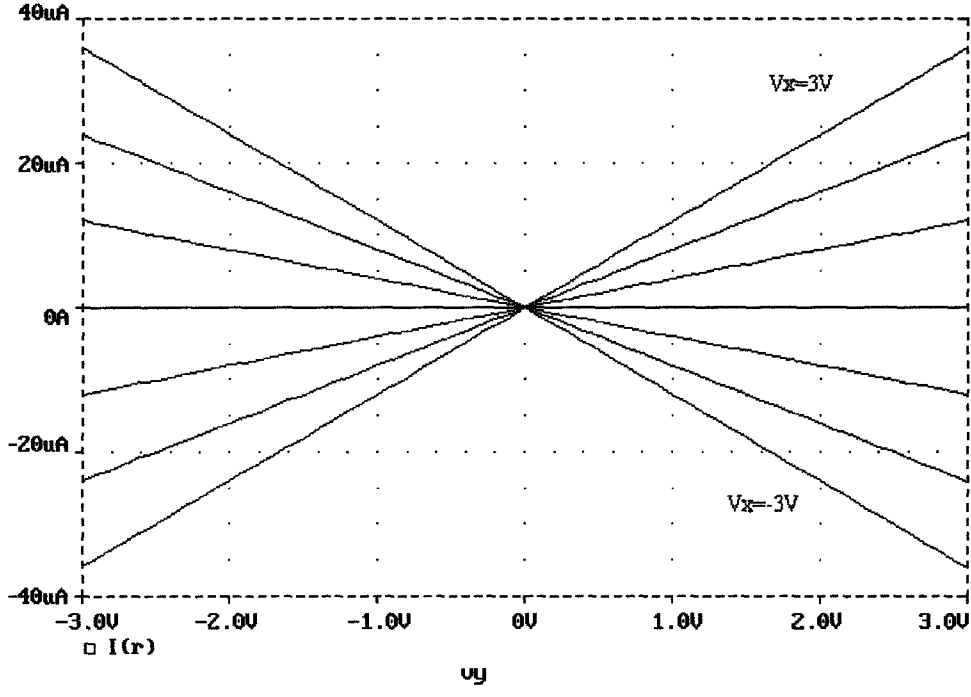


(a)

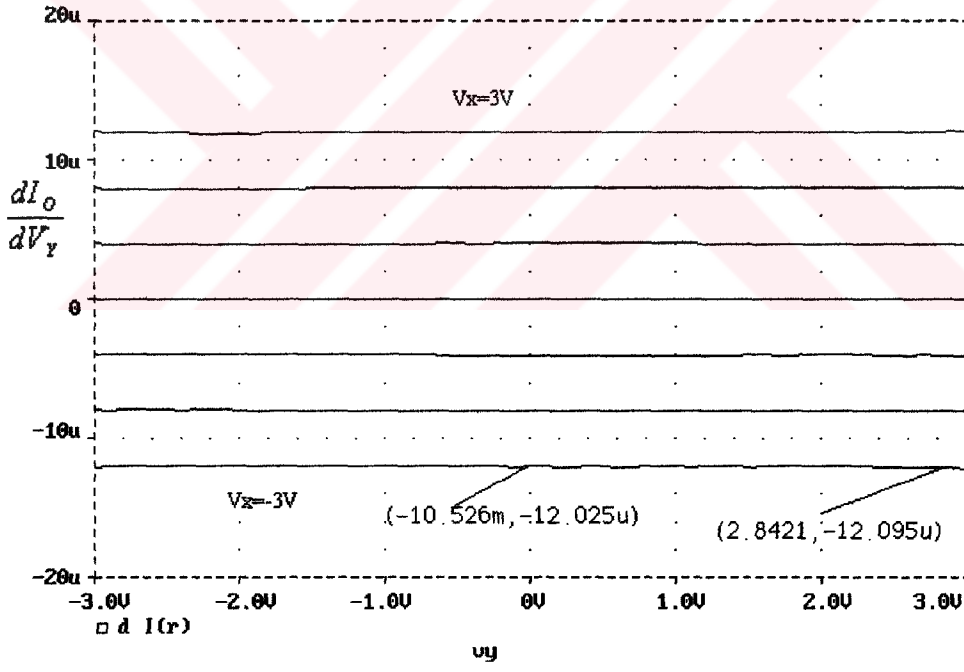


(b)

Şekil 5.8 a) $k=0$ için I_0 - V_y eğrileri b) I_0 - V_y eğrilerinin eğiminin değişimi



(a)



(b)

Şekil 5.9 a) $k=k_{opt}$ için I_o - V_y eğrileri b) I_o - V_y eğrilerinin eğiminin değişimi

5.3 YÜKSEK DOĞRULUKLU AKIM MODLU ÇARPMA DEVRESİ

Devre $\pm 5V$ 'ta çalışmakta olup X ve Y girişlerinin değişkenleri olan I_x ve I_y akımlarının çalışma aralığı $\pm 180\mu A$ 'dır. Kare alıcı hücrelerdeki R direncinin değeri 2500Ω 'dur. Devre, kare alıcı hücrelerin lineerleştirildiği ($N=1$) ve lineerleştirilmediği ($N=0$) durum için benzetimi yapılmıştır. Bu benzetimlere ait şekiller Şekil 4.10-Şekil-4.13'de görülmektedir. $N=1$ için X girişinin değişim aralığı boyunca doğrusallık hatası %0.7 ve distorsiyon %0.09 iken $N=0$ için doğrusallık hatası %7 ve distorsiyon %0.5 bulunmuştur. Y girişi için yapılan aynı ölçümlerde de $N=1$ için Y girişinin değişim aralığı boyunca doğrusallık hatası %0.6 ve distorsiyon %0.08 iken $N=0$ için doğrusallık hatası %7 ve distorsiyon %0.6 olmaktadır. Buradaki distorsiyon ölçülürken $180\mu A$ genlikli 100KHz'lik bir sinüs işareti kullanılmıştır. Diğer yandan devrenin X ve Y girişlerinin -3dB frekans bandı 25 MHz çıkmıştır. Sonuç olarak lineerleştirme yönteminin işlevini yerine getirdiği ve bu sayede çok düşük distorsiyonlu bir analog çarpma devresi elde edildiği görülmektedir. Bu devreye ait IMD özellikleri Tablo 6'da görülmektedir.

Tablo 5.5 Çarpma devresi-3 benzetim sonuçları

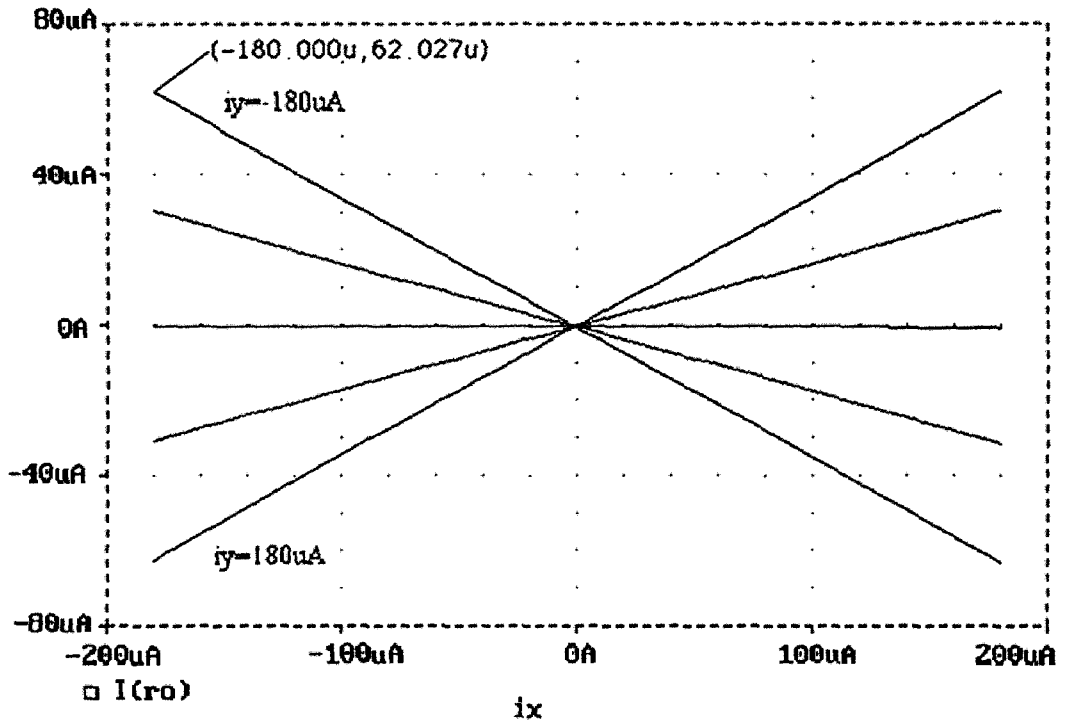
X Girişi için ($I_y = -180\mu A$)	THD (180 μA , 100KHz)	Doğrusallık Hatası
$N = N_{opt} = 1$	%0.09	%0.7
$N = 0$	%0.5	%7
Y Girişi için ($I_x = -180\mu A$)		
$N = N_{opt} = 1$	%0.08	%0.6
$N = 0$	%0.6	%6.6

Tablo 5.6: Devre-3 için $N=0$ ve $N=N_{opt}$ durumlarında inermodulasyon distorsiyonu sonucu oluşan frekans bileşenleri

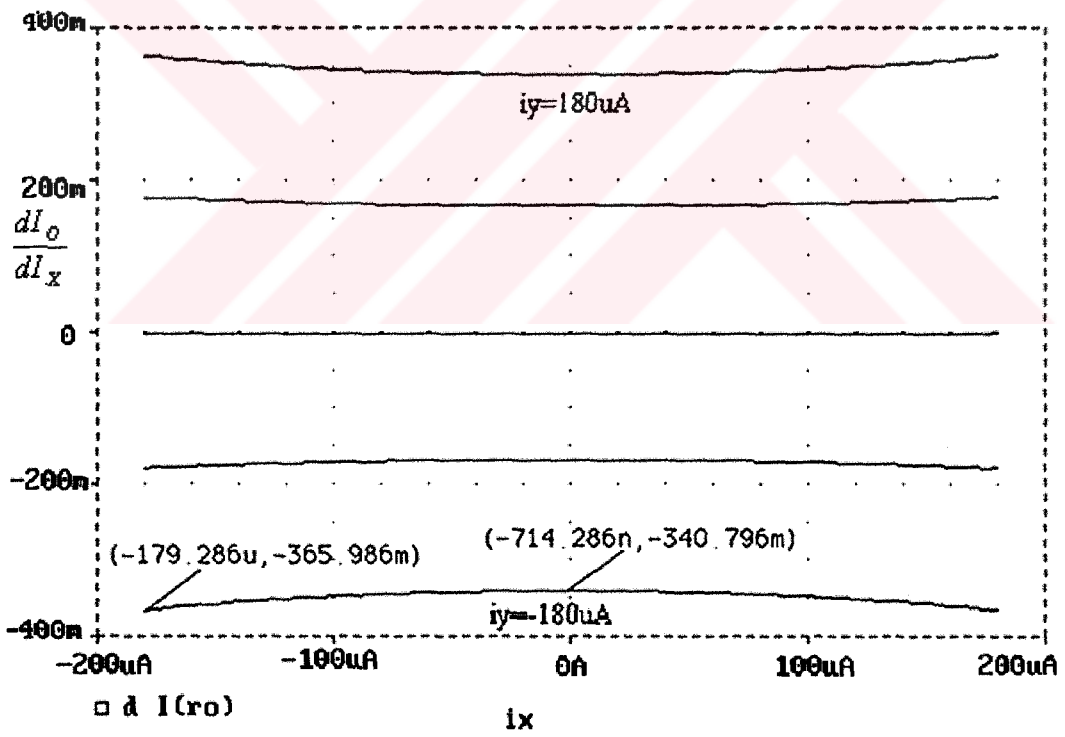
	$f_1=101\text{KHz}$ $f_2=99\text{KHz}$	$f_3=103\text{KHz}$ $f_4=97\text{KHz}$	$f_5=105\text{KHz}$ $f_6=95\text{KHz}$
$N=N_{opt}$ $X=1\text{KHz}(360\mu\text{A}_{pp})$ $Y=100\text{KHz}(360\mu\text{A}_{pp})$	0 dB	-57dB	-80 dB
$N=0$ $X=1\text{KHz}(360\mu\text{A}_{pp})$ $Y=100\text{KHz}(360\mu\text{A}_{pp})$	0 dB	-46dB	-58.5 dB

	$f_1=201\text{KHz}$ $f_2=199\text{KHz}$	$f_3=203\text{KHz}$ $f_4=197\text{KHz}$	$f_5=205\text{KHz}$ $f_6=195\text{KHz}$
$N=N_{opt}$ $X=1\text{KHz}(360\mu\text{A}_{pp})$ $Y=100\text{KHz}(360\mu\text{A}_{pp})$	-73dB	-70 dB	-69 dB
$N=0$ $X=1\text{KHz}(360\mu\text{A}_{pp})$ $Y=100\text{KHz}(360\mu\text{A}_{pp})$	-72 dB	-69 dB	-70dB

Tablo 6’de 101KHz ve 99KHz’lik bileşenlerin 0dB seviyesine karşı gelen genlikleri lineerleştirilmemiş ve lineerleştirilmiş durumlarda sırasıyla 35μ ve $23\mu\text{A}$ olmaktadır. İntermodülasyon distorsiyonunu oluşturan frekans bileşenlerinin seviyelerinden görüldüğü gibi 103KHz ve 97KHz’lik bileşenlerin lineerleştirme yapılmadığı durumdaki seviyeleri -47dB olduğu halde lineerleştirme yapıldığı durumda -57dB olmaktadır. Bu da 103KHz’lik bileşenin yaklaşık 10 kere zayıfladığını göstermektedir. Diğer yandan 105KHz’lik bileşenin seviyesi -58.5dB iken lineerleştirme yapıldığında -80dB Diğer frekans bileşenlerinin seviyeleri (201KHz, 203KHz, 207KHz) yaklaşık 73dB olmaktadır. Bu seviye devrenin gürültü tabanının yaklaşık 72dB olduğunu göstermektedir. Lineerleştirme yapıldığı zaman 103KHz/97KHz frekanslı bileşenler için bulunan -57dB seviyesi bu frekansların genliklerinin ana harmoniğin (101KHz) genliğinin binde biri olduğunu dolayısıyla distorsiyonun da yaklaşık %0.1 olacağını gösterir. Bu sonuçlarda lineerleştirmenin iyi çalıştığını ve düşük distorsiyonlu yeni bir çarpma devresi elde ettiğimizi vurgulamaktadır.

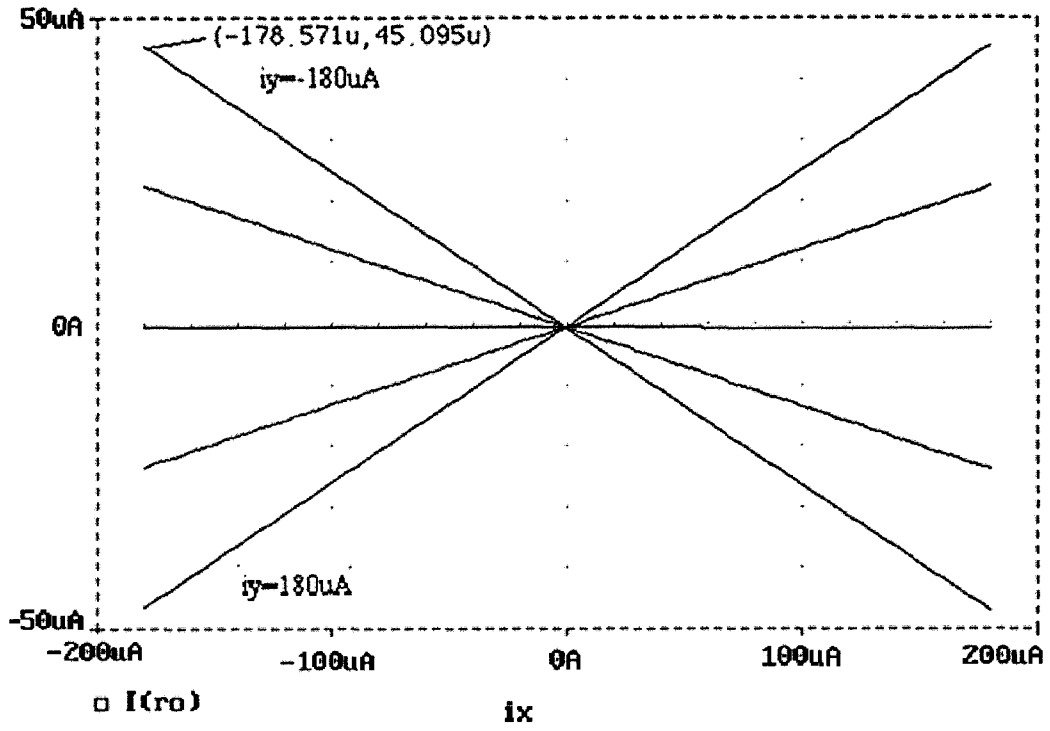


a)

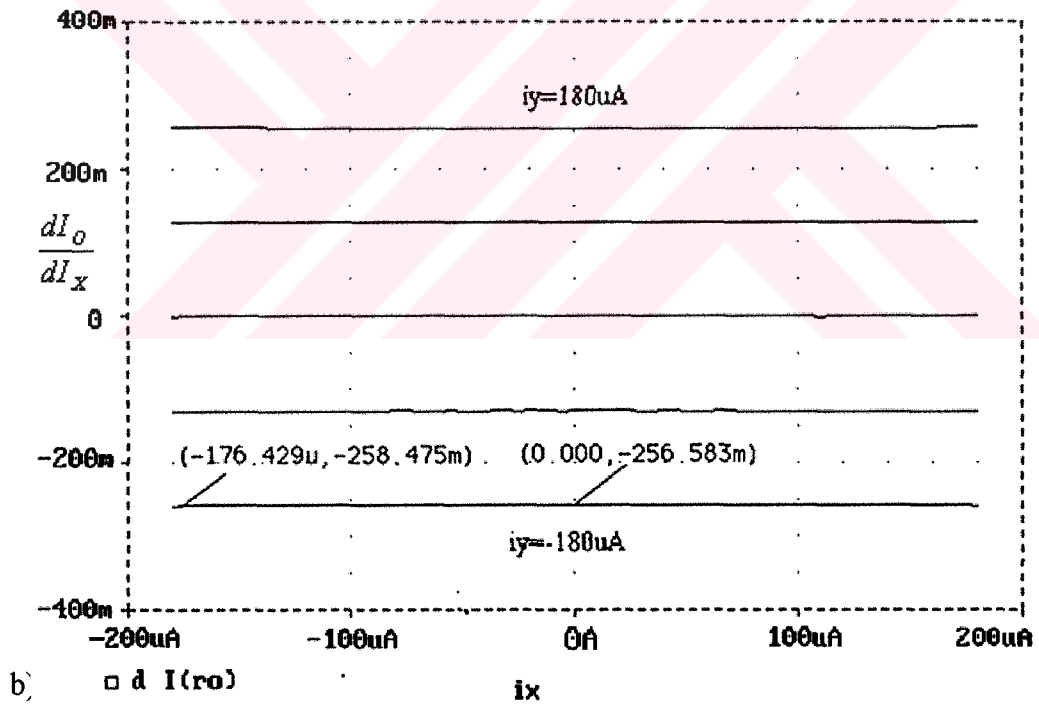


b)

Şekil 5.10 a) $N=0$ için I_o - I_x eğrileri b) I_o - I_x eğrilerinin eğiminin değişimi

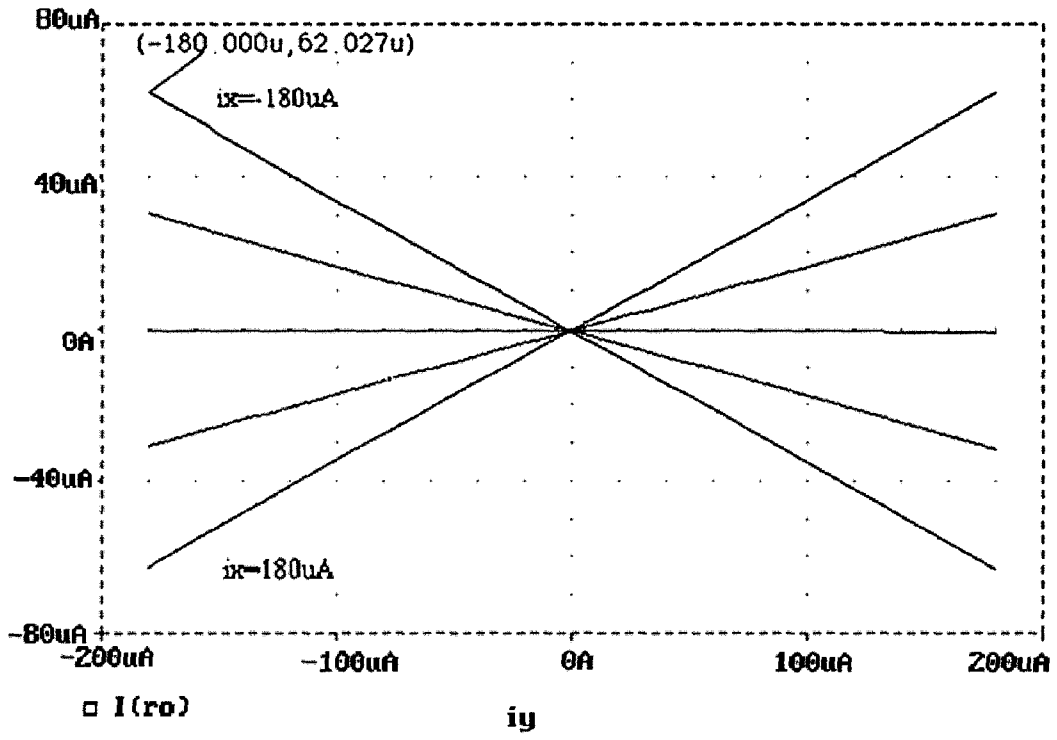


a)

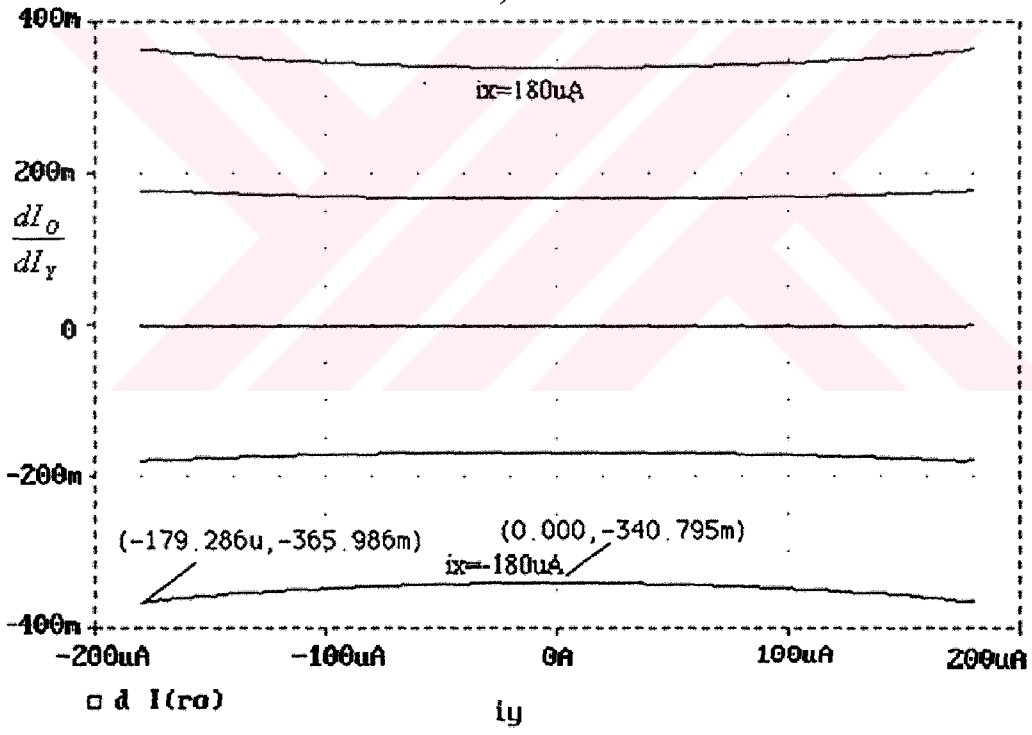


b)

Şekil 5.11 a) $N=1$ için I_o - I_x eğrileri b) I_o - I_x eğrilerinin eğiminin değişimi

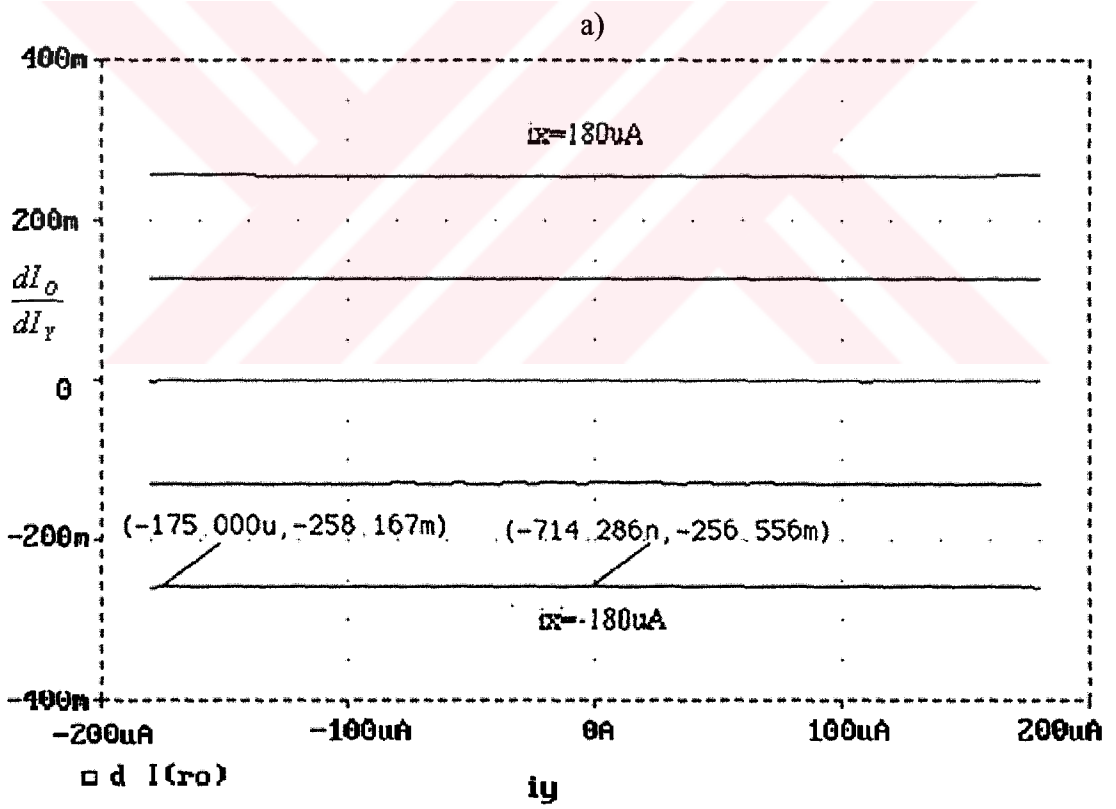
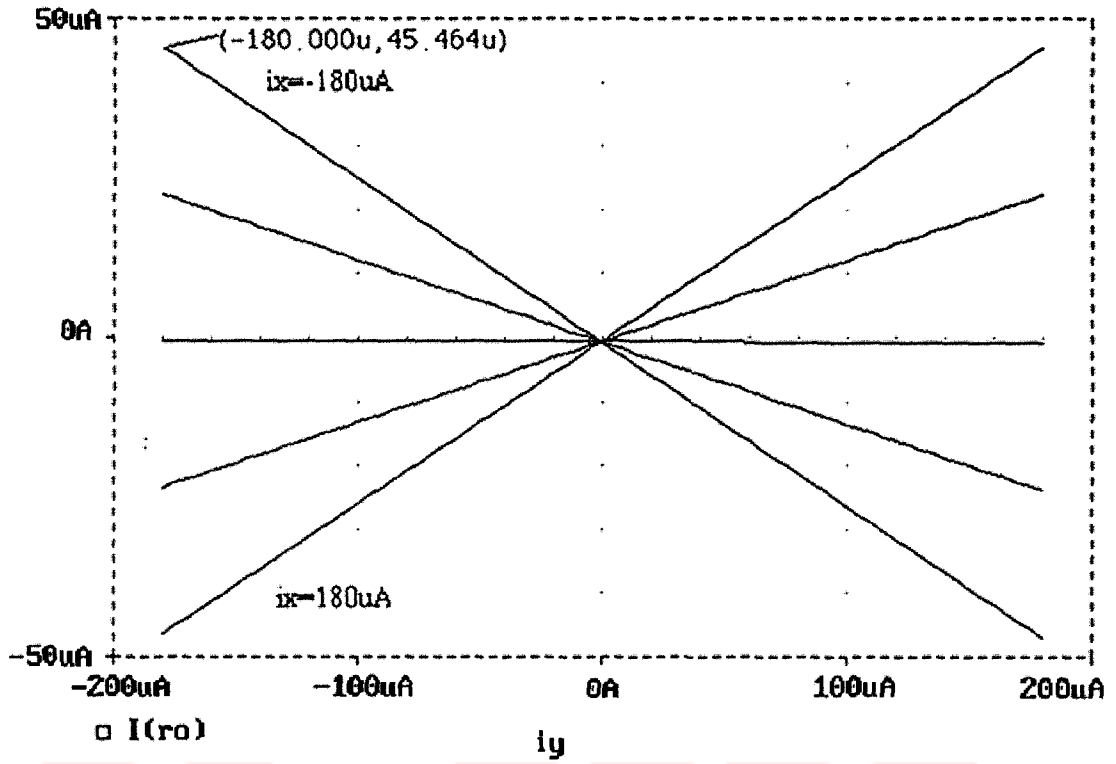


a)



b)

Şekil 5.12 a) $N=0$ için I_x - I_y eğrileri b) I_x - I_y eğrilerinin eğiminin değişimi



b)

Şekil 5.13 a) $N=1$ için I_o - I_x eğrileri b) I_o - I_y eğrilerinin eğiminin değişimi

5.4 SONUÇLARIN İRDELENMESİ

Tablo 1, Tablo 3 ve Tablo 5’den gözüktüğü üzere lineerleştirme yapıldığı durum da distorsiyon azalmakta doğrusallık oldukça artmaktadır. Ayrıca hareket yeteneği etkisinin savak akımı üzerindeki azaltıcı etkisi ortadan kalktığı için ilk iki devre için çıkış akımının salınım aralığı artmaktadır. Bu durum üçüncü devrede gözükmemektedir. Bunun nedeni kare alıcı hücrelerde giriş akımlarının uygulandığı noktalarda empedansın küçülmesidir. Devreleri karşılaştırdığımızda ilk iki devre için X ve Y girişleri için distorsiyon farklı olmaktadır. Bunun nedeni Y girişinden devre sürüldüğünde gövde etkisinin işin içine girmesidir. Üçüncü devrede ise devrenin yapısı tam simetrik olduğu için X ve Y girişlerinden sürülmede distorsiyon ve doğrusallık hatası aynı olmaktadır. Diğer yandan ilk devredeki lineerleştirme yöntemi daha etkin olduğundan distorsiyon ve doğrusallık hatası daha düşük olmaktadır. İlk devrenin kötü tarafı ise lineerleştirme yönteminde pozitif geri besleme olduğu için frekans bandının genişliği daha düşük olmaktadır. Üçüncü devrenin diğerlerine göre iyi tarafı ise hem lineerleştirmenin iyi yapılması hem de frekans bandının diğerlerine göre geniş olmasıdır. Diğer yandan IMD özelliklerine bakıldığında lineerleştirme yapıldığında istenmeyen frekans bileşenlerinin seviyelerinin azalması, lineerleştirme yöntemlerinin iyi çalıştığını göstermektedir.

Tablo 5.7: T  B  TAK N-WELL 3   prosesi SPICE LEVEL-3 parametreleri.

	PMOS	NMOS	
VTO	-.8	.99	V
TOX	400E-10	400E-10	m
NSUB	4E15	7E15	cm ⁻³
XJ	.21	.18	��m
LD	.45	.341	��m
UO	300	710	cm ² V ⁻¹ sn ⁻¹
VMAX	3E4	1.5E5	msn ⁻¹
DELTA	.75	.3	
THETA	.4	.15	V ⁻¹
ETA	.15	.15	
KAPPA	1.5	.6	
TPG	-1	1	
GAMMA	.46	.65	V ^{1/2}
NFS	1.68E11	2.4E11	cm ⁻²
CGSO	124	87	pF
CGDO	124	87	pF
CGBO	40.3	27.9	pF
PB	.6	.6	V
CJ	1.83E-4	1.78E-4	F/m ²
JS	3.46E-8	8.2E-8	A
MJ	.526	.481	
CJSW	229	358	pF
MJSW	.172	.218	

BÖLÜM 6

SONUÇ

Çarpma devreleri, işaret işleme ve haberleşme devrelerinin temel yapı taşlarından biridir. Çarpma devrelerinin iyiliğini belirleyen en önemli faktörlerden biri lineerlik ve onun bir göstergesi olan distorsiyondur. Literatürde bir çok çarpma devresi olmasına rağmen çarpma devrelerinin doğrusallığını bozan etkenlere karşı bir önlem alınmamıştır. Bu tezde doyma bölgesinde çalışan tranzistörün kareselliğini bozan etkenlerden biri olan mobilite azalması etkisini azaltan literatürde bulunmayan üç yöntem geliştirilmiştir. Sonra bu yöntemler tranzistörün karesel davranışına dayanarak çalışan bir çarpma devresine uygulanarak yüksek doğruluklu düşük distorsiyonlu üç yeni çarpma devresi elde edilmiştir. Üç devre için lineerleştirilmemiş durumda distorsiyon X girişi için %0.2, %1, ve %0.5, Y girişi için %1, %0.7 ve %0.6 olmaktadır. Lineerleştirilmiş durum da ise her bir devrede X girişi için distorsiyon sırasıyla %0.05, %0.02, %0.09, Y girişi için ise %0.16, %0.02, %0.08 olmaktadır. Bu da lineerleştirme yöntemlerinin çok iyi çalıştığını bu yöntemlerin uygulanmasıyla doğrusallığı yüksek çarpma devrelerinin elde edilebileceğini göstermektedir. Ayrıca ilk devrenin gerçekleştirilmesinde yüksek doğruluklu direnç kullanılması gerekmiş bu amaçla yeni bir direnç devresi önerilmiştir. Bu çarpma devrelerinin önemli bir özelliği de distorsiyonun dışardan kontrol edilebilmesidir. Böylece eleman değerlerinin kaymasından kaynaklanan distorsiyon artışları kompanse edilebilmektedir. Ayrıca yukarıdaki lineerleştirme yöntemleri yine MOS tranzistörün karesel davranışına dayanarak çalışan tezde ele alınan devreden farklı topolojilere uygulayarak farklı çarpma devreleri oluşturmak mümkündür. Bundan sonra yapılacak şey bu çarpma devrelerinin ön üretim aşamasında analiz edip gerçekleştirip gerçekleştirilemeyeceğini test etmektir. Ayrıca devrelerin düşük besleme gerilimleriyle çalışabilecek şekilde tasarlanmasında yarar vardır.

KAYNAKLAR

- [1] **Smith G.W., Wood R.C.**,1959. Principles of Analog Computation, *Mc Graw-Hill Inc*, New York.
- [2] **Holt J.G.**, 1973. A Two-Quadrant Analog Multiplier Integrated Circuits, *IEEE Journal of Solid-State Circuits*, **8**, 6, 434-439.
- [3] **Rathore T.S.**, 1983.A New Four-Quadrant Analog Multiplier, *International Journal of Electronics*, **55**, 3, 491-493.
- [4] **Gilbert B.**, 1968. A precision four-quadrant multiplier with subnanosecond response, *IEEE J. Solid-State Circuits*, **3**, 353-365.
- [5] **Gray P.R., Meyer R.G.**, 1993. Analysis and Design of Analog Integrated Circuits, *John Wiley & Sons, Inc.*, New York.
- [6] **ÇİÇEKOĞLU O.** 1994. Novel Modifications On Analog Multiplier Structures To Reduce Nonlinear Harmonic Distortion In Variable Gain Amplifiers, *Phd Thesis*, İ.T.Ü. Fen Bilimleri Enstitüsü, İstanbul.
- [7] **Millman J. Halkias Christos C.**, 1994. INTEGRATED ELECTRONICS” *McGRAW-HILL INTERNATIONAL EDITIONS*, Electrical and Electronic Engineering Series.
- [8] **Babanezhed J. N and Temes G. C.**, 1985. A 20V four-quadrant CMOS analog multiplier, *IEEE Solid-State Circuits*, **20**, 1158-1168.
- [9] **Liu Shen-Iuan and Chang Chen-Chieh**, 1997. Low Voltage CMOS Four Quadrant Multiplier, *Electronics Letters*, **33**, 3, 207-208.
- [10] **Mehrvarz Hamid Reza and Kwok Chee Yee**, 1996. A Novel Multi-Input Floating-Gate MOS Four-Quadrant Analog Multiplier, *IEEE Journal of Solid-State Circuits*, **31**, 8, 1123-1131.
- [11] **Song Ho-Jun and Kim Choong-Ki**, 1990. An MOS Four-Quadrant Analog Multiplier Using Simple Two-Input Squaring Circuits With Source Followers, *IEEE Journal of Solid-State Circuits*, **25**, 3, 841-848.

- [12] **Bult Klaas and Wallinga Hans**, 1986. A CMOS Four-Quadrant Analog Multiplier, *IEEE Journal of Solid-State Circuits*, **21**, 3, 430-435.
- [13] **Jesus S, Pena Finol and J. Alvin Conelly**, 1987. A MOS Four-Quadrant Using The Quarter-Square Technique', *IEEE Journal of Solid-State Circuits*, **22**, 6, 1064-1073.
- [14] **Hong. Z. and Melchior H.** 1985. Four-Quadrant CMOS analog multiplier with resistors, *Electronic Letters*, **21**, 531-532.
- [15] **Hong Z. and Melchior H.**, 1984. Four-Quadrant Analog Multiplier, *Electronics Letters*, **20**, 24, 1015-1016.
- [16] **Bult Klaas and Wallinga Hans**, 1987. Analog CMOS Circuits Based on Square-Law Characteristic of MOS Transistor, *IEEE journal of Solid-State Circuits*, **22**, 3, 357-365.
- [17] **Wang Z**, 1991. A CMOS four-quadrant analog multiplier with single-ended output and improved temperature performance, *IEEE Journal of Solid-State Circuits*, **26**, 1293-1301.
- [18] **Saxena N. and Clark J. J.**, 1994. A four quadrant CMOS analog multiplier for analog neural networks, *IEEE journal of Solid-State Circuits*, **29**, 746-749.
- [19] **Kimura K.**, 1994. 'Analysis of an 'An MOS Four-Quadrant Analog Multiplier Using Simple Two Input Squaring Circuits with Source Followers,' *IEEE Trans, Circuits Syst. I.*, **41**, 72-75.
- [20] **Wank.Z.**, 1993. A Four-Transistor Four-Quadrant Analog Multiplier Using MOS Transistors Operating In The Saturation Region, *IEEE Trans. Instrum. Meas.*, **42**, 75-77.
- [21] **Liu S. and Hwang Y**, 1994. CMOS four-quadrant multiplier using bias feedback techniques, *IEEE journal of Solid-State Circuits*, **29**, 750-752.
- [22] **Liu S. L.**, 1994. Low voltage CMOS four-quadrant multiplier, *Electron. Letters*, **30**, 2125-2126.

- [23] **Coban A. L., Allen P. E., 1994.** Low-voltage CMOS transconductance cell based on paralell operation of triode and saturation transconductors, *Electron Letters*, **30**, 1024-1026.
- [24] **Coban A. L., Allen P. E., 1994.** Low-voltage four-quadrant analogue CMOS multiplier, *Electron Letters*, **30**, 1044-1045.
- [25] **Khachab N. I, Al-saqerr A. and Varghese J. G.,1998.** High Linearity BICMOS Multiplier/Transconductor Structures, *Analog Integrated Circuits and Signal Processing*, **16**, 47-61.
- [26] **Premont C, Cattet S, Grisel R, Abouchi N, Chante J. M., Reanault D.,1998** A CMOS Multiplier/Divider based on Current Conveyors,' Iscas '98: Proceedings of the 1998 *IEEE International Symposium on Circuits and Systems*, May 31-June 3, 1998.
- [27] **Hamed H. F., El-Gaafary A. , El-hakeem M.S.a., 2001.** 'A New Differential Current Conveyor and its Application as a Four Quadrant Multiplier', *SCS2001, International Symposium on Signals Circuits and Systems*, 85-88.
- [28] **Han Gunhee and Sinencio-Sanchez Edgar, 1998.** "CMOS Transconductance Multipliers: A Tutorial", *IEEE Transactions on Circuit and Systems*, **45**, 12, 1550-1563.
- [29] **Tarcan R.C, Kuntman H, 2000** "Düşük distorsiyonlu analog çarpma devresi", *Bursa Elektrik-Elektronik-Bilgisayar Müh. Sempozyumu (ELECO 2000)*, Elektronik ve Bilgisayar Bildiri Kitabı, 72-76, EMO Bursa Şubesi, Bursa, 8-12, 2000.
- [30] **Tarcan R.C., Kuntman H., 2001.** "Akım modlu CMOS yüksek doğruluklu analog çarpma devresi", *IEEE SIU 2001: 9. Sinyal İşleme ve Uygulamaları Kurultayı Bildiriler Kitabı*, Cilt II, 446-450, 25-27, Salamis Bay Conti Hotel Gazi Mağusa, K.K.T.C., 2001.
- [31] **Tarcan R. C., Kuntman H., 2001.**A New Low Distortion Analog Multiplier, *Proceedings of ELECO'2001: The 2nd International Conference on Electrical and Electronics Engineering (Electronics)*, pp. 24-28, Bursa, 7-11. 2001.

- [32] TSIVIDIS, Y.P., 1987. Operation and and Modeling of the Transistor, *McGraw-Hill*.
- [33] Paolo Antognetti, 1988 Semiconductor Device Modelling with SPICE, *McGraw-Hil,*
- [34] ZEKİ Ali. 1998. Novel High Performance OTA Structures Suitable for Continuous-Time OTA-C Filters, *Doktora Tezi, İ.T.Ü. Fen Bilimleri Enstitüsü, İstanbul*.
- [35] R. Laker Kenneth, M. C. Sansen Willy, 1994. DESIGN OF ANALOG INTEGRATED CITCUITS AND SYSTEMS, *McGRAW-HILL INTERNATIONAL EDITIONS*, Electrical and Electronic Engineering Series.



ÖZGEÇMİŞ

Rıza Can TARCAN 1962’de İstanbul’da doğdu. 1981’de Şişli Terakki Lisesini, bitirdi. 1986’da İstanbul Teknik Üniversitesinin Elektronik ve Haberleşme bölümünü bitirip aynı bölümde lisans üstü öğrenimine başladı. 1994’de ise bu bölümde doktora öğrenimine başladı. Halen Prof. Dr. Hakan Kuntman yönetiminde doktora öğrenimini devam ettirmektedir. Ayrıca 1986’dan beri Elektronik Anabilim Dalında araştırma görevlisidir.

