

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

PIPELINE ADC TASARIMI

YÜKSEK LİSANS TEZİ

Fatih SADIÇ

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Yüksek Lisans Programı

OCAK 2013

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

PIPELINE ADC TASARIMI

YÜKSEK LİSANS TEZİ

**Fatih SADIÇ
504091243**

Elektronik ve Haberleşme Mühendisliği Anabilim Dalı

Elektronik Mühendisliği Yüksek Lisans Programı

Tez Danışmanı: Yrd.Doç.Dr. Türker KÜYEL

OCAK 2013

İTÜ, Fen Bilimleri Enstitüsü'nün 504091243 numaralı Yüksek Lisans Öğrencisi **Fatih SADIÇ**, ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı "**PIPELINE ADC TASARIMI**" başlıklı tezini aşağıda imzaları olan jüri önünde başarı ile sunmuştur.

Tez Danışmanı : **Yrd.Doç.Dr. Türker KÜYEL**

İstanbul Teknik Üniversitesi

Jüri Üyeleri : **Prof. Dr. Ali TOKER**

İstanbul Teknik Üniversitesi

Prof. Dr. Günhan DÜNDAR

Boğaziçi Üniversitesi

Teslim Tarihi : **17 Aralık 2012**

Savunma Tarihi : **22 Ocak 2013**

Aileme,

ÖNSÖZ

Bilindiği gibi sayısal işaret işleme teknolojisi birçok elektronik sistemde yoğun olarak kullanılmakta ve sürekli gelişmektedir. Bu gelişmelere paralel olarak sayısal işaret işlemede kullanılan yöntemlerde ve ekipmanlarda (FPGA,DSP) bir çok iyileştirmeler yapılması ihtiyacı doğmuştur. Ancak giriş verilerini analog dünyadan sayısal ortama aktaran ADC (Analog to Digital Converter) ve çıkış verilerini analog biçime dönüştüren DAC (Digital to Analog Converter) elemanlar da bu yöntemler ve işleme ekipmanları kadar önemlidir ve geliştirilmelidir. Günümüzde sayısal işaret işleme alanındaki gelişmeler gözlemlenecek olursa performansı kısıtlayan öğelerden en önemlileri kullanılan yöntem ya da işlemcilerden ziyade analog dünya ile sayısal dünya arasında geçişi sağlayan elemanlardır. Kullanılan yöntem ve işlem yapan elemanlarda yeterli denilebilecek ilerleme sağlanmasına karşın veriyi yüksek doğrulukla ve hızlı bir biçimde elde etme kısmında iyileştirme ihtiyacı halen devam etmektedir. Sayısal verinin daha yüksek doğrulukla hızlı bir biçimde elde edilmesi ihtiyacını karşılamak üzere literatürde bir çok çalışma mevcut olup, bu çalışmaların sonucu olarak ADC tasarımlarında bir çok tasarım metodu ve mimarisi geliştirildiği görülmektedir. Yapılan bu çalışmada analog veriyi sayısal veriye çevirmede yüksek doğruluk ve hız sağlayabilen mimarilerden biri olan “PIPELINE” mimarisi kullanılarak 12-Bit çözünürlüğe sahip ADC tasarımı yapılması amaçlanmıştır.

Bu çalışmayı hazırlamamda yardımcı olan sayın danışman hocam Yrd.Doç.Dr. Türker KÜYEL'e, benden manevi desteğini esirgemeyen aileme, tüm çalışma arkadaşlarıma ve amirlerime, Yüksek Lisans eğitimimi tamamlamda destek olan ASELSAN A.Ş.'ye, simülasyonlarımı daha hızlı sonuçlandırmam için iş istasyonu ihtiyacını karşılayan Emrah YEŞİLYURT'a ve çalışma motivasyonumu yukarıda tutmaya gayret eden çalışma arkadaşım Bora ÖZKAYA'ya teşekkür ederim.

Ocak 2013

Fatih Sadıç
Elektronik ve Haberleşme Mühendisi

İÇİNDEKİLER

Sayfa

ÖNSÖZ.....	vii
İÇİNDEKİLER	ix
KISALTMALAR	xi
ÇİZELGE LİSTESİ.....	xiii
ŞEKİL LİSTESİ.....	xv
ÖZET.....	xix
SUMMARY	xxi
1. GİRİŞ	1
1.1 Çalışmanın Amacı	2
1.2 Literatür Araştırması	3
1.2.1 Statik performans ölçütleri.....	3
1.2.2 Dinamik performans ölçütleri	6
1.2.3 ADC başarımlı katsayıları	8
1.2.4 Literatürdeki yüksek başarımlı çevirici tasarımları	8
2. PIPELINE ADC MİMARİSİ	11
2.1 Genel Bakış	11
2.2 Çevirici ve Alt Blokların Çalışma Prensipleri	12
2.3 Birim Blokların Çıkışında Veri Oluşumu ve Hataların Düzeltilmesi	14
3. PIPELINE ADC TASARIMI.....	17
3.1 Pipeline Çevirici Matlab ve LTSpice Modellerinin Oluşturulması	17
3.1.1 Pipeline çevirici matlab modeli.....	17
3.1.2 Pipeline çevirici davranışsal spice modeli	18
3.2 Alt Blokların Yapısı	18
3.2.1 Giriş örnekle-tut birimi yapısı	20
3.2.2 Pipeline birim çeviricinin yapısı	23
3.2.2.1 Pipeline birim çeviricide sayısal verilerin elde edilmesi.....	23
3.2.2.2 Pipeline birim çeviricide analog verilerin elde edilmesi.....	24
3.2.3 Son kat 2-bit flash çeviricinin yapısı.....	26
3.2.4 Eş zamanlama bloğunun yapısı	27
3.2.5 Sayısal hata düzeltme bloğunun yapısı	28
3.3 Alt Blokların Tasarımı	29
3.3.1 Giriş örnekle-tut birimi ve alt bloklarının tasarımı	29
3.3.1.1 Örnekle tut devresi önyüklemeli giriş anahtarlarının tasarımı	31
3.3.1.2 Örnekle tut devresi genel amaçlı anahtarlarının tasarımı.....	33
3.3.1.3 Örnekle tut devresine ait işlemsel yükselteç tasarımı	33
3.3.2 Birim çevirici blok tasarımı	36
3.3.2.1 Birim çevirici blok tasarımı.....	37
3.3.2.2 Birim çevirici blok flash adc tasarımı	39
3.3.3 Son kat 2-bit flash adc tasarımı	42
3.3.4 Referans sürücü devreleri tasarımı.....	42
3.3.4.1 Ortak mod gerilimi sürücü devresi tasarımı.....	44

3.3.4.2 Üst referans gerilimi tampon sürücü devresi tasarımı.....	44
3.3.4.3 Alt referans gerilimi tampon sürücü devresi tasarımı	47
3.3.4.4 Alt ve üst referans gerilimi farksal yükselteç tasarımı	47
3.3.5 Alt blokların performans değerlendirmesi	49
3.3.5.1 Örnekle tutdevresi performansı	49
3.3.5.2 Birim çevirici blok mdacdevresi performansı	54
3.3.5.3 Birim çevirici blok flash adc ve son kat adcdevresi performansı	56
3.3.5.4 Birim çevirici blok performansı	57
3.3.5.5 Referans tampon yükselteç performansları	57
3.4 Alt Blokların Birleştirilerek ADC Tasarımının Gerçeklenmesi	58
4. TASARIMA AİT PERFORMANS ÖLÇÜM SONUÇLARI	61
4.1 İdeal Olmayan Durumların İncelenmesi	65
4.1.1 Direnç uyumsuzluğu(mismatch)	66
4.1.2 Karşılaştırıcı ofseti uyumsuzluğu.....	67
4.1.3 Kapasitör uyumsuzluğu.....	67
4.1.4 Çevirici performansının sıcaklıkla değişimi	68
5. SONUÇ ve DEĞERLENDİRME	71
5.1 Çalışmanın Uygulama Alanı	71
5.2 Değerlendirme ve Yapılabilecek çalışmalar.....	72
KAYNAKLAR.....	73
EKLER.....	74
ÖZGEÇMİŞ.....	115

KISALTMALAR

AC	: Alternative Current
ADC	: Analog to Digital Converter
CMOS	: Complementary Metal Oxide Semiconductor
DAC	: Digital to Analog Converter
DC	: Direct Current
DNL	: Differential Non-Linearity
ENOB	: Effective number of bits
FOM	: Figure of merit
LSB	: Least significant bit
Msp/s	: Megasamples per second
MSB	: Most significant bit
PTAT	: Proportional to absolute temperature
SFDR	: Spurious free dynamic range
SINAD	: Signal to noise and distortion ratio
S/H	: Sample and Hold
THD	: Total Harmonic Distortion

ÇİZELGE LİSTESİ

Çizelge 1.1 : Yüksek başarılı ADC tasarımları (Walden FOM'a göre)	9
Çizelge 1.2 : Yüksek başarılı ADC tasarımları (Termal FOM'a göre)	9
Çizelge 1.3 : Yüksek başarılı 12-Bit Pipeline çeviriciler	9
Çizelge 1.4 : Yüksek başarılı ticari Pipeline ADC tasarımları	10
Çizelge 2.1: 1.5 Bitlik Pipeline bloğu transfer fonksiyonu.	15
Çizelge 3.1 : 1.5 Bitlik Pipeline Bloğu transfer fonksiyonu.....	24
Çizelge 3.2 : 1.5 Bitlik Pipeline Bloğu Transfer Fonksiyonu.	25
Çizelge 3.3 : 2- Bitlik Karşılaştırıcı Fonksiyonu.	27
Çizelge 3.4 : Tasarımı yapılan opampa ait parametreler	36
Çizelge 3.5 : Birim Bloklarda bulunan MDAC kapasite ve gürültü değerleri	39
Çizelge 3.6 : MDAC Güç Ölçeklemesi için tasarımı yapılan opampların parametreleri	40
Çizelge 3.7 : Birim Bloklarda bulunan MDAC devresi çıkış gürültü değerleri	54
Çizelge 3.8 : Tasarımı yapılan 1.5 Bit Flash ADC dönüştürme fonksiyonu	56
Çizelge 3.9 : Tasarımı yapılan 2- Bit Flash ADC dönüştürme fonksiyonu	57
Çizelge 3.10 : ADC saat işaretlerine ait parametreler.	60
Çizelge 5.1 : Tasarlanan ADC Özellikleri(Uyuşmazlık/mismatch yokken)	71

ŞEKİL LİSTESİ

Sayfa

Şekil 1.1 : Farklı ADC Mimarilerinin hız ve çözünürlük performansları [3].....	2
Şekil 1.2 : İdeal ADC Çıkışı ve Oluşan Çözümleme Hatası	3
Şekil 1.3 : ADC Ofset hatası örneği	4
Şekil 1.4 : ADC kazanç hatası örneği	4
Şekil 1.5 : Tipik bir ADC için DNL, INL ve Kayıp Kod hatalarının gösterimi	5
Şekil 1.6 : ADC çıkışındaki gürültü ve harmonik bozunumlara örnek[4].....	7
Şekil 2.1 : PIPELINE ADC mimarisi	11
Şekil 2.2 : Pipeline ADC birim çevirici bloğu.....	12
Şekil 2.3 : 4-Bitlik bir Pipeline ADC için Eş zamanlama işlemi.....	13
Şekil 2.4 : Sayısal kod çözücünün çalışma prensibi	13
Şekil 2.5 : 1-Bitlik Birim Blok için çeviricinin çalışma şekli.....	14
Şekil 2.6 : 1-Bitlik Birim Blok içeren çeviricide hata oluşumu	15
Şekil 2.7 : 1.5-Bitlik birim blok içeren ADC’de sayısala çevirme işlemi	15
Şekil 2.8 : 1.5-Bitlik birim blok içeren ADC’de hata düzeltme işlemi	16
Şekil 2.9 : 1.5-Bitlik Birim Blok içeren ADC’de hata düzeltme işlemi-2.....	16
Şekil 3.1 : Pipeline ADC Matlab modeli ve ideal ADC çıkışı	17
Şekil 3.2 : Pipeline ADC LTSpice modeli çıkışı.....	18
Şekil 3.3 : Pipeline ADC LTSpice modeli.....	19
Şekil 3.4 : Örnekle tut işlemi	20
Şekil 3.5 : Örnekle Tut devresi tasarımında kullanılan topoloji[12]	21
Şekil 3.6 : Örnekle Tut devresi örnekleme modu($\Phi = 1, \bar{\Phi} = 0$).....	21
Şekil 3.7 : Örnekle Tut Devresi Tutma Modu($\Phi = 0, \bar{\Phi} = 1$).....	22
Şekil 3.8 : Pipeline 1.5 Bitlik birim blok iç yapısı	23
Şekil 3.9 : 1.5-Bit Flash ADC devresi	24
Şekil 3.10 : MDAC devresinin kavramsal karşılığı.....	25
Şekil 3.11 : MDAC Devresinin yapısı.....	25
Şekil 3.12 : Eş zamanlama bloğunun yapısı	27
Şekil 3.13 : Eş zamanlama devresinde saat işaretleri	28
Şekil 3.14 : Sayısal hata düzeltme bloğunun yapısı	28
Şekil 3.15 : Tasarımı Yapılan Örnekle Tut Devresi	29
Şekil 3.16 : Anahtar direnci ve örnekleme kapasitesi modellenmesi	32
Şekil 3.17 : S/H Tasarımında kullanılan ön yüklemeli anahtar[13]	32
Şekil 3.18 : S/H Devresi genel amaçlı analog anahtar	33
Şekil 3.19 : Tam Farksal Opamp (Yükselteç Kısmı).....	34
Şekil 3.20 : Tam Farksal Opamp (Ortak Mod Geri Besleme Kısmı)	34
Şekil 3.21 : Tam Farksal Opamp (Kutuplama Devresi Kısmı)	35
Şekil 3.22 : Örnekle tut devresi işlemsel yükselteci farksal mod açık çevrim frekans cevabı.....	36
Şekil 3.23 : Birim Çevirici Blok Şeması	37
Şekil 3.24 : Birim çeviricide kullanılan MDAC devresi	38

Şekil 3.25 : MDAC Devresi giriş anahtarı.....	38
Şekil 3.26 : Birim Bloğa ait Flash ADC	41
Şekil 3.27 : Flash ADC karşılaştırıcısı (Önyükseltme Katı).....	42
Şekil 3.28 : Flash ADC karşılaştırıcısı (Kontrol ve Çıkış Katı)	42
Şekil 3.29 : Son Kat 2-Bit Flash ADC Devresi	43
Şekil 3.30 : Ortak mod sürücü devresi açık çevrim frekans yanıtı (3 nF yükle)	44
Şekil 3.31 : Ortak mod gerilimi sürücüsü işlemsel yükselteci.....	45
Şekil 3.32 : Üst Referans sürücüsü açık çevrim frekans yanıtı	46
Şekil 3.33 : Üst Referans tampon sürücüsü işlemsel yükselteci.....	46
Şekil 3.34 : Alt referans gerilimi sürücüsü açık çevrim frekans yanıtı.....	47
Şekil 3.35 : Alt referans gerilimi tampon sürücüsü işlemsel yükselteci	48
Şekil 3.36 : Tam farksal opamp farksal mod açık çevrim frekans yanıtı	49
Şekil 3.37 : Tam farksal opamp ortak mod açık çevrim frekans yanıtı	49
Şekil 3.38 : Alt ve üst referans gerilimi tampon sürücülere gerilim referansı sağlayan tam farksal opamp	50
Şekil 3.39 : Örnekle Tut devresi çıkışında oluşan DC hata	51
Şekil 3.40 : Örnekle Tut devresi çıkışında oluşan darbe şekilleri	51
Şekil 3.41 : Örnekle Tut devresi çıkışındaki darbenin oturması.....	51
Şekil 3.42 : Örnekle Tut devresinin tutma modu AC davranışı.....	52
Şekil 3.43 : Örnekle Tut devresinde 1 MHz frekanslı sinüs giriş işaretine karşı çıkış işaretinin FFT grafiği	53
Şekil 3.44 : Örnekle Tut devresinde 201 MHz frekanslı sinüs giriş işaretine karşı çıkış işaretinin FFT grafiği	53
Şekil 3.45 : Örnekle Tut devresinde SFDR değerinin frekansa göre değişimi.....	54
Şekil 3.46 : 1. Kat MDAC çıkışında oluşan DC hata($D_1=0$, $D_0=0$).....	55
Şekil 3.47 : 1. Kat MDAC çıkışında oluşan DC hata($D_1=0$, $D_0=1$).....	55
Şekil 3.48 : 1. Kat MDAC çıkışında oluşan DC hata($D_1=1$, $D_0=0$).....	55
Şekil 3.49 : Birim Bloğa ait Flash ADC çıkış ve giriş işareti zamanlamaları	56
Şekil 3.50 : Tam ölçek rampa giriş işaretine karşı birim blok analog ve sayısal çıkışları	57
Şekil 3.51 : Referans gerilimi tamponları test devresi.....	58
Şekil 3.52 : Referans gerilimi tampon devresi çıkışları.....	58
Şekil 3.53 : İki birim bloktan oluşan 4-Bitlik alt blok	59
Şekil 3.54 : Birim bloklardan oluşan ADC çekirdeği	59
Şekil 3.55 : ADC Tasarımına ait sayısal devreler.....	60
Şekil 3.56 : ADC saat işaretleri parametrelerinin görsel tanımı	60
Şekil 4.1 : Çevirici performansını belirlemek için kullanılan devre.....	61
Şekil 4.2 : 1 MHz giriş işaretine karşı çevirici çıkışı FFT grafiği	62
Şekil 4.3 : 21 MHz sinüs giriş işaretine karşı çevirici çıkışı FFT grafiği	62
Şekil 4.4 : 201 MHz sinüs giriş işaretine karşı çevirici çıkışı FFT grafiği	62
Şekil 4.5 : Çevirici için giriş işareti frekansına bağlı SFDR değerleri	63
Şekil 4.6 : Çeviriciye ait 256 kodla alınmış INL grafiği	63
Şekil 4.7 : Çeviriciye rampa işareti uygulandığında elde edilen çıkış.....	64
Şekil 4.8 : Referans tamponlar kullanıldığında 20 MHz sinüs giriş işaretine karşı çıkışta elde edilen SFDR	66
Şekil 4.9 : Gerilim bölücü dirençlerde uyumsuzluk durumunda INL	66
Şekil 4.10 : Karşılaştırıcı ofsetlerindeki uyumsuzluk durumunda INL	67
Şekil 4.11 : MDAC devresindeki kapasitörlerde uyumsuzluk durumunda INL grafiği.....	67
Şekil 4.12 : -40° sıcaklıkta 20 MHz için SFDR grafiği	68

Şekil 4.13 : +85° sıcaklıkta 20 MHz için SFDR grafiği	68
Şekil 4.14 : Giriş transistörleri kuyruk akımının sıcaklıkla değişimi	69
Şekil 4.15 : PTAT akım kaynaklı S/H devresinin sıcaklıkla SFDR değişimi	69
Şekil 4.16 : PTAT akım kaynağı S/H devresinin sıcaklıkla SFDR değişimi	70
Şekil 4.17 : PTAT akım kaynağı	70

PIPELINE ADC TASARIMI

ÖZET

Baz istasyonlarına pek çok kullanıcıdan gelen geniş bantlı işaret, boru hattı tipi (pipeline) analog sayısal dönüştürücüler (ADC) vasıtası ile sayısala çevrilir. Bu çalışmada, 12 bit çözünürlükte ve 20 Mhz örnekleme frakansındaki bir pipeline ADC'nin şematik tasarımı ve benzetimleri yapılmıştır.

Transistör bazında tasarıma geçilmeden önce, mimarinin modellemesi yapılmış ve daha sonra bu modeller benzetim ortamına da taşınmıştır. Benzetim ortamındaki modellerin hatasız çalıştığı gözlemlendikten sonra transistör temelli tasarıma geçilmiştir.

Tasarımda, standart bir 0.18μ CMOS prosesin 3.3V gerilime dayanıklı transistörleri ve BSIM 3.3 modelleri kullanılmıştır. Analog devrelerin ve sayısal kapıların şema tasarımlarının ve birarada (mix-mode) benzetimlerinin yapılabilmesi için, LTSPICE-IV ücretsiz yazılımı kullanılmıştır. Tasarım, davranışsal mantık kapıları içermesi haricinde, transistör seviyesinde ve tam farksal olarak yapılmıştır. Besleme gerilimi 3.3 volt, giriş işareti tepeden tepeye farksal 0.8 volt, ve ortak mod ise 1.6 volt olarak seçilmiştir. Tasarım 395 mW güç harcar ve 21 MHz giriş işareti için, 84 dB dallarından arındırılmış hareketli aralık (spurious free dynamic range, SFDR) başarımına sahiptir. Toplam güç harcamasının azaltılabilmesi için, boru hattı katlarının, kat numarası arttıkça daha az güç harcayan bloklardan oluşmasına dikkat edilmiştir. SFDR başarımını arttırmak için ise, önyükleyicili anahtar (bootstrapped switch) mimarisi kullanılmıştır. Teorik hesaplar sonucunda 71.3 dB işaret gürültü oranı (SNR) beklenmektedir. Bu gürültü, kuantalama gürültüsünün az bir miktar üzerindedir. Gürültünün düşük seviyede tutulabilmesi için işlemsel kuvvetlendirici gürültüsünün ve kT/C gürültüsünün azaltılmasına özen gösterilmiştir. Giriş band genişliği 200 MHz mertebesinde olup, alt örnekleme (undersampling) uygulamalarına müsaittir. Örnekleme hızı, tam başarımda 20 MHz olup, başarımın bir miktar düşmesi göze alınırsa 40 MHz mertebesine kadar çıkabilir. İdeal benzeşme durumunda, +/- 0.25 en az önemde ikilik rakam (least significant bit, LSB) tümlevsel doğrusallık hatası (Integral Nonlinearity Error, INL) elde edilmiş, ve transfer fonksiyonunun doğruluğu tüm entegre için INL ölçümü ile gösterilmiştir.

Boru hattı tipi ADC'nin SFDR benzetimi, LTSPICE-IV ortamında, davranışsal modeller kullanılarak dakikalar mertebesinde tamamlanmaktadır. Tasarımın 128 sayısal çıkıştan oluşan transistör temelli SFDR benzetimleri ise, i5 işlemcili 2.5 GHz hızında bir dizüstü bilgisayarda 16 saat mertebesinde tamamlanmaktadır. Akşamdan benzetim koşturup sabah sonuçları almak mümkündür. Kod sayısı düşürülerek süre kısaltılabilir. Boru hattı analog sayısal dönüştürücüsü gibi karmaşık bir analog entegre devrenin, ücretsiz bir yazılım ortamı ve dizüstü bilgisayar kullanarak "evde" tasarlanabileceğini göstermesi açısından, bu çalışma elektronik eğitiminde ve geleceğin genç analog tasarım meraklılarının yetiştirilmesinde ek önem taşımaktadır.

PIPELINED ADC DESIGN

SUMMARY

Multi-user, wideband signals that arrive to cellular base station receivers are converted to digital using pipeline analog to digital converters (ADCs). In this work, schematic design and circuit simulations of a 12 bit 20 MHz pipeline ADC is presented. A Matlab model of the ADC is first constructed, followed by a behavioral SPICE model. After flawless operation is observed from both models, transistor level schematic design begins.

In the schematic design, 3.3V capable transistors of a 0.18 μ CMOS process are used with BSIM 3.3 Mosfet models. To do the schematic design and mixed-mode simulation of the analog circuits with digital gates, a freeware electronic design automation (EDA) environment, LTSPICE-IV is used. Apart from behavioral logic gates which are used to speed up the simulations, the design is fully differential at transistor level. The supply voltage is 3.3 volts, and the input signal amplitude is 0.8 volt peak-to-peak differential around a 1.6 volt common mode. The simulations show 84 dB spurious free dynamic range for a 21 MHz input signal, with 395 mW power consumption at 20 Msps. The power consumption of the logic blocks are not included in 395 mW, but their actual contribution to power consumption should be insignificant. To reduce power consumption, scaling of the stages, which includes the interstage sampling capacitors and sample and hold amplifiers, is used. To increase the SFDR at higher input frequencies, bootstrapped input switches at the sample and hold are used. As a result of amplifier noise simulations and kT/C calculations, 71.3 dB signal to noise ratio is expected. The analog input bandwidth is around 200 MHz and the design is suitable for undersampling applications. Assuming perfect matching, the integral nonlinearity error is measured as ± 0.25 LSBs, and the integrity of the transfer function is proven using linearity simulations.

The SFDR simulations of the pipeline ADC's behavioral LTSPICE model are completed within a few minutes. Using fully accurate (slowest) simulator settings, transistor level SFDR simulations using 128 ADC output codes take approximately 15 hours on a low end laptop computer using a 2.5 Ghz Intel i5 processor with 6 Giga bytes of RAM. While we demonstrate that full chip 128 code SFDR simulations can be completed overnight, we would like to point out that less number of codes can be used to get SFDR results quicker. This work shows that a complicated mixed signal design such as a pipeline ADC can be done "at home" using today's personal computers and freeware EDA tools. In this sense, this work has additional value in electronic design education and in motivating young analog IC design enthusiasts of the future.

Digital signal processing applications are widely used in our life. Especially, digital signal processing takes a very important place in communication systems and it can be said that there is no alternative to using digital signal processing in digital communications. Digital signal processing can be described as, converting analog

signal to digital domain, analyzing the digital outputs using a digital signal processor and converting the digital results back to analog domain. Analog signals are transformed to digital data with analog to digital converters. Opposite transformation is realized by digital to analog converters. High performance applications need high performance converters. It can be said that the performance of certain applications can be determined only by the performance of converters. Although the performance of digital signal processors is adequate, converter technology is playing catch-up.

Two types of converter performance criteria are defined in literature. One is static performance and the other is dynamic performance. In addition to these criteria, a figure of merit is used to indicate the performance of converter per unit power consumed. The first goal of many studies is to get more effective number of bits and conversions per second with less power.

Static performance parameters are used to define DC errors of the converter. Main purpose of these parameters is to determine the difference between actual output with the ideal output. These parameters provide boundary information about offset, gain, differential nonlinearity (DNL), integral nonlinearity (INL) and missing codes errors. DC errors also effect AC performance. For instance, DC nonlinearity can cause harmonic distortion at the output. Missing codes can cause discontinuities at the output.

Dynamic performance parameters are used to define AC errors of converter. These errors are defined for different frequency spans and values. AC characteristics are usually frequency related. These parameters are very important for certain applications. For example, bandwidth requirement of a DSL modem is different from the bandwidth requirement of a base station. AC characteristics of converters become increasingly important in wireless communication basestations. Signal to noise ratio (SNR), total harmonic distortion (THD), spurious free dynamic range (SFDR) and analog input bandwidth (BW) are among important dynamic performance parameters.

The most important parameters for an ADC are sampling rate and resolution. These parameters differ among several architectures. For example, if more accuracy and resolution are needed, SAR and Delta Sigma architectures are used. But they have a handicap. They can't reach high sampling rates. If high sampling rates are desired, Flash ADCs are used. Although Flash converters are fast, their accuracy is limited to 5 to 8 bits. So, a new architecture is needed to simultaneously obtain speed and accuracy, and the pipeline architecture fills this need.

The pipelined ADC architecture is a good architecture in terms of speed and accuracy. If the start up delay (the elapsed time till pipeline fills) is ignored, the speed of the pipeline ADC is close to a flash ADC. In addition, the resolution of a pipeline ADC is higher than a flash ADC and is adequate for many applications.

A basic pipeline converter consists of an input sample and hold stage, a pipeline core, and a digital error correction block. The input signal is sampled by the input sample and hold stage and the result is transferred to the pipeline core. This core consists of serially connected sub-converter blocks, where each block can resolve a certain number of bits. Fundamental operation is based on long division. The data which is resolved at the first stage is reproduced and subtracted from the input signal of the block. Finally the remainder of the subtracted signal is multiplied by two and transferred to the next block. If these operations are analyzed mathematically, they are nothing but a binary division. Multiplying by two is the same as digit shifting in

the division operation. The remaining signal is called the residue. So, each block makes a coarse division, resolves the quotient, subtracts the quotient from the input signal, and transfers the residue to next block for finer divisions.

A notable innovation in the pipeline ADC architecture is the insensitivity to comparator offset errors as a result of a technique called digital error correction. This algorithm is based on Redundant Signed Digit representation. The data produced from unit blocks have to be time aligned. There is a delay between stages because of the analog pipeline. Conversions of unit blocks are similarly aligned with digital delay elements. Digital error correction operation becomes a simple summing operation at the end of the time alignment. The SFDR performance of the design is determined by the performance of input sample and hold amplifier. Noise level, input bandwidth, SFDR and most AC errors are determined by this stage. So, input sample and hold stage has to be designed to have low noise, fast settling, and low distortion.

Most of sample and hold stage AC errors are caused by the input sampling switch nonlinearity. It is known that resistance of mos switch depends on gate-source voltage. When switch gate node is tied to a supply and the source node is tied to the input, resistance of the switch depends on the input voltage. This causes input dependent RC time constants, which result in nonlinear behavior for high frequency inputs. To overcome this limitation, bootstrapped switches are used at the input. Bootstrapping provides constant gate-source voltage and resistance of switches becomes independent of the input signal.

Another important issue is the performance of amplifiers. Settling accuracy of the amplifiers limit the effective number of bits of the ADC and the settling time of the amplifier limit the sampling rate of the ADC. The amplifiers should settle well within half the clock period and settling accuracy must be within a fraction of an LSB.

Thanks to the digital error correction algorithm, comparator offsets are not a limitation. If an error occurs, it is corrected by the following stages. Clocking scheme is as important as block performance. Rise and fall times have to be as short as possible to improve speed and to reduce jitter. To eliminate possible charge injection and other common mode effects, a fully differential architecture is used. Bottom plate sampling is used in the input stage to help reduce charge injection from input switches.

Power consumption is one of the important performance parameters of ADCs. Today, most electronic devices are powered by low voltage sources, especially batteries. To consume less power, stage scaling is applied, as sensitivity to accuracy is divided in progressive blocks. For example, the error of the third stage will affect the output by one-fourth of the effect of the first stage. So, the consecutive stages don't have to be as precise as the previous blocks. Power consumption of the stages are reduced using this method.

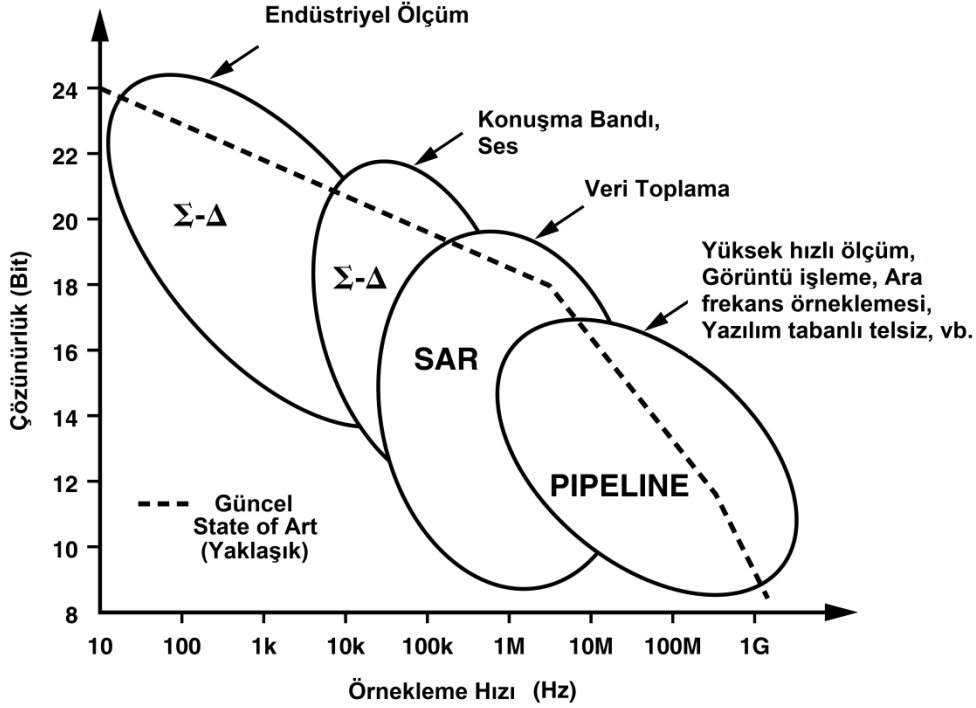
1. GİRİŞ

Sayısal işaret işleme uygulamalarında Analogtan Sayısala Çeviricilerin performansları, kullanılan yöntemler ve bu yöntemlerin numerik hesaplamalarında kullanılan işlemcilerin performansları kadar önemlidir. Günümüzde birçok sayısal sistemin performansını belirleyen en önemli faktörlerden biri analog verilerin sayısal verilere yüksek hız ve doğrulukla çevirilmesindeki başarımlıktır. Ayrıca yapılan uygulamalarda performans gereksinimleri her zaman aynı olmayıp uygulamanın türüne göre ihtiyaçlar değişebilmektedir. Bu sebeple tasarımcıların performans ihtiyacı doğrultusunda uygun olan çeviricileri seçebilmesi için literatürde birçok performans kriteri sınıflandırması tanımlanmıştır.

Literatürde sinyal işlemeyle ilgili performans ölçütleri çeviricilerin statik ve dinamik davranışları olarak iki ana başlık altında incelenmektedir. Statik yani DC davranış olarak belirlenen performans ölçütleri analogtan sayısala çevrimde oluşabilecek DC transfer eğrisi hatalarını belirlemek için kullanılan ölçütlerdir. Bu ölçütler Ofset, Kazanç Hatası (Gain Error), INL, DNL, Güç Tüketimi, Çözünürlük ve kayıp kod olmaması parametreleridir. Dinamik yani AC hataları belirlemek için kullanılan ölçütler ise SNR, SFDR, ENOB, SINAD, analog bant genişliği ve çevrim hızı parametreleridir [1]. Bir parametrenin önem miktarı çeviricinin hangi uygulamada kullanıldığına bağlıdır. Örneğin haberleşme uygulamalarında SFDR parametresi çok önemliken hassas voltmetre benzeri uygulamalar için INL parametresi önemli olabilir. Ayrıca bahsedilen AC ve DC performans ölçütlerine ek olarak üretici firmalar bir takım farklı ölçüm sonuçları da sunabilmektedir.

Çeviricilerin performansını belirlemek için yukarıda bahsedilen ölçütlerin yanı sıra bu parametrelerin bir araya getirilerek genel bir performans ölçütü elde edilmesi amacıyla başarımlı katsayısı (FOM) fonksiyonları belirlenmiştir [2]. Bu fonksiyonlara ilgili performans ölçütleri girildiğinde çıktı olarak elde edilen katsayılar çeviricilerin genel performansı hakkında fikir vermektedir.

Çeviricilerin performanslarının istenilen seviyelere ulaşması için birçok tasarım mimarisi geliştirilmiştir. Üretim prosesleriyle gürültü, güç tüketimi gibi parametrelerde iyileştirmeler sağlanırken, tasarım mimarileriyle hız ve doğruluk gibi ihtiyaçlar karşılanmaktadır. Şekil 1.1'de ADC tasarım mimarilerinin hız ve çözünürlük açısından başarımları yer almaktadır.



Şekil 1.1 : Farklı ADC Mimarilerinin hız ve çözünürlük performansları [3]

Günümüzde birçok sayısal haberleşme uygulamasında kullanılan çeviricilerin tasarımı, performans ihtiyaçları gereği Pipeline mimarisiyle yapılmaktadır. Ayrıca düşük güç tüketerek daha düşük besleme gerilimlerinde çalışabilmeyi sağlamak üzere küçük transistör boyutlarının gerçekleştirilebildiği üretim prosesleri kullanılmaktadır. ADC üretim prosesi ve tasarım mimarilerinde yapılan çalışmaların amacı sayısal veriyi düşük güç tüketerek en hızlı ve doğru bir biçimde elde etmektir.

1.1 Çalışmanın Amacı

Bu çalışmada sayısal haberleşme uygulamalarında kullanılacak 12-Bit çözünürlüğünde ADC tasarımı amaçlanmıştır. Güç tüketimi ve çalışma gerilimi gereksinimleri göz önüne alınarak 0.18 μm 3.3 V CMOS prosesi seçilmiş, bu tip uygulamalardaki performans gereksinimlerini sağlamak amacıyla da tasarımda Pipeline mimarisi kullanılmıştır.

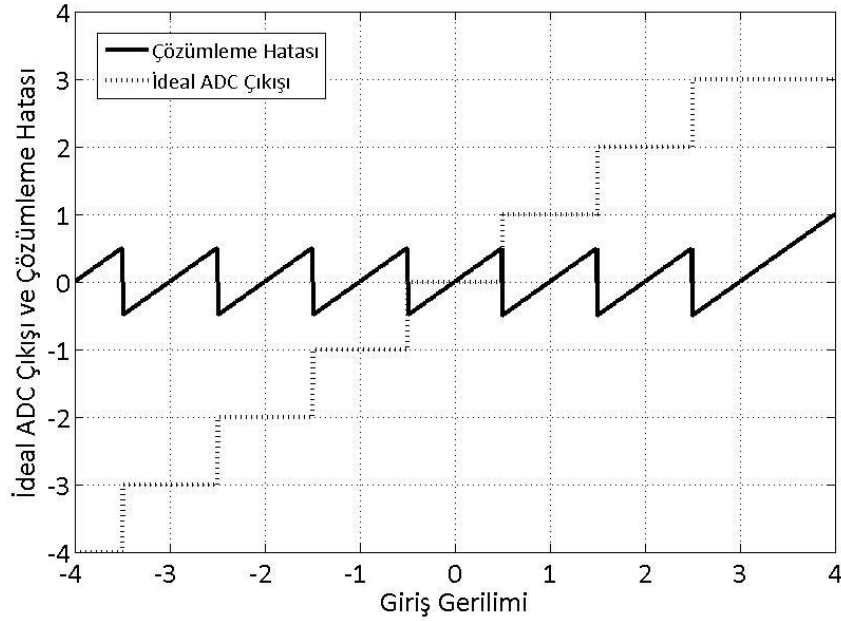
1.2 Literatür Araştırması

Literatürde çeviricilerin performansları statik ve dinamik performans ölçütleri olarak iki ana başlık altında incelenmektedir. Bu ölçütlerin bileşiminden oluşan başarımlar katsayısı (FOM) parametresi de genel performans değerlendirmesi sağlar.

1.2.1 Statik performans ölçütleri

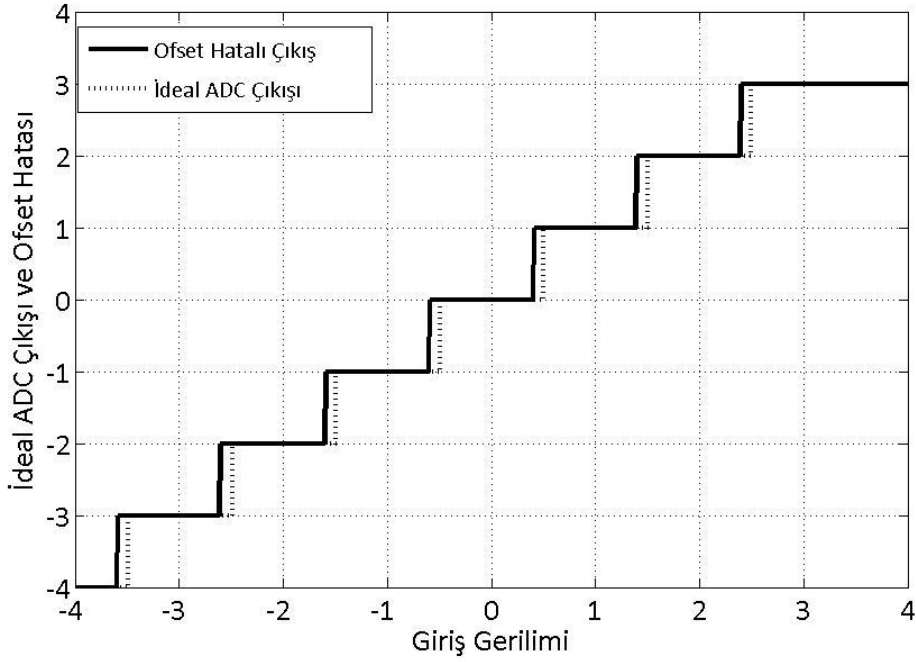
Statik performans ölçütleri aslında DC hataları belirleyen ölçütlerdir. Bu ölçütler çok çeşitli olmakla birlikte en çok kullanılanları Çözümleme Hatası, Ofset hatası, Kazanç Hataları, Kayıp Kodlar, INL, DNL ve Güç Tüketimi parametreleridir.

Çözümleme Hatası: Bu hata literatürde quantization error olarak yer almaktadır. Doğrudan ADC çözünürlüğüyle ilintilidir. Çözünürlük arttıkça her bir çevrim adımı arasındaki gerilim azalacağından daha hassas bir çevrim yapılmış olur ve bu hata azalır. Şekil 1.2’de ideal ADC çıkışı ve karşılık gelen çözümleme hatası görülmektedir.



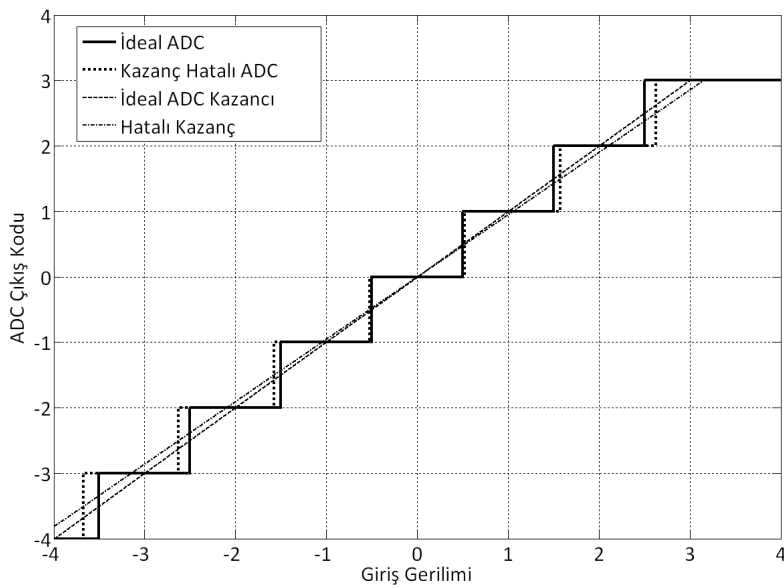
Şekil 1.2 : İdeal ADC Çıkışı ve Oluşan Çözümleme Hatası

Ofset Hatası: Ofset hatası, giriş gerilimine karşı ADC çıkışındaki sayısal kodlama geçişlerinin olması gerekenden mutlak olarak ne kadar kaydığını gösteren parametredir. Bu hata tüm kodlara aynı miktarda yansır. Bu hata belirtilirken diğer hataların hiç olmadığı varsayılır. Birimi LSB ya da gerilim cinsinden verilebilir. Şekil 1.3’te bu hata görülmektedir.



Şekil 1.3 : ADC Ofset hatası örneği

Kazanç Hataları: Kazanç hataları giriş gerilimine karşı ADC çıkışındaki sayısal kodlamanın, offset hataları çıkarıldıktan sonra, ideal doğrudan ne kadar saptığını gösteren parametredir. Bu parametre iki uç nokta arasından geçen doğru vasıtası ile ya da least squares best fit formülü yardımı ile belirlenir. Offset ve kazanç hataları belirlenirken kullanılan yöntem iki hata için de aynı olmalıdır (ya iki noktadan geçen doğru yöntemi ya da least squares yöntemi kullanılmalıdır. Yöntemler karıştırılmamalıdır). Şekil 1.4'te kazanç hatasının çıkışa olan etkisi görülmektedir.

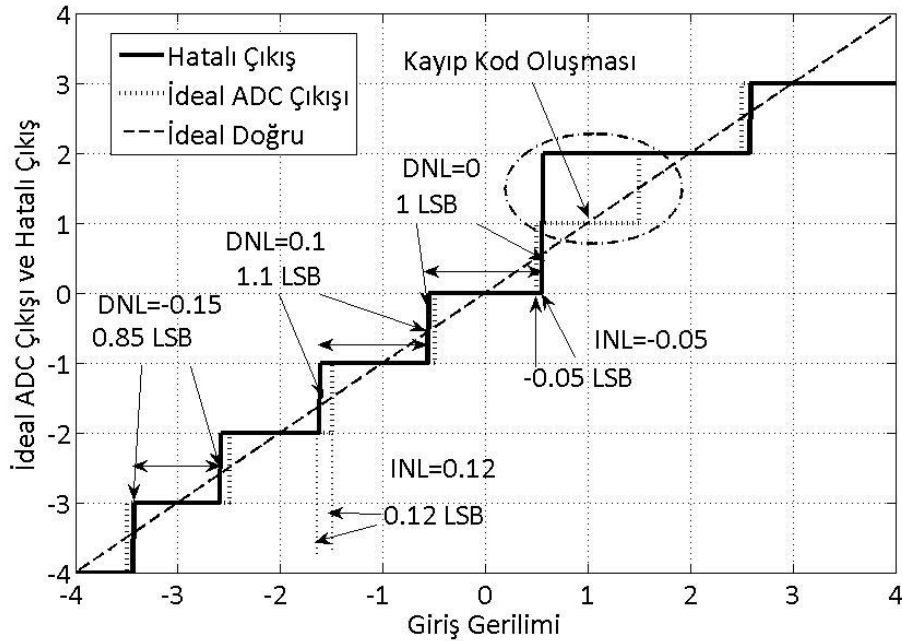


Şekil 1.4 : ADC kazanç hatası örneği

Kayıp Kod Hataları: Kayıp kod hataları çıkışta bazı sayısal kodların hiçbir şekilde görülememesi durumudur. Bu hataya ait durum Şekil 1.5'te görülmektedir.

DNL Hatası: İdeal ADC çıkışındaki sayısal kod adımlarına karşılık gelen giriş gerilimlerinin farkı iki ardışıl adım için 1 adım yani 1 LSB'dir. Bir kod için DNL değeri, ADC çıkışındaki iki ardışıl sayısal kod adımına karşılık gelen giriş geriliminin ideal adımdan farkıdır. Eğer DNL değeri -1 ise, kayıp kod hatası ortaya çıkmaktadır. DNL ölçülürken ADC çıkışı kazanç ve ofset hatalarından arındırılır. DNL için de ölçü birimi olarak LSB kullanılır. LSB değeri, her ADC örneği için, iki ölçüm noktası arası gerilimin toplam aralık sayısına bölümü ile bulunduğundan ötürü, bir miktar farklı çıkabilir. DNL hatasına ait görsel tanım Şekil 1.5'te görülmektedir.

INL Hatası: DNL hatalarının integrali INL hatasını verir. Offset ve kazanç hataları düzeltildiğinde, ideal doğrudan sapma her koddaki INL hatasını verir. Birim olarak LSB cinsinden verilmektedir. INL hatası, DC transfer fonksiyonundaki doğrusal olmama hatasına karşılık gelir. INL hatasının görsel tanımı Şekil 1.5'te görülmektedir.



Şekil 1.5 : Tipik bir ADC için DNL, INL ve Kayıp Kod hatalarının gösterimi

Güç Tüketimi: ADC'lerin ortalama güç tüketimleri günümüzde özellikle düşük güç tüketimi gerektiren uygulamalar için en az diğer performansları kadar önem arz etmekte olduğundan çok önemli bir ölçüt olarak yer almaktadır.

1.2.2 Dinamik performans ölçütleri

Dinamik performans ölçütleri AC hataları belirleyen ölçütlerdir. Bu ölçütler çok çeşitli olmaklar birlikte en çok kullanılanları Örnekleme Hızı, THD, SNR, SFDR, SINAD, ENOB ve analog giriş bant genişliği parametreleridir. Bu parametrelerin birçoğu belirli frekanslar için ölçülür ve (benzetim esnasında) ADC çıkışındaki sayısal verilerin ideal DAC ile analog işarete dönüştürülmesiyle elde edilir. Bu parametreler tasarımcının ADC'nin AC performansı hakkında fikir sahibi olmasını sağlar. ADC ölçmek için ideal DAC kullanımı benzetim ortamında iyi bir ölçüm aracı olsa da, gerçek ortamda ideal DAC bulunamayacağı için laboratuvar ölçümlerinde histogram ya da servo döngüsü yöntemleri uygulanır.

Örnekleme Hızı: Örnekleme frekansı olarak da adlandırılan bu parametre ADC'nin bir saniyede kaç örnek çevirebildiğini gösterir.

Analog Bant Genişliği: Çeviricinin sahip olduğu devrelerin bant genişliği değeridir. Genelde bu bant genişliğini kısıtlayan devreler giriş katında olduğundan giriş bant genişliği olarak da adlandırılır. Bu değer yüksek olursa ADC alt örnekleme (undersampling) görevinde de kullanılabilir. Yani ADC, mixer artı ADC görevi yapar.

SNR: ADC çıkışında elde edilen işaretin gücünün toplam gürültünün gücüne oranıdır. Bu tanıma çözümüleme hatasından kaynaklanan gürültü de dâhildir. İdeal bir ADC'nin çözümüleme hatasından gelen gürültü için SNR değeri denklem (1.1) ile hesaplanmaktadır. Teorik olarak bu gürültü seviyesinin altına inilemez. Ancak pratikte bu seviyeye yakın olma durumu devrelerin iç gürültüsünün performansı hakkında fikir verir. Burada N ADC çözünürlüğüdür.

$$SNR (dB) = 6.02 \times N + 1.76 \quad (1.1)$$

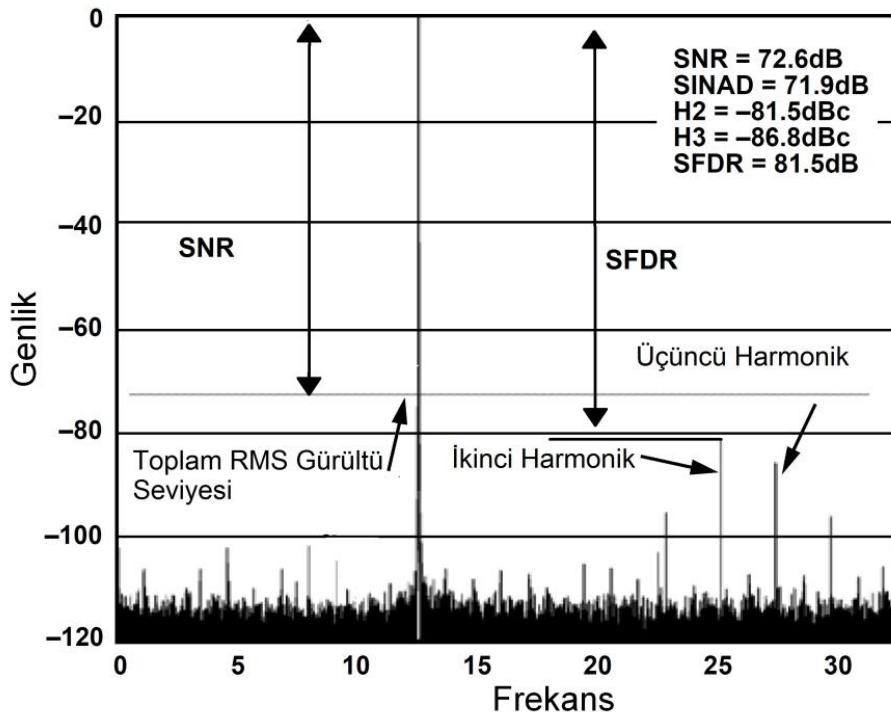
THD: Toplam Harmonik Distorsiyon olarak belirlenen THD parametresi temel frekanstaki sinüs giriş işaretinin sonucu olarak ADC çıkışında görülen temel frekanstaki işaretin gücünün harmoniklerin toplam gücüne oranıdır. FFT tekniği ile ölçülür.

SFDR: Temel frekanstaki sinüs giriş işaretine karşı ADC çıkışında görülen temel frekanstaki işaretin gücünün en güçlü harmonik ya da harmonik olmayan işaretin gücüne oranıdır. FFT tekniği ile ölçülür.

SINAD: ADC çıkışında elde edilen işaretin gücünün harmonik distorsiyon ve gürültü kaynaklı işaretlerin gücünün toplamına oranıdır. Temel olarak ADC çıkışında görülmek istenen işaretin istenmeyen kısımlara oranıdır. FFT tekniği ile ölçülür.

ENOB: *SINAD* değerinin kaç bitlik bir ADC'nin kuantalama hatasına karşılık geldiğini gösteren hayali bir ölçüttür. *SINAD* değerinin (1.1) denkleminde SNR yerine koyularak, N değerinin tam sayı yerine reel sayı olarak bulunması ile elde edilir.

Şekil 1.6'da Analog Devices'a ait AD9248 çeviricisinin veri sayfasından alınmış örnek bir FFT sonucu görülmektedir. Birçok ADC üreticisi ölçüm sonuçlarını benzer şekilde vermektedir. Bu ölçümde ADC hızı 65 MHz, uygulanan sinüs işareti frekansı ise 12.5 MHz'dir. Sinyal seviyesi 0 dB kabul edilirse toplam gürültü seviyesi RMS olarak -72.6 dB verildiğinden SNR 72.6 dB olarak belirlenir. SFDR olarak verilen parametre için grafik incelendiğinde en yüksek genlikli harmoniğin ikinci harmonik olduğu görülmektedir. İkinci harmoniğin güç seviyesi -81.5 dB olduğundan harmonik bulunmayan dinamik alan aralığı 81.5 dB olarak elde edilir. Toplam gürültü değeri ve tüm harmonik bozunumların güçleri toplamı -71.9 dB olarak bulunmuştur. Buradan hareketle *SINAD* parametresi 71.9 dB olarak belirlenmiş olur.



Şekil 1.6 : ADC çıkışındaki gürültü ve harmonik bozunumlara örnek [4]

1.2.3 ADC başarımlı katsayıları

ADC başarımlı katsayıları çeviricilerin dinamik ve statik performans ölçütlerinin çeşitli fonksiyonlarda girdi olarak kullanılmasıyla yapılan hesaplamalar sonucu elde edilen, ADC'lerin performanslarını başarımlının tek bir parametre ile genel anlamda anlaşılmasını sağlayan katsayılardır. Çeşitli fonksiyonlarla belirlenmesi mümkün olan bu katsayılar için bu çalışmada literatürde kabul gören bazı fonksiyonlar ele alınmıştır.

Walden FOM: Walden başarımlı katsayısına da ISSCC FOM olarak da bilinen başarımlı katsayısı fonksiyonudur (1.2). Burada P değişkeni ADC'nin toplam güç tüketimi, f_s örnekleme frekansı ve ENOB değişkeni ise önceki bölümde tanımlanan verimli bit sayısıdır. Bu denklemden elde edilen katsayı F_w , kaynak [5] tarafından belirtildiği gibi çeviricinin çevirdiği bit başına ne kadar enerji sarf ettiğinin ölçüsüdür.

$$F_w = \frac{P}{f_s \times 2^{ENOB}} \quad (1.2)$$

Thermal FOM: Bu katsayı fonksiyonu termal gürültü sebebiyle kısıtlanan performans sınırına yakınlığı ifade eder (1.3). Burada P değişkeni çeviricinin toplam güç tüketimi, f_s örnekleme frekansı ve ENOB değişkeni ise önceki bölümde tanımlanan verimli bit sayısıdır. Bu denklemden elde edilen katsayı F_T , kaynak [6] tarafından belirtildiği gibi çeviricinin çevirdiği yarım bit başına ne kadar enerji sarf ettiğinin ölçüsüdür.

$$F_T = \frac{P}{f_s \times 2^{2 \times ENOB}} \quad (1.3)$$

1.2.4 Literatürdeki yüksek başarımlı çevirici tasarımları

Literatürde ADC üreten firmalar veya akademisyenler tarafından tasarımı yapılan Pipeline ADC mimarisindeki 3-3.3 V besleme gerilimiyle çalışan yüksek başarımlı “state-of-art” tasarımlar Walden başarımlı katsayılarına göre sınıflandırıldığında elde edilen sıralama Çizelge 1.1’de görülmektedir.

Çizelge 1.1 : Yüksek başarımlı ADC tasarımları (Walden FOM'a göre)

Tasarım	Firma	Çözünürlük	Hız	ENOB	Güç	F _w
Kaynak [7]	Yok	14-Bit	100 Msps	11.7	230 mW	0.69 pJ/Bit
LTC2203	Linear	16-Bit	25 Msps	13.25	220 mW	0.91 pJ/Bit
AD9467	Analog	16-Bit	250 Msps	12.4	1336 mW	0.98 pJ/Bit
ADS62P45	Texas	14-Bit	125 Msps	11.9	515 mW	1.08 pJ/Bit

Kaynak [7] olarak verilen makale tasarım bit dönüşümü başına harcanan enerjinin en az olması sebebiyle en verimli tasarım olarak değerlendirilmektedir. Linear Technology'nin ticari bir ürünü olan LTC2203 ADC'si de 2012 itibariyle yeni piyasaya sürülmüş bir üründür. Başarı sıralaması Termal FOM'a göre yapıldığında elde edilen sıralama Çizelge 1.2'de görülmektedir.

Çizelge 1.2 : Yüksek başarımlı ADC tasarımları (Termal FOM'a göre)

Tasarım	Firma	Çözünürlük	Hız	ENOB	Güç	F _T
LTC2203	Linear	16-Bit	25 Msps	13.25	220 mW	0.93 fJ
ADS5560	Texas	16-Bit	40 Msps	12.4	1336 mW	0.12 fJ
ADS5562	Texas	16-Bit	80 Msps	13.08	865 mW	0.144 fJ
AD9446	Analog	16-Bit	125 Msps	11.9	515 mW	0.178 fJ

Tasarımların termal gürültüyle kısıtlandığını göz önüne alırsak, Termal FOM sınır olarak adlandırılacak termal gürültü seviyesine ne kadar yaklaşıldığını verdiğinden Linear Technology'nin ticari bir ürünü olan LTC2203 çeviricisinin gürültü açısından en verimli tasarım olduğu değerlendirilebilir. Bu çalışmada tasarlanması amaçlanan 3.3 V besleme gerilimiyle çalışan 12-Bit çeviricinin piyasada ticari ürün olarak bulunan benzerleri ve yapılan yayınlar Walden FOM'a göre sınıflandırılarak Çizelge 1.3'te verilmiştir. Kaynak [8] olarak verilen makaledeki çalışma en verimli denilebilecek bir çalışmadır.

Çizelge 1.3 : Yüksek başarımlı 12-Bit Pipeline çeviriciler

Tasarım	Firma	Hız	ENOB	Güç	INL	DNL	F _w
Kaynak[8]	Yok	21 Msps	11.03	35 mW	1.2	0.5	0.79 pJ
ADS6125	Texas	125 Msps	11.59	417 mW	1	0.5	1.09 pJ
ADS6129	Texas	250 Msps	11.2	687 mW	1	0.2	1.17 pJ
AD9236	Analog	80 Msps	11.5	366 mW	0.35	0.4	1.58 pJ
MAX1206	Maxim	40 Msps	11.05	159 mW	0.7	0.3	1.87 pJ

ADC tasarımlarının performansları ideal çeviriciye yakınlıklık açısından göz önüne alınarak sınıflandırma yapıldığında oluşan sıralama Çizelge 1.4'te görülmektedir. Çizelgede sıralanmış çeviriciler performans olarak günümüzde en iyi denilebilecek tasarımlardır.

Çizelge 1.4 : Yüksek başarımlı ticari Pipeline ADC tasarımları

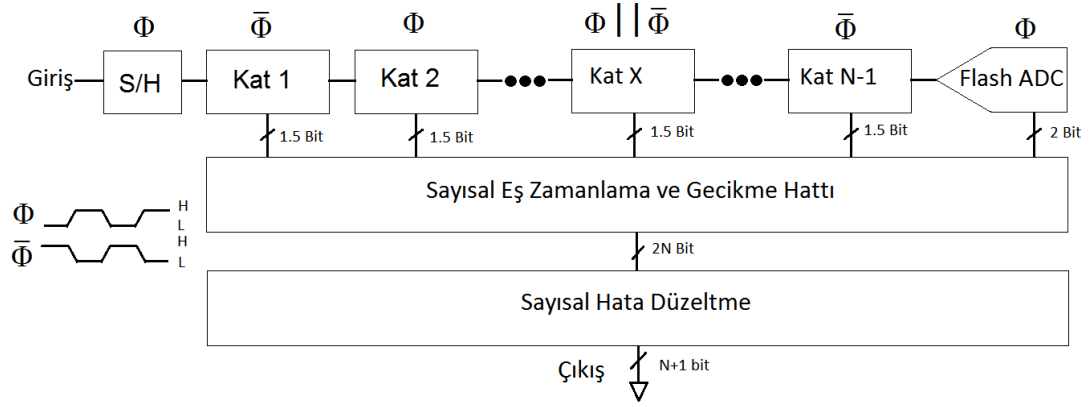
Ürün	Firma	Çözünürlük	Hız	SINAD	ENOB	SFDR	INL	DNL	SNR	Analog BW	Güç
ADS5560	Texas	16-Bit	40 Msps	83.2 dB	13.52	90 dB	3	0.5	84 dB	300 MHz	674 mW
LTC2203	Linear	16-Bit	25 Msps	81.5 dB	13.25	90 dB	4	1	81.6 dB	380 MHz	220 mW
ADS5562	Texas	16-Bit	80 Msps	80.5 dB	13.08	90 dB	3	0.5	84 dB	300 MHz	865 mW
AD9446	Analog	16-Bit	80 Msps	78.9 dB	13	89 dB	3	0.4	83.6 dB	540 MHz	1200 mW
MAX19586	Maxim	16-Bit	80 Msps	79.6 dB	12.93	90 dB	1.4	0.5	82 dB	600 MHz	1100 mW
AD9467	Analog	16-Bit	250 Msps	76.3 dB	12.4	90 dB	3.5	0.5	75.5 dB	615 MHz	1336 mW

2. PIPELINE ADC MİMARİSİ

2.1 Genel Bakış

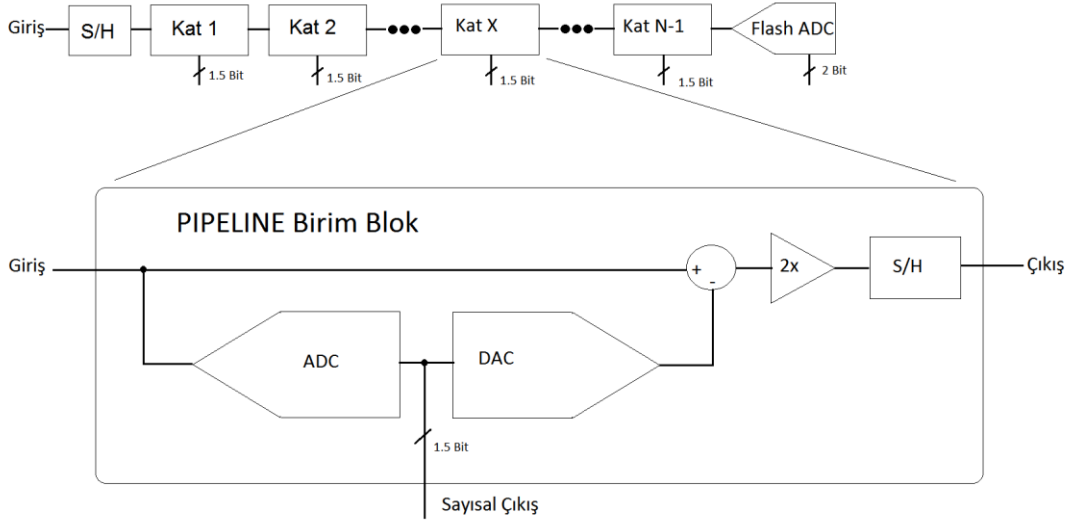
Pipeline mimarisi isminden de anlaşıldığı üzere boru hattına benzeyen bir yapıya sahiptir. Çevirici girişinden alınan işaret hat üzerindeki her blokta işlenip sonuçlar bir sonraki bloklara ve sayısal devrelere aktarılır. Böylece girişten alınan bir işaret hat boyunca işlenerek ilerlemiş olur.

Pipeline ADC mimarisi temel olarak ilk giriş Örnekle/Tut (S/H) devresi, Pipeline birim blokları, son kat Flash ADC, Sayısal Eşzamanlayıcı ve Hata düzeltme bölümlerinden oluşur. Ayrıca zamanlamayı uygun olarak sağlamak için birbirleriyle örtüşmeyen aynı periyotlu ters fazda saat işaretleri de mimarinin temel parçasıdır. Şekil 2.1’de mimarinin blok şeması görülmektedir.



Şekil 2.1 : PIPELINE ADC mimarisi

Mimarinin temelini oluşturan birim Pipeline çevirici bloğunun iç yapısı Şekil 2.2’de görülmektedir. Pipeline Birim blokları temel olarak 1.5-Bit Flash ADC, 1.5-Bit DAC, çıkarma devresi, kazanç katı ve S/H devresinden oluşur. Her birim blok çıkışta S/H içerdiğinden, bloklar ard arda bağlandığında bir bloğun çıkışındaki S/H devresi kendisinden sonraki devrenin giriş S/H devresi olarak kullanılmaktadır. Bu sebeple sadece ilk kat dışında harici bir S/H devresi gerekmemektedir.



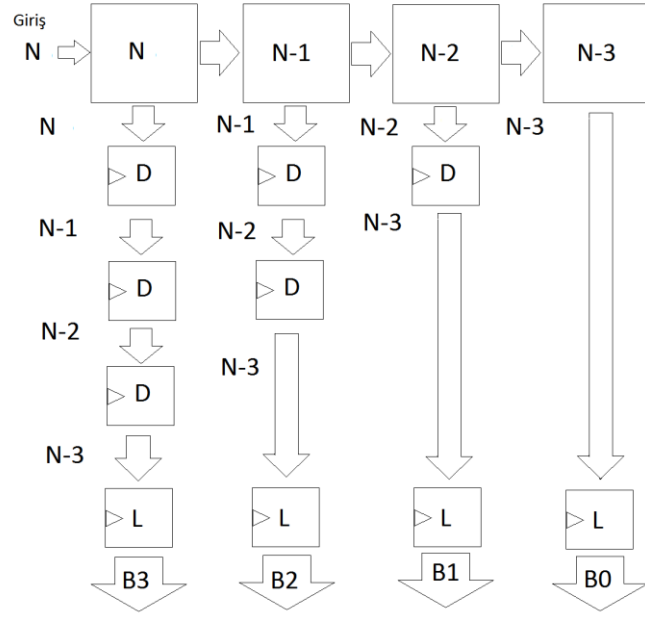
Şekil 2.2 : Pipeline ADC birim çevirici bloğu

2.2 Çevirici ve Alt Blokların Çalışma Prensipleri

Kaynak [9] ile belirtildiği gibi Pipeline mimarisinde sayısala çevirme işlemi temel olarak giriş işaretinin ardışıl bölme işlemine sokularak sayısal verinin elde edilmesi prensibine dayanır. Bilindiği gibi bir bölme işleminde bölüm, aslında bölenin bölünenden kaç defa çıkartılabildiğini gösteren sayıdır.

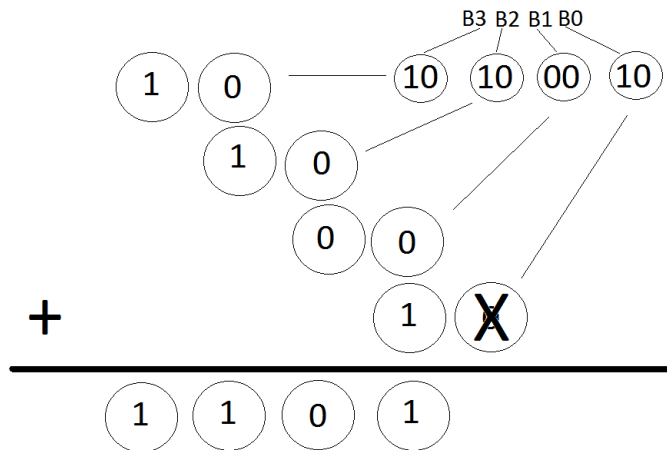
Çevirici şu şekilde çalışmaktadır. Çevirici girişinde Φ saat darbesiyle örneklenen giriş işareti tutulur. $\bar{\Phi}$ saat darbesi geldiğinde ise 1. Katta bu veri Φ saat darbesi gelene kadar işlenir. Φ saat darbesiyle girişte bulunan S/H devresi yeni veriyi örneklerken, 1.Katta işlenen verinin kalan kısmı 2. Kata aktarılırak $\bar{\Phi}$ saat darbesi gelene kadar işlenir. $\bar{\Phi}$ saat darbesi geldiğinde ise 3. Kat 2.Kattan gelen veriyi alır. Φ saat darbelerinde hem ilk girişteki S/H örnekleme yapar hem de çift numaralı bloklar çalışır, $\bar{\Phi}$ saat darbesi geldiğinde ise tek numaralı bloklar çalışır. Böylece analog veri hattın başından sonuna kadar işlenerek ilerlemiş olur.

İşlenen işaretler birbiri ardına bağlı bloklar tarafından işlendiğinden işlenen verilerin sonuçları birbirinden farklı zamanlarda elde edilmektedir. Bu sebeple elde edilen sayısal verilerin bir eş zamanlayıcı devre ile hizalanması gerekmektedir. Bu işlem uygun sayıda birim geciktirme elemanlarıyla sağlanmaktadır. Şekil 2.3'te eş zamanlama işlemi basitleştirilmiş olarak görülmektedir.



Şekil 2.3 : 4-Bitlik bir Pipeline ADC için Eş zamanlama işlemi

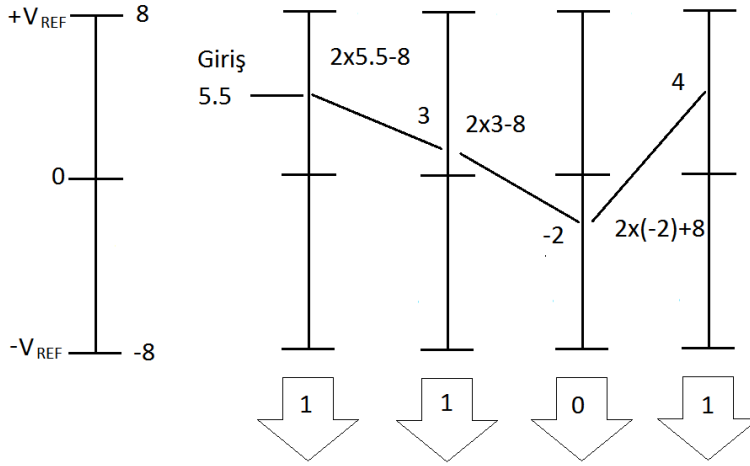
Birim bloklardan çıkan sayısal veriler pratikte karşılaştırılması muhtemel idealsizlikleri bertaraf etmek için kodlanmıştır. Temel anlamda RSD kodlama tekniğine dayanan bu kodlamayla karşılaştırmacı ofset hatası gibi idealsizliklerin önüne geçilmeye çalışılır. Birim bloklardan gelerek Eş zamanlayıcı devreden çıkan veriler sayısal hata düzeltme bloğu tarafından kullanılarak ikili tabandaki veriye dönüştürülerek ADC sayısal çıkışını oluşturur. Şekil 2.4'te bu kodlamanın ikili tabana dönüştürüldüğü bir örnek görülmektedir. Hata düzeltme işlemine katılan bitlerden LSB bitindeki hatayı düzeltecek ardışıl bir bit olmadığından son bit yoksayılr.



Şekil 2.4 : Sayısal kod çözücünün çalışma prensibi

2.3 Birim Blokların Çıkışında Veri Oluşumu ve Hataların Düzeltilmesi

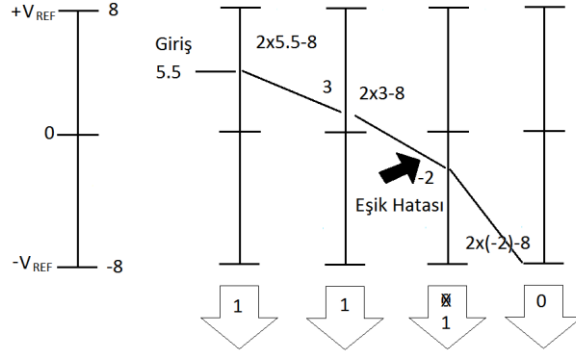
ADC çıkışında verilerin oluşumunu anlamak için 1-Bitlik Pipeline ADC blokları içeren yapıyı ele almak gerekir. Bu yapının çalışma prensibi temel anlamda şu şekildedir. Her blok gelen veriyi maksimum giriş geriliminin yarısına böler. Kalanı bulmak için bölene bölümü çarparak bölünenden çıkarır. Bölme işleminde bölen maksimum giriş geriliminin yarısı olduğundan kalan her zaman bölenden küçük olur. Bu sebeple bir sonraki kata anlamlı veri gitmesi için kesirli bölme işleminde olduğu gibi kalan genişletilerek bir sonraki kata aktarılır. 2 tabanlı sistemde bölme yapıldığından kalan verinin genişletme işlemi aslında 2 ile çarpılmasıdır. Giriş işaretinin 5.5 birim olması durumunda çevirme işlemi Şekil 2.5'te daha basit olarak görülmektedir.



Şekil 2.5 : 1-Bitlik Birim Blok için çeviricinin çalışma şekli

Örnek verilen yapı ideal şartlarda çalışabilen bir yapıdır. Ancak pratikte karşılaşılabilecek herhangi bir sorun durumunda hataları telafi etme yeteneği yoktur. Şekil 2.6'da bu durum daha iyi anlaşılmaktadır.

1-Bitlik Birim Blok içeren ADC tasarımından 1.5-Bitlik Birim Blok içeren ADC mimarisine geçişte temel mantık aynı olmakla birlikte birkaç değişen nokta vardır. Bunlardan biri transfer fonksiyonu diğeri ise hataları düzeltmek için fazladan 1 bit eklenmesidir. İçerdiği Flash ADC üç karşılaştırma aralığı içermektedir. $\log_2^3 = 1.584$ olduğundan 1.5 Bitlik çevirici olarak adlandırılırlar.

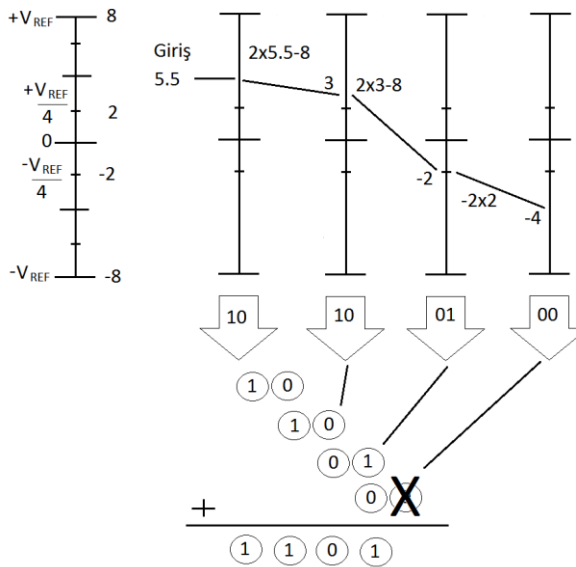


Şekil 2.6 : 1-Bitlik Birim Blok içeren çeviricide hata oluşumu

Blokta bulunan DAC, çıkarma ve kazanç bölümleri bir sonraki kata gidecek olan analog veriyi oluşturmak için kullanılır. Çizelge 2.1’de 1.5 Bitlik Pipeline bloğuna ait transfer fonksiyonu tanımları verilmiştir. Burada V_{IN} giriş gerilimi, V_{OUT} çıkış gerilimi V_{REF} ADC’nin tam ölçek dönüştürme referansıdır. Şekil 2.7’de 1.5 Bitlik Birim Blok içeren ADC’nin çalışması görsel olarak anlatılmaktadır.

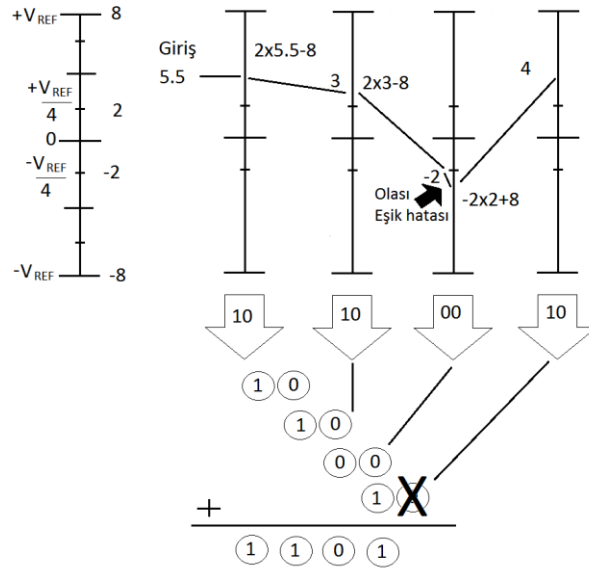
Çizelge 2.1: 1.5 Bitlik Pipeline bloğu transfer fonksiyonu.

Koşul	Analog Çıkış	Sayısal Çıkış
$V_{IN} > \frac{V_{REF}}{4}$	$V_{OUT} = 2 \times V_{IN} - V_{REF}$	10
$\frac{V_{REF}}{4} \geq V_{IN} \geq \frac{-V_{REF}}{4}$	$V_{OUT} = 2 \times V_{IN}$	01
$V_{IN} < \frac{-V_{REF}}{4}$	$V_{OUT} = 2 \times V_{IN} + V_{REF}$	00



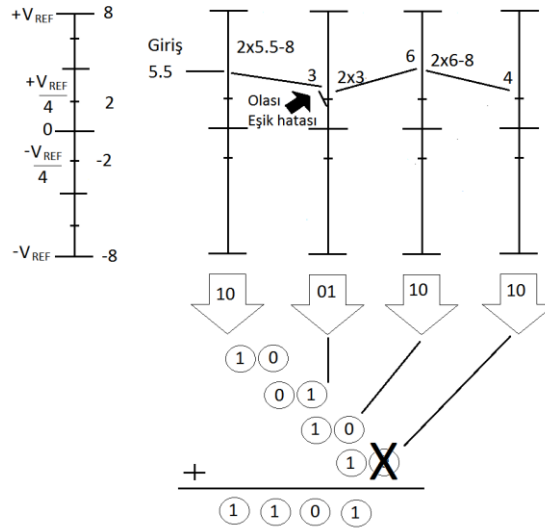
Şekil 2.7 : 1.5-Bitlik birim blok içeren ADC’de sayısala çevirme işlemi

1.5-Bitlik Birim Blok içeren ADC mimarisinde bloklarda yapılan işlem temel olarak ilgili katta değerlendirilen işaretin eşik seviyesinden büyük ya da küçük olduğunun belirlenmesidir. İşaretin eşik seviyesinden büyük olup olmadığını aktarırken ara seviye sayesinde kesin karar veremediği durumlarda bir biti işaretleyip hatayı diğer kata aktarma imkânı sağlar. Şekil 2.8’de 1.5 Bitlik Birim Blok içeren ADC’nin hatayı düzeltmesi görsel olarak anlatılmaktadır.



Şekil 2.8 : 1.5-Bitlik birim blok içeren ADC’de hata düzeltme işlemi

1.5-Bitlik Birim Blok içeren ADC mimarisi içerdiği hata düzeltme kodlaması sayesinde karşılaştırmalı ofset hatası gibi ideal olmayan durumların giderilmesini sağlar. 1.5 Bitlik Birim Blok içeren ADC’nin daha büyük bir hatayı düzeltmesi Şekil 2.9’da görsel olarak anlatılmaktadır.



Şekil 2.9 : 1.5-Bitlik Birim Blok içeren ADC’de hata düzeltme işlemi-2

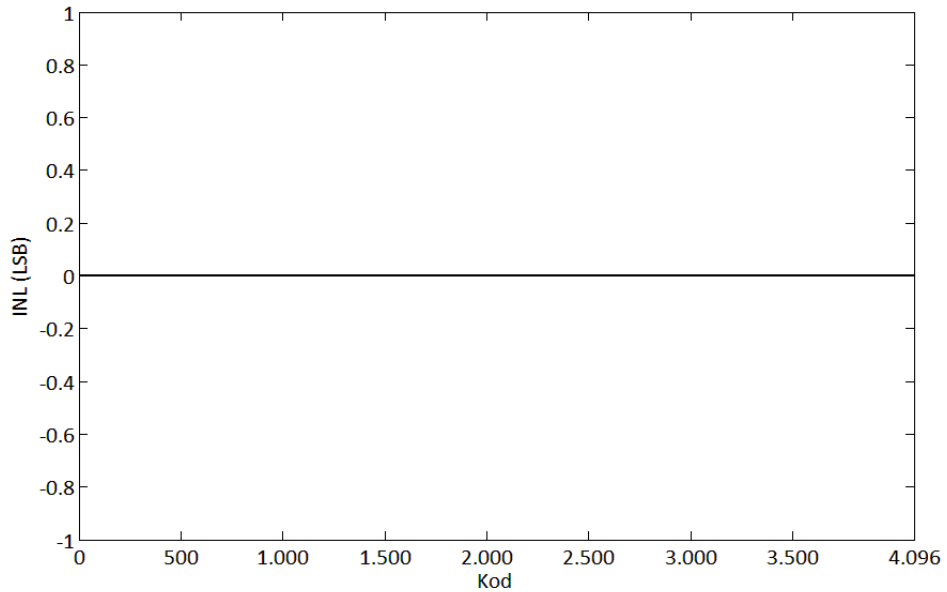
3. PIPELINE ADC TASARIMI

3.1 Pipeline Çevirici Matlab ve LTSpice Modellerinin Oluşturulması

Pipeline ADC'nin karakteristiklerinin gözlenmesi, hata kaynaklarının simüle edilmesi ve yapılan tasarımın ideal yapıyla karşılaştırılması için Pipeline ADC Tasarımı Matlab yazılım ortamında modellenmiştir. Bu çalışmada devreler LTSpice programıyla tasarlandığından, alt birimlerin performansını belirlemek için LTSpice modeli de oluşturulmuştur. Oluşturulan bu modellerde pratikte ideal olmayan devre elemanları sebebiyle oluşabilen hatalar simüle edilerek, hataların performansa etkisi belirlenmiştir. Kaynak [10] ve kaynak [11] ile belirtilen çalışmalarda da benzer yöntemlerle benzetimler yapıldığı görülmektedir.

3.1.1 Pipeline çevirici matlab modeli

Pipeline ADC Matlab modelinin oluşturulması için alt birimler fonksiyonlar olarak tasarlanmıştır. Bu fonksiyonların giriş ve çıkışları uygun şekilde birbirlerine aktararak tam çevirici modeli oluşturulmuştur. Şekil 3.1'de oluşturulan modele ait INL grafiği görülmektedir.

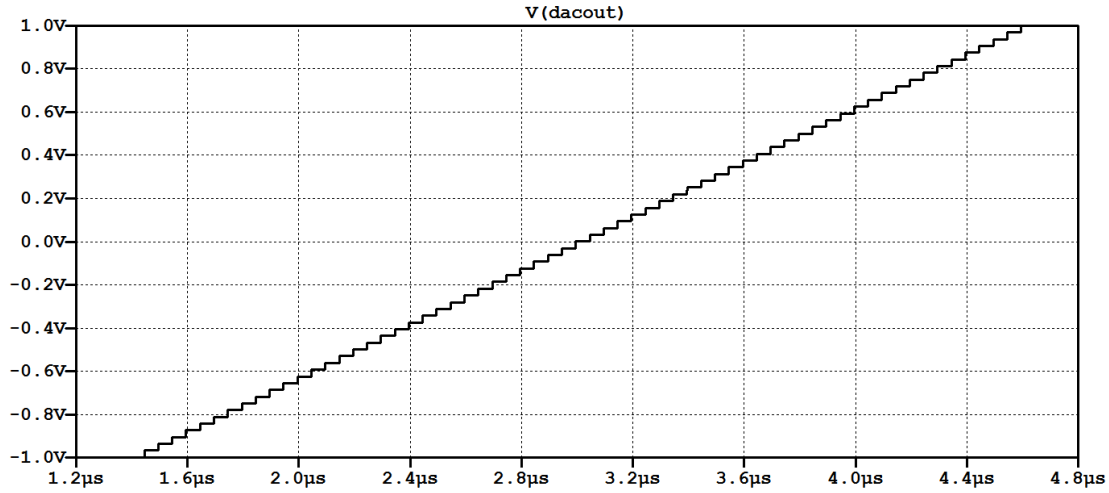


Şekil 3.1 : Pipeline ADC Matlab modeli ve ideal ADC çıkışı

Oluşturulan Matlab modelinde tüm birimler ideal olduğundan elde edilen çıkış ideal çeviriciyle aynıdır. Buradan Pipeline mimarisinin analogtan sayısal çevirme işlemini teorik olarak doğru yaptığı sonucu çıkmaktadır. Ayrıca tüm elemanlar teorik olduğu için INL hatası oluşmamaktadır. Ek-A'da çeviriciye ait kaynak kod görülmektedir.

3.1.2 Pipeline çevirici davranışsal spice modeli

Pipeline ADC Spice modelinin oluşturulması için alt birimler ideal davranışsal devre elemanları kullanılarak tasarlanmıştır. Bu uygulama için Linear Technology firmasının ücretsiz olarak sağladığı LTSpice simülasyon programı kullanılmıştır. Bu model aynı zamanda tasarımı yapılan alt blokların ADC performansına etkisinin gözlemlenmesini de sağlamaktadır. Şekil 3.2'de LTSpice modelinin çıkışı görülmektedir.

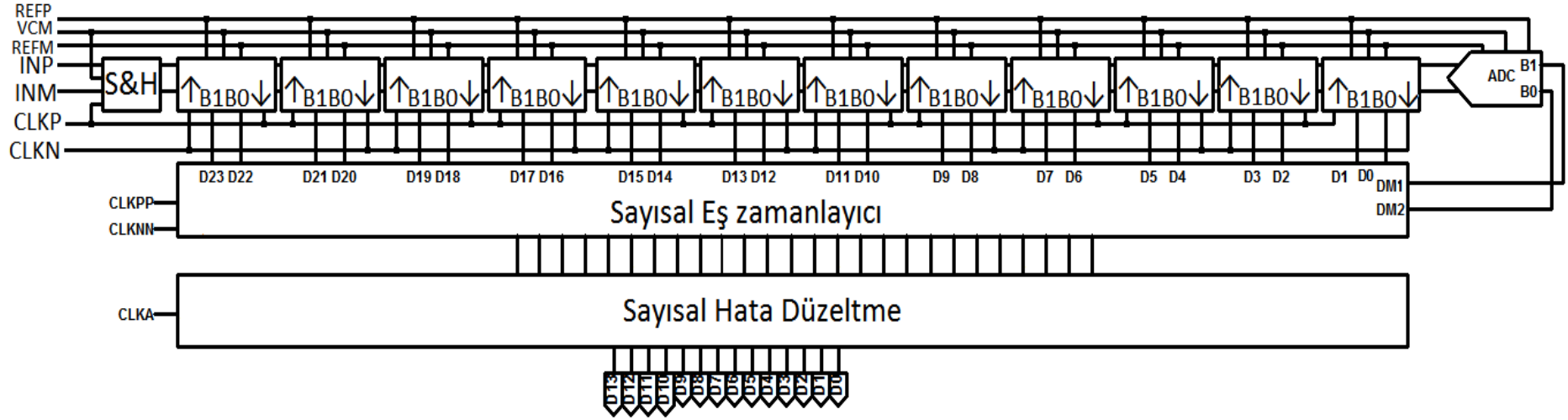


Şekil 3.2 : Pipeline ADC LTSpice modeli çıkışı

Oluşturulan LTSpice modelinde tüm birimler ideal olduğundan elde edilen çıkış ideal çeviriciyle aynıdır. Çevirici ideal olduğundan INL değeri “0” olarak elde edilmiştir. Şekil 3.3'te çeviriciye ait şematik çizim görülmektedir. Ek-B'de spice modeline ait altdevreler bulunmaktadır.

3.2 Alt Blokların Yapısı

Pipeline ADC'yi oluşturan alt bölümler girişte bulunan S/H birimi, 1.5-Bit Pipeline Birim Blokları, Eş zamanlama bölümü ve Sayısal Hata düzeltme bölümüdür. Bu birimlerin sistem seviyesindeki fonksiyonlarını çeşitli devrelerle gerçekleştirilebilir.

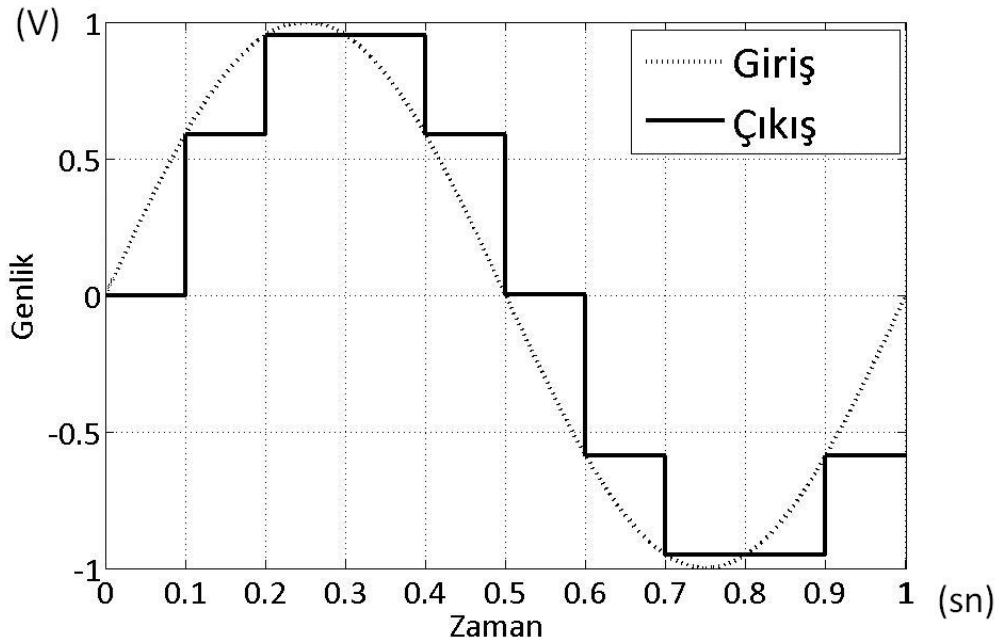


Şekil 3.3 : Pipeline ADC LTSpice modeli

Bilindiği gibi düşük gürültü istenen uygulamalarda farksal çalışan devreler kullanılmaktadır. Bu sebeple bu çalışmada kullanılan devreler farksal devrelerdir. Ayrıca alt bölümler saat işaretlerine bağlı çalıştığından anahtarlamalı kapasiteli devreler kullanılmıştır.

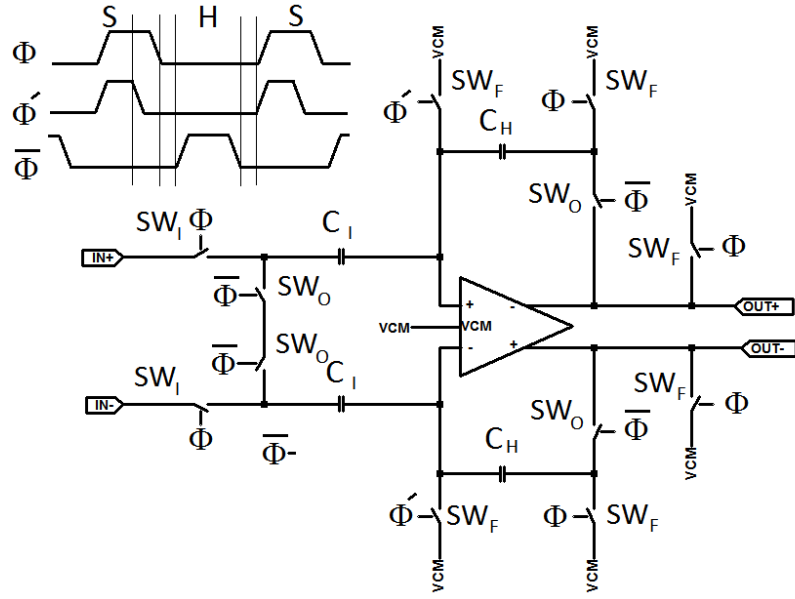
3.2.1 Giriş örnekleme birimi yapısı

Analog işaretin çevirici tarafından doğru şekilde işlenebilmesi için girişte çok az hatayla örneklenmesi gerekmektedir. Bu birimin çıkışında oluşacak bir hata giriş işaretinin yanlış algılanmasına dolayısıyla yanlış çevrime sebep olur. Bu sebeple çevirici performansını belirleyen en önemli birimlerden biri girişteki örnekleme birimidir. Şekil 3.4'te Örnekleme Tut Devresinin örnekleme ve tutma işlemi görülmektedir.



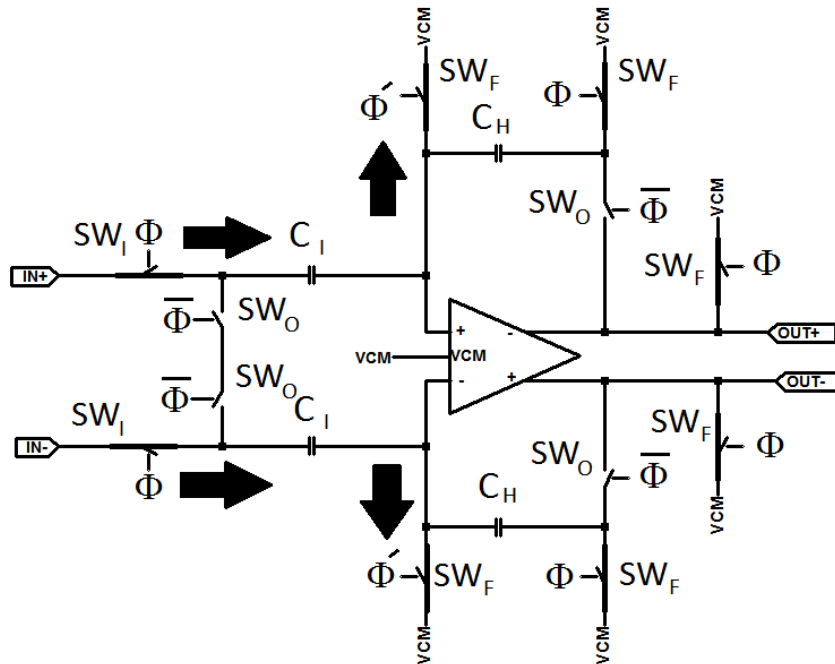
Şekil 3.4 : Örnekleme tut işlemi

Örnekleme Tut işlevini gerçekleştirecek birçok devre topolojisi olmakla beraber farksal örnekleme tut yükselteçleri olarak anılan yapılar geri beslemeli aktif devreler içerdiğinden yüksek doğruluklu S/H yükselteçleri olarak anılırlar. Bu çalışmada Kaynak [12] ile belirtilen farksal S/H yükselteç topolojisi kullanılmıştır. Bu yapıya ek olarak bazı yardımcı elemanlar da kullanılarak bir S/H yükselteç tasarımı gerçekleştirilmiştir. Bu devreye ait şema Şekil 3.5'te görülmektedir.



Şekil 3.5 : Örnekle Tut devresi tasarımında kullanılan topoloji[12]

Örnekle Tut işlevini yerine getiren devrede C_I kapasiteleri giriş işaretinin örneklendiği gerilimin tutulduğu kapasitelerdir. SW_I anahtarları giriş ile C_I kapasitesini bağlayan analog anahtarlardır. SW_F anahtarları yükselteç örnekleme modundayken opamı birim kazanç modunda tutmak için negatif geri besleme sağlayan bağlantıyı oluştururlar. Şekil 3.6'da örnekleme modundayken devrenin durumu görülmektedir.

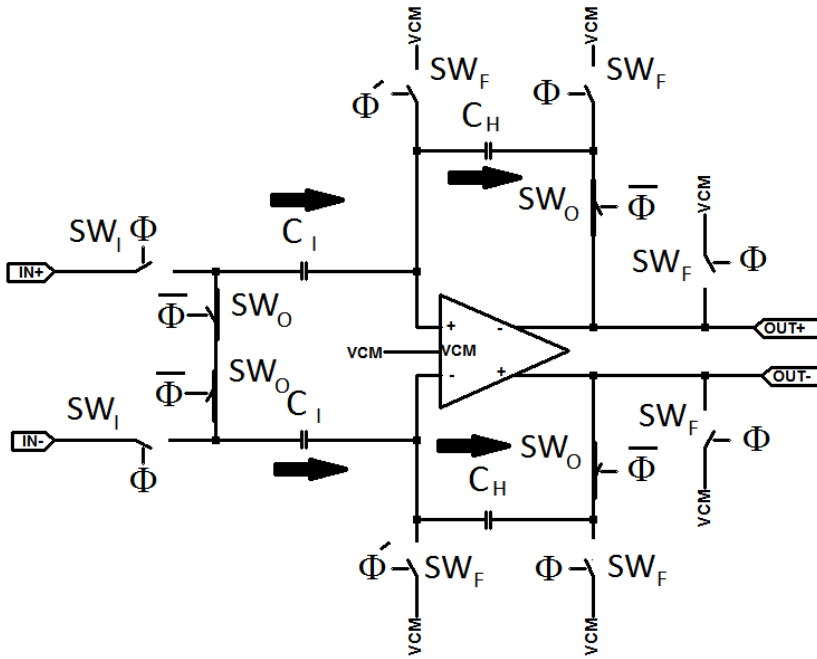


Şekil 3.6 : Örnekle Tut devresi örnekleme modu ($\Phi = 1, \bar{\Phi} = 0$)

Örnekleme modunda giriş gerilimi SW_I anahtarları üzerinden C_I kapasitelerine aktarılır. SW_F anahtarları C_I kapasitesi ile VCM referansı arasında devrenin tamamlanmasını sağlar. SW_F anahtarlarını kontrol eden Φ' işareti Φ işaretine göre daha erken sıfıra inerek SW_F anahtarlarının devreyi açmasına sağlar. Bu sayede SW_I anahtarları açılırken C_I kapasitesi üzerinden girişe bağlantı kesilerek yük kaybı önlenir. Bu esnada C_I kapasitesi üzerinde biriken yük eşitlik (3.1) ile verildiği gibi olur. Burada V_I giriş düğümleri üzerinde görülen farksal gerilim, Q_{C_I} ise C_I kapasiteleri üzerinde biriken yüküdür.

$$Q_{C_I} = (V_I - V_{VCM}) \times C_I \quad (3.1)$$

SW_O anahtarları ise S/H devresi hold moda geçtiğinde çıkış işaretinin oluşturulması için ilettime geçerek C_I kapasitelerindeki yükü C_H kapasitelerine kopyalarlar. Böylece giriş gerilimi çıkışa yansıtılarak örnekleme ve tutma işlemi gerçekleştirilmiş olur. Şekil 3.7'de tutma modundayken devrenin durumu görülmektedir.



Şekil 3.7 : Örnekle Tut Devresi Tutma Modu ($\Phi = 0, \bar{\Phi} = 1$)

Tutma modunda devre çıkışında oluşan gerilim (3.2), (3.3), (3.4) ve (3.5) denklem takımlarında görülmektedir. $\Phi = 0, \bar{\Phi} = 1$ iken tam farksal opamp C_H kapasitesi üzerinden aldığı negatif geri beslemeyle + ve - girişlerini VCM'e eşitler. Bu durumda C_I kapasitesi üzerinde biriken yükün tamamı C_H kapasitesine aktarılır.

$$Q_{C_H}^2 = Q_{C_I}^1 \quad (3.2)$$

$$(V_O - V_{VCM}) \times C_H = (V_I - V_{VCM}) \times C_I \quad (3.3)$$

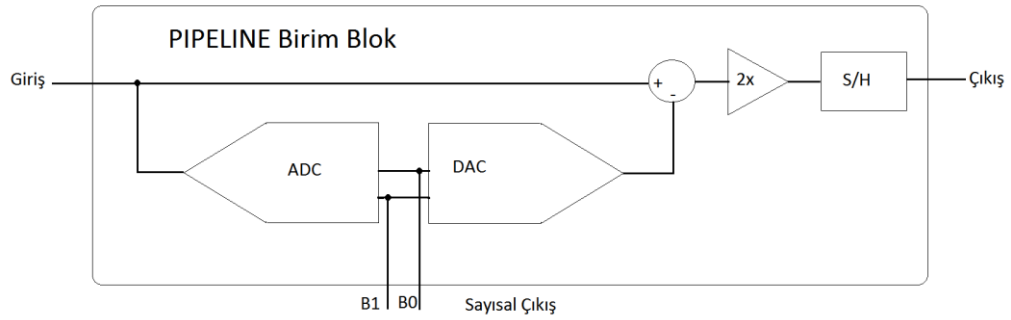
$$C_I = C_H \quad (3.4)$$

$$V_O = V_I \quad (3.5)$$

C_I ve C_H kapasite değerleri aynı olduğundan ve C_I kapasitesi üzerindeki yük aktif devreyle C_H kapasitesine kopyalandığından V_I gerilimi çıkışa V_O olarak kopyalanmış olur. Burada V_O değişkeni farksal çıkış gerilimidir.

3.2.2 Pipeline birim çeviricinin yapısı

Çeviricinin temel yapı taşı olan 1.5-Bitlik birim çevirici bir ADC, DAC, kazanç bloğu ve çıkış örnekle tut devresinden oluşur. Bu yapı Şekil 3.8’de görülmektedir. Çevirici çıkışındaki sayısal veriler ADC ile oluşturulurken, analog çıkışlar ise MDAC olarak adlandırılan tek devreyle oluşturulur. MDAC devresi aynı anda hem DAC, hem kazanç bloğu, hem de S/H devresi olarak çalışmaktadır.



Şekil 3.8 : Pipeline 1.5 Bitlik birim blok iç yapısı

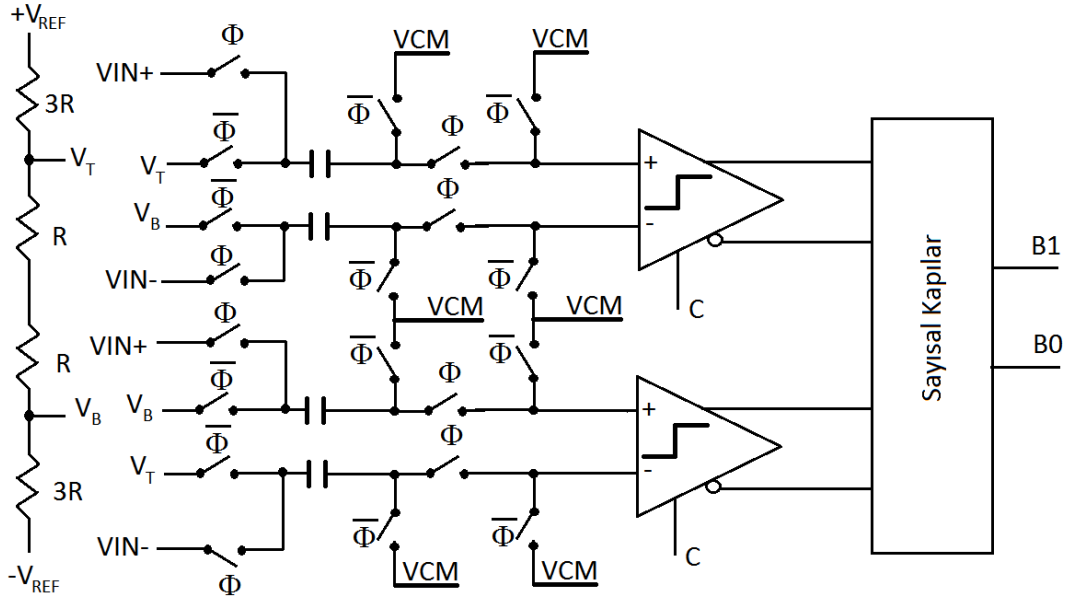
3.2.2.1 Pipeline birim çeviricide sayısal verilerin elde edilmesi

1.5-Bitlik birim çeviricide sayısal çıkışlar FLASH ADC ile elde edilir. ADC'ye ait transfer fonksiyonu Çizelge 3.1’de görülmektedir. Burada V_{IN} farksal giriş gerilimi, B_1 ve B_0 sayısal çıkışlar, V_{REF} ADC'nin tam ölçek dönüştürme referansıdır. Flash ADC'nin karşılaştıracığı üç aralık olduğundan iki adet farksal karşılaştırıcı kullanılmaktadır. Şekil 3.9’da Flash ADC'nin devre yapısı görülmektedir.

Çizelge 3.1 : 1.5 Bitlik Pipeline Bloğu transfer fonksiyonu.

Koşul	B ₁	B ₀
$V_{IN} > \frac{V_{REF}}{4}$	1	0
$\frac{V_{REF}}{4} \geq V_{IN} \geq \frac{-V_{REF}}{4}$	0	1
$V_{IN} < \frac{-V_{REF}}{4}$	0	0

Karşılaştırıcılara ait kontrol C olarak belirtilen giriş ile yapılmaktadır, bu giriş Lojik 1 olduğunda karşılaştırma işlemi gerçekleşmektedir. $\Phi=0$, $\bar{\Phi}=1$ iken anahtarlar kapasiteleri ilgili referans gerilimleriyle şarj edecek konumdadır. $\Phi=1$, $\bar{\Phi}=0$ olduğunda giriş gerilimleri ve karşılaştırıcı girişleri kapasitörlere bağlanır. Bu kapasitörlerin üzerindeki gerilim giriş gerilimine zıt yönlü olduğundan, karşılaştırıcı girişinde görülen gerilim, giriş gerilimlerinden referanslar çıkartılarak elde edilen gerilim olur. Bu sayede karşılaştırıcı giriş gerilimlerinin eşik referans gerilimlerinden büyük ya da küçük olduğuna karar verebilir.



Şekil 3.9 : 1.5-Bit Flash ADC devresi

3.2.2.2 Pipeline birim çeviricide analog verilerin elde edilmesi

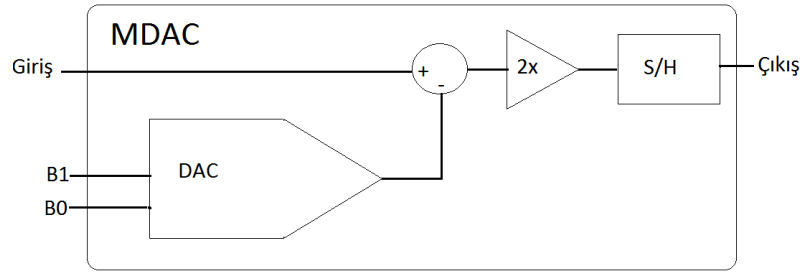
1.5-Bitlik birim çeviricide analog çıkışlar MDAC ile elde edilir. MDAC devresi Flash ADC'den almış olduğu sayısal bilgiye göre uygun transfer fonksiyonunu seçerek ve önceden örneklemiş olduğu giriş gerilimi kullanarak analog çıkışı üretir.

Devre anahtarlamalı kapasitörlerden oluştuğundan aynı zamanda örnekleme tutma devresinin Tutma fonksiyonunu yerine getirirler. Çizelge 3.2’de Flash ADC’den gelen sonuçlara karşılık gelen transfer fonksiyonları görülmektedir.

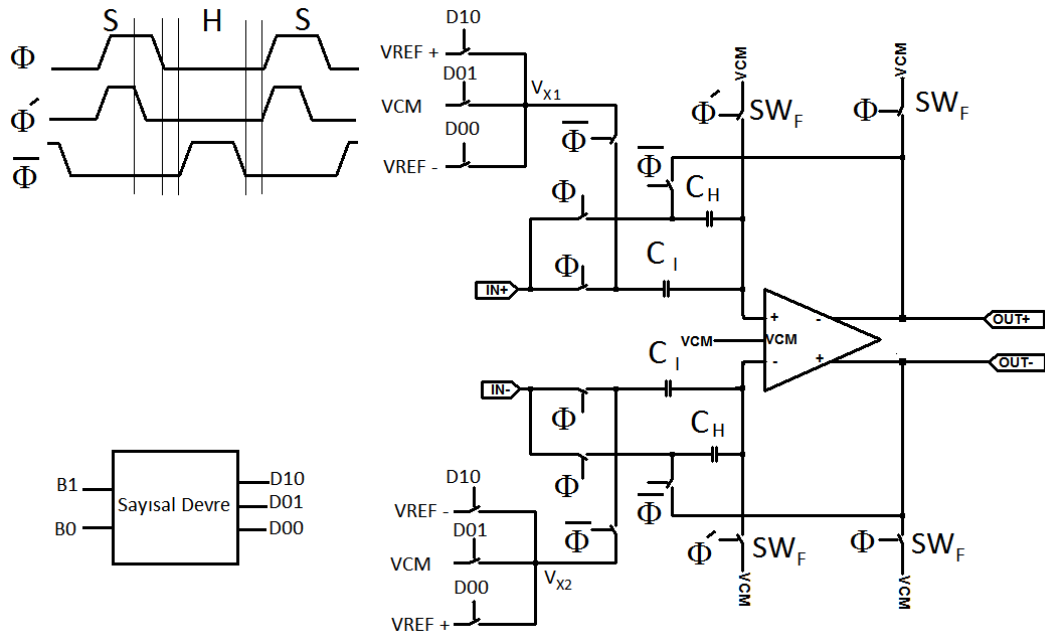
Çizelge 3.2 : 1.5 Bitlik Pipeline Bloğu Transfer Fonksiyonu.

B_1	B_0	Transfer Fonksiyonu
1	0	$V_{OUT} = 2 \times V_{IN} - V_{REF}$
0	1	$V_{OUT} = 2 \times V_{IN}$
0	0	$V_{OUT} = 2 \times V_{IN} + V_{REF}$

Burada V_{IN} farksal giriş gerilimi, B_1 ve B_0 sayısal girişler, V_{REF} ADC’nin tam ölçek dönüştürme referansı, V_{OUT} çıkış gerilimidir. Şekil 3.10’da MDAC’in fonksiyonel karşılığı görülmektedir. MDAC devresi de S/H devresi gibi anahtarlamalı kapasitörlerden oluşan bir devredir. Şekil 3.11’de ise MDAC devresinin yapısı görülmektedir.



Şekil 3.10 : MDAC devresinin kavramsal karşılığı



Şekil 3.11 : MDAC Devresinin yapısı

MDAC devresinde Φ ve $\bar{\Phi}$ saat işaretleri, diğer devrelerde olduğu gibi örtüşmeyen saat işaretleridir. Φ' işareti ise S/H devresinde olduğu gibi Φ işaretinden önce sıfıra inen saat işaretidir. $\Phi=1, \bar{\Phi}=0$ durumu için kapasitelere ait yüklerin denklemleri yazıldığında (3.6), (3.7) ile gösterilen denklemler elde edilir.

$$Q_{C_I}^1 = (V_I - V_{VCM}) \times C_I \quad (3.6)$$

$$Q_{C_H}^1 = (V_I - V_{VCM}) \times C_H \quad (3.7)$$

$\Phi=0, \bar{\Phi}=1$ işaretleri oluştuğunda tam farksal opamp negatif geri besleme aldığından opampın + ve - girişlerindeki gerilim değerleri VCM olur. Ayrıca sayısal devre Flash ADC'den gelen veriye göre ilgili anahtarları aktif ederek V_X düğümlerinde gerekli gerilimi oluşturur. Bu durumda kapasitelere önceden depolanmış yüklerden gelen yeni yükler (3.8), (3.9) denklemleriyle gösterildiği gibi olur. (3.10), (3.11), (3.12) ve (3.13) eşitlikleri kullanılarak çıkış ifadesi elde edilebilir.

$$Q_{C_H}^2 = (V_O - V_{VCM}) \times C_H \quad (3.8)$$

$$Q_{C_I}^2 = (V_X - V_{VCM}) \times C_I \quad (3.9)$$

$$\sum \Delta Q = Q_{C_I}^1 - Q_{C_I}^2 + Q_{C_H}^1 - Q_{C_H}^2 = 0 \quad (3.10)$$

$$C_H = C_I \quad (3.11)$$

$$V_I - V_{VCM} - V_X + V_{VCM} + V_I - V_{VCM} - V_O + V_{VCM} = 0 \quad (3.12)$$

$$V_O = 2 \times V_I - V_X \quad (3.13)$$

V_X geriliminin değeri $+V_{REF}$, $-V_{REF}$ ve 0 olabilir. Bu sayede gerekli transfer fonksiyonu sağlanmış olur.

3.2.3 Son kat 2-bit flash çeviricinin yapısı

Son katta bulunan 2-Bit Flash ADC'nin yapısı 1.5 Bit Flash ADC ile aynıdır. Ancak 4 aralık olduğundan 3 adet karşılaştırıcı içerir. Çizelge 3.3'te karşılaştırıcı fonksiyonu görülmektedir.

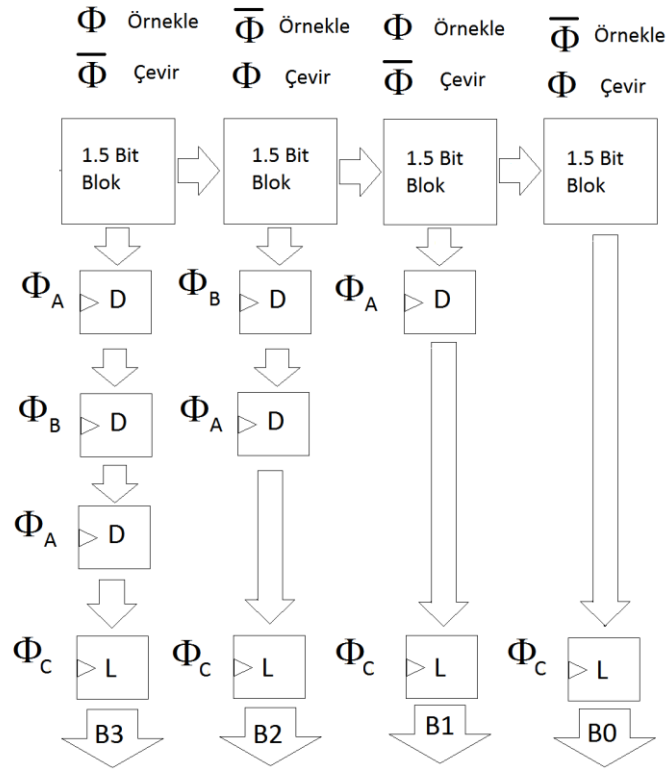
Çizelge 3.3 : 2- Bitlik Karşılaştırıcı Fonksiyonu.

Koşul	B ₁	B ₀
$V_{IN} > \frac{V_{REF}}{2}$	1	1
$V_{IN} \geq 0$	1	0
$V_{IN} > \frac{-V_{REF}}{2}$	0	1
$V_{IN} \leq \frac{-V_{REF}}{2}$	0	0

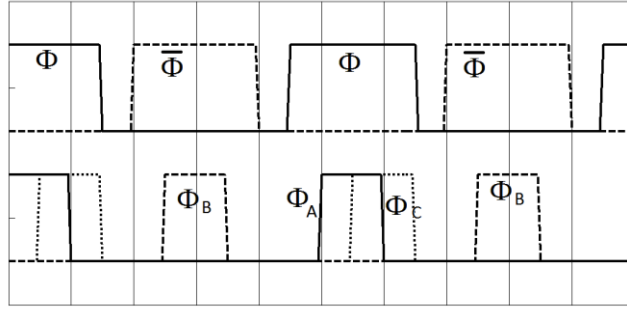
Burada V_{IN} farksal giriş gerilimi, B_1 ve B_0 sayısal çıkışlar, V_{REF} ADC'nin tam ölçek gerilimidir.

3.2.4 Eş zamanlama bloğunun yapısı

Pipeline ADC birim bloklarından alınan veriyi eş zamanlı hale getiren devre birim gecikme blokları yani D-Flip-Flop'lardan oluşan sayısal devredir. Çıkışında bulunan Latch ile sayısal çıkışı muhafaza eder. Şekil 3.12'de eş zamanlama bloğu yapısı görülmekte, Şekil 3.13'te ise eş zamanlama bloğuna ait saat işaretlerinin birbirlerine göre durumu yer almaktadır.



Şekil 3.12 : Eş zamanlama bloğunun yapısı

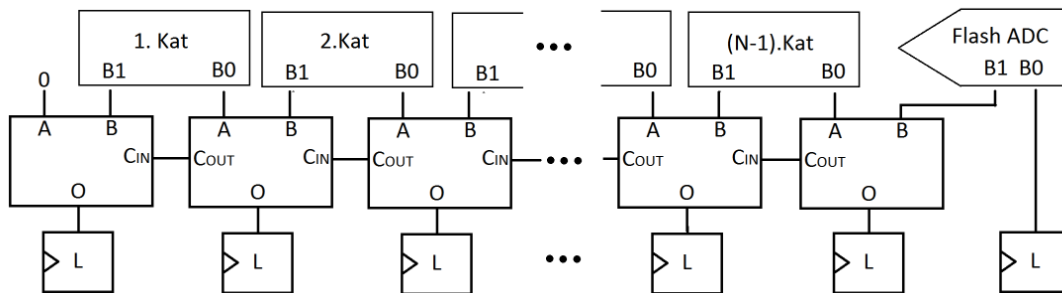


Şekil 3.13 : Eş zamanlama devresinde saat işaretleri

Φ ve $\bar{\Phi}$ işaretleri örtüşmeyen saat işaretleridir ve birim blokların çalışmasını sağlarlar. Birim blok içerisinde bulunan Flash ADC çıkış için gerekli veriyi bulunduğu yarı periyot içerisinde oluşturduğundan sonraki yarı periyot için saat işareti geldiğinde veri birim blokların çıkışlarındaki tutuculara yüklenir. Sayısal devrelerdeki gecikme sebebiyle sorun oluşmaması açısından eş zamanlama devresine ait Φ_A ve Φ_B işaretleri buldukları yarı periyot başlangıçlarından belirli bir süre gecikmeyle oluşturulur. Sayısal devrelerdeki yayılım gecikmesinin sorun oluşturmaması için Φ_C işareti de Φ işareti başlangıcına göre belirli bir gecikmeyle oluşturulur. Böylece Φ örnekleme periyoduyla örneklenen giriş işareti sayısala çevirildikten sonra eş zamanlama devresi çıkışında Φ_C işaretiyle tutuculara yazılır.

3.2.5 Sayısal hata düzeltme bloğunun yapısı

Eş zamanlama bloğundan alınan sayısal veriyi ADC çıkışı için anlamlı hale getiren birim hata düzeltme birimidir. Sayısal devrelerden oluşan bu birimin temelini Tam Toplayıcılar oluşturur. Yayılım gecikmesinin sorun oluşturmaması için çıkış bölümünde tutucular bulunmaktadır. Son kat Flash ADC için kendisinden sonra gelen bir blok olmadığından hata düzeltme yapılamamaktadır. Bu sebeple son bit çıkışa doğrudan verilir ya da yoksayılır. Şekil 3.14’te bloğa ait yapı görülmektedir.



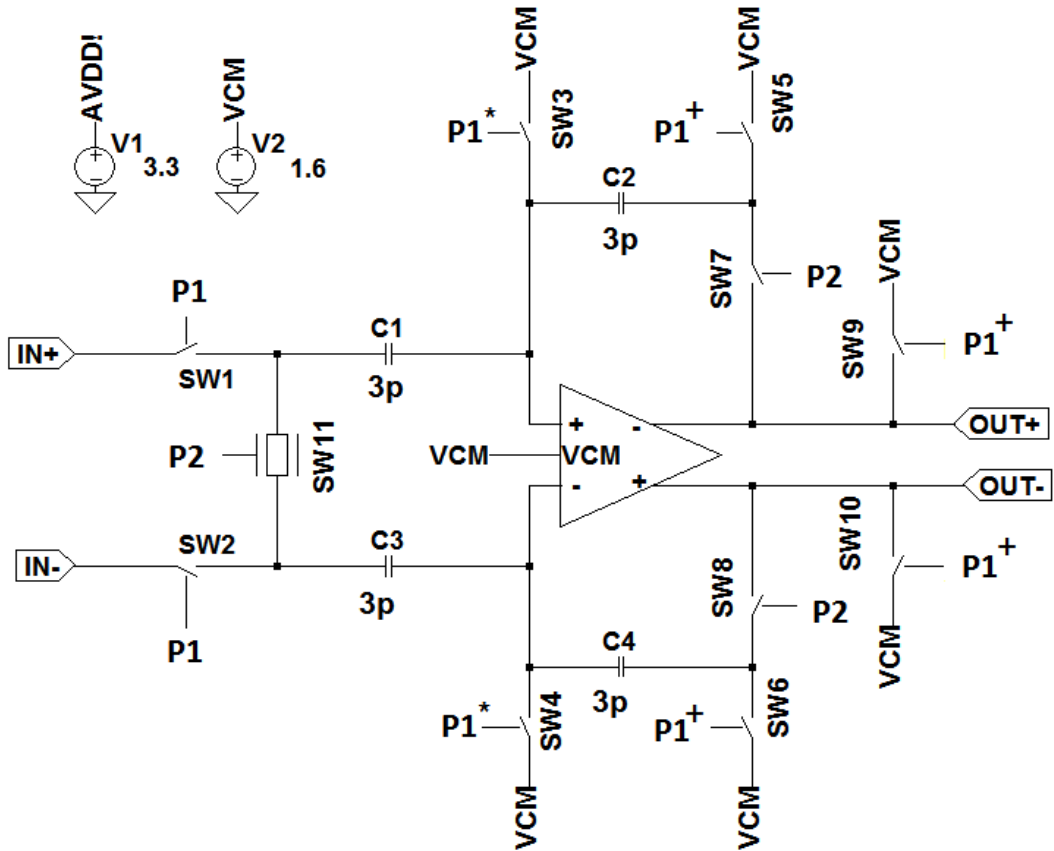
Şekil 3.14 : Sayısal hata düzeltme bloğunun yapısı

3.3 Alt Blokların Tasarımı

Pipeline ADC'yi oluşturan alt bölümlerin tasarımları mimarinin yapısında bulunan anahtarlama özelliği sebebiyle anahtarlama kapasitörlü devrelerle gerçekleştirilmiştir. Tasarımlar yapılırken hedeflenen özellikleri elde etmek için öncelikle tasarım ölçütleri belirlenmiş, bu ölçütleri sağlayacak topoloji ve devre elemanları seçilmiştir.

3.3.1 Giriş örnekle-tut birimi ve alt bloklarının tasarımı

Tasarımı yapılan Örnekle Tut devresine ait şema Şekil 3.15'te verilmiştir. Burada SW_1 ve SW_2 anahtarları önyüklenmiş anahtarlardır ve geçit gerilimleri ile giriş gerilimleri arasındaki fark sabittir. Bu sayede MOS transistörlerin geçitlerinin kontrol gerilimlerinin, giriş gerilimi seviyesine bağlı olarak değişmesinin önüne geçilir. $SW_3, SW_4, SW_5, SW_6, SW_9$ ve SW_{10} anahtarları örnekleme modunda C_1 ve C_3 kapasitelerinin referans gerilimine bağlanmasını sağlarken aynı zamanda opampa negatif geri besleme sağlarlar. SW_7, SW_8 ve SW_{11} anahtarları ise tutma modunda çıkış gerilimini oluşturacak yolu sağlar.



Şekil 3.15 : Tasarımı Yapılan Örnekle Tut Devresi

P_1^* işareti P_1 fazı bitmeden önce SW_3 ve SW_4 anahtarlarını açarak örnekleme kapasitesi C_1 üzerinde giriş anahtarlarının fazladan yük alışverişi yapmasını engeller. Ayrıca bu anahtarların açılması kaynaklı oluşan yük fazlalığı da sabit olduğundan ve devre de tam farksal olduğundan istenmeyen fazladan sarj telafi edilmiş olur. Bu anahtarlama yöntemine alt taban örnekleme adı verilmektedir. P_1^+ işareti de örtüşmeyen saat işaretleri P_1 ve P_2 arasında opampın çıkışını VCM geriliminde tutarak opampın açık çevrimde kalması sonucu çıkış gerilimlerinin aşırı yükselerek trioda gitmesini engeller ve P_2 fazında opampın trioddan çıkması için geçecek sürenin önüne geçilmiş olur.

Çıkışta oluşan gerilimin son değeri opampın açık çevrim kazancına, geribesleme faktörüne ve birim kazançtaki bant genişliğine bağlıdır. Eşitlik (3.14) ile verilen denklem ile açık çevrim kazancı A , geri besleme faktörü β olan bir opamp için çıkış geriliminin DC olarak oturduğu değer görülmektedir. Eşitlik (3.15) ile bit çözünürlüğü N olan ADC için her LSB başına karşılık gelen gerilim görülmektedir. $V_{IN_{MAX}} = V_{REF}$ olarak düşünüldüğünde Eşitlik (3.14) kullanılarak çıkış geriliminin oturduğu DC değer belirlenebilir.

$$V_{OUT} = \frac{A}{1 + \beta A} \times V_{IN} \quad (3.14)$$

$$1 \text{ LSB} = \frac{V_{REF+} - V_{REF-}}{2^N} \quad (3.15)$$

S/H yükseltecinde birim geri besleme olduğundan $\beta = 1$ 'dir. 14 Bitlik bir çeviricide $\frac{1}{2}$ LSB hataya oturması için kazanç değeri A Eşitlik 3.14'ten çekilirse 90 dB olarak belirlenir. Yani S/H çıkışının oturduğu DC değer en fazla $\frac{1}{2}$ LSB hataya sahip olması için tam farksal opampın kazancı en az 90 dB olmalıdır.

DC hata dışında opampın çıkışının zamana bağlı değişiminin değerlendirilmesi için AC karakteristiğinin incelenmesi gerekmektedir. Kararlı bir opampın çıkışı tek kutuplu bir devre olarak değerlendirilebilir. Kesim frekansı f_c olan böyle bir opampın çıkış işareti zaman sabiti τ ile f_c arasındaki bağıntı Eşitlik (3.16) ile görülmektedir. S/H devresi birim kazançta çalışan bir devre olduğundan çıkış işareti son değeri giriş işaretine oturacaktır. Çıkış işaretinin giriş işaretine oturmasının zamana göre değişimi Eşitlik (3.17) ile verilen ifadede görülmektedir.

$$f_c = \frac{1}{2\pi\tau} \quad (3.16)$$

$$V_{OUT}(t) = V_{IN} \times (1 - e^{-\frac{t}{\tau}}) \quad (3.17)$$

Opamp çıkışının oturduğu son değerin ½ LSB adıma karşılık bir gerilime gelmesi için Eşitlik 3.17'den τ değeri çekilirse 14 Bit bir ADC için gerekli oturma zamanı 10.4τ olarak elde edilir. Buradan hareketle Eşitlik (3.18) ile verilen ifadede ADC çevrim periyotunun toplam süresi T_S görülmektedir. Burada T_{ST} opampın çıkışının zamana bağlı olarak oturduğu değer, t_{OV} ise iki yarı periyot arasındaki örtüşmenin engellenmesi için gereken gecikme miktarıdır. Eşitlik (3.19) ile burada verilen değerlerle yapılan tasarımın ulaşabileceği azami çevrim hızı F_S hesaplanmaktadır.

$$T_S = 2 \times T_{ST} + t_{OV} \quad (3.18)$$

$$F_S = \frac{1}{T_S} \quad (3.19)$$

Örnekle Tut devresine ait parametreleri belirleyen faktörler kullanılan anahtarlar ve tam farksal opampın performanslarıdır. Bu elemanların başarımları S/H devresinin performansını belirler. EK C1'de bu devreye ait spice netlist bilgileri yer almaktadır.

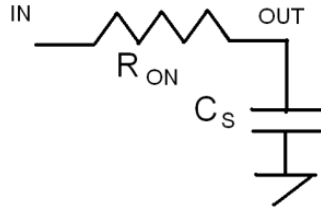
3.3.1.1 Örnekle tut devresi önyüklemeli giriş anahtarlarının tasarımı

Örnekle tut devresinde oluşacak hatalar çeviricinin kalan kısmına kadar etkisini sürdürdüğünden örnekleme işlemi sırasında mümkün olduğunca az hata yapılmalıdır. Şekil 3.16'da giriş anahtarlarının iç direnci ve örnekleme kapasitesinden oluşan devre görülmektedir. Bu devrede R_{ON} anahtar elemanı iç direnci, C_S ise örnekleme kapasitesidir. R_{ON} direnç ifadesi eşitlik (3.20) ile gösterilmektedir.

$$R_{ON} = \frac{V_{DS}}{I_D} \quad (3.20)$$

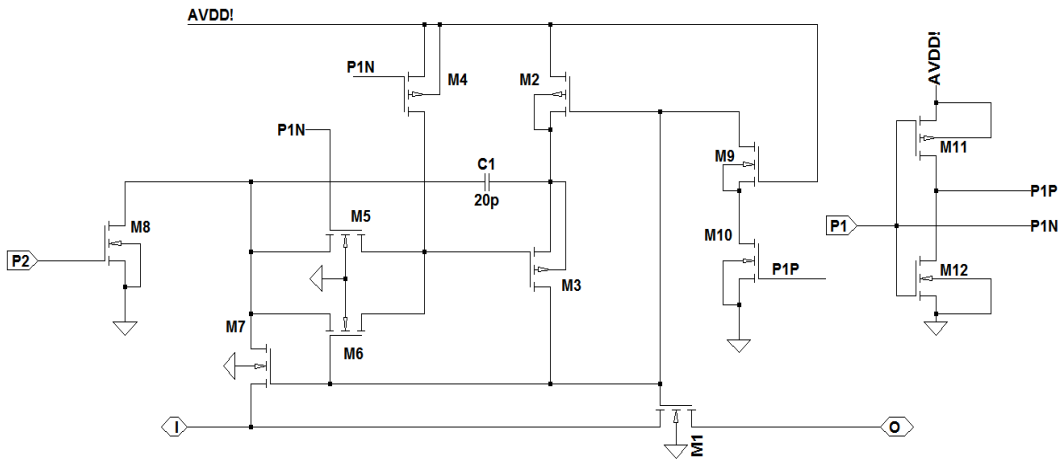
Bu eşitlikte görüldüğü gibi direnç değeri V_{DS} gerilimi ve I_D akımına bağlıdır. V_{DS} gerilimi giriş işareti tarafından belirlendiğine göre tasarımda belirlenebilecek değişken I_D akımı olur. Yani I_D akımı V_{DS} gerilimini doğrusal olarak izlemelidir.

Bu durumu oluşturmanın yöntemi ise I_D akımını MOS transistör parametrelerinden bağımsız hale getirmektir.



Şekil 3.16 : Anahtar direnci ve örnekleme kapasitesi modellenmesi

Bu durumu sağlamak için kaynak [13] çalışmasından alınan devre Şekil 3.17’de verilmiştir. Bu devrede amaç V_{GS} gerilimini sabit tutarak I_D akımını V_{GS} geriliminden bağımsız hale getirerek sabit direnç oluşturmaktır.

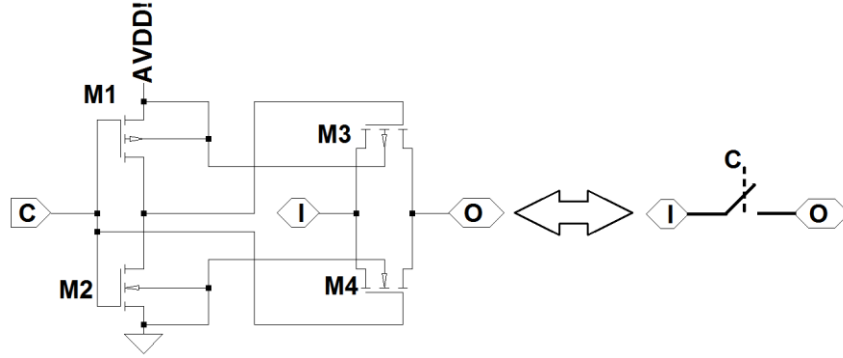


Şekil 3.17 : S/H Tasarımında kullanılan ön yüklemeli anahtar [13]

Devre P_2 fazındayken M_{10} ve M_9 transistörüyle M_2 transistörü iletime geçirilerek C_1 kapasitörünün bir ucunun besleme gerilimine bağlanması sağlanır. Aynı zamanda M_8 transistörü de iletime olacağından C_1 kapasitörünün diğeri ucu da toprağa bağlanmış olur ve toprak ile besleme gerilimi arasına bağlanmış olan C_1 kapasitörü besleme gerilimine yakın bir değerle şarj olur. Devrede P_1 fazına geçildiğinde kapasitörün uçları M_1 transistörünün kaynak ve geçit uçları arasına bağlanır. Bu sayede her anahtarlama periyodunda M_1 transistörü sabit gerilimle açıldığından R_{ON} direnci sabit hale gelir. Bu tasarımda R_{ON} direnci 24Ω olarak elde edilmiştir. EK C2’de bu devreye ait spice netlist bilgileri yer almaktadır.

3.3.1.2 Örnekle tut devresi genel amaçlı anahtarlarının tasarımı

Anahtar elemanı olarak kullanılan devre Şekil 3.18’de verilmiştir. M_1 ve M_2 transistörleri uygun kontrol işaretini oluştururken M_3 ve M_4 transistörleri giriş ile çıkış arasında geçişi sağlar. M_3 ve M_4 transistörlerine ait kanal boyu ve genişlikleri kapasitif ve resistif etkileri minimum olacak şekilde belirlenmiştir. Yapılan tasarımda anahtar direnci 70Ω olarak elde edilmiştir. Ek C3’te bu devreye ait spice netlist bilgileri yer almaktadır.

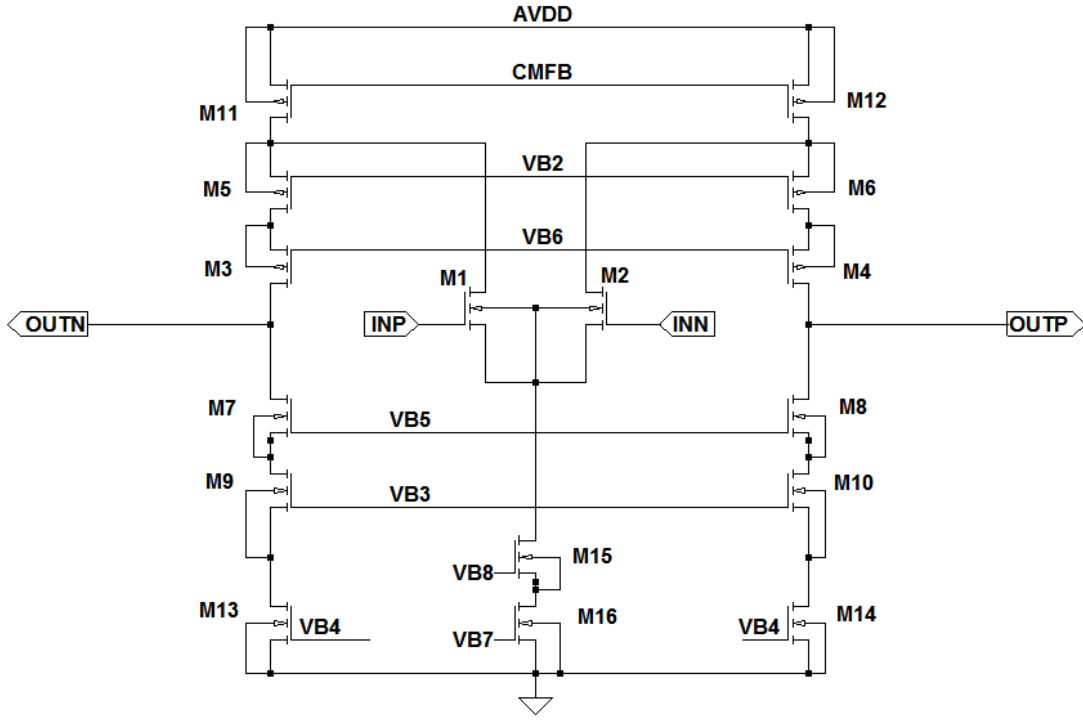


Şekil 3.18 : S/H Devresi genel amaçlı analog anahtarı

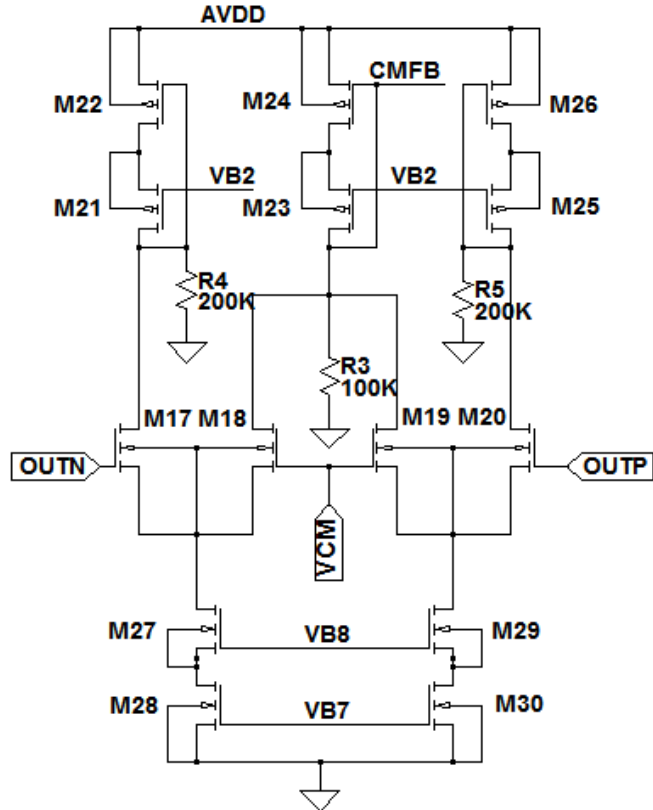
3.3.1.3 Örnekle tut devresine ait işlemsel yükselteç tasarımı

Çözünürlük Biti Sayısı ve hız gereksinimleri göz önüne alındığında S/H devresi için yüksek kazançlı ve yüksek hızlı bir opamp tasarlanması gerektiği görülmektedir. Bu sebeple bu çalışmada tek katlı olması sebebiyle hız açısından avantaj sağlayan, kazanç olarak yeterli seviyelere ulaşabilen folded double cascode yapısı kullanılmıştır. Şekil 3.19’da tam farksal yükselteç kısmı, Şekil 3.20’de ortak mod geri besleme kısmı ve Şekil 3.21’de kutuplama devreleri kısmı görülmektedir. bu devreye ait şema görülmektedir. Devrede kutuplama akımları $100 \mu A$, $500 \mu A$ olarak belirlenmiş, AVDD besleme gerilimi prosesin elverdiği azami değer olan $3.3 V$ olarak seçilmiştir. Ek C4’te bu devreye ait spice netlist bilgileri bulunmaktadır.

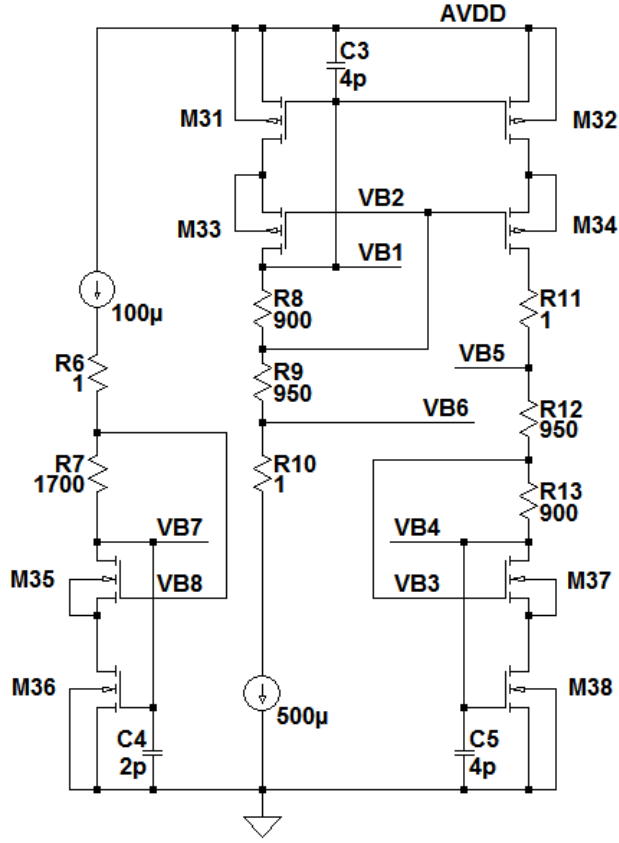
Folded double cascode yapısında kazanç M_1 ve M_2 transistörlerinin transkondüktansına ve çıkış direncine bağlıdır. Eşitlik (3.21) opampa ait kazanç ifadesidir. Burada A_V opampın gerilim kazancı, R_{OUT} ise çıkış direncidir. g_{m1} olarak ifade edilen parametre ise girişteki farksal çiftteki M_1 ya da M_2 eş transistörünün transkondüktansıdır. Transistörlerin çıkış dirençleri de r_o ile ifade edilen parametrelerdir.



Şekil 3.19 : Tam Farksal Opamp (Yükselteç Kısmı)



Şekil 3.20 : Tam Farksal Opamp (Ortak Mod Geri Besleme Kısmı)



Şekil 3.21 : Tam Farksal Opamp (Kutplama Devresi Kismı)

Bu eşitliklerde verilen R_{OUT} , g_m ve r_o parametreleri çeşitli yaklaşımlarla hesaplanabilmektedir. Eşitlik ve (3.22), (3.23), ve (3.24) bu parametrelerin belirlenmesi için kullanılmaktadır. Burada I_D transistörlere ait savak akımı, λ parametresi kanal boyu modülasyonu parametresi, V_{ON} transistörlerin kutuplandıkları açma gerilimi, V_{DS} ise savak-kaynak gerilimidir. Ek C4'te bu devreye ait spice netlist bilgileri yer almaktadır.

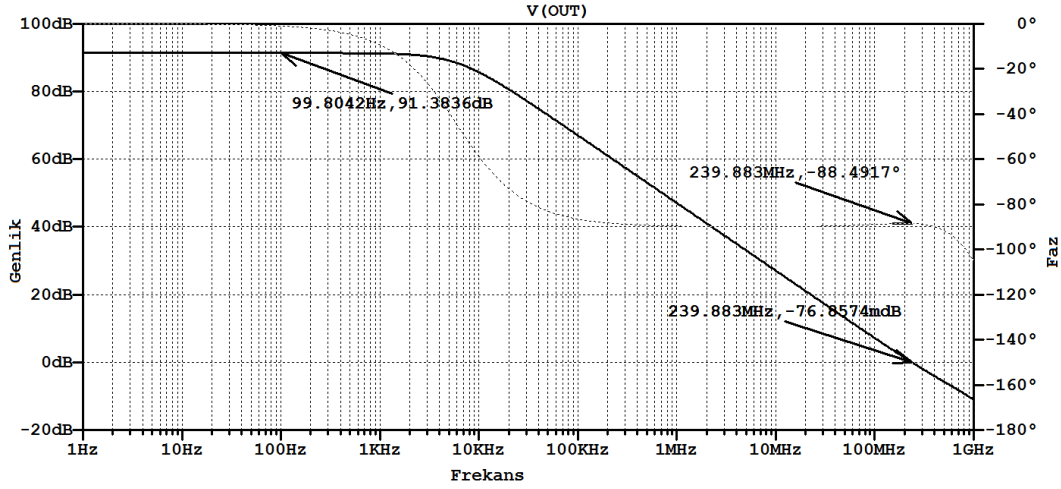
$$A_v = g_{m1} \times R_{OUT} \quad (3.21)$$

$$R_{OUT} = (g_{m8} \cdot r_{o8} \times g_{m10} \cdot r_{o10} \times r_{o14}) \parallel ((g_{m4} \cdot r_{o4} \times g_{m6} \cdot r_{o6}) \times (r_{o2} \parallel r_{o14})) \quad (3.22)$$

$$g_m = \frac{2I_D}{V_{ON}} \quad (3.23)$$

$$r_o = \frac{1}{\lambda I_D} \quad (3.24)$$

Tasarımı yapılan opampa ait açık çevrim genlik ve faz grafiği Şekil 3.22’de, diğer parametreler de Çizelge 3.4’te görülmektedir.



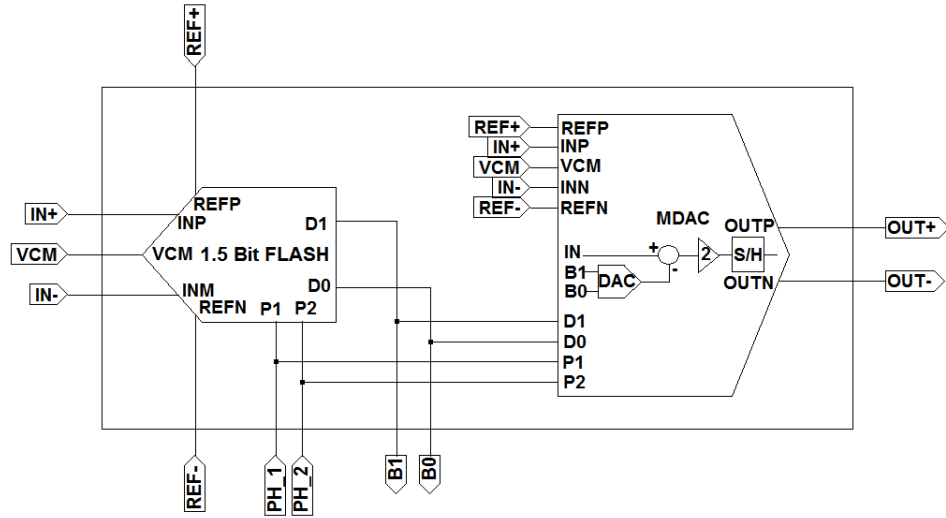
Şekil 3.22 : Örnekle tut devresi işlemsel yükseltici farksal mod açık çevrim frekans cevabı

Çizelge 3.4 : Tasarımı yapılan opampa ait parametreler

Parametre	Değer
Farksal Mod Açıkçevrim Kazancı A_V	91 dB
Ortak Mod Açıkçevrim Kazancı	93 dB
Farksal Mod Faz marjini PM	92°
Ortak Mod Faz Marjini	50°
Farksal Mod Bant Genişliği	240 MHz
Ortak Mod Bant Bastırma Bant Genişliği	195 MHz
Birim Kazançta Çıkış Gürültüsü	71 μV_{RMS}
Ortak Mod Gerilimi VCM	1.6 V
Giriş gerilimi aralığı	± 200 mV
Çıkış gerilim aralığı	± 200 mV
Statik Güç Tüketimi	44 mW

3.3.2 Birim çevirici blok tasarımı

Birim çevirici blok tasarımında girişten alınan işaretin hızlı bir şekilde sayısalaya çevrilmesi için ADC tasarımı tam farksal Flash ADC ile gerçekleştirilmiştir. Birim çevirici bloğun gerçekleştirilmesi gereken fonksiyonları daha hızlı icra edebilmesi için DAC kısmını oluşturan kısım ise MDAC devresiyle gerçekleştirilmiştir. Bahsedilen alt blokları içeren Birim çevirici bloğa ait şema Şekil 3.23’te görülmektedir.



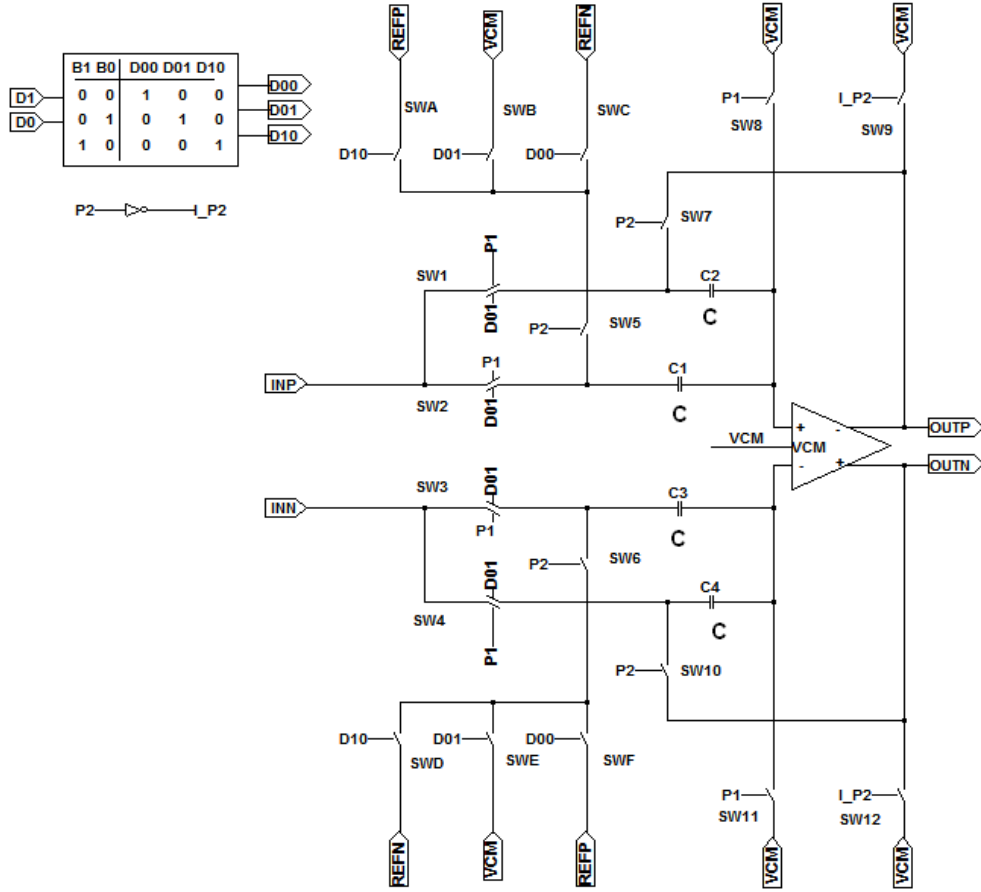
Şekil 3.23 : Birim Çevirici Blok Şeması

3.3.2.1 Birim çevirici blok mdac tasarımı

MDAC devresi temel yapı olarak örnekle tut devresine benzer. MDAC devresinin Örnekle Tut devresine göre farklılığı kazancının iki olması ve çıkartma işlemi yapıyor olmasıdır. Bu sebeple MDAC devresinde kullanılan Opamp Örnekle Tut devresinde kullanılan opamp yapısı ile aynıdır. Şekil 3.24'de MDAC devresine ait şema görülmektedir.

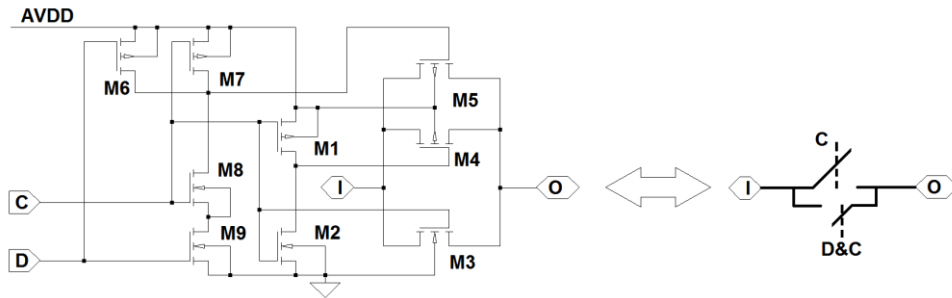
SW₁, SW₂, SW₃ ve SW₄ anahtarları hariç diğer anahtarların topolojileri Örnekle Tut devresinde kullanılan topolojiyle aynıdır. MDAC devresinde fonksiyonları icra işlemi Flash ADC'den gelen veriye göre belirlendiğinden girişten örnekleme yapılmasının yanı sıra işlenecek fonksiyona göre kullanılacak gerilim de bir analog çoklayıcı tarafından seçilmektedir. Analog çoklayıcı sahip olduğu analog anahtarlarla fonksiyonların gerçekleşmesi için gereken gerilimlerle MDAC devresi arasında bağlantı sağlarken, uygun anahtarların devreye alınması sayısal devre kararıyla gerçekleşir. Sayısal devrenin seçme fonksiyonu da şemada görülmektedir.

MDAC tasarımında kullanılan opampların topolojisi S/H devresinde kullanılan opamp ile aynıdır. Ancak çeviriciye ait birim bloklarda çözümleme yapılırken her katın bir önceki katın yarısı hassasiyette çözümleme yapması yeterli olduğundan kaynak [14] ile belirtildiği gibi MDAC tasarımında ölçekleme yapılmıştır. İlk dört kat için farklı kapasite ve opamplar ile tasarım yapılmış, kalan katlar için dördüncü katta bulunan yapı kopyalanmıştır.



Şekil 3.24 : Birim çeviricide kullanılan MDAC devresi

Giriş anahtar elemanı olarak kullanılan devre Şekil 3.25'te verilmiştir. M_1 ve M_2 transistörleri uygun kontrol işaretini oluştururken M_3 , M_4 ve M_5 transistörleri giriş ile çıkış arasında geçişi sağlar. M_5 transistörü çıkartma işlemi sırasında DC çalışma seviyesinin kayması sebebiyle sadece belirli şartlarda devreye sokulduğu için D girişinden alınan ek sinyalle çalıştırılır. M_6 , M_7 , M_8 ve M_9 transistörleri D ve C kontrol girişlerinden alınan işareti değerlendirip M_5 transistörünü kontrol eden devreyi oluştururlar.



Şekil 3.25 : MDAC Devresi giriş anahtarı

MDAC devresi P_1 ve P_2 saat işaretleriyle çalıştırılır. Bir fazda örnekleme yapılırken diğer fazda çıkış işareti oluşturulur. Çıkış işaretinin oluşturulması sırasında hatayı en aza indirmek için çıkartma işlemi yapan devrenin işaret oluşturulmadan önce uygun anahtarları devreye sokmuş olması gerekmektedir. Bu işlemler P_1 ve P_2 arasında bırakılan örtüşme engelleme zaman aralığında gerçekleştirildiğinden P_2 fazına geçildiğinde çıkış işareti oluşturulurken diğer işlemlerden kaynaklanacak hata en aza indirilir.

MDAC devrelerinde ölçekleme yapıldığı için bazı katlarda farklı kapasite değerleri kullanılmıştır. Çizelge 3.5'te ölçekleme sonrası kullanılan kapasite ve bu kapasitelere ait gürültü değerleri, Çizelge 3.6'da kullanılan opamplar ve opamlara ait parametreler verilmiştir. EK C5, EK C6, EK C7 ve EK C8'de bu devrelere ait spice netlist bilgileri yer almaktadır.

Çizelge 3.5 : Birim Bloklarda bulunan MDAC kapasite ve gürültü değerleri

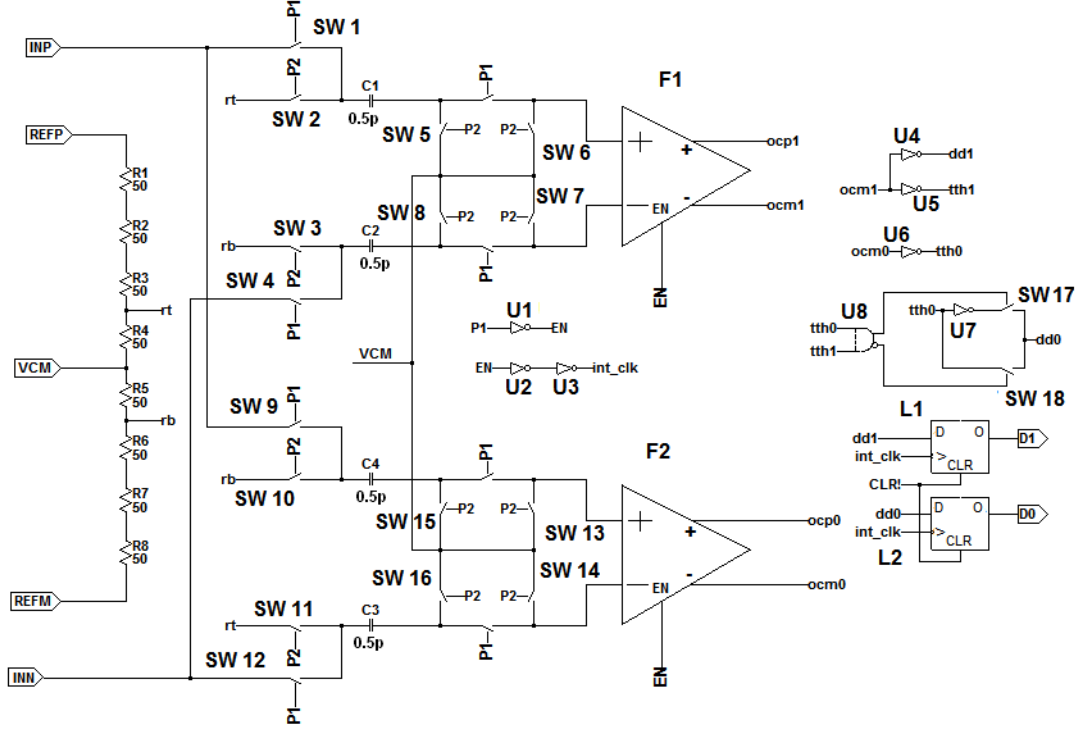
Kat	Değer	Termal Gürültü
1.	2 pF	45 μ V
2.	2 pF	45 μ V
3.	1.3 pF	56 μ V
4. ve Diğer Katlar.	0.8 pF	71 μ V

3.3.2.2 Birim çevirici blok flash adc tasarımı

1.5 Bitlik birim çevirici Bloğa ait Flash ADC 2-Bitlik çıkışa sahiptir. Ancak ADC giriş verisini üç bölgeye ayırarak çözümlendiğinden literatürde 1.5 Bitlik ADC olarak adlandırılır. Tasarıma ait devre şeması Şekil 3.26'da görülmektedir. Karşılaştırma işleminin sonucu P_1 ve P_2 örtüşmeyen saat işaretlerinin örtüşmediği zaman diliminde gerçekleştirilmektedir. P_2 fazında C_1 , C_2 , C_3 ve C_4 kapasiteleri uygun eşik gerilimleriyle şarj edilmiş olarak beklerler. P_1 fazına gelinip giriş işareti örneklenirken bu kapasitler ile F_1 ve F_2 karşılaştırıcılarının giriş kapasiteleri arasında bir yük alış verişi olur. P_1 fazının bitiminde karşılaştırıcı içerisindeki devreler ön yüklenmiş durumdadır. P_1 fazı bittiğinde EN girişi aktif edilerek karşılaştırıcının önyükleme bilgisini kullanarak karşılaştırma yapması sağlanır. Önyükleme işlemi sayesinde karşılaştırıcı yükselteçleri kaynaklı gecikmelerin önüne geçilmektedir. Bu işlemler P_2 fazına geçilmeden yapıldığından MDAC devresi P_2 fazına geçtiğinde ihtiyaç duyacağı veriye zamanında sahip olacaktır.

Çizelge 3.6 : MDAC Güç Ölçeklemesi için tasarımı yapılan opampların parametreleri

Parametre	1. Kat	2. Kat	3. Kat	4. Kat ve Diğer Katlar
Farksal Mod Açıkçevrim Kazancı A_v	94 dB	90 dB	90 dB	87 dB
Ortak Mod Açıkçevrim Kazancı	98 dB	96 dB	96 dB	87 dB
Sonraki kattan gelen toplam yük kapasitesi	7 pF	5.6 pF	3.9 pF	3.4 pF
Farksal Mod Faz marjini PM	83°	85°	78°	83°
Ortak Mod Faz Marjini	45°	44°	43°	59°
Farksal Mod Bant Genişliği	195 MHz	156 MHz	160 MHz	160 MHz
Ortak Mod Açık Çevrim Bant Genişliği	60 MHz	170 MHz	200 MHz	160 MHz
Birim Kazançta Çıkış Gürültüsü	82 μV_{RMS}	86 μV_{RMS}	87 μV_{RMS}	108 μV_{RMS}
Ortak Mod Gerilimi VCM	1.6 V	1.6 V	1.6 V	1.6 V
Giriş gerilimi aralığı (VCM üzerinde)	± 200 mV	± 200 mV	± 200 mV	± 200 mV
Çıkış gerilim aralığı (VCM üzerinde)	± 200 mV	± 200 mV	± 200 mV	± 200 mV
Statik Güç Tüketimi	25 mW	21 mW	15.6 mW	12 mW

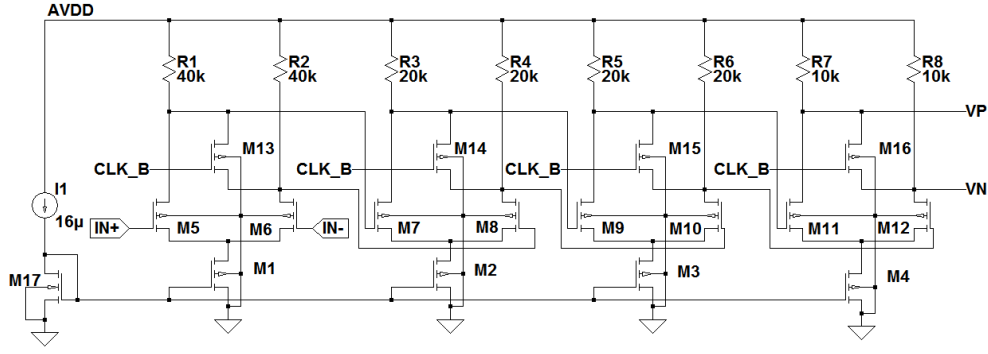


Şekil 3.26 : Birim Bloğa ait Flash ADC

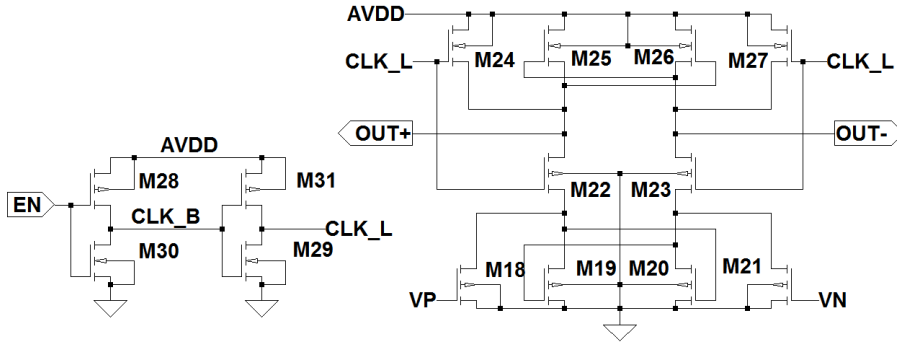
Devre incelendiğinde giriş kapasitelerinin bağlantı şekillerine göre bu yük alışverişi kapasitör gerilimlerinin giriş işaretinden çıkarılması şeklindedir. Yani karşılaştırma işleminin gerçekleşmesi, giriş işareti referanslardan çıkarılarak elde edilen sonucun sıfırdan büyük ya da küçük olduğunun tespit edilmesiyle olur. Eğer çıkış sıfırdan büyükse karşılaştırıcının pozitif çıkışı lojik 1 diğer çıkış lojik 0, değilse negatif çıkışı lojik 1 diğer çıkış lojik 0 olur.

Karşılaştırıcılardan alınan bu bilgiler devreye ait transfer fonksiyonunu gerçekleştirmek üzere sayısal devreye aktarılır. Bu tasarımda karşılaştırıcıların negatif çıkışları baz alınarak sayısal tasarım yapılmıştır. Karşılaştırma işlemi bittiğinde elde edilen sonuçlar tutuculara yazılarak çıkışa verilir.

Karşılaştırma işleminin P_1 ve P_2 saat işaretlerinin örtüşmeyen kısımlarında yapılabilmesi için hızlı karşılaştırıcı mimarileri kullanılmalıdır. Bu tasarımda yüksek hızlara ulaşabilen kaskat bağlı farksal karşılaştırıcı kullanılmıştır. Şekil 3.27’de kaskat bağlı ön yükselteçlere ait şema, Şekil 3.28’de son çıkış katı, tutucu ve sayısal kontrol devrelerine ait şema görülmektedir. EK C9’da bu devreye ait spice netlist bilgileri yer almaktadır.



Şekil 3.27 : Flash ADC karşılaştırıcısı (Önyükseltme Katı)



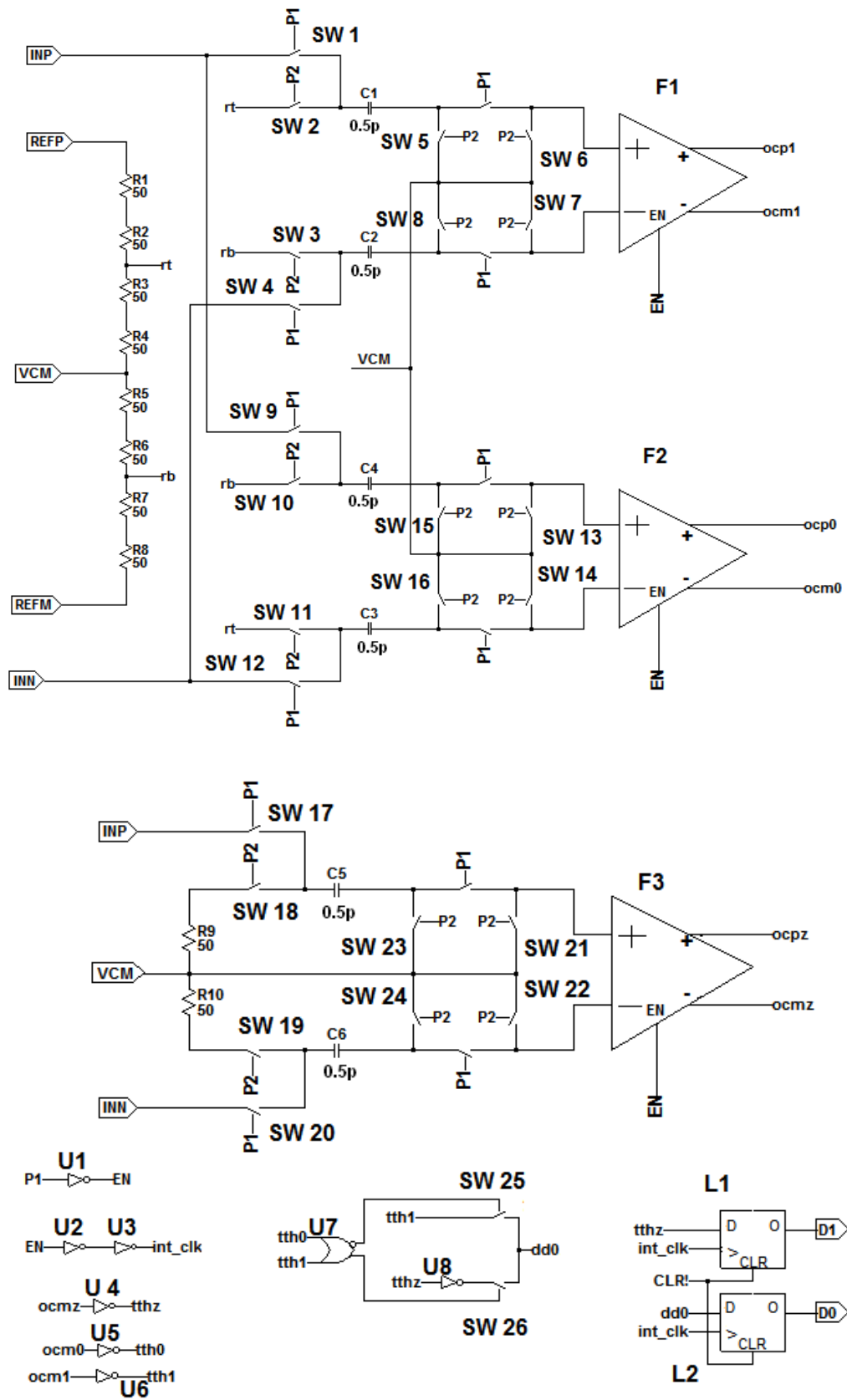
Şekil 3.28 : Flash ADC karşılaştırıcısı (Kontrol ve Çıkış Katı)

3.3.3 Son kat 2-bit flash adc tasarımı

Son Kat 2-Bit Flash ADC tasarımı 1.5 Bitlik Bloktaki Flash ADC ile benzer yapıdadır. Ancak 2-Bit çevrim yapıldığı için giriş işaretini dört seviyede çözömleme gerekir. Bu sebeple üç karşılaştırıcı kullanılarak tasarım yapılmak zorundadır. Bu devreye ait şema Şekil 3.29'da görölmektedir. EK C10'da bu devreye ait spice netlist bilgileri yer almaktadır.

3.3.4 Referans sürücü devreleri tasarımı

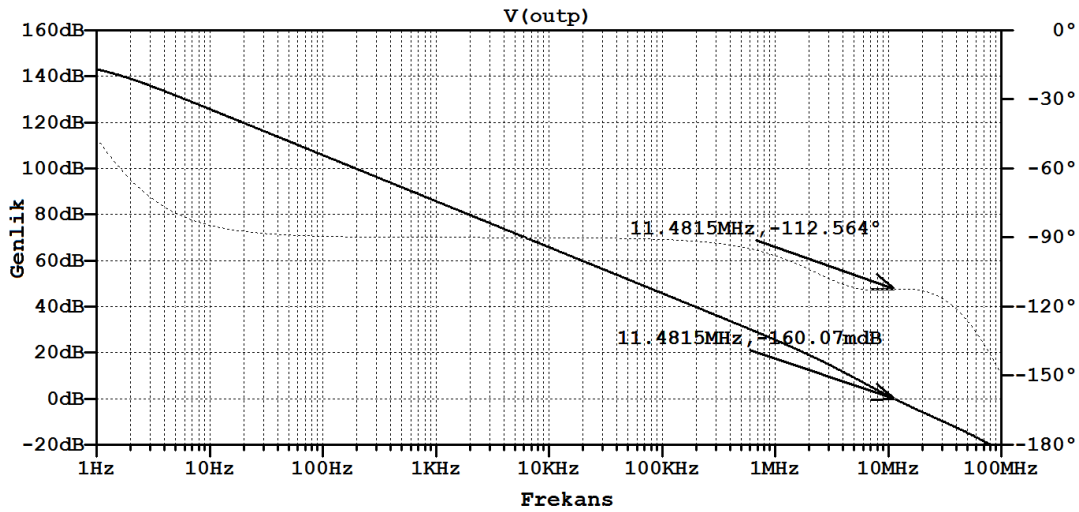
Tasarımı yapılan çeviricinin şematik tasarımı yapıldıktan sonra serimi yapılıp çip içerisinde paketlenmesi istenildiğinde devrenin harici akım ve gerilim değışimlerine mümkün olduğunca bağımsız olması istenen bir durumdur. Eğer referans gerilimleri doğrudan harici bağlantıyla alınırsa hattın parazitik etkilerinden dolayı referans gerilimlerinde arzu edilmeyen değışimler ortaya çıkabilir. Bu durumu engellemek için referans gerilimleri çipin içerisinde bir sürücü devre ile dış dünyadan ayrılır. Ortak mod sürücü devresi ortak mod gerilimini süren bir tampon sürücü olarak tasarlanmış, alt ve üst referansı süren yükselteç ise tam farksal sürücü olarak tasarlanmıştır.



Şekil 3.29 : Son Kat 2-Bit Flash ADC Devresi

3.3.4.1 Ortak mod gerilimi sürücü devresi tasarımı

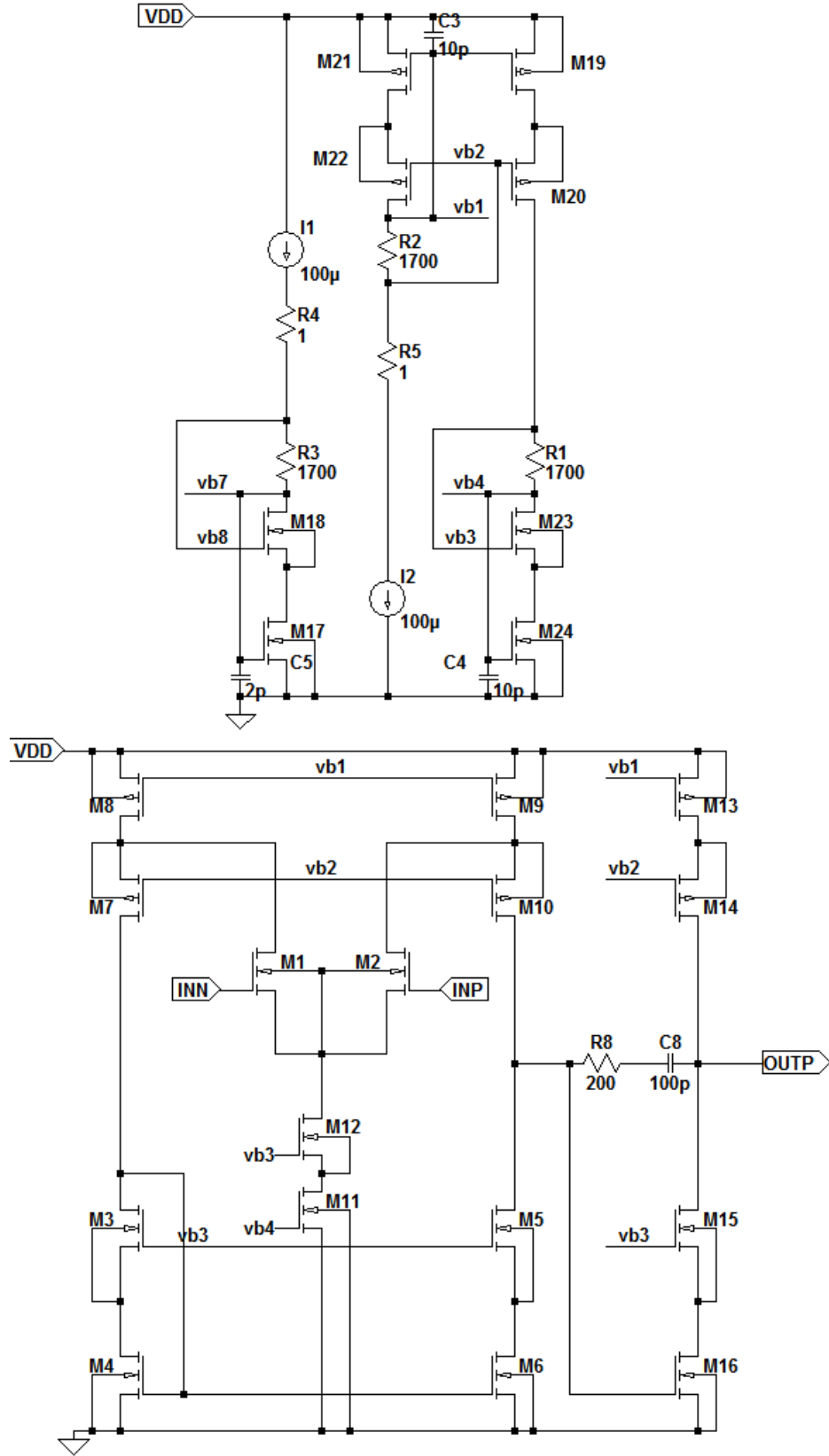
Ortak mod gerilimi VCM sürücü devresi A sınıfı olarak tabir edilen bir işlemsel yükselteç devresiyle gerçekleştirilmiştir. Bu yükseltecin amacı VCM hattında bulunan by-pass kapasitesini sürmektir. Kullanılan üretim prosesinde çipin içerisinde en fazla 3 nF'lık bir kapasite kullanılabileceğinden VCM hattı by pass kapasitesi olarak bu değer seçilmiştir. Tasarlanan işlemsel yükselteç de bu kapasite değerinde çıkışta çınılama yapmayacak açık çevrim frekans yanıtına sahip olacak şekilde tasarlanmıştır. Şekil 3.30'da tasarımı yapılan işlemsel yükseltece ait açık çevrim frekans cevabı, Şekil 3.31'de ise devre şeması görülmektedir. EKC11'de devreye ait spice netlist bilgileri verilmiştir. Devrenin güç tüketimi 40 mW civarındadır.



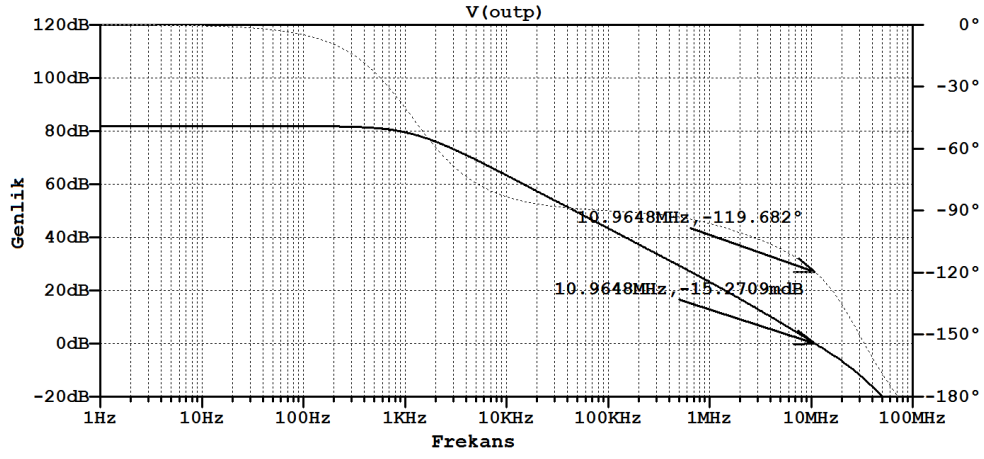
Şekil 3.30 : Ortak mod sürücü devresi açık çevrim frekans yanıtı (3 nF yük)

3.3.4.2 Üst referans gerilimi tampon sürücü devresi tasarımı

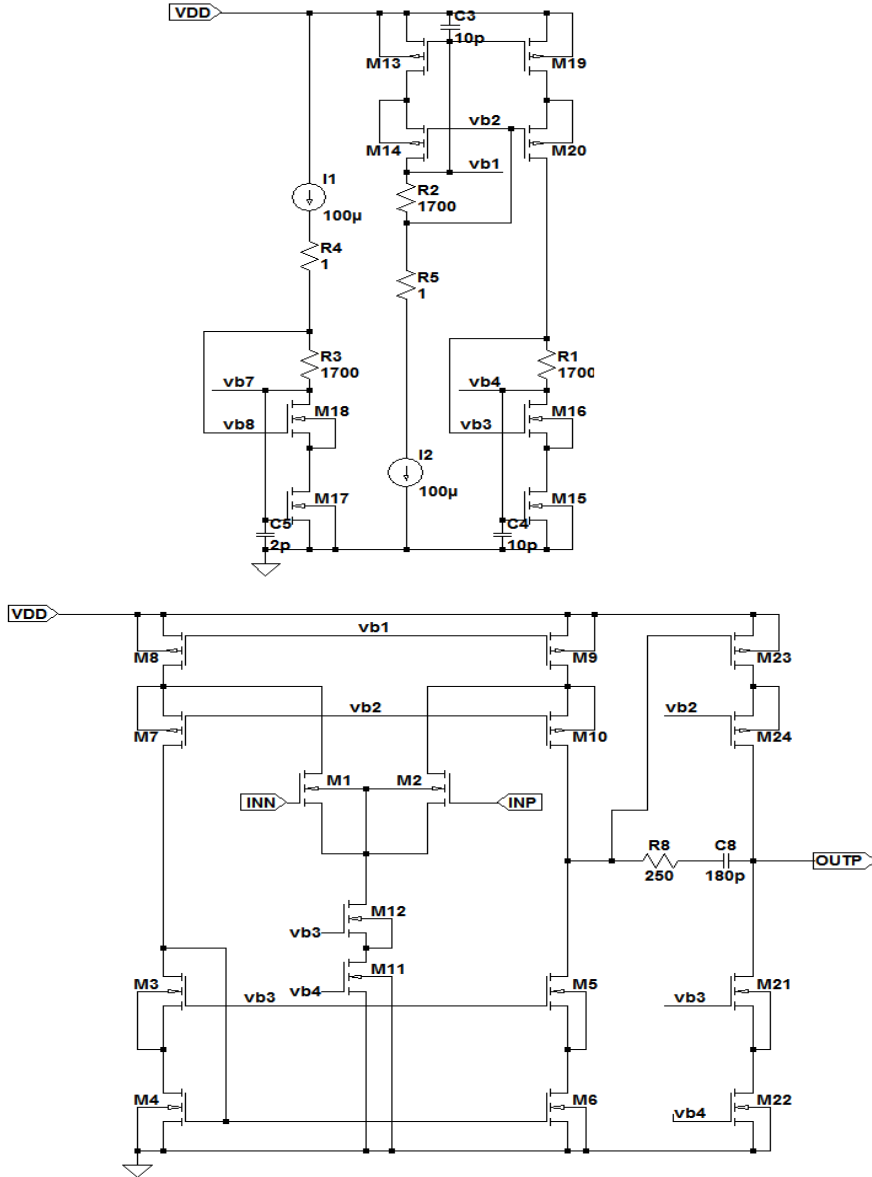
Üst referans gerilimi V_{REF+} sürücü devresi A sınıfı olarak tabir edilen bir işlemsel yükselteç devresiyle gerçekleştirilmiştir. Bu yükseltecin amacı VCM hattını süren yükselteçle aynıdır. Ancak tasarlanan işlemsel yükselteç yüksek potansiyelden düşük potansiyele doğru sürme işlemi yapacağından ikinci kat PMOS transistörlerle yukarıdan sürülmüştür. Bu sayede referans gerilimlerini sağlayan direnç dizilerinin sürülmesi sağlanmaktadır. Şekil 3.32'de tasarımı yapılan işlemsel yükseltece ait açık çevrim frekans cevabı (3 nF ve 80 Ω ile yüklüken) , Şekil 3.33'te ise devre şeması görülmektedir. EKC12'de devreye ait spice netlist bilgileri verilmiştir. Devrenin güç tüketimi 27 mW civarındadır.



Şekil 3.31 : Ortak mod gerilimi sürücüsü işlemsel yükselteci



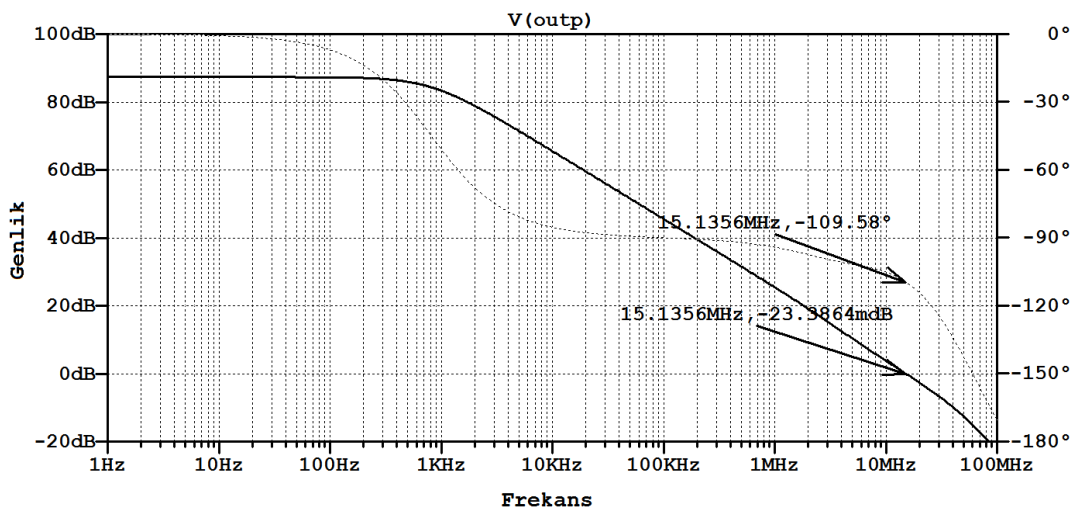
Şekil 3.32 : Üst Referans sürücüsü açık çevrim frekans yanıtı



Şekil 3.33 : Üst Referans tampon sürücüsü işlemsel yükseltici

3.3.4.3 Alt referans gerilimi tampon sürücü devresi tasarımı

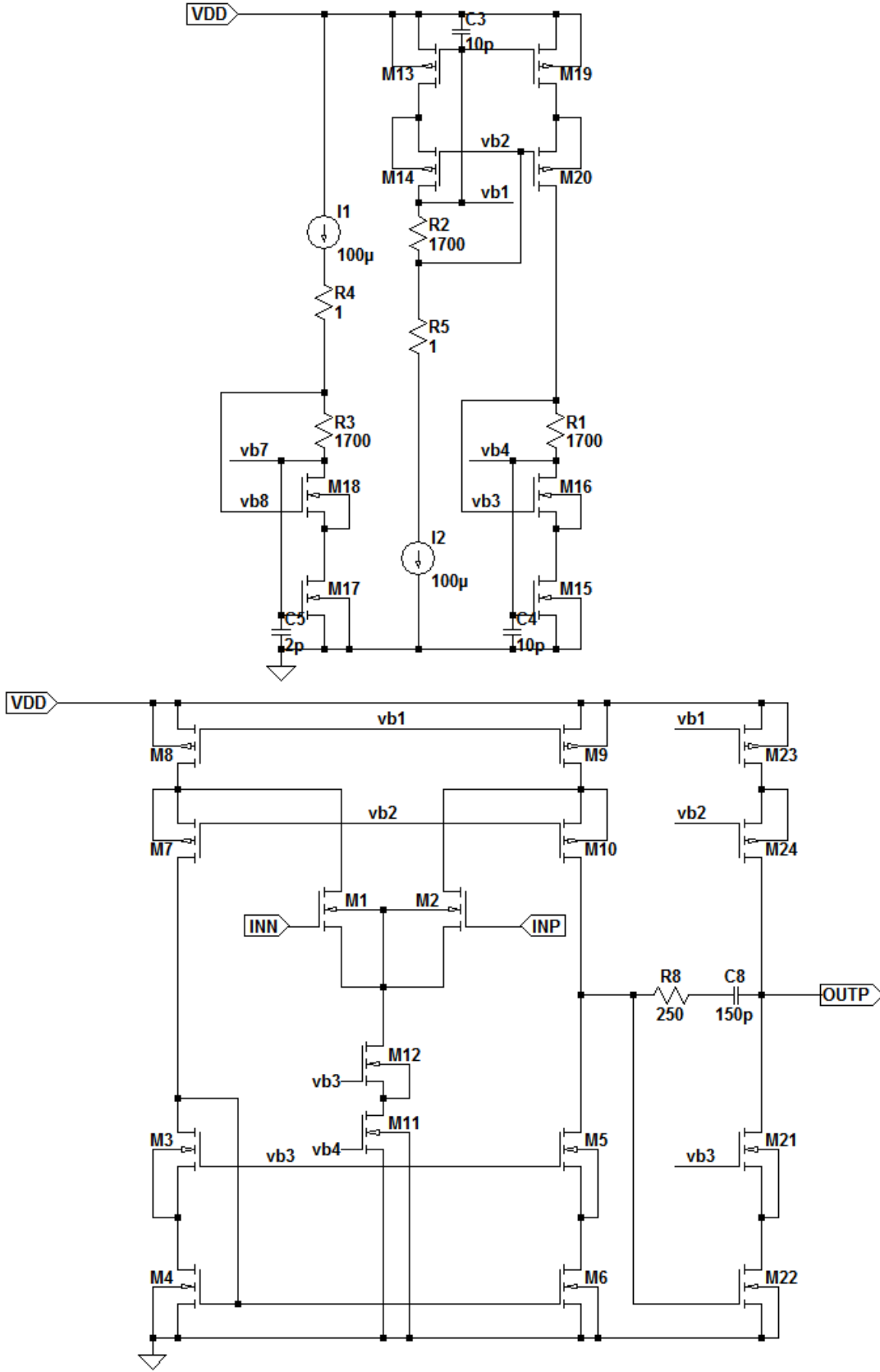
Alt referans gerilimi V_{REF} sürücü devresi A sınıfı olarak tabir edilen bir işlemsel yükselteç devresiyle gerçekleştirilmiştir. Bu yükseltecin amacı VCM hattını süren yükselteçle aynıdır. Ancak tasarlanan işlemsel yükselteç düşük potansiyelden yüksek potansiyele doğru sürme işlemi yapacağından ikinci kat NMOS transistörle sürülmüştür. Şekil 3.34'te tasarımı yapılan işlemsel yükseltece ait açık çevrim frekans cevabı (3 nF ve 80 Ω ile yüklüken) , Şekil 3.35'te ise devre şeması görülmektedir. EKC13'te devreye ait spice netlist bilgileri verilmiştir. Devrenin güç tüketimi 27 mW civarındadır.



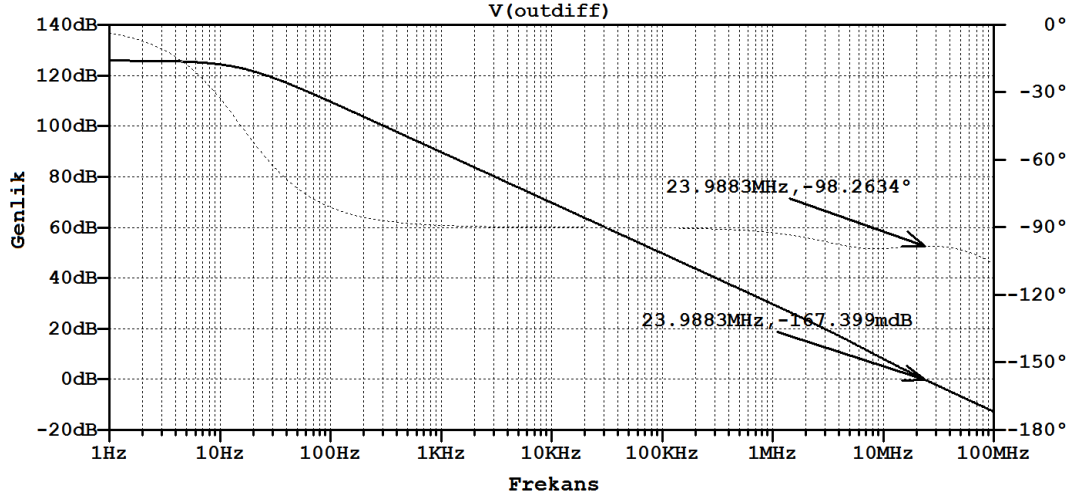
Şekil 3.34 : Alt referans gerilimi sürücüsü açık çevrim frekans yanıtı

3.3.4.4 Alt ve üst referans gerilimi farksal yükselteç tasarımı

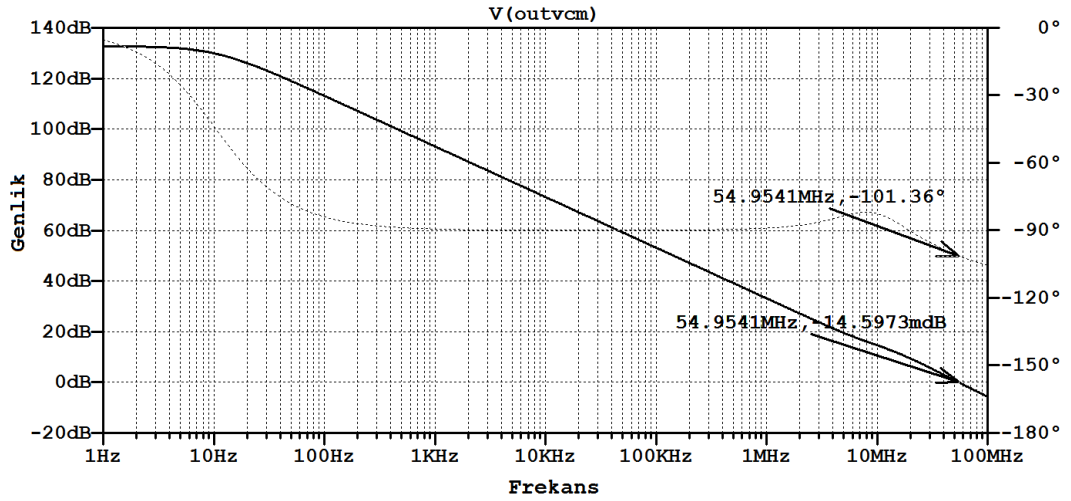
Tasarımı yapılan çevirici farksal yapıda olduğundan alt ve üst referans gerilimleri farksal yapıda tasarlanmalıdır. Ancak bu işlemi tek işlemsel yükselteçle yapmak yüksek kutuplama akımı değerleri gerektireceğinden sürme işlemi tampon devrelere bırakılmıştır. Farksal sürme işlemi ise bu yükselteçlerin arkasına bir tam farksal yükselteç eklenmesiyle gerçekleştirilmiştir. Bu yükseltecin amacı girişten alınan farksal referans gerilimlerinin beslemeden ve ortak mod gerilimi değişiminden bağımsız olarak elde edilmesini sağlamaktır. Şekil 3.36'da tasarımı yapılan işlemsel yükseltece ait farksal mod açık çevrim frekans cevabı, Şekil 3.37'de ortak mod açık çevrim frekans cevabı ve Şekil 3.38'de devre şeması görülmektedir. EKC14'te devreye ait spice netlist bilgileri verilmiştir. Devrenin güç tüketimi 25 mW civarındadır.



Şekil 3.35 : Alt referans gerilimi tampon sürücüsü işlemsel yükseltici



Şekil 3.36 : Tam farksal opamp farksal mod açık çevrim frekans yanıtı

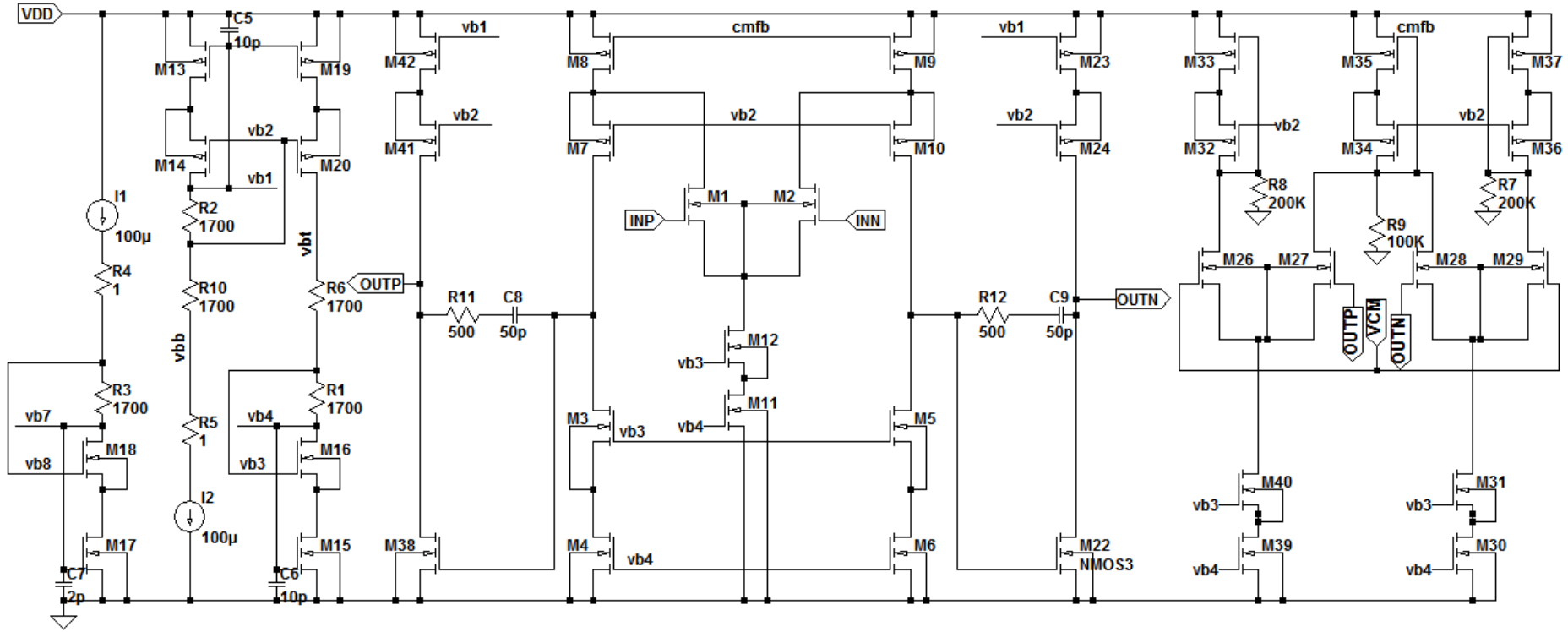


Şekil 3.37 : Tam farksal opamp ortak mod açık çevrim frekans yanıtı

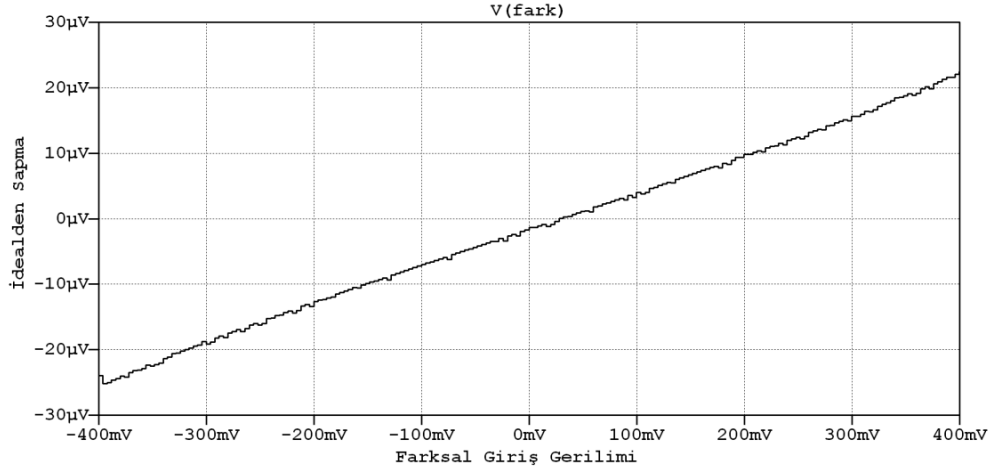
3.3.5 Alt blokların performans değerlendirilmesi

3.3.5.1 Örnekle tutdevresi performansı

S/H devresi performansı ADC performansının belirlenmesinde olduğu gibi DC hata ve AC hata olarak ele alınabilir. S/H devresinin DC hatasının belirlenmesi için rampa şeklinde bir giriş işareti tasarlanan devreyle ve ideal S/H ile örneklenmiş, elde edilen iki çıkış birbirinden çıkarılarak Şekil 3.39'daki sonuç elde edilmiştir. Görüldüğü gibi S/H devresi kaynaklı oluşan DC hata $\pm 25 \mu\text{V}$ olduğundan 1 LSB'den daha az hataya sebep olur. Kaynak [15] ile verilen çalışmada çevirici performansını sınırlayan etkenler görülebilir.

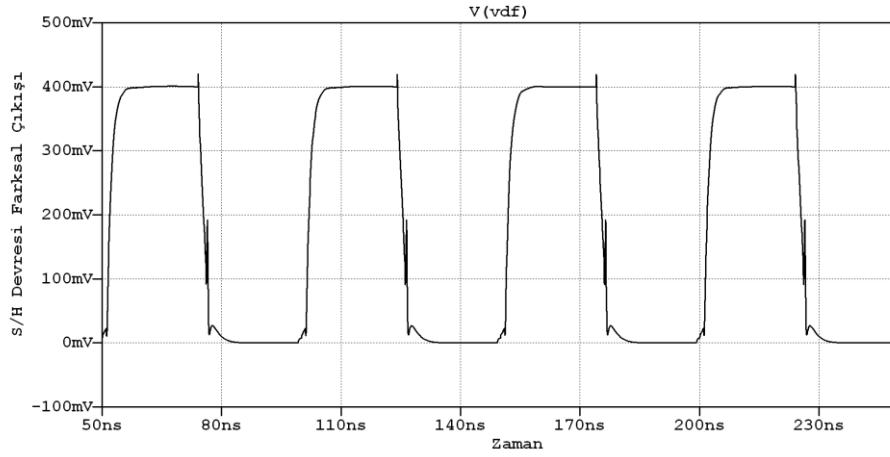


Şekil 3.38 : Alt ve üst referans gerilimi tampon sürücülere gerilim referansı sağlayan tam farksal opamp

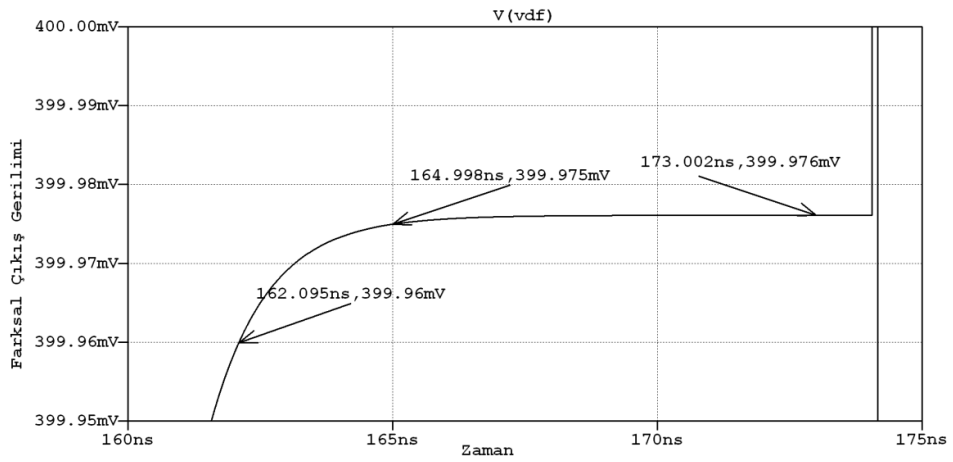


Şekil 3.39 : Örnekle Tut devresi çıkışında oluşan DC hata

Örnekle devresinin çıkışında oluşan darbe şekilleri incelendiğinde çıkışın istenen seviyeye oturduğu Şekil 3.40 ve Şekil 3.41’de görülmektedir.

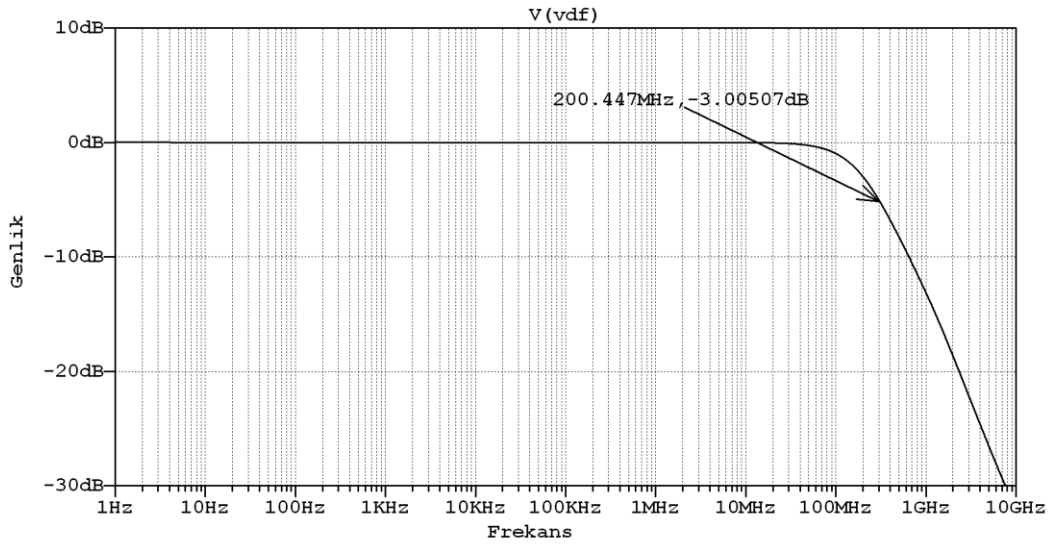


Şekil 3.40 : Örnekle Tut devresi çıkışında oluşan darbe şekilleri



Şekil 3.41 : Örnekle Tut devresi çıkışındaki darbenin oturması

S/H devresine ait AC hata giriş bant genişliği, gürültü ve SFDR parametreleriyle belirlenebilir. Gürültü ve giriş bant genişliği parametresi S/H devresi tutma modundayken yapılan AC gürültü simülasyonu ile belirlenebilmektedir. SFDR parametresi ise girişe uygulanacak uygun bir sinüs işarete karşı çıkışta elde edilen işarete FFT işlemi uygulanmasıyla belirlenebilir. Şekil 3.42’de S/H devresinin çıkış gürültüsünün belirlenmesi için yapılan simülasyonda S/H devresine ait elde edilen Bant Genişliği görülmektedir. Devre çıkışı bir sonraki kat tarafından yüklendiği için devrenin bant genişliği Opamp bant genişliğine göre daha az olmaktadır. Tasarlanan S/H devresinde bant genişliği 200 MHz olarak elde edilmiştir.



Şekil 3.42 : Örnekle Tutdevresinin tutma modu AC davranışı

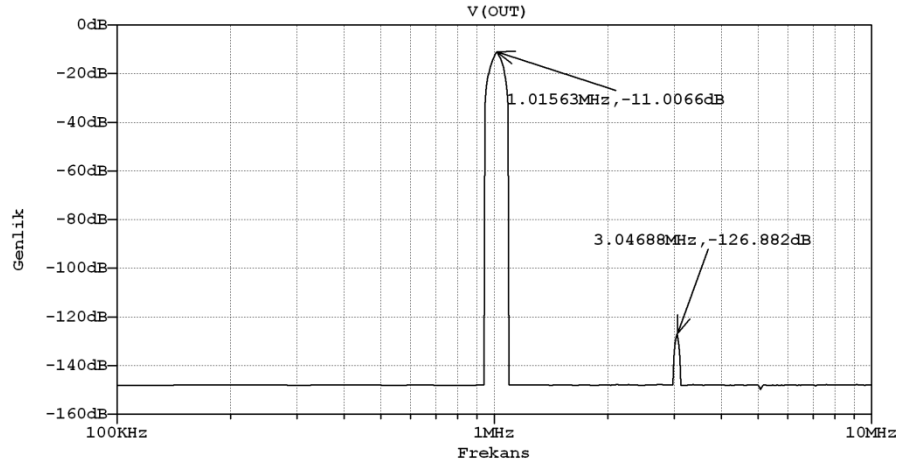
Bu simülasyonda sadece Opamp kaynaklı gürültüler ölçülebilmektedir. Kapasitörlere ait termal gürültü ise Eşitlik (3.25) ile verilen denklemle elde edilmektedir. Kapasitör ve devrenin kalanına ait gürültüler RMS olarak ifade edildiğinden Eşitlik (3.26) ile toplam S/H devresi RMS gürültü değeri elde edilir. Burada V_{n_C} kapasiteye ait RMS gürültü, k_B Boltzman sabiti, T sıcaklık(Kelvin), C kapasite değeri(Farad), $V_{n_{OP}}$ opamp toplam RMS(volt) gürültüsü, V_{n_T} ise toplam RMS(Volt) çıkış gürültüsüdür.

$$V_{n_C} = \sqrt{\frac{k_B T}{C}} \quad (3.25)$$

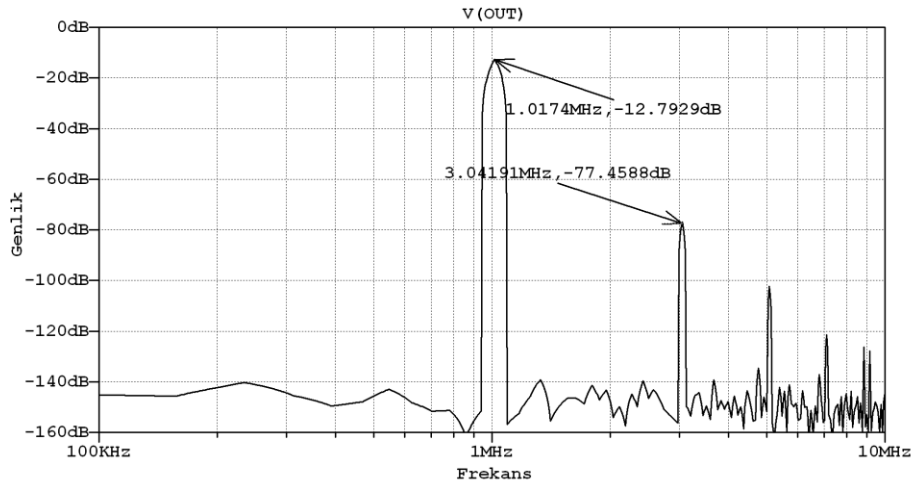
$$V_{n_T} = \sqrt{V_{n_{OP}}^2 + 2V_{n_C}^2} \quad (3.26)$$

Devrede kullanılan kapasitörlerin değeri 3pF olduğundan her kapasitör oda şartlarında yaklaşık $37 \mu V_{RMS}$ gürültü üretmektedir. Opamp gürültüsü de simülasyon ile yaklaşık $74 \mu V_{RMS}$ olarak elde edildiğinden S/H devresine ait toplam tek taraflı çıkış gürültüsü yaklaşık $88 \mu V_{RMS}$ olarak elde edilir.

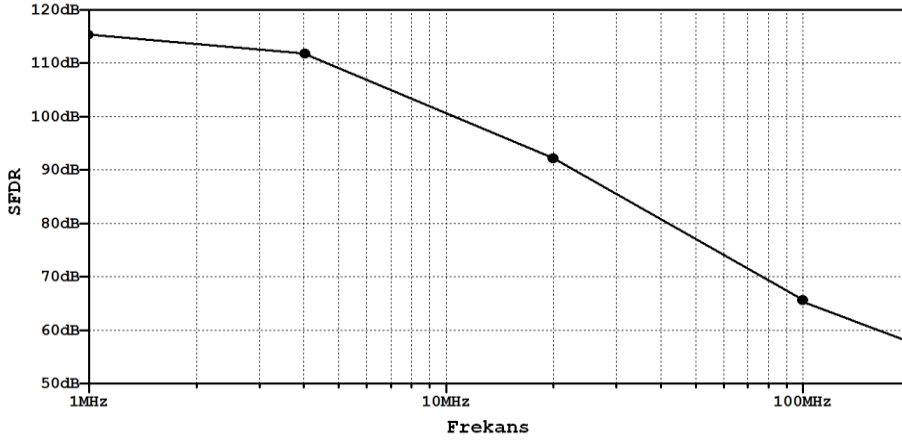
S/H devresinin SFDR parametresinin belirlenmesi için girişe 1 MHz ve 100MHz frekanslarında tam ölçek sinüs işareti uygulandığında elde edilen sonuçlar Şekil 3.43 ve Şekil 3.44'te, SFDR değerinin frekansa göre değişimi Şekil 3.45'te görülmektedir. SFDR değeri bu sonuçlara göre 1 MHz frekanslı tam ölçek sinüs giriş işareti için 110 dB, 100 MHz giriş işareti için 61 dB olarak elde edilir. Sonuçlar, oturma noktasının çıkışına ideal örnekle tut devresi koyarak elde edilmiştir. Oturma öncesi oluşan yamulmaların bir önemi yoktur. Önemli olan oturma anıdır.



Şekil 3.43 : ÖrnekleTut devresinde 1 MHz frekanslı sinüs giriş işaretine karşı çıkış işaretinin FFT grafiği



Şekil 3.44 : Örnekle Tut devresinde 201 MHz frekanslı sinüs giriş işaretine karşı çıkış işaretinin FFT grafiği



Şekil 3.45 : Örnekle Tut devresinde SFDR değerinin frekansa göre değişimi

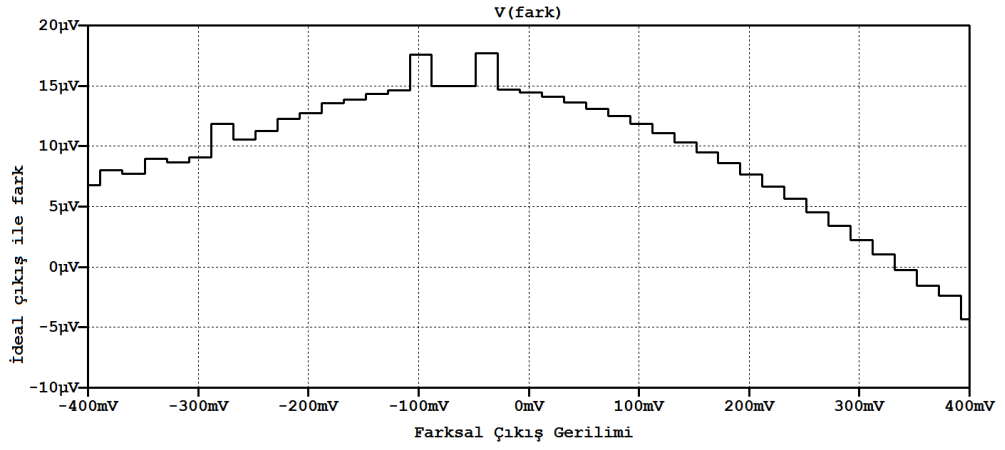
3.3.5.2 Birim çevirici blok mdac devresi performansı

MDAC devresi performansının belirlenmesi S/H devresi performansının belirlenmesine benzer yöntemlerle yapılabilir. Ancak MDAC devresi Flash ADC'den gelen verilere göre transfer fonksiyonunu değiştirdiğinden kısmi olarak doğrusal olmayan bir devredir. Bu sebeple gürültü dışındaki performans ölçütleri için S/H devresinden farklı olarak Flash ADC'den gelen üç farklı duruma karşılık üç doğrusal bölge için ölçüm yapılmıştır. Tutma modundayken oluşan devre S/H devresinin tutuma modunda oluşan devreyle aynıdır. Gürültünün belirlenmesi kısmında ise S/H devresiyle benzer topoloji kullanıldığından çıkış gürültüsü benzer şekilde hesaplanabilir. Çizelge 3.7'de MDAC devrelerine ait toplam RMS gürültü görülmektedir.

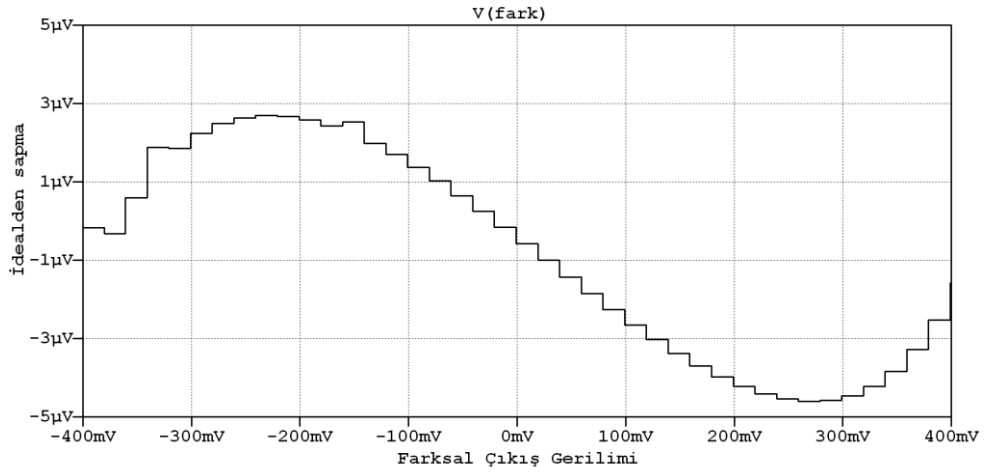
Çizelge 3.7 : Birim Bloklarda bulunan MDAC devresi çıkış gürültü değerleri

Kat	Tek Taraflı Çıkış Gürültü
1.	88 μ V
2.	104 μ V
3.	107 μ V
4. ve Diğer Katlar	118 μ V

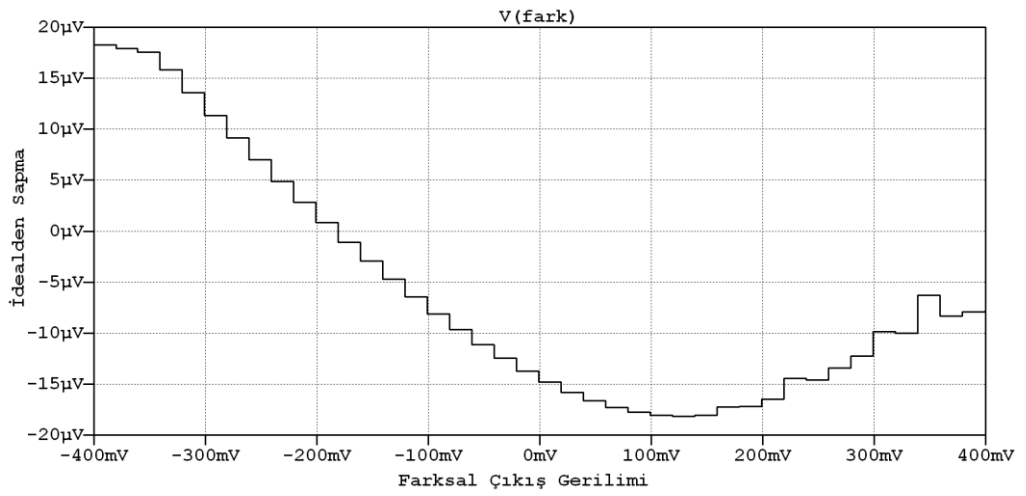
Flash ADC'den gelen sayısal değer $D_1=0$, $D_0=0$ olduğu durum için MDAC çıkışında oluşan DC hatanın -5 μ V ile 18 μ V arasında olduğu Şekil 3.46'da görülmektedir. Sayısal değer $D_1=0$, $D_0=0$ olduğu durum için MDAC çıkışında oluşan DC hata Şekil 3.47'de görüldüğü gibi 0 V ile -18 μ V arasındadır. Benzer biçimde Flash ADC'den gelen sayısal değer $D_1=1$, $D_0=0$ olduğu durum için MDAC çıkışında oluşan DC hatanın ± 6 μ V olduğu Şekil 3.48'de görülmektedir.



Şekil 3.46 : 1. Kat MDAC çıkışında oluşan DC hata($D_1=0$, $D_0=0$)



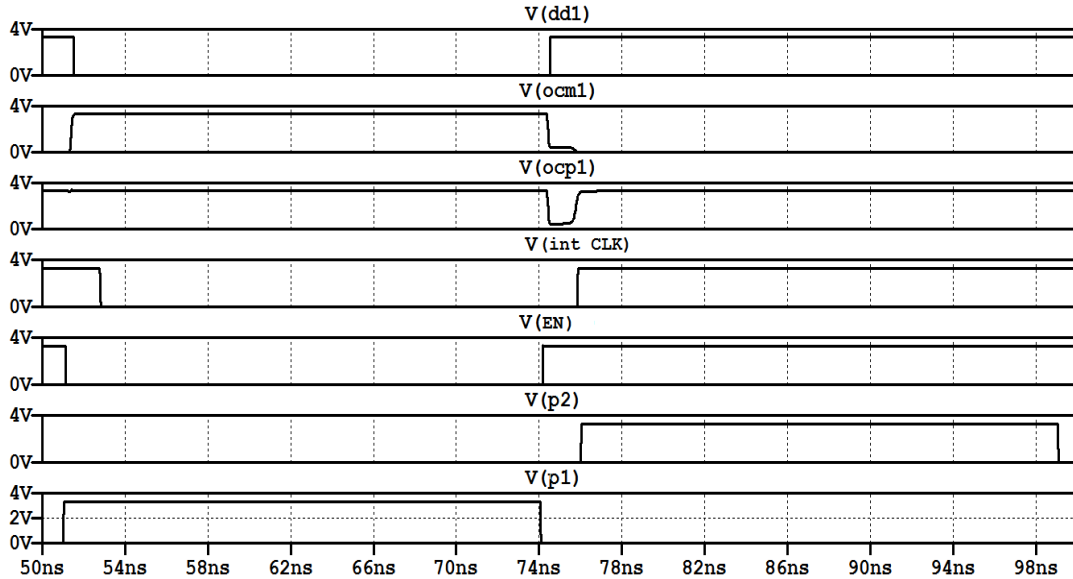
Şekil 3.47 : 1. Kat MDAC çıkışında oluşan DC hata($D_1=0$, $D_0=1$)



Şekil 3.48 : 1.Kat MDAC çıkışında oluşan DC hata($D_1=1$, $D_0=0$)

3.3.5.3 Birim çevirici blok flash adc ve son kat adcdevresi performansı

Flash ADC performans ölçütü temel olarak karşılaştırıcının tepki süresi ve karşılaştırma eşiklerinin doğruluğu yani ofset parametreleridir. Tasarlanan karşılaştırıcı ve ADC performansı için simülasyon sonuçları Şekil 3.49’da görülmektedir.



Şekil 3.49 : Birim Bloğa ait Flash ADC çıkış ve giriş işareti zamanlamaları

Bu örnekte girişe uygulanan işaret D_1 çıkışını lojik 1, D_0 çıkışını Lojik 0 yapacak şekildedir. Görüldüğü gibi P_1 işareti bittiğinde karşılaştırıcı CLKD işaretiyle karşılaştırma işlemini başlatır. 1 ns’lik zaman içerisinde ocp1 ve ocp0 işaretleri gerekli lojik işarete otururlar. Daha sonra gelen CLK işaretiyle bu veri çıkış tutucularına yazılır. Bu yazma işleminden yaklaşık 200 pS sonra P_2 işareti geldiğinden gerekli karşılaştırma işlemleri ihtiyaç duyulan zaman aralığında gerçekleşmiş olur. Çizelge 3.8’de 1.5 Bitlik Flash ADC’ye ait dönüştürme fonksiyonu, Çizelge 3.9’da son kat 2-Bit Flash ADC’ye ait dönüştürme fonksiyonları görülmektedir.

Çizelge 3.8 : Tasarımı yapılan 1.5 Bit Flash ADC dönüştürme fonksiyonu

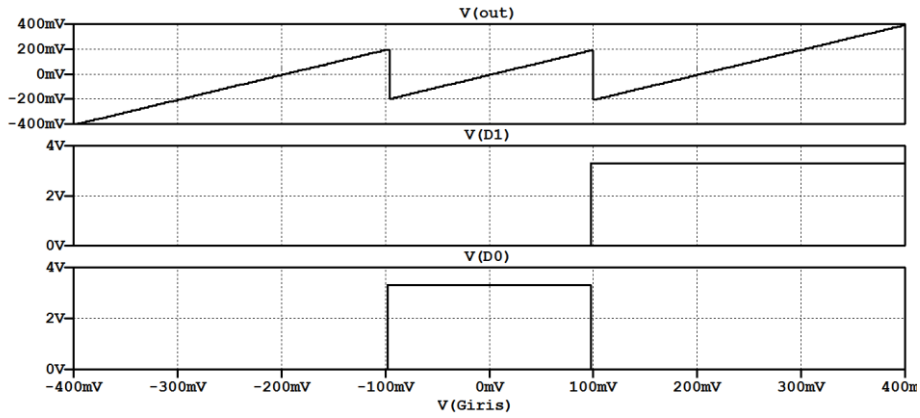
Koşul	B_1	B_0
Giriş > +100 mV	1	0
+100 mV \geq Giriş \geq -100 mV	0	1
Giriş < -100 mV	0	0

Çizelge 3.9 : Tasarımı yapılan 2- Bit Flash ADC dönüştürme fonksiyonu

Koşul	B ₁	B ₀
Giriş >+200 mV	1	1
+200 mV ≥ Giriş ≥ 0 V	1	0
0 V > Giriş ≥ -200m V	0	1
Giriş < -200 mV	0	0

3.3.5.4 Birim çevirici blok performansı

Birim çevirici blok performans ölçütü temel olarak alt bloklarının performanslarına bağlıdır. Bu ölçütler karşılaştırıcının tepki süresi, karşılaştırma eşiklerinin doğruluğu, çıkış geriliminin doğru değere nasıl oturduğu ölçütleridir. Tasarlanan karşılaştırıcı ve ADC performansı için simülasyon sonuçları Şekil 3.50’de görülmektedir.

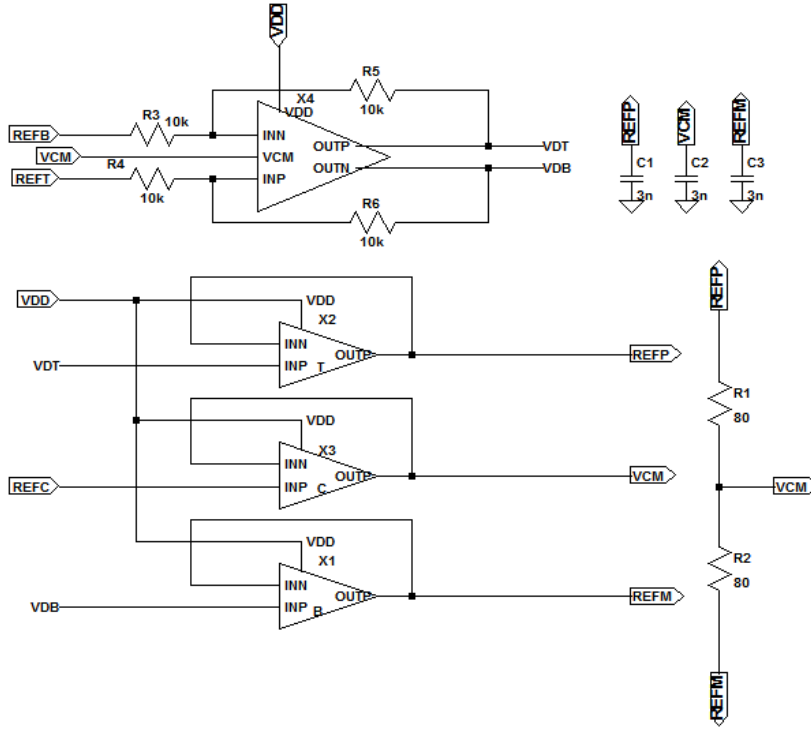


Şekil 3.50 : Tam ölçek rampa giriş işaretine karşı birim blok analog ve sayısal çıkışları

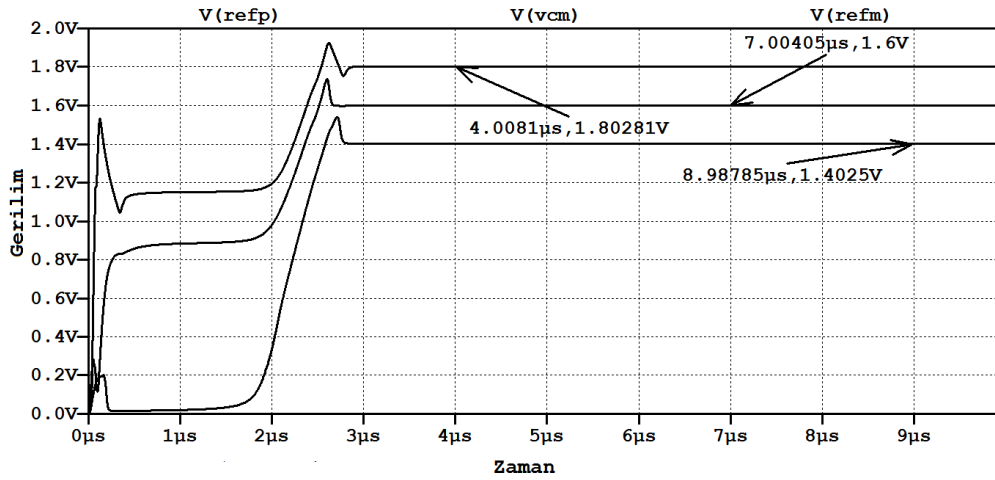
Bu örnekte girişe uygulanan işaret birim bloğun girişine girilebilecek ± 400 mV gerilim aralığındadır. Görüldüğü gibi D₁ biti giriş işaretinin +100 mV’luk eşiği geçtiğinde lojik 1 olmakta, D₀ biti ise giriş işaretinin ± 100 mV aralığında olması durumunda lojik 1 olmaktadır. Çıkış işaretinin giriş işaretine göre değişimi incelendiğinde devrenin gerçekleştirmesi istenen analog ve sayısal fonksiyonları icra ettiği görülmektedir.

3.3.5.5 Referans tampon yükselteç performansları

Referans tampon yükselteçleri Şekil 3.51’de verilen yapıda kullanıldığında elde edilen çıkış Şekil 3.52’de görülmektedir. Görüldüğü gibi referans gerilimleri belirli bir hata ile istenen gerilim değerlerine oturmaktadır. Bu simülasyona ait netlist bilgisi EKC15’te bulunmaktadır.



Şekil 3.51 : Referans gerilimi tamponları test devresi

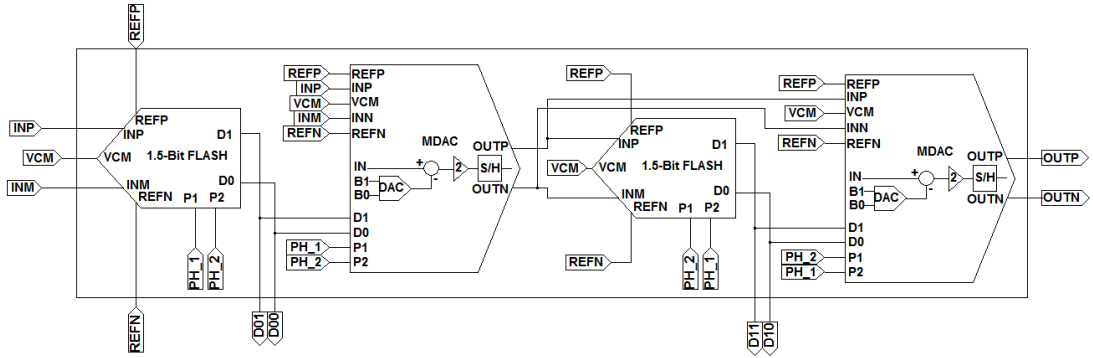


Şekil 3.52 : Referans gerilimi tampon devresi çıkışları

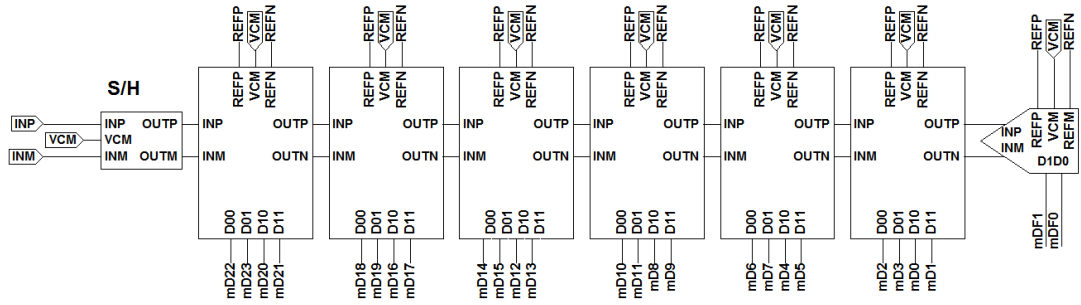
3.4 Alt Blokların Birleştirilerek ADC Tasarımının Gerçeklenmesi

Pipeline ADC tasarımının gerçekleştirilmesi için gerekli bloklar sayısal ve analog bloklar olarak ele alınacak olursa bu çalışmada analog kısımlar tasarlanmış, sayısal hata düzeltme ve gecikme blokları davranışsal modeller olarak simülasyonlara eklenmiştir. Pipeline ADC hızını alt blokların tepki süresi belirlemektedir. Eşitlik (3.19) ile verilen ifadeye alt blokların performans ölçütleri girilirse 30 MHz civarı bir

çevrim hızı elde edilir. Bu tasarımda ADC performansının hıza bağımlılığını engellemek amacıyla hız 20 MHz olarak sabitlenmiştir. ADC Tasarımında şemayı basitleştirmek için ardışıl iki kat birleştirilerek 4-Bit çıkış verebilen bloklar oluşturulmuştur. Son kata 2-Bit Flash ADC de eklenerek tasarımın analog devre içeren kısımları birleştirilmiş ve ADC çekirdeği oluşturulmuştur. Bu alt bloğa ait şema Şekil 3.53'te, bu blokların birleştirilmesiyle oluşturulmuş ADC çekirdeği Şekil 3.54'te görülmektedir.

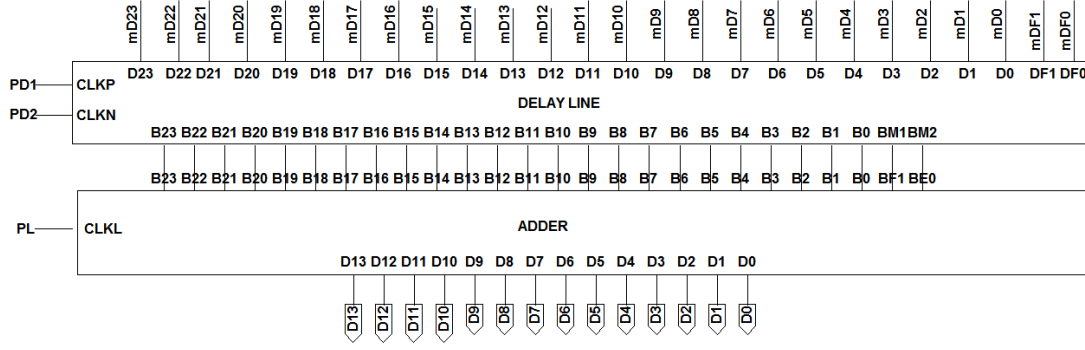


Şekil 3.53 : İki birim bloktan oluşan 4-Bitlik alt blok

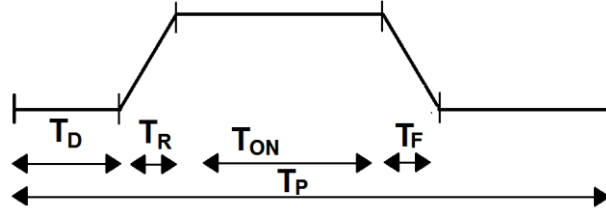


Şekil 3.54 : Birim bloklardan oluşan ADC çekirdeği

Oluşturulan ADC çekirdeğinden elde edilen verileri hizalamak ve hata düzeltme işlemi uygulamak için Şekil 3.55'te görülen bağlantılar yapılmıştır. Bu devreler tamamen sayısal olup simülasyonların gerçekleşmesi için davranışsal modeller kullanılmıştır. ADC tasarımında kullanılan alt bloklar bir önceki alt başlıklarda ayrıntılı olarak verilmiştir. Bu alt devreleri süren saat işaretlerine ait parametreler ise Şekil 3.56'da ve Çizelge 3.10'da görülmektedir. Burada T_D saat işaretlerinin başlangıça göre gecikmesi, T_R yükselme zamanı, T_F düşme zamanı, T_{ON} işaretinin lojik 1 olduğu süredir. T_P ise bir saat darbesi için geçen süre yani periyottur. T_R ve T_F değerleri her saat işareti için 50 ps olarak belirlenmiştir. ADC çevrim hızı 20 MHz olarak belirlendiğinden T_P değerleri de 50 ns'dir.



Şekil 3.55 : ADC Tasarımına ait sayısal devreler



Şekil 3.56 : ADC saat işaretleri parametrelerinin görsel tanımı

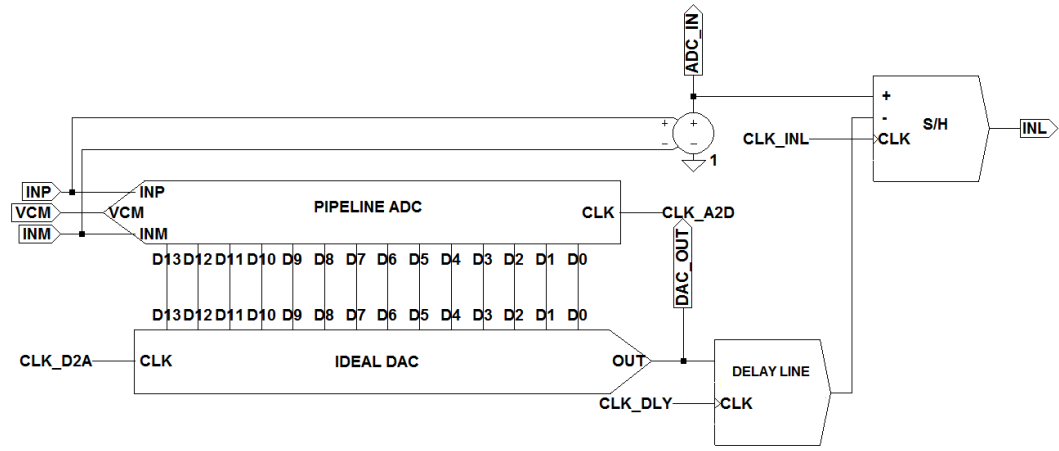
Çizelge 3.10 : ADC saat işaretlerine ait parametreler.

İşaret	T_D	T_{ON}
PH_1	1 ns	23 ns
PH_2	26 ns	23 ns
PD1	5 ns	5 ns
PD2	30 ns	5 ns
PL	35 ns	5 ns
PH_1A	1 ns	22 ns
PH_2A	26 ns	22 ns

Verilen çizelgede PH_1 ve PH_2 işaretleri ADC çekirdeğine ait alt blokların kullandığı ana anahtarlama işaretleridir. PH_1A ve PH_2A işaretleri ise alt devrelerde kullanılan, erken kapatılması ya da açılması gereken anahtarları kontrol eden işaretlerdir. PD1 ve PD2 işaretleri alt bloklardan elde edilen sayısal verilerin gecikme bloğundaki tutucu ve gecikme elemanlarına yazılmasını sağlayan saat işaretleridir. PL işareti ise sayısal hata düzeltme bloğundan gelen çıkış verisinin tutuculara yazılmasını sağlayan işarettir. Bu işaret muhtemel yayılım gecikmesinin sonlanması için belirli bir tolerans sağlanması amacıyla diğer işaretlere göre en son aktif olmaktadır.

4. TASARIMA AİT PERFORMANS ÖLÇÜM SONUÇLARI

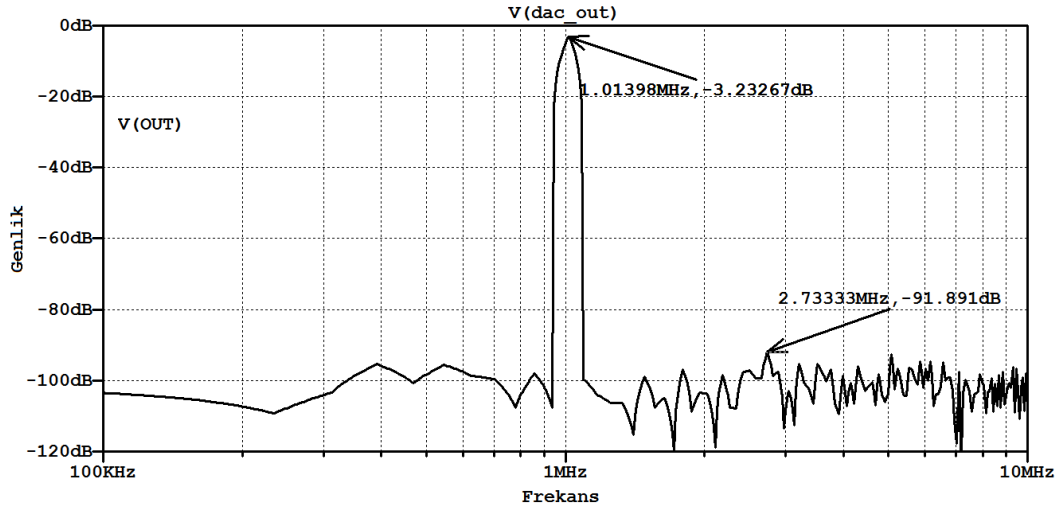
ADC performansı statik ve dinamik davranış olarak iki sınıfta değerlendirildiğinden statik davranışı neredeyse tek başına kapsayan INL ve dinamik performansı belirleyen SFDR parametreleri performans değerlendirmesinde kullanılmak üzere simülasyonla ölçülmüştür. Çevirici performansının ölçülmesi için çevirici çıkışındaki sayısal veriler Ideal DAC ile analog işarete çevrilmiş, çevrilen bu işaret ile giriş işareti bir analog gecikme hattı ile eşzamanlanarak karşılaştırılmıştır. Eş zamanlama sonrası elde edilen fark giriş işaretiyle çevrim sonrası elde edilen işaret arasındaki sapmayı verir. Bu sapma 1 LSB başına düşen gerilime oranlanırsa LSB cinsinden INL değerini elde edilir. SFDR ölçümleri için ise DAC çıkışında oluşan gerilimin FFT işlemine sokulması yeterlidir. Bu ölçümlerin yapıldığı devre Şekil 4.1’de görülmektedir.



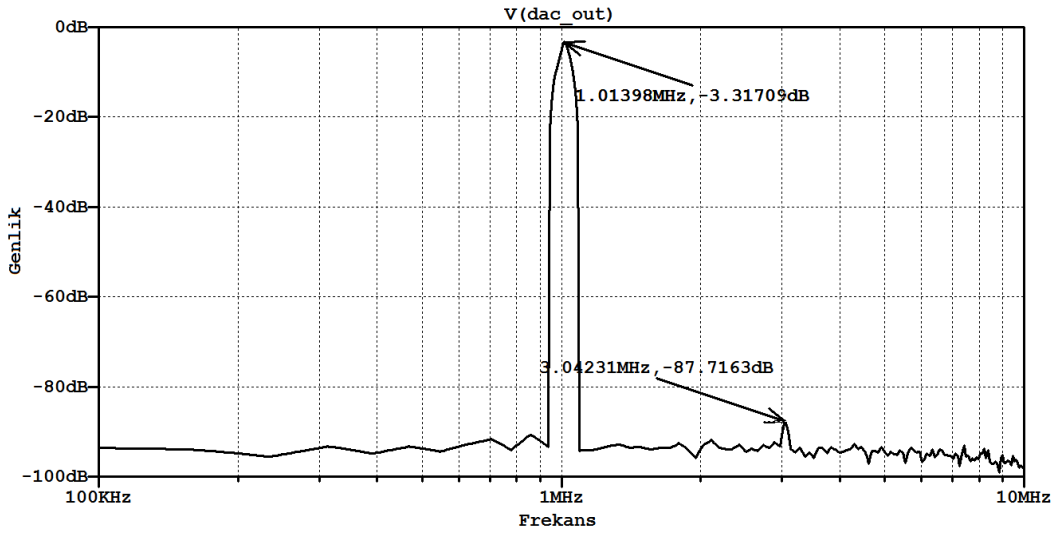
Şekil 4.1 : Çevirici performansını belirlemek için kullanılan devre

Tasarımda 12 Bit çözünürlük için tasarım ölçütleri belirlenmiş olmakla beraber son kata 2-Bit Flash ADC eklendiğinden çözünürlük 14-Bit olarak tanımlanmaktadır. Ancak son katta bulunan ADC'nin etkisi az olduğundan ADC tasarımı son 2 Biti kırılmış 14-Bit ADC olarak elde edilmiştir.

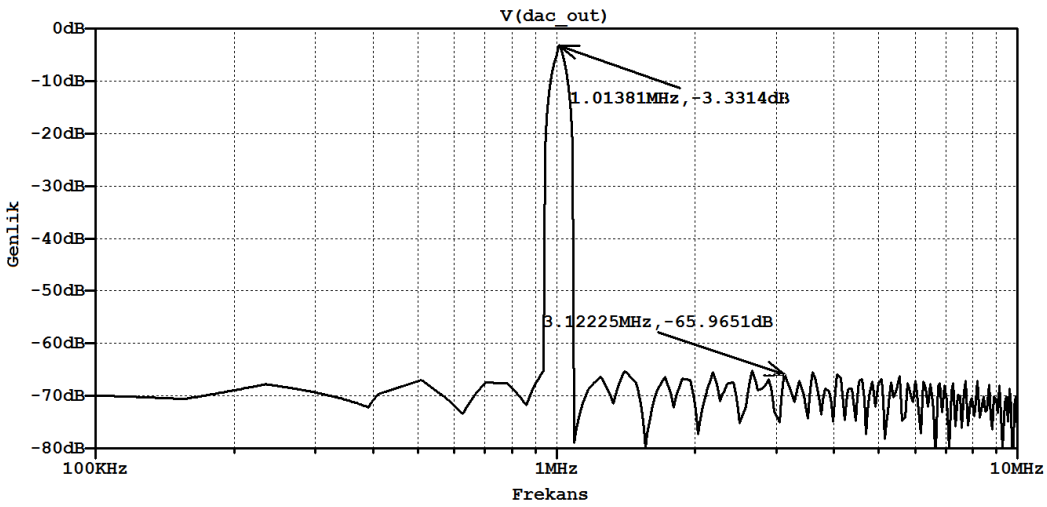
Şekil 4.2’de 1 MHz, Şekil 4.3’te 21 MHz ve Şekil 4.4’te 201 MHz giriş işaretine karşın ADC çıkışında görülen işaretin SFDR ölçümü için FFT işlemine sokulması sonucu elde edilen grafik görülmektedir.



Şekil 4.2 : 1 MHz giriş işaretine karşı çevirici çıkışı FFT grafiği

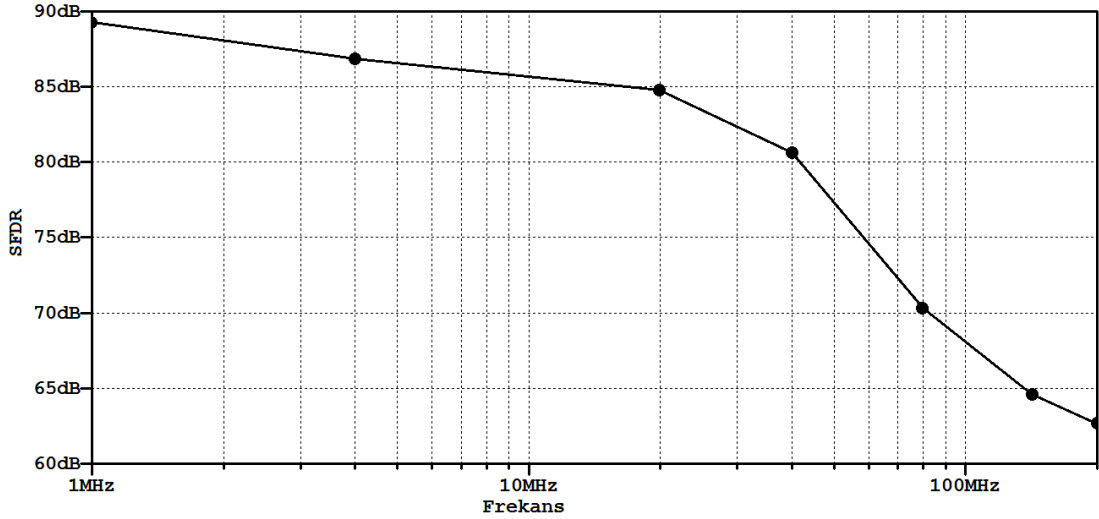


Şekil 4.3 : 21 MHz sinüs giriş işaretine karşı çevirici çıkışı FFT grafiği



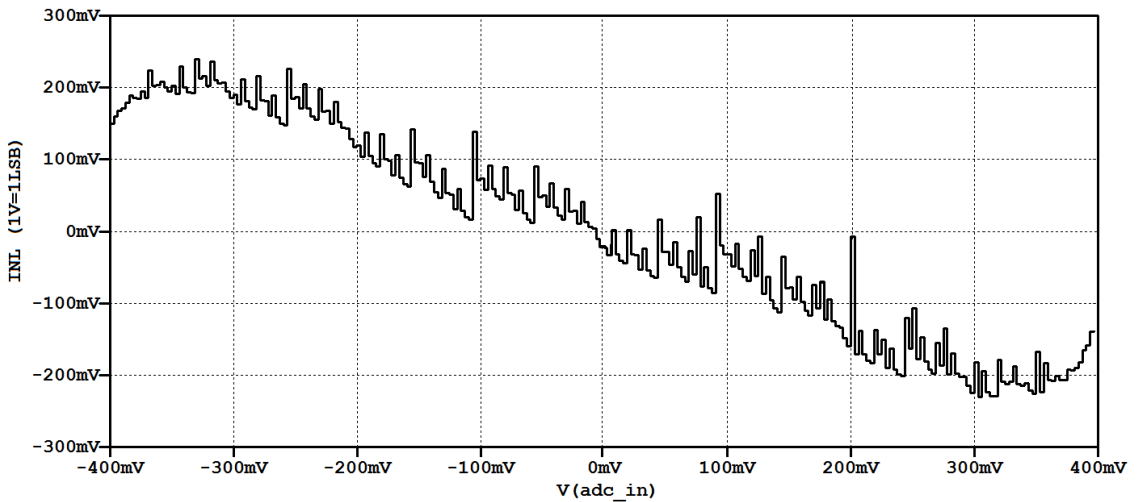
Şekil 4.4 : 201 MHz sinüs giriş işaretine karşı çevirici çıkışı FFT grafiği

Tam çevirici devreye ait diğer frekanslarda da SFDR ölçümü yapıldığında SFDR değerinin giriş frekansına göre değişimi Şekil 4.5'te görüldüğü gibi elde edilmiştir.

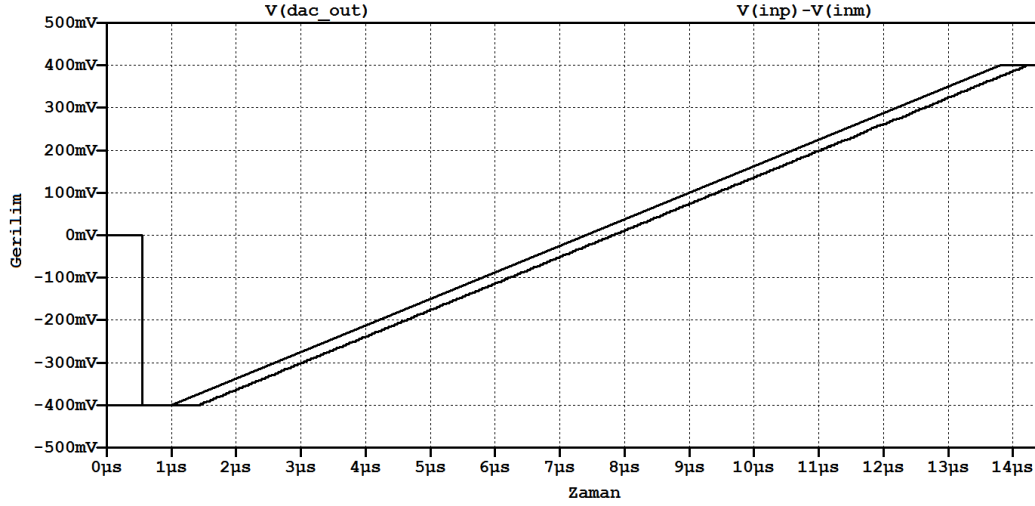


Şekil 4.5 : Çevirici için giriş işareti frekansına bağlı SFDR değerleri

Çeviriciye ait INL değerinin tespiti için son kat Flash ADC'ye gelen veri 1 LSB ye göre oranlanmış ve Şekil 4.6'da görülen INL grafiği elde edilmiştir. Buradan hareketle çeviricinin ± 0.25 LSB hata oluşturduğu yorumu çıkarılabilir. LTSPICE kaynaklı yakınsama hatalarını önlemek için maksimum time step 10 ps olarak seçilmiştir. INL değerinin hesaplanması için kaynak [16] ile belirtilen yöntemler de kullanılabilir. Şekil 4.7'de ise çevirici girişine çevirme adımını kapsayacak şekilde bir rampa işareti uygulanması durumunda elde edilen çıkış görülmektedir.



Şekil 4.6 : Çeviriciye ait 256 kodla alınmış INL grafiği



Şekil 4.7 : Çeviriciye rampa işareti uygulandığında elde edilen çıkış

Yaklaşık INL grafiği de bu simülasyon sonucundan elde edilmiştir. Burada önce başlayan işaret giriş işareti, merdiven basamaklarına benzeyen işaret de çevirici çıkışıdır. Pipeline gecikmesini burada görmek mümkündür. Çevirici gürültü açısından ele alınırsa giriş katında bulunan S/H devresinin gürültüsü doğrudan devreye yansırken ilerleyen katlarda bit çözme işlemleri sebebiyle, ilgili katın etkisi yarıya düşeceğinden, gürültü değerleri de toplam gürültüye yarıya düşerek eklenir. Çeviriciye ait toplam tek kutup referanslı gürültü Eşitlik (4.1) ile verilen denklemle hesaplanmaktadır. Burada n parametresi birim bloğun bulunduğu kat numarası, $V_{n_{ADCS}}$ parametresi çeviriciye ait tek giriş referanslı RMS gürültü, $V_{n_{SH}}$ parametresi S/H devresi gürültüsü, $V_{n_{ST}}$ parametresi birim blok çıkışlarındaki MDAC gürültüsü olarak verilmektedir.

$$V_{n_{ADCS}} = \sqrt{V_{n_{SH}}^2 + \sum_{n=1}^{12} \left(\frac{V_{n_{ST}}}{2^n} \right)^2} \quad (4.1)$$

Alt blokların gürültüsü verilen denklemle hesaplandığında tek taraflı toplam çevirici gürültüsü $107 \mu V_{RMS}$ olarak elde edilir. Bu gürültü değeri tek giriş referanslı olduğundan farksal gürültüye çevrilmelidir. Pozitif ve negatif giriş referanslı verilen gürültü değerleri özilişkiz olduğundan toplam gürültü değeri çift taraflı gürültüye çevirme işlemi Eşitlik (4.2) ile verilen denklem kullanılarak yapılabilir. Burada $V_{n_{ADCT}}$ parametresi çeviriciye ait toplam RMS gürültüdür.

$$Vn_{ADCT} = \sqrt{Vn_{ADCS}^2 + Vn_{ADCS}^2} \quad (4.2)$$

Toplam çift taraflı ADC gürültüsü hesaplandığında 152 μ V olarak elde edilir. Giriş gerilim aralığının ± 200 mV olduğu göz önüne alınırsa SNR hesabı için kullanılacak tek taraflı giriş işareti RMS genliği 283 mV_{RMS} olur. İki kutuba ait tek taraflı işaret özilişkili olduğundan farksal giriş işareti tek taraflı işaretin iki katı olacaktır. Buradan hareketle farksal giriş işareti 565 mV_{RMS} olarak elde edilir. Buradan işaretin gürültüye oranı olan SNR değeri yaklaşık Eşitlik (4.3) ile yaklaşık 71.4 dB olarak belirlenir. Tam ölçek gerilimli 20 MHz sinüs işareti uygulandığı durum için etkin bit sayısı ENOB değerinin hesaplanması için Eşitlik (4.4) ve (4.5) kullanılmaktadır. Burada P_S giriş işareti gücü, P_N gürültü gücü, P_D ise distorsiyonların güçleri toplamıdır. P_D değeri grafikten 26 μ V_{RMS} olarak elde edilmiştir. Gürültü gücü ve sinyal gücü de bilindiğinden ENOB değeri verilen denklemlerle 11.3 Bit olarak elde edilmiştir.

$$SNR = \frac{P_S}{P_N} \quad (4.3)$$

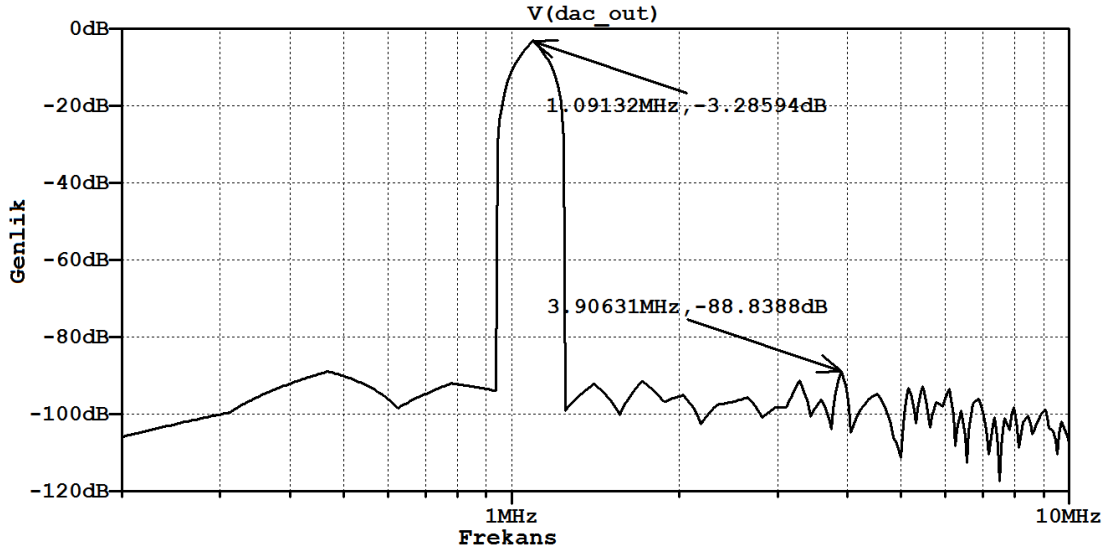
$$SINAD = \frac{P_S + P_N + P_D}{P_N + P_D} \quad (4.4)$$

$$ENOB = \frac{SINAD - 1.76}{6.02} \quad (4.5)$$

Referans tamponlarının performansına olan etkisinin incelenmesi amacıyla 20 MHz sinüs giriş işaretine karşı elde edilen SFDR değeri Şekil 4.8'de görülmektedir. Görüldüğü gibi elde edilen sonuç ideal devre kullanıldığı durumla aynıdır.

4.1 İdeal Olmayan Durumların İncelenmesi

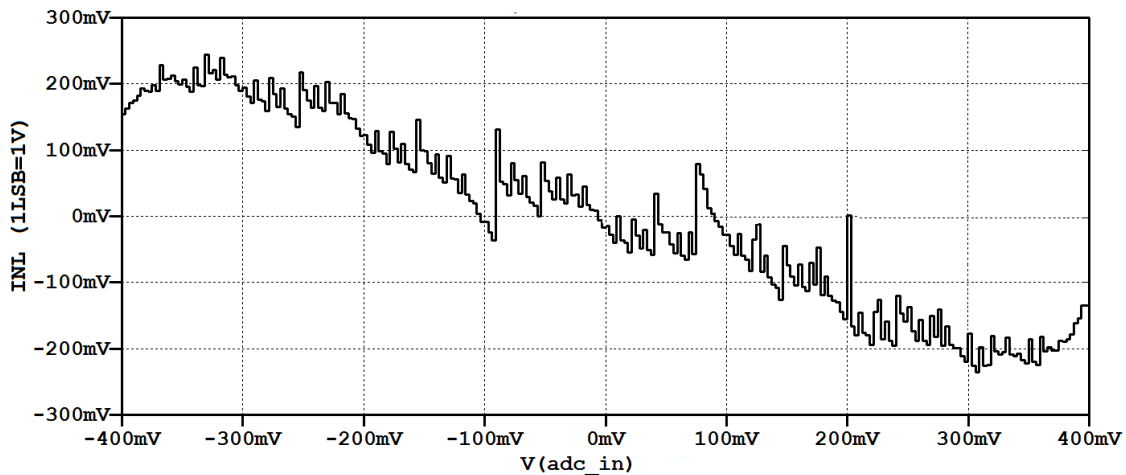
Pratikte gerek üretim prosesi gerek çevre koşulları kaynaklı birçok ideal olmayan durum devrelerin davranışlarını olumsuz olarak etkilemektedir. Örneğin simülasyon ortamında tüm kapasite değerleri aynı seçilebilirken pratikte ideallsizliklerden dolayı belirli sapmalar olmaktadır. Bu çalışmayı etkileyecek olan sapmalar, direnç değerleri arası uyumsuzluk, kapasite değerleri arasındaki uyumsuzluk, transistör uyumsuzluğu kaynaklı karşılaştırmacı dengesizlik geriliminin değişmesi durumlarıdır.



Şekil 4.8 : Referans tamponlar kullanıldığında 20 MHz sinüs giriş işaretine karşı çıkışta elde edilen SFDR

4.1.1 Direnç uyumsuzluğu(mismatch)

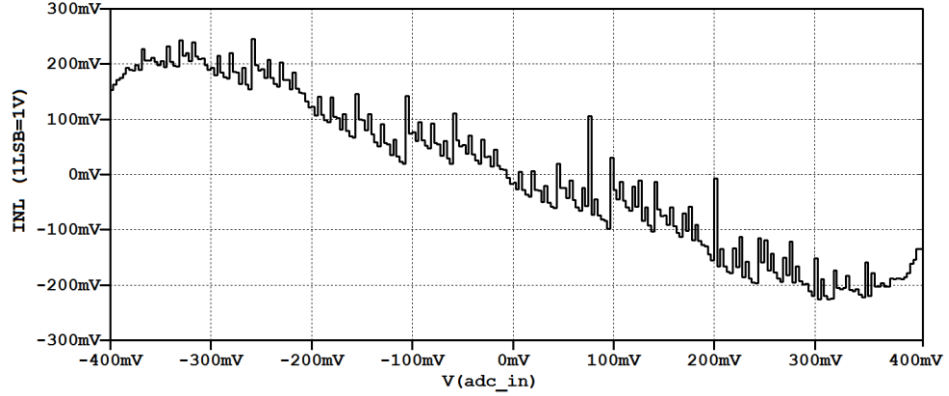
Direnç uyumsuzluğu durumunun incelenmesi için ilk beş kata ait eşik gerilimlerini belirleyen gerilim bölücü direnç dizilerinde %10 civarında rastgele değer değişiklikleri yapılarak INL simülasyonu koşturulmuştur. Elde edilen sonuç Şekil 4.9’da görülmektedir. Devre sayısal hata düzeltme alt yapısına sahip olduğundan görüldüğü gibi INL değeri uyumsuzluk olmayan durumla hemen hemen aynı elde edilmiştir. Ayrıca buradan INL hatasının alt devrelerdeki sonlu kazanç sebebiyle oluştuğu sonucuna varmak mümkündür.



Şekil 4.9 : Gerilim bölücü dirençlerde uyumsuzluk durumunda INL

4.1.2 Karşılaştırıcı ofseti uyuşmazlığı

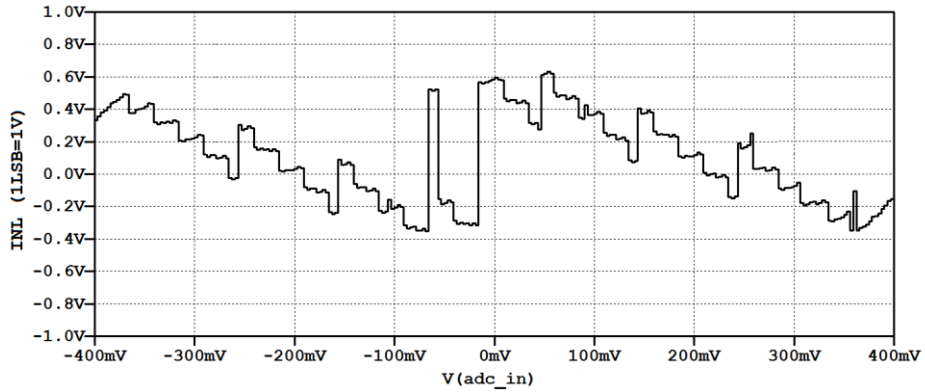
Karşılaştırıcı ofseti uyuşmazlığı durumunun incelenmesi için ilk beş kata ait karşılaştırıcılarda bulunan farksal yükselteç kısımlarında pratikte karşılaşılabilecek transistör boyut hataları rastgele oluşturulmuştur. Bu durumda elde edilen sonuç Şekil 4.10'da görülmektedir. Oluşan hata sayısal hata düzeltme sınırları içerisinde olduğundan INL değeri uyuşmazlık olmayan durumla hemen hemen aynı elde edilmiştir.



Şekil 4.10 : Karşılaştırıcı ofsetlerindeki uyuşmazlık durumunda INL

4.1.3 Kapasitör uyuşmazlığı

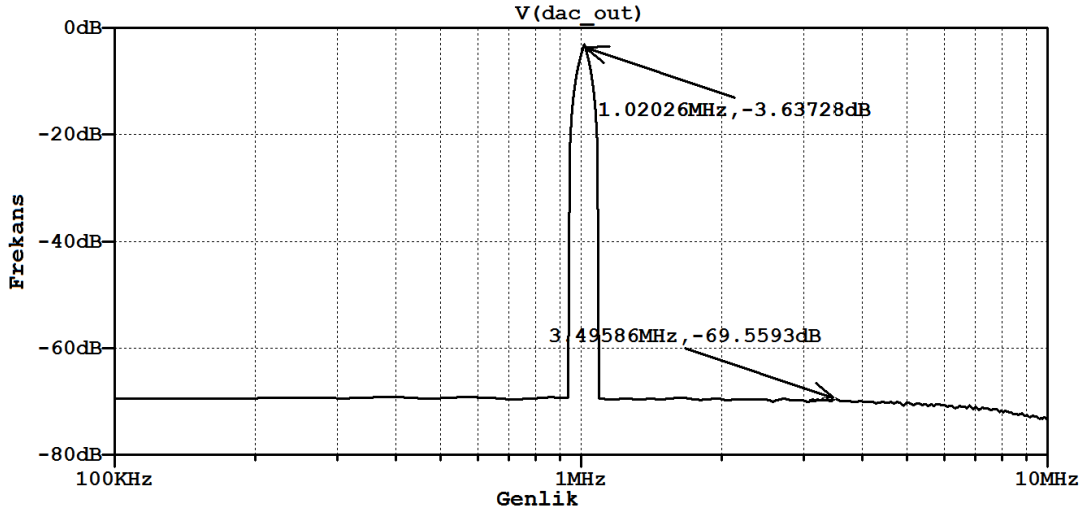
Kapasitör uyuşmazlığı durumunun incelenmesi için ilk beş kata ait kazancı belirleyen kapasitörlerin değerlerinde %0.5 civarında rastgele değişiklikleri yapılarak INL simülasyonu gerçekleştirilmiştir. Elde edilen sonuç Şekil 4.11'de görülmektedir. Elde edilen INL değeri uyuşmazlık olmayan durumdan farklıdır, dolayısıyla INL değerinin alt devrelerdeki kazanç hataları sebebiyle oluştuğu sonucuna varmak mümkündür.



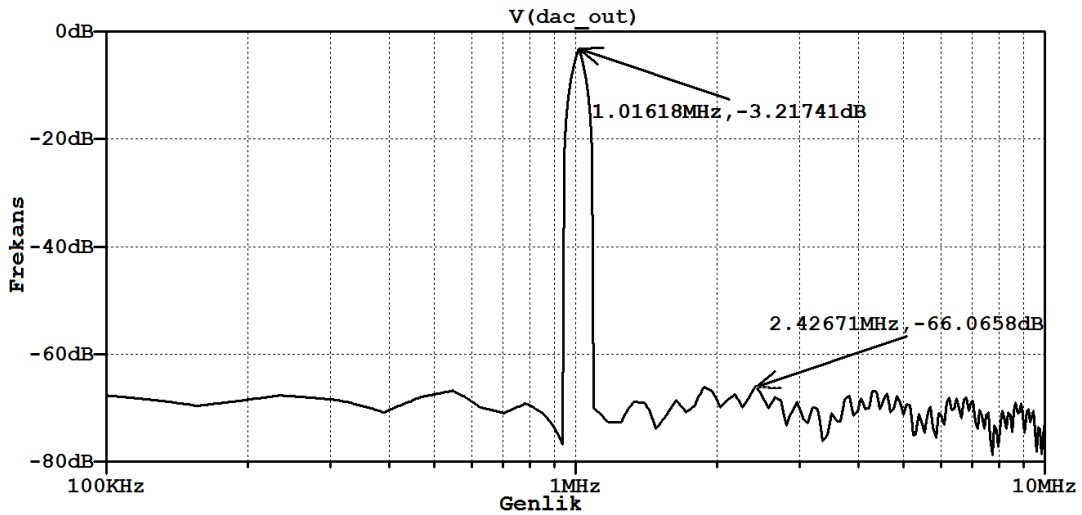
Şekil 4.11 : MDAC devresindeki kapasitörlerde uyuşmazlık durumunda INL grafiği

4.1.4 Çevirici performansının sıcaklıkla değişimi

Çevirici performansının sıcaklıkla değişiminin incelenmesi için spice simülasyonu ayarlarında sıcaklık değeri -40° ve 85° yapılarak simülasyon koşturularak 20 MHz frekanslı sinüs giriş işaretine karşı SFDR ölçümü yapılmıştır. Şekil 4.12’de -40° için, Şekil 4.13’te 85° için elde edilen sonuç görülmektedir.



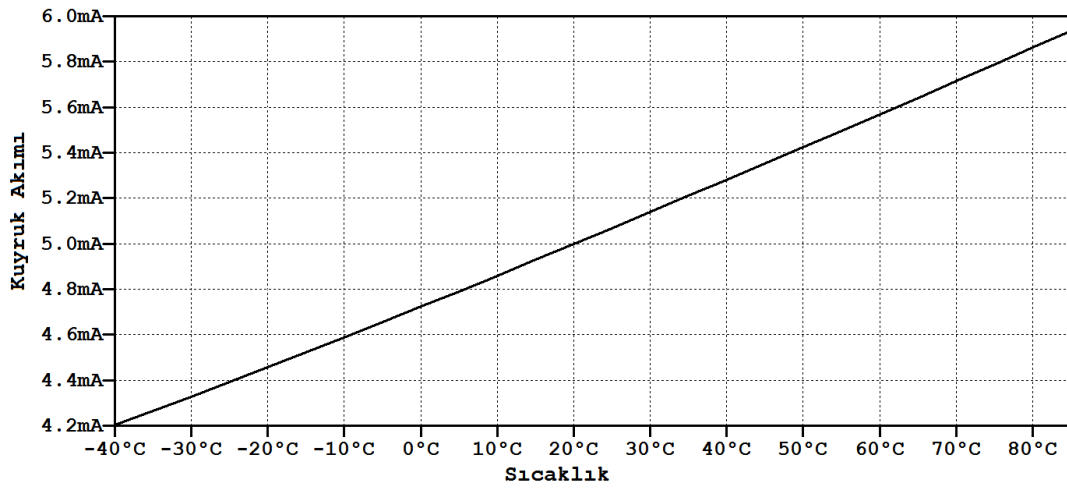
Şekil 4.12 : -40° sıcaklıkta 20 MHz için SFDR grafiği (gürültü dominant)



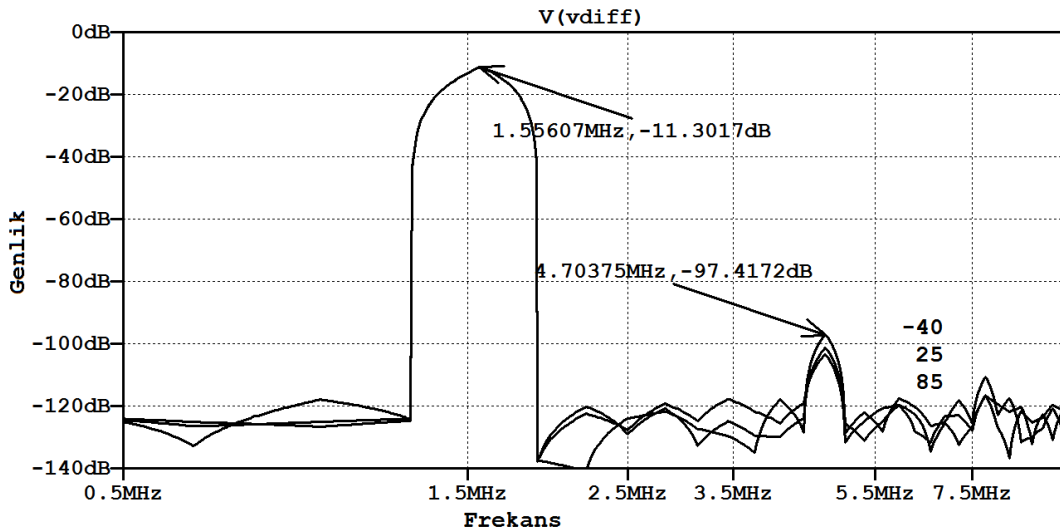
Şekil 4.13 : $+85^{\circ}$ sıcaklıkta 20 MHz için SFDR grafiği (gürültü dominant)

Bilindiği gibi transistörlerin kazançları sıcaklıkla azalmaktadır. Dolayısıyla işlemsel yükselteçlerin de kazançları bu duruma paralel olarak değişmektedir. Çevirici performansı alt devrelerin kazançlarına doğrudan bağlı olduğundan bu durumu telafi edecek yapılar kullanılır. Giriş transistörlerinin akımını dolayısıyla kazancı kontrol eden akım değeri değiştirilerek kazancın sıcaklıkla bağlı değişimi azaltılabilir.

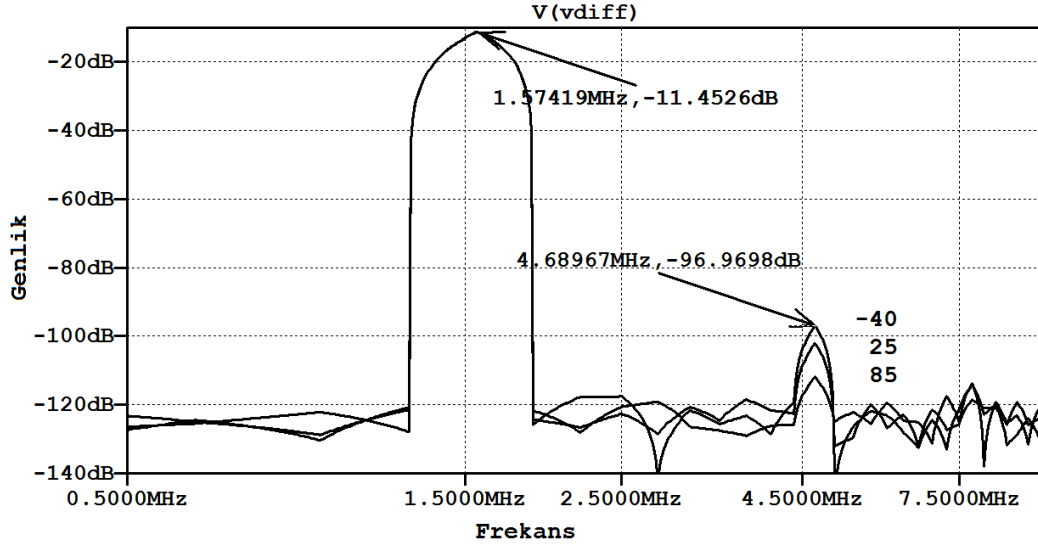
Bu amaçla akım değeri sıcaklıkla artan akım kaynağı (PTAT) yapıları kullanılmaktadır. Bu amaçla girişte bulunan S/H devresine ait işlemsel yükseltecin giriş transistörlerinin çalışma noktasındaki kuyruk akımlarını kutuplayan kaynak PTAT akım kaynağıyla değiştirilmiştir. Elde edilen yeni kuyruk akımının değişimi Şekil 4.14'te görülmektedir. Şekil 4.15'te ise -40° , 25° ve 85° için elde edilen SFDR grafiği görülmektedir. Bu grafikte elde edilen SFDR değerleri sıcaklıkla doğru orantılıdır. SFDR simülasyonu 64 noktalı olarak 21 MHz frekanslı sinüs işareti için koşturulmuştur. Şekil 4.16'da ise -40° , 25° ve 85° için PTAT devresi yokken elde edilen SFDR grafiği görülmektedir.



Şekil 4.14 : Giriş transistörleri kuyruk akımının sıcaklıkla değişimi

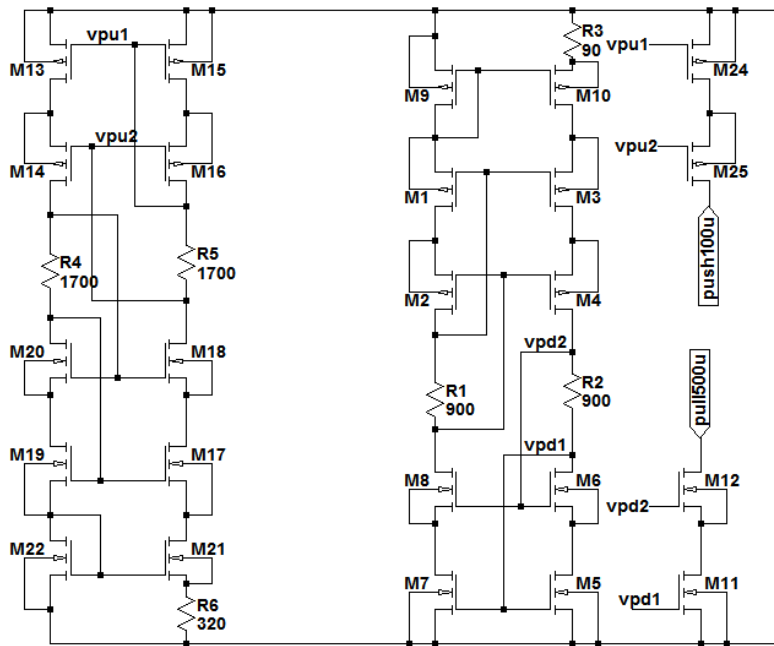


Şekil 4.15 : PTAT akım kaynaklı S/H devresinin sıcaklıkla SFDR değişimi



Şekil 4.16 : PTAT akım kaynaqsız S/H devresinin sıcaklıkla SFDR değişimi

Elde edilen sonuçlar incelendiğinde PTAT devresinin işlemsel yükseltecin sıcaklığa bağlı değişimini telafi edebildiği görülmektedir. Ancak SFDR değerinin kötüleşmesi artan akıma bağlı olarak oluşan head room kaybıdır. Bu sebeple eğer SFDR ölçümleri tam ölçek (full scale) işaretler için değerlendirilmezlerse daha yüksek SFDR değerleri elde etmek mümkün olabilir. Şekil 4.17’de tasarımı yapılan PTAT akım kaynağı görülmektedir. Bu akım kaynağı 500 μ A akım çekmekte ve 100 μ A akım basmaktadır. EKC16’da bu devreye ait spice netlist bilgileri bulunmaktadır.



Şekil 4.17 : PTAT akım kaynağı devresi

5. SONUÇ ve DEĞERLENDİRME

Günümüzde ADC kullanımı gerektiren uygulamalarda çevirici mimarileri hız ve performans açısından ele alındığında Pipeline ADC mimarisi gerek hız gerek performans açısından çok sık tercih edilen yapılardandır. Yapılan çalışma kapsamında 12-Bit çözünürlüğünde pipeline mimarisinde çevirici tasarımı amaçlanmış ve 14-Bit bir tasarımın son iki bitinin yoksayılmasıyla 12-Bit çözünürlüklü 20 Msps hızında çevirici tasarımı yapılmıştır. Uyuşma(matching) hatalarının olmadığı durum için, oda sıcaklığında, tasarlanan ADC'ye ait özellikler Çizelge 5.1'de görülmektedir.

Çizelge 5.1 : Tasarlanan ADC Özellikleri(Uyuşmazlık/mismatch yokken)

Özellik	Değer
Besleme Gerilimi	3.3 V
Giriş Ortak Mod Gerilimi	1.6 V
Farksal Giriş Gerilimi	± 400 mV
Örnekleme Hızı	20 Msps
Çözünürlük	12+2 Bit
Ofset Gerilimi	~ 200 μ V
SNR	71 dB
SFDR	84 dBc @20 MHz
INL	± 0.3 LSB
ENOB	11.3 Bit @20 MHz
Güç Tüketimi (Sayısal ve Tampon Devreler Hariç)	~ 350 mW
Referans Tampon Devreleri Güç Tüketimi	~ 120 mW

Yapılan bu çalışma benzetim seviyesinde olduğundan mimariye ait analog bloklar transistör temelli devreler olarak tasarlanmış ancak sayısal devreler davranışsal model aşamasında bırakılmıştır.

5.1 Çalışmanın Uygulama Alanı

Yapılan tez çalışmasında tasarlanan Pipeline ADC sayısal haberleşme uygulamalarında ve görüntü işleme uygulamalarında kullanılabilir. Özellikle sayısal haberleşme alanındaki uygulamalarda işaretlerin taşıyıcı frekanstan temel banda indirilmesinden sonraki aşamalarda modülasyon, demodülasyon uygulamalarında kullanılmaktadırlar. Ayrıca cep telefonları, baz istasyonları, adsl modemlerde de

Pipeline mimarisindeki ADC'ler uygulama alanı bulmaktadırlar. Günümüzde DSL modemler ve uydu alıcıları düşünüldüğünde her evde en az iki adet pipeline ADC kullanılmakta olduğunu belirtebiliriz.

5.2 Değerlendirme ve Yapılabilecek çalışmalar

Tez çalışması kapsamında tasarımı yapılan çevirici performansı incelendiğinde piyasada ticari ürün olarak bulunan benzer ürünlere göre daha temel bir tasarım olduğu görülmektedir. Gerek güç tüketimi gerek performans açısından ticari ürünler bu çalışmaya göre daha ileridedir. Ancak bu çalışma temel bir prototip olarak ele alınabilecek bir çalışmadır ve geliştirilmeye açıktır. i7 işlemcili, 1.8 GHz hızındaki standart bir dizüstü bilgisayarda 20 MHz sinüs giriş işareti için tam çeviriciye ait 128 noktalı SFDR simülasyonu yaklaşık olarak 10 saat sürmektedir. 256 noktalı INL simülasyonu da i7 işlemcili 2.4 GHz hızındaki bir bilgisayarda 22 saat sürmektedir.

Bu ve benzeri çalışmalarda üzerinde durulan en önemli husus sayısal devrelerden ziyade analog devrelerin performanslarıdır. Özellikle ilk girişte bulunan S/H devresi performansı çeviriciye ait hatayı belirleyen en önemli unsurlardan biridir.

Çevirici performanslarını belirleyen diğer önemli husus ise gürültüdür. Gürültüyü azaltmak için çeşitli topolojiler ve üretim teknikleri kullanılarak çalışmalar yapılmakla birlikte yüksek örnekleme hızları için geniş bantlı devre elemanları kullanılması gerektiğinden güç tüketimi artmakta, düşük gürültülü devre tasarımı zorlaşmaktadır.

Bu çalışmadaki çeviriciyi oluşturan alt blokların performansları artırılarak ticari ürünlerle kıyasalanabilir seviyeye getirilebilir. Özellikle farksal opamp tasarımı ve analog anahtar tasarımlarında yapılabilecek çalışmalar gürültü, SFDR ve güç tüketimi açısından performansta iyileşme sağlayabilir.

Çalışmada, PTAT seviyeleri optimize edilmiş akım jeneratörleri kullanarak sıcaklık ile SFDR ve INL başarımının iyileştirilmesi süreci tamamlanamamıştır. Ayrıca, tüm devre elemanlarını kapsayacak uyumsuzluk temelli (monte carlo) benzetimler, tasarım ortamının müsait olmamasından dolayı yapılamamıştır. Uyuşmazlık analizi, seçme devre elemanlarının değerleri değiştirilmek suretiyle kabaca yapılmıştır.

KAYNAKLAR

- [1] **Gray, N.** (2006). ABCs of ADCs, Analog to Digital Converter Basics [Power Point sunumu] National Semiconductor firması sunumu, 27.06.2006.
- [2] **Walden, R. H.** (1999). Analog-to-Digital Converter Survey and Analysis, IEEE Journal On Selected Areas In Communications, Vol. 17, No. 4
- [3] **Kester, W.** (2005). Which ADC Architecture Is Right for Your Application. [Son erişim tarihi 17.12.2012]. Web erişim adresi: <http://www.analog.com/library/analogDialogue/archives/39-06/architecture.html>
- [4] **Analog Devices** (2010). AD9248 veri sayfası. [Son erişim tarihi 15.12.2012]. Web erişim adresi: http://www.analog.com/static/imported-files/data_sheets/AD9248.pdf
- [5] **Jonsson, B. E.** (2012). A survey of ADC surveys. 28.08.2012. Converter passion (online). [Son erişim tarihi 15.12.2012]. Web erişim adresi: <http://converterpassion.wordpress.com/2012/08/28/a-survey-of-adc-surveys/>
- [6] **Jonsson, B. E.** (2010). A Survey of A/D-Converter Performance Evolution, Electronics, Circuits, and Systems (ICECS), Sf. 766 - 769.
- [7] **Lee, B. G., B.M. Min, G. Mangarano, J. W. Valvano** (2008). A 14-b 100-MS/s Pipelined ADC With a Merged SHA and First MDAC. IEEE Journal Of Solid-State Circuits, Vol. 43, No. 12
- [8] **Suhas, K., Penkota V., Asv R.** (2002). A 30mW 12b 21MSample/s Pipelined CMOS ADC. ISSCC Session 18/Converter Techniques / 18.4
- [9] **Ahmed, I.** (2004). A power scaleable and low power pipeline ADC using power resettable opamps, Y.L. tezi, Toronto Üniversitesi
- [10] **Qingbo, G., J. Xinzhang, T. Hualian** (2011). Co-Simulation of Pipeline ADC Using Simulink and PSpice. Intelligent Computation Technology and Automation (ICICTA). Vol 2. Sf. 487-490
- [11] **Bjornsen, J., T. Ytterdal** (2003). Behavioral modeling and simulation of high-speed analog-to-digital converters using SystemC. Circuits and Systems. Vol 3. Sf. III-906- III-909.
- [12] **Lewis, S.** (1987). Video Rate Analog to Digital Conversion Using Pipelined Architecture, Doktora tezi. Berkeley Üniversitesi.
- [13] **Dessouky, M., A. Kaiser.** (1999). Input switch configuration suitable for rail-to-rail operation of switched op amp circuits. Electronic Letters. Vol. 35 Issue 1, Sf. 8-10

- [14] **Cline, D. W., P.R. Gray** (1999). A power optimized 13-b 5 Msamples/s pipelined analog-to-digital converter in 1.2 μm CMOS. IEEE Journal Of Solid-State Circuits, Vol. 31, Issue 3, Sf. 294-303
- [15] **Quinn, P.J., A.H.M. van Roermund** (2005). Accuracy Limitations of Pipelined ADCs. Circuits and Systems. Vol. 3, Sf.956- 1959
- [16] **Nikandish G., B. Sedighi, M. S. Bakhtiar** (2006). INL Prediction Method in Pipeline ADCs. Circuits and Systems (APCCAS). Sf. 13-16

EKLER

- EK A:** Pipeline ADC Matlab Benzetim Kodları
- EK B:** Pipeline ADC Davranışsal LTspice Modeli
- EK C:** Tasarlanan Devrelerin Spice Netlist Bilgileri
- EK C1:** S/H Devresi Netlist Bilgileri
- EK C2:** Önyüklemeli Anahtar Devresi Netlist Bilgileri
- EK C3:** Genel Anahtar Devresi Netlist Bilgileri
- EK C4:** S/H Opamp Devresi Netlist Bilgileri
- EK C5:** MDAC 1 Devresi Netlist Bilgileri
- EK C6:** MDAC 2 Devresi Netlist Bilgileri
- EK C7:** MDAC 3 Devresi Netlist Bilgileri
- EK C8:** MDAC 4 Devresi Netlist Bilgileri
- EK C9:** 1.5 Bit Flash ADC Devresi Netlist Bilgileri
- EK C10:** 2-Bit Flash ADC Devresi Netlist Bilgileri
- EK C11:** Ortak Mod tampon işlemsel yükselteç devresi Netlist Bilgileri
- EK C12:** Üst referans gerilimi tampondevresi Netlist Bilgileri
- EK C13:** Alt referans gerilimi tampon devresi Netlist Bilgileri
- EK C14:** Alt ve Üst referans farksal işlemsel yükselteç devresi Netlist Bilgileri
- EK C15:** Referans gerilimleri test devresi Netlist Bilgileri
- EK C16:** PTAT akım kaynağı devresi Netlist Bilgileri

EKA

```
%-----  
%PIPELINE ADC SIMULASYONU V(1.1)  
%Pipeline ADC Zamanlama simülasyonu için geçici değişkenler  
%-----  
Vref=4096;           %Referans gerilimi  
Bits=12;            %ADC Bit sayısı  
Vin=zeros(1,Bits);  %Blokların Giriş gerilimleri  
Vout=zeros(1,Bits); %Blokların Çıkış gerilimleri  
B1Line=zeros(Bits); %B1 bitleri için gecikme registeri-Delay line  
B0Line=zeros(Bits); %B0 bitleri için gecikme registeri-Delay line  
LastB1=zeros(1,Bits); %Error correction hattına kadar inebilen bitler  
LastB0=zeros(1,Bits); %Error correction hattına kadar inebilen bitler  
%-----  
%Modele Giriş İşaretinin Örneklenerek Uygulanması  
%Giriş işareti bir süre "0" sonra "-1,+1" Rampa ve sonra DC  
Ramp=-1*Vref:2:Vref; %Giriş işaretinin rampa kısmı  
Giris=[zeros(1,807) Ramp ones(1,8000).*3500];  
DACOut(10000)=0;    %Test için DAC output  
%-----  
for s=1:1:10000      %Çalışma Zamanı örnekleme sayacı  
%*****Pipeline ADC Başlangıcı*****  
    Vin(1)=Giris(s); %Giris isaretini ornekle  
  
%Pipeline Blokları örnekleme adımlarıyla ellerindeki veriyi işler  
  
    [ B1Line,B0Line,Vout ] = PipeChain_1( Bits,Vin,Vref,B1Line,B0Line );  
  
%Veri işlendikten sonra zaman simülasyonu için eski verileri sakla!
```

```

%-----
for p=2:1:Bits           %Her katın Girişi önceki katın çıkışı
    Vin(p)=Vout(p-1);    %Her defasında bir önceki çıkış giriş oluyor
end
%-----
%Örnekleme Darbesi geldiğinden her biti birer kaydır, yenileri geliyor

    [LastB1,LastB0,B1Line,B0Line] = DelayLine(B1Line,B0Line,Bits );

%Her Bit birer kaydı
%-----
%Digital Error Correction

    [ RSDBits] = RSDCorrection( LastB1,LastB0,Bits );
%-----
%*****Pipeline ADC Sonu*****
%Test amaçlı DAC
    [ DACOut(s) ] = IdealDAC(RSDBits,Bits,Vref);
%Test Amaçlı DAC sonu
end
%Zamanda Örnekleme Sonu
%-----
%Test Fonksiyonları
ADCTest(Giris,DACOut,820,Bits,Vref);

function [ B1Line,B0Line,Vout ] = PipeChain_1( Bits,Vin,Vref,B1Bits,B0Bits )
%Pipeline Birim Bloklarının arka arkaya dizilmiş hali
B1Line=B1Bits; %B1 bit Hattı

```

```

B0Line=B0Bits;           %B0 Bit Hattı
Vout(Bits)=0;           %Vout Çıkışları
for c=1:1:Bits          %İlk bloktan başlayarak çevirme işlemini her blokta yap
    [B1 B0 Vout(c)]= pipeblock_2(Vin(c),Vref); %Giris isaretini ilk bloka uygula
    B1Line(c,c)=B1;      %İlk sonucu registra yaz(1. satır, 1.sütun)
    B0Line(c,c)=B0;      %Diğer bit için de yaz (En son blok 12. satır 12. sütun)
end
function [LastB1,LastB0,B1Delayed,B0Delayed] = DelayLine(B1Line,B0Line,Bits )
%Bit hattının en sonunu DAC'a yollayıp, birer kaydırma işlemi yapan bir
%nevi fifo
    LastB1=B1Line(Bits,:);%Veriler bozulmadan delay line sonunu
    LastB0=B0Line(Bits,:);%kopyala ve çıkışa yani DAC'a yolla
for c=Bits:-1:2%Gecikme elemanlarını bir aşağıya kaydır, yeni bitler girecek
    B1Delayed(c,:)=B1Line(c-1,:); %Son bitler önceden kopyalandığından
    B0Delayed(c,:)=B0Line(c-1,:); %Satırlar birer aşağıya kaydırılabilir
end
function [ OutBits] = RSDCorrection( B1,B0,Bits )
%Digital Error Correction
    carry=0;           %Geçici değişkenleri sıfırla
for c=Bits:-1:2
    [carry s]=fulladd(carry,B0(c-1),B1(c));% Full adder işlemi
    OutBits(c)=s;      %İşlem sonucunu test için DAC'a yolla
end
[~, s]=fulladd(carry,0,B1(1)); %MSB hesaplama
OutBits(1)=s;

function [ Analog ] = IdealDAC(Input,Bits,Vref)
%İdeal DAC + ve -'yi de taratmak gerekli.
m1=(Bits-1):-1:0;      %DAC bitleri
m2=2.^m1;              %ağırlık çarpanları

```

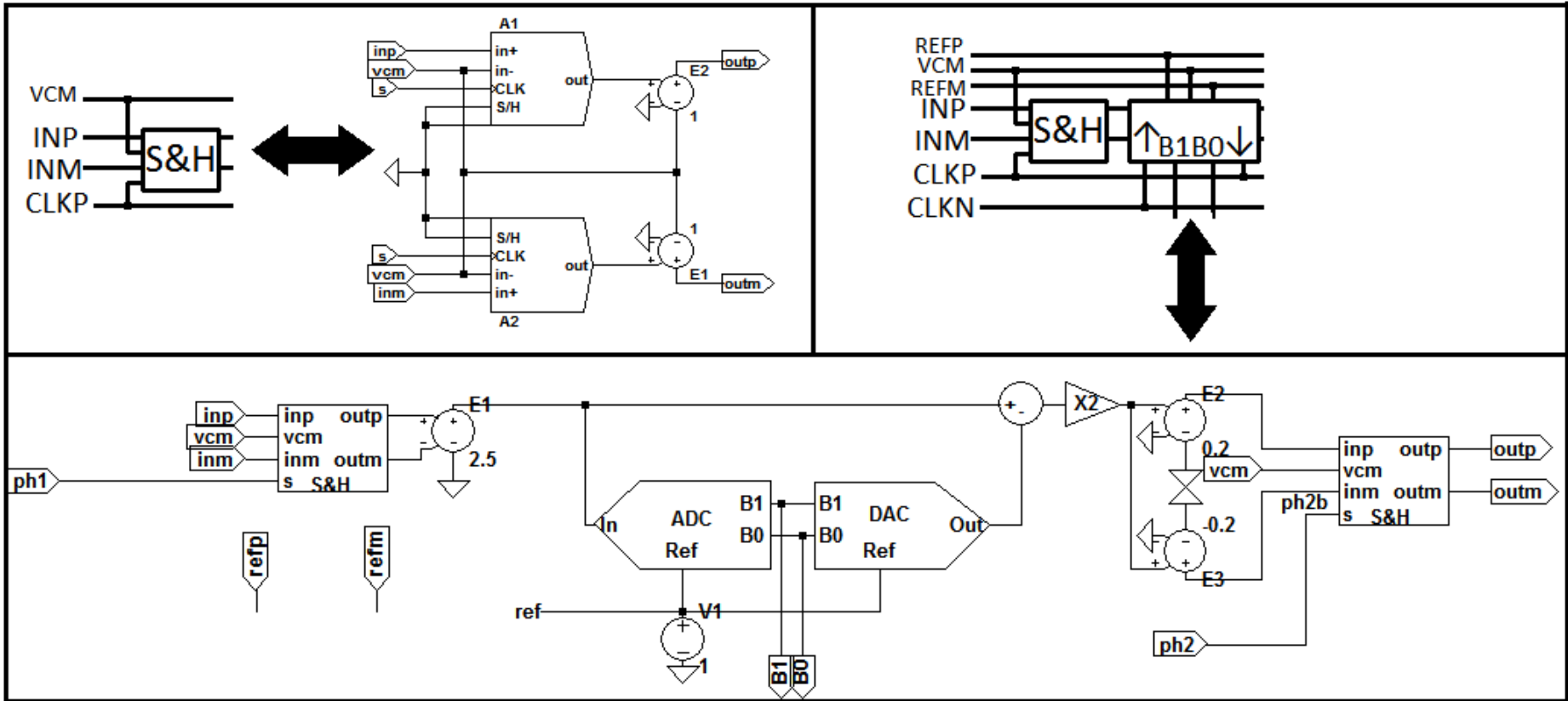


```

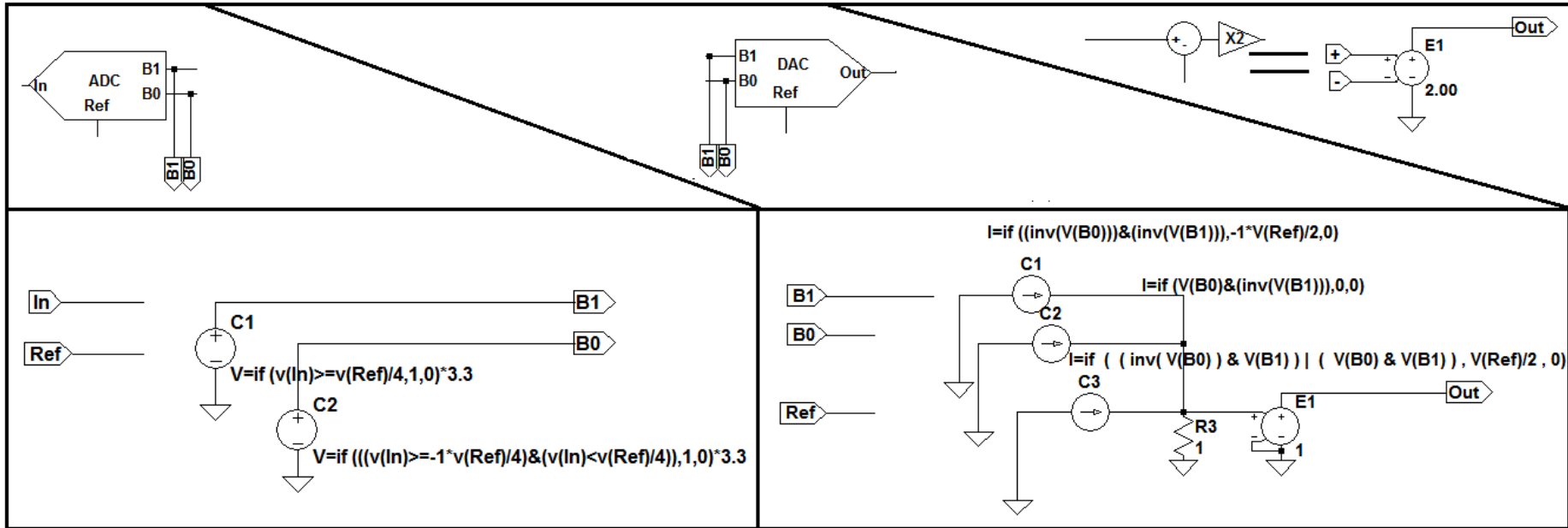
Basamaklar=Input.*m2;
%Analog=2*sum(Basamaklar)-Vref; Full range
Analog=sum(Basamaklar);
function [ ] = ADCTest(Giris,Cikis,N,Bits,Vref)
%DAC Çıkışı Test Fonksiyonu, INL, DNL
%N Çıkışın anlamlı olduğu dizi başı
%-----
%Sonuçları çizdir
plot(Giris) %Girişi Çizdir
title('Giris ve Cikis Isareti')
hold on
grid on
x=stairs(Cikis);
set(x,'Color','red','LineWidth',2)
y=stairs(2*Cikis-Vref);
set(y,'Color','green','LineWidth',2)
hold off
%-----
%DNL Hesaplaması yap
figure
DCikis=diff(Cikis(N:(N+2^Bits-1))); %Çıkışın Diferansiyeli/ideal adım-1
bar(DCikis/(Vref/2^Bits)-1)
title('DNL')
%-----
%INL Hesaplaması
adim=0:1:2^Bits-1;
figure
ICikis=Cikis(N:(N+2^Bits-1)); %Çıkışın ilgili kısmını al
bar(abs((ICikis-0)/(Vref/2^Bits)-adim))
title('INL')

```

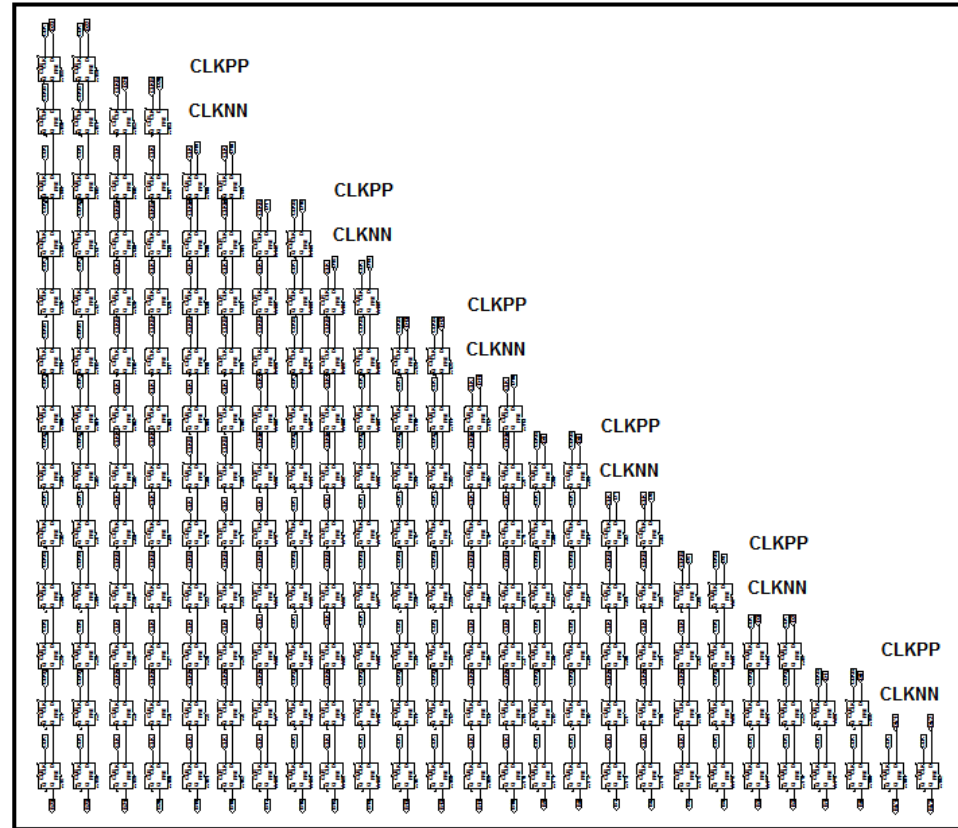
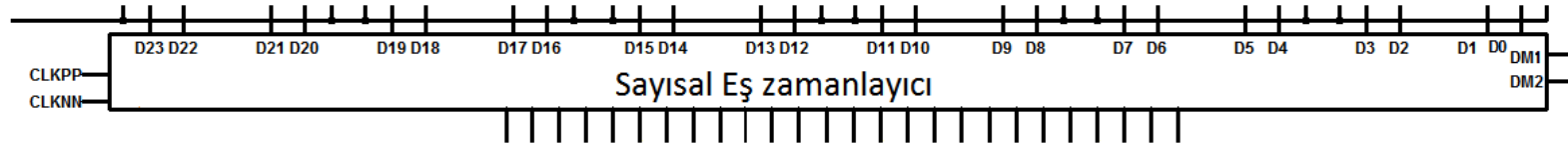
EK B



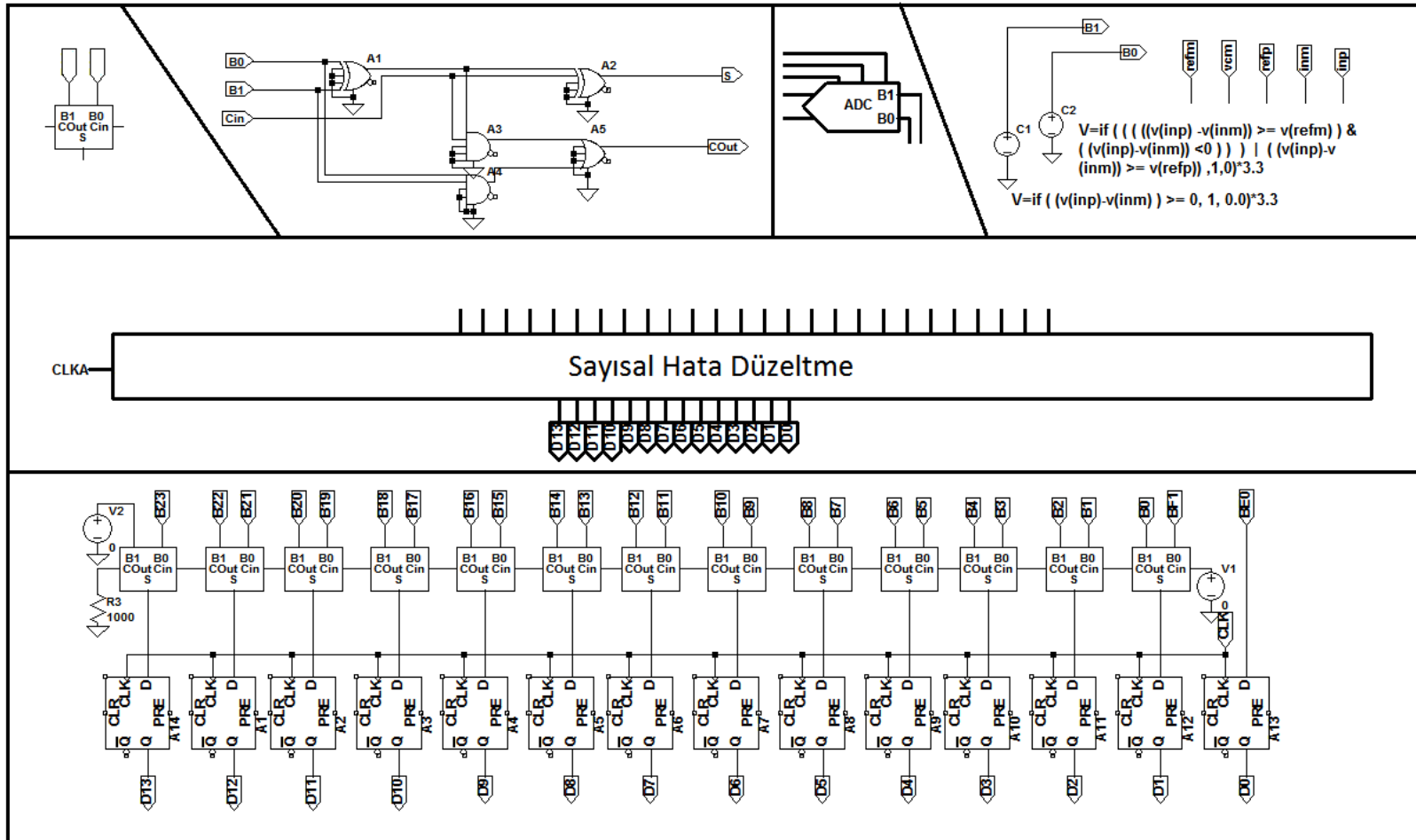
Şekil B.1 : Pipeline ADC LTspice modeli alt blokları-1



Şekil B.2 : Pipeline ADC LTspice modeli alt blokları-2



Şekil B.3 : Pipeline ADC LTspice modeli alt blokları-3



Şekil B.4 : Pipeline ADC LTspice modeli alt blokları-4

EK C

EK C1

```
C5 N001 vsbp 3p
C6 N005 dm 3p
C7 vsbp vstp 3p
C8 dm vstn 3p
I1 AVDD! N002 100µ
I4 N004 0 500µ
XX16 ph2 vstp vstn sw_shg
XX17 N001 outp ph2 sw_sho
XX18 N005 outn ph2 sw_sho
XX19 VCM vsbp ph1a sh_sw_zr
XX20 VCM N001 ph1b sh_sw_zr
XX21 VCM outp ph1b sh_sw_zr
XX22 VCM outn ph1b sh_sw_zr
XX23 VCM N005 ph1b sh_sw_zr
XX24 VCM dm ph1a sh_sw_zr
XX1 vsbp dm outp outn VCM N002 N004 AVDD! opamp_lp1
XX2 ph1 ph2 vinp vstp boot_switch
XX3 ph1 ph2 vinm vstn boot_switch

* block symbol definitions
.subckt sw_shg C I O
M1 I N001 N002 AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=8
M2 I C N002 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=2
M3 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M4 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
M5 O N001 N002 AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=8
M6 O C N002 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=2
.ends sw_shg

.subckt sw_sho I O C
M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=10
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=4
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_sho

.subckt sh_sw_zr I O C
M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=8
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=2
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sh_sw_zr
```

EK C2

```
M2 AVDD! N002 N001 N001 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=10
M3 N002 N005 N001 N001 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=5
M4 N005 P1N AVDD! AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=5
C1 N004 N001 20p
M8 N004 P2 0 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=4
M7 N004 N002 I 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=2
M5 N005 P1N N004 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=1
M9 N002 AVDD! N003 N003 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=8
M10 N003 P1P 0 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=8
M6 N005 N002 N004 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=2
M12 P1P P1N 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=3
M11 P1P P1N AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=9
M1 O N002 I 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=12
.backanno
.end
```

EK C3

```
M3 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9
M4 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M2 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M1 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.backanno
.end
```

EK C4

```
.subckt opamp_lp1 INP INN OUTN OUTP VCM push100u pull1500u AVDD
M1 N003 INP N013 N013 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=32
M2 N004 INN N013 N013 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=32
M9 N016 vb3 N018 N018 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=10
M13 N018 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=5
M10 N017 vb3 N019 N019 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=10
M14 N019 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=5
M5 N010 vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=12
M11 N003 cmfb AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=32
M12 N004 cmfb AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=32
M6 N011 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=12
M3 OUTN vb6 N010 N010 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=12
M4 OUTP vb6 N011 N011 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=12
M8 OUTP vb5 N017 N017 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=10
```

```

M16 N022 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=200
M15 N013 vb8 N022 N022 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=50
M7 OUTN vb5 N016 N016 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=10
M17 N001 OUTN N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=4
M18 cmfb VCM N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=4
M28 N023 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=92
M27 N014 vb8 N023 N023 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=30
M19 cmfb VCM N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=4
M20 N002 OUTP N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=4
M30 N024 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=92
M29 N015 vb8 N024 N024 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=30
M21 N001 vb2 N005 N005 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=10
M22 N005 N001 AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=10
M23 cmfb vb2 N006 N006 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=20
M24 N006 cmfb AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=20
M25 N002 vb2 N007 N007 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=10
M26 N007 N002 AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=10
R14 N002 0 200K
R15 N001 0 200K
R16 cmfb 0 100K
M31 N008 vb1 AVDD AVDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=6
M33 vb1 vb2 N008 N008 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M38 N021 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M37 vb4 vb3 N021 N021 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=1
C3 AVDD vb1 4p
C4 vb4 0 4p
M36 N020 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M35 vb7 vb8 N020 N020 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C6 vb7 0 2p
R17 vb3 vb4 900
R18 vb5 vb3 950
R19 vb1 vb2 900
R20 vb2 vb6 950
R21 vb8 vb7 1700
R22 N012 vb5 1
R23 vb6 pull1500u 1
R24 push100u vb8 1
M32 N009 vb1 AVDD AVDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=6
M34 N012 vb2 N009 N009 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=3
.ends opamp_lp1

```


EK C5

```
C1 ampinp vstp 2p
C2 ampinn vstn 2p
I1 AVDD N007 100µ
I4 N008 0 500µ
C7 ampinp N004 2p
C8 ampinn N009 2p
A9 b0 0 0 0 N001 0 0 BUF Vhigh=3.3
A10 N001 0 0 0 N002 0 d00 0 AND Vhigh=3.3
A11 N006 0 0 0 b1 0 d10 0 AND Vhigh=3.3
A12 b0 0 0 0 N005 0 d01 0 AND Vhigh=3.3
A13 b1 0 0 0 0 N002 0 0 BUF Vhigh=3.3
A14 b0 0 0 0 0 N006 0 0 BUF Vhigh=3.3
A15 b1 0 0 0 0 N005 0 0 BUF Vhigh=3.3
XX19 VCM ampinp ph1a sw_md_o
XX22 VCM outp preph1 sw_md_o
XX23 VCM ampinn ph1a sw_md_o
XX24 VCM outn preph1 sw_md_o
XX25 refp N003 d10 sw_md_dcsw
XX26 VCM N003 d01 sw_md_dcsw
XX27 refm N003 d00 sw_md_dcsw
XX32 refm N010 d10 sw_md_dcsw
XX33 VCM N010 d01 sw_md_dcsw
XX34 refp N010 d00 sw_md_dcsw
XX39 N004 outp ph2 sw_md_f
XX40 N003 vstp ph2 sw_md_f
XX41 N010 vstn ph2 sw_md_f
XX42 N009 outn ph2 sw_md_f
XX3 ph1 d01 vinp N004 sw_md_i_triple
A1 ph2 0 0 0 0 preph1 0 0 BUF Vhigh=3.3 Td=0.1n
XX1 ph1 d01 vinp vstp sw_md_i_triple
XX4 ph1 d01 vinm vstn sw_md_i_triple
XX5 ph1 d01 vinm N009 sw_md_i_triple
XX2 ampinp ampinn outp outn VCM N007 N008 AVDD opamp_lp2

* block symbol definitions
.subckt sw_md_o I O C
M7 I N001 0 AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=8
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=8
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_o

.subckt sw_md_dcsw I O C
M7 I N001 0 AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_dcsw

.subckt sw_md_f I O C
M7 I N001 0 AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=12
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=12
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_f

.subckt sw_md_i_triple C D01 I O
```

```

M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=4
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
M1 I N002 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M2 N002 C N003 N003 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u
m=1
M3 N002 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
M4 N003 D01 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M5 N002 D01 AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_i_triple

.subckt opamp_lp2 INP INN OUTN OUTP VCM push100u pull1500u AVDD
M1 N003 INP N013 N013 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=24
M2 N004 INN N013 N013 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=24
M9 N016 vb3 N018 N018 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=2
M13 N018 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=2
M10 N017 vb3 N019 N019 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=2
M14 N019 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=2
M5 N010 vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=5
M11 N003 cmfb AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=28
M12 N004 cmfb AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=28
M6 N011 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=5
M3 OUTN vb6 N010 N010 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=5
M4 OUTP vb6 N011 N011 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=5
M8 OUTP vb5 N017 N017 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=2
M16 N022 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=120
M15 N013 vb8 N022 N022 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=48
M7 OUTN vb5 N016 N016 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=2
M17 N001 OUTN N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=3
M18 cmfb VCM N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M28 N023 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=45
M27 N014 vb8 N023 N023 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=15
M19 cmfb VCM N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M20 N002 OUTP N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=3
M30 N024 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=45
M29 N015 vb8 N024 N024 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=15

```

```

M21 N001 vb2 N005 N005 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=8
M22 N005 N001 AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=8
M23 cmfb vb2 N006 N006 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=16
M24 N006 cmfb AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=16
M25 N002 vb2 N007 N007 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=8
M26 N007 N002 AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=8
R1 N002 0 200K
R2 N001 0 200K
R3 cmfb 0 100K
M31 N008 vb1 AVDD AVDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=6
M33 vb1 vb2 N008 N008 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M38 N021 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M37 vb4 vb3 N021 N021 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=1
C1 AVDD vb1 4p
C2 vb4 0 4p
M36 N020 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M35 vb7 vb8 N020 N020 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C5 vb7 0 2p
R4 vb3 vb4 900
R5 vb5 vb3 950
R6 vb1 vb2 900
R7 vb2 vb6 950
R8 vb8 vb7 1700
R9 N012 vb5 1
R10 vb6 pull1500u 1
R11 push100u vb8 1
M32 N009 vb1 AVDD AVDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=6
M34 N012 vb2 N009 N009 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=3
.ends opamp_lp2
.backanno
.end

```

EK C6

```

C1 ampinp vstp 2p
C2 ampinn vstn 2p
I1 AVDD N007 100µ
I4 N008 0 500µ
C7 ampinp N004 2p
C8 ampinn N009 2p
A9 b0 0 0 0 0 N001 0 0 BUF Vhigh=3.3
A10 N001 0 0 0 N002 0 d00 0 AND Vhigh=3.3
A11 N006 0 0 0 b1 0 d10 0 AND Vhigh=3.3
A12 b0 0 0 0 N005 0 d01 0 AND Vhigh=3.3
A13 b1 0 0 0 0 N002 0 0 BUF Vhigh=3.3
A14 b0 0 0 0 0 N006 0 0 BUF Vhigh=3.3
A15 b1 0 0 0 0 N005 0 0 BUF Vhigh=3.3
XX19 VCM ampinp ph1a sw_md_o

```

```

XX22 VCM outp preph1 sw_md_o
XX23 VCM ampinn ph1a sw_md_o
XX24 VCM outn preph1 sw_md_o
XX25 refp N003 d10 sw_md_dcsw
XX26 VCM N003 d01 sw_md_dcsw
XX27 refm N003 d00 sw_md_dcsw
XX32 refm N010 d10 sw_md_dcsw
XX33 VCM N010 d01 sw_md_dcsw
XX34 refp N010 d00 sw_md_dcsw
XX39 N004 outp ph2 sw_md_f
XX40 N003 vstp ph2 sw_md_f
XX41 N010 vstn ph2 sw_md_f
XX42 N009 outn ph2 sw_md_f
XX3 ph1 d01 vinp N004 sw_md_i_triple
A1 ph2 0 0 0 0 preph1 0 0 BUF Vhigh=3.3 Td=0.1n
XX1 ph1 d01 vinp vstp sw_md_i_triple
XX4 ph1 d01 vinm vstn sw_md_i_triple
XX5 ph1 d01 vinm N009 sw_md_i_triple
XX2 ampinn ampinn outp outn VCM N007 N008 AVDD opamp_lp3

```

* block symbol definitions

```
.subckt sw_md_o I O C
```

```

M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=8
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=8
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3

```

```
.ends sw_md_o
```

```
.subckt sw_md_dcsw I O C
```

```

M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3

```

```
.ends sw_md_dcsw
```

```
.subckt sw_md_f I O C
```

```

M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=12
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=12
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3

```

```
.ends sw_md_f
```

```
.subckt sw_md_i_triple C D01 I O
```

```

M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=4
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
M1 I N002 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M2 N002 C N003 N003 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u
m=1
M3 N002 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
M4 N003 D01 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M5 N002 D01 AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3

```

```
.ends sw_md_i_triple
```

```

.subckt opamp_lp3 INP INN OUTN OUTP VCM push100u pull1500u AVDD
M31 N008 vb1 AVDD AVDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=6
M33 vb1 vb2 N008 N008 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M38 N021 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M37 vb4 vb3 N021 N021 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=1
C3 AVDD vb1 4p
C4 vb4 0 4p
M36 N020 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M35 vb7 vb8 N020 N020 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C6 vb7 0 2p
R17 vb3 vb4 900
R18 vb5 vb3 950
R19 vb1 vb2 900
R20 vb2 vb6 950
R21 vb8 vb7 1700
R22 N012 vb5 1
R23 vb6 pull1500u 1
R24 push100u vb8 1
M32 N009 vb1 AVDD AVDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=6
M34 N012 vb2 N009 N009 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M1 N003 INP N013 N013 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M2 N004 INN N013 N013 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M9 N016 vb3 N018 N018 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=2
M13 N018 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=2
M10 N017 vb3 N019 N019 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=2
M14 N019 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=2
M5 N010 vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=4
M11 N003 cmfb AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=20
M12 N004 cmfb AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=20
M6 N011 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=4
M3 OUTN vb6 N010 N010 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=4
M4 OUTP vb6 N011 N011 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=4
M8 OUTP vb5 N017 N017 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=2
M16 N022 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=100
M15 N013 vb8 N022 N022 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=40
M7 OUTN vb5 N016 N016 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=2
M17 N001 OUTN N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=4
M18 cmfb VCM N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=4
M28 N023 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=34

```

```

M27 N014 vb8 N023 N023 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=20
M19 cmfb VCM N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=4
M20 N002 OUTP N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=4
M30 N024 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=34
M29 N015 vb8 N024 N024 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=20
M21 N001 vb2 N005 N005 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=7
M22 N005 N001 AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=5
M23 cmfb vb2 N006 N006 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=14
M24 N006 cmfb AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=10
M25 N002 vb2 N007 N007 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=7
M26 N007 N002 AVDD AVDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=5
R1 N002 0 200K
R2 N001 0 200K
R3 cmfb 0 100K
.ends opamp_lp3

.backanno
.end

```

EK C7

```

C1 ampinp vstp 1.3p
C2 ampinn vstn 1.3p
I1 AVDD N007 100μ
I4 N008 0 500μ
C7 ampinp N004 1.3p
C8 ampinn N009 1.3p
A9 b0 0 0 0 0 N001 0 0 BUF Vhigh=3.3
A10 N001 0 0 0 N002 0 d00 0 AND Vhigh=3.3
A11 N006 0 0 0 b1 0 d10 0 AND Vhigh=3.3
A12 b0 0 0 0 N005 0 d01 0 AND Vhigh=3.3
A13 b1 0 0 0 0 N002 0 0 BUF Vhigh=3.3
A14 b0 0 0 0 0 N006 0 0 BUF Vhigh=3.3
A15 b1 0 0 0 0 N005 0 0 BUF Vhigh=3.3
XX19 VCM ampinp ph1a sw_md_o
XX22 VCM outp preph1 sw_md_o
XX23 VCM ampinn ph1a sw_md_o
XX24 VCM outn preph1 sw_md_o
XX25 refp N003 d10 sw_md_dcsw
XX26 VCM N003 d01 sw_md_dcsw
XX27 refm N003 d00 sw_md_dcsw
XX32 refm N010 d10 sw_md_dcsw
XX33 VCM N010 d01 sw_md_dcsw
XX34 refp N010 d00 sw_md_dcsw
XX39 N004 outp ph2 sw_md_f
XX40 N003 vstp ph2 sw_md_f
XX41 N010 vstn ph2 sw_md_f
XX42 N009 outn ph2 sw_md_f
XX3 ph1 d01 vinp N004 sw_md_i_triple
A1 ph2 0 0 0 0 preph1 0 0 BUF Vhigh=3.3 Td=0.1n

```

```

XX1 ph1 d01 vinp vstp sw_md_i_triple
XX4 ph1 d01 vinm vstn sw_md_i_triple
XX5 ph1 d01 vinm N009 sw_md_i_triple
XX2 ampinp ampinn outp outn VCM N007 N008 AVDD opamp_lp4

* block symbol definitions
.subckt sw_md_o I O C
M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=8
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=8
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_o

.subckt sw_md_dcsw I O C
M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_dcsw

.subckt sw_md_f I O C
M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=12
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=12
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_f

.subckt sw_md_i_triple C D01 I O
M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=4
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
M1 I N002 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M2 N002 C N003 N003 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u
m=1
M3 N002 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
M4 N003 D01 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M5 N002 D01 AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_i_triple

.subckt opamp_lp4 INP INN OUTN OUTP VCM push100u pull1500u AVDD
M31 N008 vb1 AVDD AVDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=6
M33 vb1 vb2 N008 N008 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M38 N021 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M37 vb4 vb3 N021 N021 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=1
C3 AVDD vb1 4p
C4 vb4 0 4p
M36 N020 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M35 vb7 vb8 N020 N020 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C6 vb7 0 2p
R17 vb3 vb4 900

```

R18 vb5 vb3 950
R19 vb1 vb2 900
R20 vb2 vb6 950
R21 vb8 vb7 1700
R22 N012 vb5 1
R23 vb6 pull1500u 1
R24 push100u vb8 1
M32 N009 vb1 AVDD AVDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=6
M34 N012 vb2 N009 N009 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M1 N003 INP N013 N013 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=24
M2 N004 INN N013 N013 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=24
M9 N016 vb3 N018 N018 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=1
M13 N018 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=1
M10 N017 vb3 N019 N019 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=1
M14 N019 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=1
M5 N010 vb2 N003 N003 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M11 N003 cmfb AVDD AVDD PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=24
M12 N004 cmfb AVDD AVDD PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=24
M6 N011 vb2 N004 N004 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M3 OUTN vb6 N010 N010 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M4 OUTP vb6 N011 N011 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M8 OUTP vb5 N017 N017 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=1
M15 N022 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=80
M16 N013 vb8 N022 N022 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=35
M7 OUTN vb5 N016 N016 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=1
M17 N001 OUTN N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=5
M18 cmfb VCM N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=5
M28 N023 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=20
M27 N014 vb8 N023 N023 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=10
M19 cmfb VCM N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=5
M20 N002 OUTP N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=5
M30 N024 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=20
M29 N015 vb8 N024 N024 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=10
M21 N001 vb2 N005 N005 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=6
M22 N005 N001 AVDD AVDD PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=5
M23 cmfb vb2 N006 N006 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=12


```

M24 N006 cmfb AVDD AVDD PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=10
M25 N002 vb2 N007 N007 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=6
M26 N007 N002 AVDD AVDD PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=5
R1 N002 0 200K
R2 N001 0 200K
R3 cmfb 0 100K
.ends opamp_lp4

.backanno
.end

```

EK C8

```

C1 ampinp vstp 0.8p
C2 ampinn vstn 0.8p
I1 AVDD N007 40µ
I4 N008 0 200µ
C7 ampinp N004 0.8p
C8 ampinn N009 0.8p
A9 b0 0 0 0 N001 0 0 BUF Vhigh=3.3
A10 N001 0 0 0 N002 0 d00 0 AND Vhigh=3.3
A11 N006 0 0 0 b1 0 d10 0 AND Vhigh=3.3
A12 b0 0 0 0 N005 0 d01 0 AND Vhigh=3.3
A13 b1 0 0 0 0 N002 0 0 BUF Vhigh=3.3
A14 b0 0 0 0 0 N006 0 0 BUF Vhigh=3.3
A15 b1 0 0 0 0 N005 0 0 BUF Vhigh=3.3
XX19 VCM ampinp ph1a sw_md_o
XX22 VCM outp preph1 sw_md_o
XX23 VCM ampinn ph1a sw_md_o
XX24 VCM outn preph1 sw_md_o
XX25 refp N003 d10 sw_md_dcsw
XX26 VCM N003 d01 sw_md_dcsw
XX27 refm N003 d00 sw_md_dcsw
XX32 refm N010 d10 sw_md_dcsw
XX33 VCM N010 d01 sw_md_dcsw
XX34 refp N010 d00 sw_md_dcsw
XX39 N004 outp ph2 sw_md_f
XX40 N003 vstp ph2 sw_md_f
XX41 N010 vstn ph2 sw_md_f
XX42 N009 outn ph2 sw_md_f
XX3 ph1 d01 vinp N004 sw_md_i_triple
A1 ph2 0 0 0 0 preph1 0 0 BUF Vhigh=3.3 Td=0.1n
XX1 ph1 d01 vinp vstp sw_md_i_triple
XX4 ph1 d01 vinm vstn sw_md_i_triple
XX5 ph1 d01 vinm N009 sw_md_i_triple
XX2 ampinp ampinn outp outn VCM N007 N008 AVDD opamp_lp5

* block symbol definitions
.subckt sw_md_o I O C
M7 I N001 0 AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=8
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=8
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_o

.subckt sw_md_dcsw I O C
M7 I N001 0 AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9

```

```

M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_dcsw

.subckt sw_md_f I O C
M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=12
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=12
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_f

.subckt sw_md_i_triple C D01 I O
M7 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9
M8 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=4
M9 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M10 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
M1 I N002 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M2 N002 C N003 N003 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u
m=1
M3 N002 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
M4 N003 D01 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M5 N002 D01 AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw_md_i_triple

.subckt opamp_lp5 INP INN OUTN OUTP VCM push40u pull200u AVDD
M31 N008 vb1 AVDD AVDD PMOS3 l=0.7u w=10u ad=10p as=10p pd=20u
ps=20u m=6
M33 vb1 vb2 N008 N008 PMOS3 l=0.7u w=10u ad=10p as=10p pd=20u ps=20u
m=3
M38 N021 vb4 0 0 NMOS3 l=1.4u w=10u ad=10p as=10p pd=20u ps=20u m=4
M37 vb4 vb3 N021 N021 NMOS3 l=1.4u w=10u ad=10p as=10p pd=20u ps=20u
m=2
M1 N003 INP N013 N013 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=24
M2 N004 INN N013 N013 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=24
M9 N016 vb3 N018 N018 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M13 N018 vb4 0 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=2
M10 N017 vb3 N019 N019 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M14 N019 vb4 0 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=2
M5 N010 vb2 N003 N003 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=5
M11 N003 cmfb AVDD AVDD PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=20
M12 N004 cmfb AVDD AVDD PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=20
M6 N011 vb2 N004 N004 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=5
C1 AVDD vb1 4p
C2 vb4 0 4p
M3 OUTN vb6 N010 N010 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=5

```

```

M4 OUTP vb6 N011 N011 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=5
M8 OUTP vb5 N017 N017 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M36 N020 vb7 0 0 NMOS3 l=1.4u w=10u ad=10p as=10p pd=20u ps=20u m=2
M35 vb7 vb8 N020 N020 NMOS3 l=1.4u w=10u ad=10p as=10p pd=20u ps=20u
m=2
C5 vb7 0 2p
M15 N022 vb7 0 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=24
M16 N013 vb8 N022 N022 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=6
M7 OUTN vb5 N016 N016 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M17 N001 OUTN N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=1
M18 cmfb VCM N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=1
M28 N023 vb7 0 0 NMOS3 l=0.35u w=10u ad=10p as=10p pd=20u ps=20u m=5
M27 N014 vb8 N023 N023 NMOS3 l=0.35u w=10u ad=10p as=10p pd=20u
ps=20u m=6
M19 cmfb VCM N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=1
M20 N002 OUTP N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=1
M30 N024 vb7 0 0 NMOS3 l=0.35u w=10u ad=10p as=10p pd=20u ps=20u m=5
M29 N015 vb8 N024 N024 NMOS3 l=0.35u w=10u ad=10p as=10p pd=20u
ps=20u m=6
M21 N001 vb2 N005 N005 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M22 N005 N001 AVDD AVDD PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=4
M23 cmfb vb2 N006 N006 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=6
M24 N006 cmfb AVDD AVDD PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=8
M25 N002 vb2 N007 N007 PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=3
M26 N007 N002 AVDD AVDD PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=4
R1 N002 0 200K
R2 N001 0 200K
R3 cmfb 0 100K
R4 vb3 vb4 2250
R5 vb5 vb3 2375
R6 vb1 vb2 2250
R7 vb2 vb6 2375
R8 vb8 vb7 4250
R9 N012 vb5 1
R10 vb6 pull1200u 1
R11 push40u vb8 1
M32 N009 vb1 AVDD AVDD PMOS3 l=0.7u w=10u ad=10p as=10p pd=20u
ps=20u m=6
M34 N012 vb2 N009 N009 PMOS3 l=0.7u w=10u ad=10p as=10p pd=20u
ps=20u m=3
.ends opamp_lp5

.backanno
.end

```

EK C9

```
R8 refp N003 50
R9 N003 N006 50
R10 N006 rt 50
R12 rt vcm 50
R13 vcm rb 50
R14 rb N013 50
R15 N013 N014 50
R16 N014 refm 50
C5 N002 N001 0.5p
XX26 N002 vcm clk sw
XX27 N002 inpc1 ph1 sw
XX28 rt N001 clk sw
XX29 inp N001 ph1 sw
C6 N005 N004 0.5p
XX30 N005 vcm clk sw
XX31 N005 inmc1 ph1 sw
XX32 rb N004 clk sw
XX33 inm N004 ph1 sw
C7 N012 N010 0.5p
XX35 N012 vcm clk sw
XX36 N012 inpc0 ph1 sw
XX37 rb N010 clk sw
XX38 inp N010 ph1 sw
C8 N016 N015 0.5p
XX39 N016 vcm clk sw
XX40 N016 inmc0 ph1 sw
XX41 rt N015 clk sw
XX42 inm N015 ph1 sw
A13 ocm0 0 0 0 0 tth0 0 0 BUF Vhigh=3.3 td=0.1n
A14 ocm1 0 0 0 0 tth1 0 0 BUF Vhigh=3.3 td=0.1n
A15 ocm1 0 0 0 0 dd1 0 0 BUF Vhigh=3.3 td=0.1n
A16 tth0 0 0 0 tth1 N009 N007 0 AND Vhigh=3.3 td=0.1n
XX43 tth0 dd0 N009 sw
XX44 N008 dd0 N007 sw
A17 tth0 0 0 0 0 N008 0 0 BUF Vhigh=3.3 td=0.1n
XX45 inpc1 vcm clk sw
XX46 inmc1 vcm clk sw
XX47 inpc0 vcm clk sw
XX48 inmc0 vcm clk sw
A18 dd1 0 clk 0 CLR! 0 d1 0 DFLOP Vhigh=3.3 td=0.1n
A19 clkd 0 0 0 0 N011 0 0 BUF Vhigh=3.3 Td=1n
A20 N011 0 0 0 0 clkxc 0 0 BUF Vhigh=3.3 Td=0.8n
A21 ph1 0 0 0 0 clkd 0 0 BUF Vhigh=3.3 Td=0.1n
A22 dd0 0 clk 0 CLR! 0 d0 0 DFLOP Vhigh=3.3 td=0.1n
A23 tth1 0 clk 0 CLR! 0 th1 0 DFLOP Vhigh=3.3 td=0.1n
A24 tth0 0 clk 0 CLR! 0 th0 0 DFLOP Vhigh=3.3 td=0.1n
XX3 inpc1 inmc1 ocp1 ocm1 clkd push16u_2 diff_comp
XX4 inpc0 inmc0 ocp0 ocm0 clkd push16u_1 diff_comp

* block symbol definitions
.subckt sw I O C
M3 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9
M4 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M2 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M1 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw

.subckt diff_comp inp inm outp outm clk push16u
M5 volm inp N001 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p m=2
```

```

M6 vo1p inm N001 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p m=2
M1 N001 push16u 0 0 NMOS3 l=0.5u w=10u ad=5p as=5p pd=11p ps=11p m=5
M17 push16u push16u 0 0 NMOS3 l=0.5u w=10u ad=5p as=5p pd=11p ps=11p
m=1
R1 AVDD! vo1m 40k
M7 vo2p vo1m N002 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=4
M8 vo2m vo1p N002 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=4
M2 N002 push16u 0 0 NMOS3 l=0.5u w=10u ad=5p as=5p pd=11p ps=11p
m=10
M14 vo2p clkb vo2m 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=1
M19 N005 N006 0 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=2u ps=2u m=1
M25 AVDD! outp outm AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=3
M20 N006 N005 0 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=2u ps=2u m=1
M26 AVDD! outm outp AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=3
M9 vo3m vo2p N003 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=4
M10 vo3p vo2m N003 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=4
M3 N003 push16u 0 0 NMOS3 l=0.5u w=10u ad=5p as=5p pd=11p ps=11p
m=10
M15 vo3m clkb vo3p 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=1
M11 vo4p vo3m N004 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=8
M12 vo4m vo3p N004 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=8
M4 N004 push16u 0 0 NMOS3 l=0.5u w=10u ad=5p as=5p pd=11p ps=11p
m=20
M16 vo4p clkb vo4m 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=2
M22 outm clk1 N005 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u m=2
M18 N005 vo4p 0 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=2
M24 AVDD! clk1 outm AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=3
M21 N006 vo4m 0 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=2
M23 outp clk1 N006 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u m=2
M27 AVDD! clk1 outp AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=3
R7 AVDD! vo4p 10k
R8 AVDD! vo4m 10k
R2 AVDD! vo1p 40k
R3 AVDD! vo2p 20k
R4 AVDD! vo2m 20k
R5 AVDD! vo3m 20k
R6 AVDD! vo3p 20k
M28 AVDD! clk clkb AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=6
M30 clkb clk 0 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=4u ps=4u m=2
M31 AVDD! clkb clk1 AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=6
M29 clk1 clkb 0 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=4u ps=4u m=2
M13 vo1m clkb vo1p 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=1
.ends diff_comp
.backanno
.end

```

EK C10

R1 refp N009 50
R2 N009 rt 50
R3 rt N016 50
R4 N016 vcm 50
R5 vcm N018 50
R6 N018 rb 50
R7 rb N026 50
R8 N026 refm 50
C1 N008 N002 0.5p
XX2 N008 vcm clk sw
XX3 N008 inpc1 ph1 sw
XX4 rt N002 clk sw
XX5 inp N002 ph1 sw
C2 N015 N014 0.5p
XX6 N015 vcm clk sw
XX7 N015 inmc1 ph1 sw
XX8 rb N014 clk sw
XX9 inm N014 ph1 sw
C3 N021 N017 0.5p
XX11 N021 vcm clk sw
XX12 N021 inpc0 ph1 sw
XX13 rb N017 clk sw
XX14 inp N017 ph1 sw
C4 N028 N027 0.5p
XX15 N028 vcm clk sw
XX16 N028 inmc0 ph1 sw
XX17 rt N027 clk sw
XX18 inm N027 ph1 sw
A1 ocm0 0 0 0 0 tth0 0 0 BUF Vhigh=3.3
A2 ocm1 0 0 0 0 tth1 0 0 BUF Vhigh=3.3
XX19 N025 dd0 N023 sw
XX20 tth1 dd0 N019 sw
XX21 inpc1 vcm clk sw
XX22 inmc1 vcm clk sw
XX23 inpc0 vcm clk sw
XX24 inmc0 vcm clk sw
A6 tthz 0 clk 0 CLR! 0 d1 0 DFLOP Vhigh=3.3 td=0.1n
A9 ph1 0 0 0 0 clkd 0 0 BUF Vhigh=3.3 Td=0.1n
A10 dd0 0 clk 0 CLR! 0 d0 0 DFLOP Vhigh=3.3 td=0.1n
A11 tth1 0 clk 0 CLR! 0 th1 0 DFLOP Vhigh=3.3 td=0.1n
A12 tth0 0 clk 0 CLR! 0 th0 0 DFLOP Vhigh=3.3 td=0.1n
I1 AVDD! N004 16μ
I2 AVDD! N020 16μ
C5 N006 N001 0.5p
XX1 N006 vcm clk sw
XX10 N006 N007 ph1 sw
XX27 N005 N001 clk sw
XX28 inp N001 ph1 sw
C6 N012 N011 0.5p
XX29 N012 vcm clk sw
XX30 N012 N013 ph1 sw
XX31 N010 N011 clk sw
XX32 inm N011 ph1 sw
XX33 N007 vcm clk sw
XX34 N013 vcm clk sw
I3 AVDD! N003 16μ
A15 ocmz 0 0 0 0 tthz 0 0 BUF Vhigh=3.3
R9 N005 vcm 50
R10 vcm N010 50
XX38 inpc1 inmc1 ocp1 ocm1 clkd N004 diff_comp

```

XX39 inpc0 inmc0 ocp0 ocm0 clkd N020 diff_comp
XX40 N007 N013 ocpz ocmz clkd N003 diff_comp
R11 inp N022 50
C7 N022 vcm 3p
R12 inm N024 50
C8 N024 vcm 3p
A3 tthz 0 0 0 0 N025 0 0 BUF Vhigh=3.3
A5 tth0 0 0 0 tth1 N023 N019 0 OR Vhigh=3.3

```

* block symbol definitions

```
.subckt sw I O C
```

```

M3 I N001 O AVDD! PMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=9
M4 I C O 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=3
M2 N001 C 0 0 NMOS3 l=0.35u w=1.5u ad=1.5p as=1.5p pd=4u ps=4u m=1
M1 N001 C AVDD! AVDD! PMOS3 l=0.35u w=4u ad=4p as=4p pd=10u ps=10u
m=3
.ends sw

```

```
.subckt diff_comp inp inm outp outm clk push16u
```

```

M5 vo1m inp N001 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p m=2
M6 vo1p inm N001 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p m=2
M1 N001 push16u 0 0 NMOS3 l=0.5u w=10u ad=5p as=5p pd=11p ps=11p m=5
M17 push16u push16u 0 0 NMOS3 l=0.5u w=10u ad=5p as=5p pd=11p ps=11p
m=1
R1 AVDD! vo1m 40k
M7 vo2p vo1m N002 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=4
M8 vo2m vo1p N002 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=4
M2 N002 push16u 0 0 NMOS3 l=0.5u w=10u ad=5p as=5p pd=11p ps=11p
m=10
M14 vo2p clkb vo2m 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=1
M19 N005 N006 0 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=2u ps=2u m=1
M25 AVDD! outp outm AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=3
M20 N006 N005 0 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=2u ps=2u m=1
M26 AVDD! outm outp AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=3
M9 vo3m vo2p N003 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=4
M10 vo3p vo2m N003 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=4
M3 N003 push16u 0 0 NMOS3 l=0.5u w=10u ad=5p as=5p pd=11p ps=11p
m=10
M15 vo3m clkb vo3p 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=1
M11 vo4p vo3m N004 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=8
M12 vo4m vo3p N004 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=8
M4 N004 push16u 0 0 NMOS3 l=0.5u w=10u ad=5p as=5p pd=11p ps=11p
m=20
M16 vo4p clkb vo4m 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=2
M22 outm clk1 N005 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u m=2
M18 N005 vo4p 0 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=2
M24 AVDD! clk1 outm AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=3
M21 N006 vo4m 0 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=2
M23 outp clk1 N006 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u m=2

```

```

M27 AVDD! clk1 outp AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=3
R7 AVDD! vo4p 10k
R8 AVDD! vo4m 10k
R2 AVDD! vo1p 40k
R3 AVDD! vo2p 20k

R4 AVDD! vo2m 20k
R5 AVDD! vo3m 20k
R6 AVDD! vo3p 20k
M28 AVDD! clk clkb AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=6
M30 clkb clk 0 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=4u ps=4u m=2
M31 AVDD! clkb clk1 AVDD! PMOS3 l=0.35u w=1u ad=1p as=1p pd=1u ps=1u
m=6
M29 clk1 clkb 0 0 NMOS3 l=0.35u w=1u ad=1p as=1p pd=4u ps=4u m=2
M13 volm clkb volp 0 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11p ps=11p
m=1
.ends diff_comp

.global AVDD!
.global CLR!
.backanno
.end

```


EK C11

```
M1 N001 INN N006 N006 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=10
M2 N002 INP N006 N006 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=10
M3 N011 vb3 N012 N012 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M4 N012 N011 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M5 N008 vb3 N013 N013 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M6 N013 N011 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M7 N011 vb2 N001 N001 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M8 N001 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=100
M9 N002 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=100
M10 N008 vb2 N002 N002 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M11 N010 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=60
M12 N006 vb3 N010 N010 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=120
M21 N004 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M22 vb1 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
M24 N016 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M23 vb4 vb3 N016 N016 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=4
C3 VDD vb1 10p
C4 vb4 0 10p
M17 N015 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M18 vb7 vb8 N015 N015 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C5 vb7 0 2p
R1 vb3 vb4 1700
R2 vb1 vb2 1700
R3 vb8 vb7 1700
R4 N007 vb8 1
M19 N005 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M20 vb3 vb2 N005 N005 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
I1 VDD N007 100µ
I2 N017 0 100µ
R5 vb2 N017 1
M15 OUTP vb3 N014 N014 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=300
M16 N014 N008 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=150
M13 N003 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=300
M14 OUTP vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=600
R8 N009 N008 200
C8 OUTP N009 100p
.backanno
.end
```

EK C12

```
M1 N003 INN N008 N008 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M2 N004 INP N008 N008 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M3 N012 vb3 N013 N013 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M4 N013 N012 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M5 N002 vb3 N014 N014 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M6 N014 N012 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M7 N012 vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M8 N003 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=140
M9 N004 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=140
M10 N002 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M11 N011 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=100
M12 N008 vb3 N011 N011 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=200
M13 N006 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M14 vb1 vb2 N006 N006 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
M15 N017 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M16 vb4 vb3 N017 N017 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=4
C3 VDD vb1 10p
C4 vb4 0 10p
M17 N016 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M18 vb7 vb8 N016 N016 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C5 vb7 0 2p
R1 vb3 vb4 1700
R2 vb1 vb2 1700
R3 vb8 vb7 1700
R4 N009 vb8 1
M19 N007 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M20 vb3 vb2 N007 N007 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
I1 VDD N009 100µ
I2 N018 0 100µ
R5 vb2 N018 1
M21 OUTP vb3 N015 N015 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M22 N015 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M23 N005 N002 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=500
M24 OUTP vb2 N005 N005 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=1000
R8 N010 N002 250
C8 OUTP N010 180p
.lib './classprocess3.lib' TT_3V
.backanno
.end
```

EK C13

```
M1 N001 INN N006 N006 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M2 N002 INP N006 N006 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M3 N011 vb3 N012 N012 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M4 N012 N011 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M5 N008 vb3 N013 N013 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M6 N013 N011 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M7 N011 vb2 N001 N001 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M8 N001 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=140
M9 N002 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=140
M10 N008 vb2 N002 N002 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M11 N010 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=100
M12 N006 vb3 N010 N010 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=200
M13 N004 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M14 vb1 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
M15 N016 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M16 vb4 vb3 N016 N016 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=4
C3 VDD vb1 10p
C4 vb4 0 10p
M17 N015 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M18 vb7 vb8 N015 N015 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C5 vb7 0 2p
R1 vb3 vb4 1700
R2 vb1 vb2 1700
R3 vb8 vb7 1700
R4 N007 vb8 1
M19 N005 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M20 vb3 vb2 N005 N005 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
I1 VDD N007 100μ
I2 N017 0 100μ
R5 vb2 N017 1
M21 OUTP vb3 N014 N014 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=500
M22 N014 N008 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=250
M23 N003 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M24 OUTP vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
R8 N009 N008 250
C8 OUTP N009 150p
.backanno
.end
```

EK C14

M26 N001 VCM N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=1
M27 cmfb OUTP N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=1
M39 N025 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=2
M40 N014 vb3 N025 N025 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u m=4
M28 cmfb OUTN N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=1
M29 N002 VCM N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=1
M30 N026 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=2
M31 N015 vb3 N026 N026 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u m=4
M32 N001 vb2 N007 N007 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u ps=30u m=8
M33 N007 N001 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=4
M34 cmfb vb2 N008 N008 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u ps=30u m=16
M35 N008 cmfb VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=8
M36 N002 vb2 N009 N009 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u ps=30u m=8
M37 N009 N002 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=4
R7 N002 0 200K
R8 N001 0 200K
R9 cmfb 0 100K
M1 N004 INP N012 N012 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=20
M2 N005 INN N012 N012 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u m=20
M3 N017 vb3 N021 N021 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u m=20
M4 N021 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=10
M5 N018 vb3 N022 N022 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u m=20
M6 N022 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=10
M7 N017 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u m=40
M8 N004 cmfb VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=161
M9 N005 cmfb VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=161
M10 N018 vb2 N005 N005 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u m=40
M11 N020 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=80
M12 N012 vb3 N020 N020 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u m=160
M13 N010 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=4
M14 vb1 vb2 N010 N010 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u ps=30u m=8
M15 N024 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M16 vb4 vb3 N024 N024 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u ps=30u m=4
C5 VDD vb1 10p
C6 vb4 0 10p
M17 N023 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4

```

M18 vb7 vb8 N023 N023 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C7 vb7 0 2p
R1 vb3 vb4 1700
R2 vb1 vb2 1700
R3 vb8 vb7 1700
R4 N013 vb8 1
M19 N011 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M20 vbt vb2 N011 N011 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
I1 VDD N013 100μ
I2 N027 0 100μ
R5 vbb N027 1
R6 vbt vb3 1700
R10 vb2 vbb 1700
M22 OUTN N018 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=10
M23 N006 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M24 OUTN vb2 N006 N006 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M38 OUTP N017 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=10
M41 OUTP vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M42 N003 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=40
R11 N016 OUTP 500
C8 N017 N016 50p
R12 N019 N018 500
C9 OUTN N019 50p
.lib './classprocess3.lib' TT_3V
.backanno
.end

```

EK C15

```
V1 REFC 0 1.6
V2 REFT 0 1.8
V3 REFB 0 1.4
XX1 REFM VDB VDD REFM opamp_bottom_pk
XX2 REFP VDT VDD REFP opamp_top_pk
XX3 VCM REFC VDD VCM opamp_vcm_ref
R1 REFP VCM 80
R2 VCM REFM 80
C1 REFP 0 3n
C2 VCM 0 3n
C3 REFM 0 3n
V4 VDD 0 PULSE(0 3.3 10n 10n 0 1)
XX4 N001 N002 VCM VDD VDB VDT opamp_fd_ref
R3 N001 REFB 10k
R4 N002 REFT 10k
R5 VDT N001 10k
R6 VDB N002 10k

* block symbol definitions
.subckt opamp_bottom_pk INN VDD OUTP
M1 N001 INN N006 N006 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M2 N002 INP N006 N006 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M3 N011 vb3 N012 N012 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M4 N012 N011 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M5 N008 vb3 N013 N013 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M6 N013 N011 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M7 N011 vb2 N001 N001 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M8 N001 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=140
M9 N002 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=140
M10 N008 vb2 N002 N002 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M11 N010 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=100
M12 N006 vb3 N010 N010 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=200
M13 N004 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M14 vb1 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
M15 N016 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M16 vb4 vb3 N016 N016 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=4
C3 VDD vb1 10p
C4 vb4 0 10p
M17 N015 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M18 vb7 vb8 N015 N015 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C5 vb7 0 2p
R1 vb3 vb4 1700
R2 vb1 vb2 1700
R3 vb8 vb7 1700
R4 N007 vb8 1
M19 N005 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
```

```

M20 vb3 vb2 N005 N005 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
I1 VDD N007 100µ
I2 N017 0 100µ
R5 vb2 N017 1
M21 OUTP vb3 N014 N014 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=500
M22 N014 N008 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=250
M23 N003 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M24 OUTP vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
R8 N009 N008 250
C8 OUTP N009 150p
.ends opamp_bottom_pk

.subckt opamp_top_pk INN INP VDD OUTP
M1 N003 INN N008 N008 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M2 N004 INP N008 N008 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M3 N012 vb3 N013 N013 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M4 N013 N012 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M5 N002 vb3 N014 N014 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M6 N014 N012 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M7 N012 vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M8 N003 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=140
M9 N004 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=140
M10 N002 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M11 N011 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=100
M12 N008 vb3 N011 N011 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=200
M13 N006 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M14 vb1 vb2 N006 N006 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
M15 N017 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M16 vb4 vb3 N017 N017 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=4
C3 VDD vb1 10p
C4 vb4 0 10p
M17 N016 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M18 vb7 vb8 N016 N016 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C5 vb7 0 2p
R1 vb3 vb4 1700
R2 vb1 vb2 1700
R3 vb8 vb7 1700
R4 N009 vb8 1
M19 N007 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M20 vb3 vb2 N007 N007 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
I1 VDD N009 100µ
I2 N018 0 100µ

```

```

R5 vb2 N018 1
M21 OUTP vb3 N015 N015 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M22 N015 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M23 N005 N002 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=500
M24 OUTP vb2 N005 N005 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=1000
R8 N010 N002 250
C8 OUTP N010 180p
.lib './classprocess3.lib' TT_3V
.ends opamp_top_pk

.subckt opamp_vcm_ref INN INP VDD OUTP
M25 N001 INN N006 N006 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=10
M26 N002 INP N006 N006 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=10
M27 N011 vb3 N012 N012 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M28 N012 N011 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M29 N008 vb3 N013 N013 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M30 N013 N011 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=20
M31 N011 vb2 N001 N001 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M32 N001 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=100
M33 N002 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=100
M34 N008 vb2 N002 N002 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M35 N010 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=60
M36 N006 vb3 N010 N010 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=120
M37 N004 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M38 vb1 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
M39 N016 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M40 vb4 vb3 N016 N016 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=4
C1 VDD vb1 10p
C2 vb4 0 10p
M41 N015 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M42 vb7 vb8 N015 N015 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C6 vb7 0 2p
R6 vb3 vb4 1700
R7 vb1 vb2 1700
R9 vb8 vb7 1700
R10 N007 vb8 1
M43 N005 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M44 vb3 vb2 N005 N005 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
I3 VDD N007 100µ
I4 N017 0 100µ
R11 vb2 N017 1
M45 OUTP vb3 N014 N014 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=300

```



```

M46 N014 N008 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=150
M47 N003 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=300
M48 OUTP vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=600
R12 N009 N008 200
C7 OUTP N009 100p
.lib './classprocess3.lib' TT_3V
.global AVDD!
.ends opamp_vcm_ref

.subckt opamp_fd_ref INN INP VCM VDD OUTN OUTP
M26 N001 VCM N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=1
M27 cmfb OUTP N014 N014 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=1
M39 N025 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=2
M40 N014 vb3 N025 N025 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=4
M28 cmfb OUTN N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u
ps=11u m=1
M29 N002 VCM N015 N015 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=1
M30 N026 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=2
M31 N015 vb3 N026 N026 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=4
M32 N001 vb2 N007 N007 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
M33 N007 N001 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M34 cmfb vb2 N008 N008 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=16
M35 N008 cmfb VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=8
M36 N002 vb2 N009 N009 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
M37 N009 N002 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
R7 N002 0 200K
R8 N001 0 200K
R9 cmfb 0 100K
M1 N004 INP N012 N012 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M2 N005 INN N012 N012 NMOS3 l=0.35u w=10u ad=5p as=5p pd=11u ps=11u
m=20
M3 N017 vb3 N021 N021 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=20
M4 N021 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=10
M5 N018 vb3 N022 N022 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=20
M6 N022 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=10
M7 N017 vb2 N004 N004 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M8 N004 cmfb VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=161
M9 N005 cmfb VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=161
M10 N018 vb2 N005 N005 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M11 N020 vb4 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=80

```

```

M12 N012 vb3 N020 N020 NMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=160
M13 N010 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M14 vb1 vb2 N010 N010 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
M15 N024 vb4 0 0 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u m=2
M16 vb4 vb3 N024 N024 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=4
C5 VDD vb1 10p
C6 vb4 0 10p
M17 N023 vb7 0 0 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u m=4
M18 vb7 vb8 N023 N023 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u ps=30u
m=4
C7 vb7 0 2p
R1 vb3 vb4 1700
R2 vb1 vb2 1700
R3 vb8 vb7 1700
R4 N013 vb8 1
M19 N011 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u ps=30u
m=4
M20 vbt vb2 N011 N011 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=8
I1 VDD N013 100µ
I2 N027 0 100µ
R5 vbb N027 1
R6 vbt vb3 1700
R10 vb2 vbb 1700
M22 OUTN N018 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=10
M23 N006 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=40
M24 OUTN vb2 N006 N006 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M38 OUTP N017 0 0 NMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u m=10
M41 OUTP vb2 N003 N003 PMOS3 l=0.35u w=14u ad=7p as=7p pd=15u ps=15u
m=80
M42 N003 vb1 VDD VDD PMOS3 l=0.7u w=14u ad=7p as=7p pd=15u ps=15u
m=40
R11 N016 OUTP 500
C8 N017 N016 50p
R12 N019 N018 500
C9 OUTN N019 50p
.lib './classprocess3.lib' TT_3V
.ends opamp_fd_ref

.tran 10u
.lib './classprocess3.lib' TT_3V
.option reltol=1e-6
.temp 25
.backanno
.end

```

EK C16

```
M1 N010 N008 N003 N003 PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=6
M2 N008 N012 N010 N010 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=3
R1 N008 N012 900
R2 vpd2 vpd1 900
M3 N011 N008 N007 N007 PMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=6
M4 vpd2 N012 N011 N011 PMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M5 N019 vpd1 N021 N021 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=2
M6 vpd1 vpd2 N019 N019 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=1
M7 N018 vpd1 N021 N021 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=2
M8 N012 vpd2 N018 N018 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=1
M9 N003 N003 N001 N001 PMOS3 l=0.35u w=500u ad=14p as=14p pd=30u
ps=30u m=1
M10 N007 N003 N002 N002 PMOS3 l=0.35u w=500u ad=14p as=14p pd=30u
ps=30u m=2
R3 N001 N002 90
M11 N020 vpd1 N021 N021 NMOS3 l=0.7u w=14u ad=14p as=14p pd=30u
ps=30u m=2
M12 pull1500u vpd2 N020 N020 NMOS3 l=0.35u w=14u ad=14p as=14p pd=30u
ps=30u m=1
M13 N004 vpu1 N001 N001 PMOS3 l=1.4u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M14 N009 vpu2 N004 N004 PMOS3 l=1.4u w=14u ad=14p as=14p pd=30u
ps=30u m=3
R4 N009 N013 1700
R5 vpu1 vpu2 1700
M15 N005 vpu1 N001 N001 PMOS3 l=1.4u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M16 vpu1 vpu2 N005 N005 PMOS3 l=1.4u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M17 N015 N013 N017 N017 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u
ps=30u m=4
M18 vpu2 N009 N015 N015 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u
ps=30u m=4
M19 N014 N013 N016 N016 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u
ps=30u m=4
M20 N013 N009 N014 N014 NMOS3 l=1.4u w=14u ad=14p as=14p pd=30u
ps=30u m=4
M21 N017 N016 N022 N022 NMOS3 l=0.35u w=500u ad=14p as=14p pd=30u
ps=30u m=2
M22 N016 N016 N021 N021 NMOS3 l=0.35u w=500u ad=14p as=14p pd=30u
ps=30u m=1
R6 N022 N021 320
M24 N006 vpu1 N001 N001 PMOS3 l=1.4u w=14u ad=14p as=14p pd=30u
ps=30u m=3
M25 push100u vpu2 N006 N006 PMOS3 l=1.4u w=14u ad=14p as=14p pd=30u
ps=30u m=3
.backanno
.end
```


ÖZGEÇMİŞ

Ad Soyad: Fatih Sadıç
Doğum Yeri ve Tarihi: Bilecik/1987
E-Posta: fatih.sadic@hotmail.com
Lisans:
2005-2009 Yıldız Teknik Üniversitesi
Elektronik ve Haberleşme Mühendisliği

Mesleki Deneyim ve Ödüller:

2011 Nisan-... ASELSAN A.Ş.
Sistem Mühendisi
2009 Eylül-2011 Mart PAVO A.Ş.
Tasarım Mühendisi

Yayımları:

Mikrodenetleyici Temelli Sayısal Osiloskop ve Bode Diyagramı Çizici Tasarımı
Fatih Sadıç, Öğr. Gör. Umut Engin AYTEN, Prof.Dr.Herman SEDEF
Otomatik Kontrol Türk Milli Komitesi Otomatik Kontrol Ulusal Toplantısı 2009
Yıldız Teknik Üniversitesi