

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**YÜKSEK BAŞARIMLI FARK AKIM TAŞIYICI TASARIMI VE
UYGULAMALARI**

**YÜKSEK LİSANS TEZİ
Müh. Sinem ÇİFTÇİOĞLU
(504021205)**

**Tezin Enstitüye Verildiği Tarih : 9 Mayıs 2005
Tezin Savunulduğu Tarih : 30 Mayıs 2005**

Tez Danışmanı : Prof. Dr. H. Hakan KUNTMAN

Diğer Jüri Üyeleri: Doç. Dr. Ali ZEKİ

Doç. Dr. Oğuzhan ÇİÇEKOĞLU (B.Ü.)

MAYIS 2005

ÖNSÖZ

Bu tez çalışmasında, akım modlu analog yapı bloklarının temelini oluşturan akım taşıyıcı elemanından yola çıkarak türetilen, yüksek başarımlı fark akım taşıyıcı devreleri ele alınmış ve bu yüksek başarımlı fark akım taşıyıcı devreleri ile oluşturulabilecek uygulama devreleri incelenmiştir

Bu tez çalışmasının hazırlanmasında bana her konuda yardımcı olan, değerli hocam Sayın Prof. Dr. Hakan Kuntman'a, tez çalışması süresince her an yanımda olan, her türlü desteği sağlayan ve bana güven veren müstakbel eşim Araş. Gör. Fatih Keleş'e, benden manevi desteklerini esirgemeyen aileme ve tüm sevdiklerime teşekkürü bir borç bilirim.

MAYIS 2005

Sinem ÇİFTÇİOĞLU

İÇİNDEKİLER

KISALTMALAR	vii
TABLO LİSTESİ	vii
ŞEKİL LİSTESİ	viii
SEMBOL LİSTESİ	xvi
ÖZET	xviii
SUMMARY	xviii
1. GİRİŞ	1
2. FARK AKIM TAŞIYICI YAPISI	7
3. ÖNERİLEN YÜKSEK BAŞARIMLI FARK AKIM TAŞIYICI DEVRELERİ	10
3.1 Çıkış Direncinin Artırılması	10
3.1.1 Klasik Kaskod Akım Aynası	10
3.1.2 Aktif Geri Beslemeli CMOS Kaskod Akım Aynası	11
3.2 Yüksek Başarımli Fark Akım Taşıyıcı Devreleri	14
3.2.1 Temel Fark Akım Taşıyıcı Devreleri	14
3.2.1.1 Devre 1.1'in Yapısı ve Çalışma İlkesi	14
3.2.1.2 Devre 2.1'in Yapısı ve Çalışma İlkesi	15
3.2.1.3 Devre 3.1'in Yapısı ve Çalışma İlkesi	16
3.2.2 Klasik Kaskod Akım Aynaları Kullanılan Fark Akım Taşıyıcı Devreleri	18
3.2.2.1 Devre 1.2'nin Yapısı ve Çalışma İlkesi	18
3.2.2.2 Devre 2.2'nin Yapısı ve Çalışma İlkesi	19
3.2.2.3 Devre 3.2'nin Yapısı ve Çalışma İlkesi	20
3.2.3 Aktif Geri Beslemeli CMOS Kaskod Akım Aynaları Kullanılan Fark Akım Taşıyıcı Devreleri	21
3.2.3.1 Devre 1.3'ün Yapısı ve Çalışma İlkesi	22
3.2.3.2 Devre 2.3'ün Yapısı ve Çalışma İlkesi	23
3.2.3.3 Devre 3.3'ün Yapısı ve Çalışma İlkesi	24

4. ÖNERİLEN DEVRELERİN BAŞARIM ANALİZLERİ	27
4.1 Benzetim Sonuçları İçin Uygulanan Yöntemler	27
4.2 DCCII Devrelerinin DC ve AC Başarımlarının İncelenmesi	28
4.2.1 Devre 1.1'in DC ve AC Karakteristik Eğrileri	28
4.2.2 Devre 2.1'in DC ve AC Karakteristik Eğrileri	34
4.2.3 Devre 3.1'in DC ve AC Karakteristik Eğrileri	39
4.2.4 Devre 1.2'nin DC ve AC Karakteristik Eğrileri	45
4.2.5 Devre 2.2'nin DC ve AC Karakteristik Eğrileri	50
4.2.6 Devre 3.2'nin DC ve AC Karakteristik Eğrileri	56
4.2.7 Devre 1.3'ün DC ve AC Karakteristik Eğrileri	61
4.2.8 Devre 2.3'ün DC ve AC Karakteristik Eğrileri	67
4.2.9 Devre 3.3'ün DC ve AC Karakteristik Eğrileri	72
4.3 Önerilen Yüksek Başarımli DCCII Devrelerinin Karşılaştırılması	78
5. DCCII DEVRELERİNİN UYGULAMALARI	81
5.1 Kullanılan Uygulama Devreleri	81
5.1.1 Dört Bölgeli Çarpıcı Yapısı	81
5.1.2 Süzgeç Yapıları	82
5.1.2.1 Karışık Modlu İkinci Dereceden Band Geçiren Süzgeç Yapısı	83
5.1.2.2 Akım Modlu Alçak Geçiren ve Yüksek Geçiren Süzgeç Yapısı	84
5.1.2.3 Akım Modlu Band Söndüren Süzgeç Yapısı	86
5.2 Benzetim Sonuçları	87
5.2.1 Dört Bölgeli Çarpıcı Yapısı	87
5.2.2 Süzgeç Yapıları	88
5.2.2.1 Karışık Modlu İkinci Dereceden Band Geçiren Süzgeç Yapısı	88
5.2.2.2 Akım Modlu Alçak Geçiren ve Yüksek Geçiren Süzgeç Yapısı	89
5.2.2.3 Akım Modlu Band Söndüren Süzgeç Yapısı	90
6. SONUÇ	91
KAYNAKLAR	92
EK A	94
EK B	95
EK C	96
EK D	105

EK E	111
EK F	121
ÖZGEÇMİŞ	126

KISALTMALAR

AG	: Alçak Geçiren
BG	: Band Geçiren
BS	: Band Söndüren
BW	: Band Genişliği
CCI	: Birinci Kuşak Akım Taşıyıcı
CCII	: İkinci Kuşak Akım Taşıyıcı
CCIII	: Üçüncü Kuşak Akım Taşıyıcı
DCCII	: Fark Akım Taşıyıcı
THD	: Toplam Harmonik Distorsiyon
YG	: Yüksek Geçiren

TABLO LİSTESİ

Sayfa No

Tablo 4.1: Temel Fark Akım Taşıyıcı Devrelerinin Başarım Yönünden Karşılaştırılmaları	78
Tablo 4.2: Klasik Kaskod Akım Aynaları Kullanılan Fark Akım Taşıyıcı Devrelerinin Başarım Yönünden Karşılaştırılmaları	79
Tablo 4.3: Aktif Geri Beslemeli CMOS Kaskod Akım Aynaları Kullanılan Fark Akım Taşıyıcı Devrelerinin Başarım Yönünden Karşılaştırılmaları	80
Tablo B.1: DCCII devreleri için eleman boyutları	95

ŞEKİL LİSTESİ

Sayfa No

Şekil 2.1	Fark akım taşıyıcı yapısının blok şeması	7
Şekil 3.1	Klasik kaskod akım aynası	10
Şekil 3.2	Kaskod devrenin çıkış empedansının hesaplanması	11
Şekil 3.3	Klasik aktif geri beslemeli kaskod akım aynası	12
Şekil 3.4	Kullanılan aktif geri beslemeli kaskod akım aynası	13
Şekil 3.5	Devre 1.1'in CMOS gerçekleştirilmesi	15
Şekil 3.6	Devre 2.1'in CMOS gerçekleştirilmesi	16
Şekil 3.7	Devre 3.1'in CMOS gerçekleştirilmesi	17
Şekil 3.8	Devre 1.2'nin CMOS gerçekleştirilmesi	18
Şekil 3.9	Devre 2.2'nin CMOS gerçekleştirilmesi	19
Şekil 3.10	Devre 3.2'in CMOS gerçekleştirilmesi	21
Şekil 3.11	Devre 1.3'ün CMOS gerçekleştirilmesi	22
Şekil 3.12	Devre 2.3'ün CMOS gerçekleştirilmesi	24
Şekil 3.13	Devre 3.3'ün CMOS gerçekleştirilmesi	25
Şekil 4.1	Devre 1.1 için DC akım izleme eğrileri	29
Şekil 4.2	Devre 1.1 için türevi alınmış DC akım izleme eğrileri	29
Şekil 4.3	Devre 1.1 için AC akım izleme eğrileri	30
Şekil 4.4	Devre 1.1 için DC gerilim izleme eğrileri	30
Şekil 4.5	Devre 1.1 için AC gerilim izleme eğrileri	31
Şekil 4.6	Devre 1.1'e ait X_1 ucundan görülen empedansın frekansla değişim Eğrisi	31
Şekil 4.7	Devre 1.1'e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi	32
Şekil 4.8	Devre 1.1'e ait Y ucundan görülen empedansın frekansla değişim eğrisi	32
Şekil 4.9	Devre 1.1'e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi	33
Şekil 4.10	Devre 1.1'e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi	33
Şekil 4.11	Devre 2.1 için DC akım izleme eğrileri	34
Şekil 4.12	Devre 2.1 için türevi alınmış DC akım izleme eğrileri	35
Şekil 4.13	Devre 2.1 için AC akım izleme eğrileri	35

Şekil 4.14	Devre 2.1 için DC gerilim izleme eğrileri	36
Şekil 4.15	Devre 2.1 için AC gerilim izleme eğrileri	36
Şekil 4.16	Devre 2.1'e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi	37
Şekil 4.17	Devre 2.1'e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi	37
Şekil 4.18	Devre 2.1'e ait Y ucundan görülen empedansın frekansla değişim eğrisi	38
Şekil 4.19	Devre 2.1'e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi	38
Şekil 4.20	Devre 2.1'e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi	39
Şekil 4.21	Devre 3.1 için DC akım izleme eğrileri	40
Şekil 4.22	Devre 3.1 için türevi alınmış DC akım izleme eğrileri	40
Şekil 4.23	Devre 3.1 için AC akım izleme eğrileri	41
Şekil 4.24	Devre 3.1 için DC gerilim izleme eğrileri	41
Şekil 4.25	Devre 3.1 için AC gerilim izleme eğrileri	42
Şekil 4.26	Devre 3.1'e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi	42
Şekil 4.27	Devre 3.1'e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi	43
Şekil 4.28	Devre 3.1'e ait Y ucundan görülen empedansın frekansla değişim eğrisi	43
Şekil 4.29	Devre 3.1'e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi	44
Şekil 4.30	Devre 3.1'e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi	44
Şekil 4.31	Devre 1.2 için DC akım izleme eğrileri	45
Şekil 4.32	Devre 1.2 için türevi alınmış DC akım izleme eğrileri	46
Şekil 4.33	Devre 1.2 için AC akım izleme eğrileri	46
Şekil 4.34	Devre 1.2 için DC gerilim izleme eğrileri	47
Şekil 4.35	Devre 1.2 için AC gerilim izleme eğrileri	47
Şekil 4.36	Devre 1.2'ye ait X_1 ucundan görülen empedansın frekansla değişim eğrisi	48
Şekil 4.37	Devre 1.2'ye ait X_2 ucundan görülen empedansın frekansla değişim eğrisi	48
Şekil 4.38	Devre 1.2'ye ait Y ucundan görülen empedansın frekansla değişim eğrisi	49

Şekil 4.39	Devre 1.2'ye ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi	49
Şekil 4.40	Devre 1.2'ye ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi	50
Şekil 4.41	Devre 2.2 için DC akım izleme eğrileri	51
Şekil 4.42	Devre 2.2 için türevi alınmış DC akım izleme eğrileri	51
Şekil 4.43	Devre 2.2 için AC akım izleme eğrileri	52
Şekil 4.44	Devre 2.2 için DC gerilim izleme eğrileri	52
Şekil 4.45	Devre 2.2 için AC gerilim izleme eğrileri	53
Şekil 4.46	Devre 2.2'ye ait X_1 ucundan görülen empedansın frekansla değişim eğrisi	53
Şekil 4.47	Devre 2.2'ye ait X_2 ucundan görülen empedansın frekansla değişim eğrisi	54
Şekil 4.48	Devre 2.2'ye ait Y ucundan görülen empedansın frekansla değişim eğrisi	54
Şekil 4.49	Devre 2.2'ye ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi	55
Şekil 4.50	Devre 2.2'ye ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi	55
Şekil 4.51	Devre 3.2 için DC akım izleme eğrileri	56
Şekil 4.52	Devre 3.2 için türevi alınmış DC akım izleme eğrileri	57
Şekil 4.53	Devre 3.2 için AC akım izleme eğrileri	57
Şekil 4.54	Devre 3.2 için DC gerilim izleme eğrileri	58
Şekil 4.55	Devre 3.2 için AC gerilim izleme eğrileri	58
Şekil 4.56	Devre 3.2'ye ait X_1 ucundan görülen empedansın frekansla değişim eğrisi	59
Şekil 4.57	Devre 3.2'ye ait X_2 ucundan görülen empedansın frekansla değişim eğrisi	59
Şekil 4.58	Devre 3.2'ye ait Y ucundan görülen empedansın frekansla değişim eğrisi	60
Şekil 4.59	Devre 3.2'ye ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi	60
Şekil 4.60	Devre 3.2'ye ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi	61
Şekil 4.61	Devre 1.3 için DC akım izleme eğrileri	62
Şekil 4.62	Devre 1.3 için türevi alınmış DC akım izleme eğrileri	62
Şekil 4.63	Devre 1.3 için AC akım izleme eğrileri	63
Şekil 4.64	Devre 1.3 için DC gerilim izleme eğrileri	63

Şekil 4.65	Devre 1.3 için AC gerilim izleme eğrileri	64
Şekil 4.66	Devre 1.3'e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi	64
Şekil 4.67	Devre 1.3'e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi	65
Şekil 4.68	Devre 1.3'e ait Y ucundan görülen empedansın frekansla değişim eğrisi	65
Şekil 4.69	Devre 1.3'e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi	66
Şekil 4.70	Devre 1.3'e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi	66
Şekil 4.71	Devre 2.3 için DC akım izleme eğrileri	67
Şekil 4.72	Devre 2.3 için türevi alınmış DC akım izleme eğrileri	68
Şekil 4.73	Devre 2.3 için AC akım izleme eğrileri	68
Şekil 4.74	Devre 2.3 için DC gerilim izleme eğrileri	69
Şekil 4.75	Devre 2.3 için AC gerilim izleme eğrileri	69
Şekil 4.76	Devre 2.3'e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi	70
Şekil 4.77	Devre 2.3'e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi	70
Şekil 4.78	Devre 2.3'e ait Y ucundan görülen empedansın frekansla değişim eğrisi	71
Şekil 4.79	Devre 2.3'e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi	71
Şekil 4.80	Devre 2.3'e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi	72
Şekil 4.81	Devre 3.3 için DC akım izleme eğrileri	73
Şekil 4.82	Devre 3.3 için türevi alınmış DC akım izleme eğrileri	73
Şekil 4.83	Devre 3.3 için AC akım izleme eğrileri	74
Şekil 4.84	Devre 3.3 için DC gerilim izleme eğrileri	74
Şekil 4.85	Devre 3.3 için AC gerilim izleme eğrileri	75
Şekil 4.86	Devre 3.3'e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi	75
Şekil 4.87	Devre 3.3'e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi	76
Şekil 4.88	Devre 3.3'e ait Y ucundan görülen empedansın frekansla değişim eğrisi	76
Şekil 4.89	Devre 3.3'e ait Z_1 ucundan görülen empedansın frekansla değişim	

eğrisi	77
Şekil 4.90 Devre 3.3'e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi	77
Şekil 5.1 Dört bölgeli çarpıcı yapısı	82
Şekil 5.2 Karışık modlu ikinci dereceden band geçiren süzgeç yapısı	83
Şekil 5.3 Akım modlu alçak geçiren ve yüksek geçiren süzgeç yapısı	85
Şekil 5.4 Akım modlu band söndüren süzgeç yapısı	86
Şekil C.1 Devre 1.1 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri	96
Şekil C.2 Devre 1.1 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği	96
Şekil C.3 Devre 2.1 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri	97
Şekil C.4 Devre 2.1 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği	97
Şekil C.5 Devre 3.1 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri	98
Şekil C.6 Devre 3.1 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği	98
Şekil C.7 Devre 1.2 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri	99
Şekil C.8 Devre 1.2 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği	99
Şekil C.9 Devre 2.2 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri	100
Şekil C.10 Devre 2.2 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği	100
Şekil C.11 Devre 3.2 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri	101
Şekil C.12 Devre 3.2 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği	101
Şekil C.13 Devre 1.3 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri	102
Şekil C.14 Devre 1.3 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği	102
Şekil C.15 Devre 2.3 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri	103

Şekil C.16	Devre 2.3 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği	103
Şekil C.17	Devre 3.3 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri	104
Şekil C.18	Devre 3.3 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği	104
Şekil D.1	Devre 1.1 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri	105
Şekil D.2	Devre 2.1 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri	105
Şekil D.3	Devre 3.1 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri	106
Şekil D.4	Devre 1.2 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri	106
Şekil D.5	Devre 2.2 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri	107
Şekil D.6	Devre 3.2 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri	107
Şekil D.7	Devre 1.3 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri	108
Şekil D.8	Devre 2.3 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri	108
Şekil D.9	Devre 3.3 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri	109
Şekil D.10	BG süzgeç yapılarının giriş gerilimine göre THD değişimi	110
Şekil D.11	Devre 1.3 ile gerçekleştirilen BP süzgecin büyük işaret davranışı	110
Şekil E.1	Devre 1.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri	111
Şekil E.2	Devre 1.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri	111
Şekil E.3	Devre 2.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri	112
Şekil E.4	Devre 2.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri	112
Şekil E.5	Devre 3.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri	113
Şekil E.6	Devre 3.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri	113

Şekil E.7	Devre 1.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri	114
Şekil E.8	Devre 1.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri	114
Şekil E.9	Devre 2.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri	115
Şekil E.10	Devre 2.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri	115
Şekil E.11	Devre 3.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri	116
Şekil E.12	Devre 3.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri	116
Şekil E.13	Devre 1.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri	117
Şekil E.14	Devre 1.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri	117
Şekil E.15	Devre 2.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri	118
Şekil E.16	Devre 2.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri	118
Şekil E.17	Devre 3.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri	119
Şekil E.18	Devre 3.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri	119
Şekil E.19	AG süzgeç yapılarının I _{in} giriş akımına göre THD değişimi	120
Şekil E.20	Devre 2.3 ile gerçekleştirilen LP süzgecin büyük işaret davranışı	120
Şekil F.1	Devre 1.1 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri	121
Şekil F.2	Devre 2.1 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri	121
Şekil F.3	Devre 3.1 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri	122
Şekil F.4	Devre 1.2 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri	122
Şekil F.5	Devre 2.2 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri	123
Şekil F.6	Devre 3.2 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri	123

Şekil F.7	Devre 1.1 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri	124
Şekil F.8	Devre 1.1 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri	124
Şekil F.9	Devre 1.1 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri	125

SEMBOL LİSTESİ

I_{X1}	: X_1 ucundaki giriş akımı
I_{X2}	: X_2 ucundaki giriş akımı
I_Y	: Y ucundaki giriş akımı
I_{Z1}	: Z_1 ucundaki çıkış akımı
I_{Z2}	: Z_2 ucundaki çıkış akımı
V_{X1}	: X_1 ucundaki gerilim
V_{X2}	: X_2 ucundaki gerilim
V_Y	: Y ucundaki gerilim
g_m	: MOS transistörün eğimi
g_{mb}	: Gövde etkisi eğimi
r_o	: MOS transistörün çıkış direnci
V_{DD}	: Pozitif besleme gerilimi
V_{SS}	: Negatif besleme gerilimi
V_{GS}	: MOS transistörün geçit kaynak gerilimi
V_{DS}	: MOS transistörün savak kaynak gerilimi
V_{BS}	: MOS transistörün taban kaynak gerilimi
I_{OUT}	: Çıkış akımı
I_{IN}	: Giriş akımı
K	: MOS transistörün eğim parametresi
μ	: Taşıyıcıların hareket yeteneği
C_{OX}	: Oksit kapasitesi
(W/L)	: Kanal genişliğinin kanal boyuna oranı
V_{TN}	: NMOS transistörün eşik gerilimi
λ_N	: NMOS transistörün kanal boyu modülasyonu parametresi
R_{X1}	: X_1 ucundan görülen direnç
R_{X2}	: X_2 ucundan görülen direnç
R_Y	: Y ucundan görülen direnç
R_{Z1}	: Z_1 ucundan görülen direnç
R_{Z2}	: Z_2 ucundan görülen direnç
ω_p	: Kutup açısal frekansı

YÜKSEK BAŞARIMLI FARK AKIM TAŞIYICI TASARIMI VE UYGULAMALARI

ÖZET

Akım modlu devrelerin gerilim modlu devrelere oranla üstünlüğü, daha yüksek işaret band genişliği, daha iyi lineerlik, daha geniş dinamik aralık, daha basit devre yapısı, gerilimden bağımsız çalışabilme özelliği ve düşük güç harcamasından kaynaklanır.

İlk akım taşıyıcı olan birinci akım taşıyıcı (CCI) 1968 yılında Sedra ve Smith tarafından ortaya atılmıştır. Aynı kişiler 1970 yılında ikinci kuşak akım taşıyıcı (CCII) elemanını tanıtmışlardır. Ancak önerildiği ilk on yılda bu elemanın işlemsel kuvvetlendirici elemanına göre üstünlüğünü ortaya koyacak net bir çalışma yapılamamıştır. Bunun sonucunda akım taşıyıcı elemanı seksenli yılların başına kadar kavramsal bir eleman olarak kalmıştır. Ancak tümdevre teknolojisinde bu dönemden sonra ortaya çıkan yenilikler sayesinde, akım taşıyıcının tümdevre içinde de kolaylıkla gerçekleştirilebileceği anlaşılmıştır. Bu çalışmalar sonucunda akım taşıyıcılarla gerçekleştirilen devrelerin önemli avantajları ortaya çıkmıştır. Gerçekten de pek çok devre bloğu, akım taşıyıcı elemanı ile işlemsel kuvvetlendirici ile olduğundan çok daha kolaylıkla gerçekleştirilebilmektedir.

Fark akım taşıyıcı (DCCII) yapısı, tek bir kırmık üzerinde tümleştirilebilecek bütün analog MOS devrelerin tasarımı için ideal sayılabilecek özelliklere sahip, güçlü bir akım modlu devre bloğudur. DCCII, Sedra ve Smith tarafından önerilen CCII yapısından türetilir. CCII birçok analog fonksiyonun gerçekleşmesinde kullanılan bir devre bloğu olmasına rağmen, CCII içeren devrelerde çoğunlukla yüzen direnç ve kapasiteler gibi kırmık üzerinde tümleştirilmesi zor elemanlar bulunmaktadır. DCCII yapısı, direnç bölgesinde çalışan MOS transistörler ile birlikte istenilen analog fonksiyonların gerçekleşmesinde kullanılabilir. Direnç bölgesinde çalışan transistörlerden kaynaklanan, çift ve bazı durumlarda tek kuvvetli lineersizlik terimleri birbirini götürmektedir.

Bu çalışmada, yüksek başarımli CMOS fark akım taşıyıcı yapıları gerçekleştirilmiş ve oluşturulan iç yapıların başarımı, uygulama devreleri kullanılarak sunulmuştur. Uygulama örneği olarak dört bölge analog çarpıcı, akım modlu ve/veya karışık modlu sürekli zaman MOSFET-C süzgeçleri gerçekleştirilmiştir. Elde edilen benzetim sonuçlarına bakıldığında, önerilen yapıların ideal yapılarla büyük bir uyum içerisinde olduğu görülmektedir.

HIGH PERFORMANCE DIFFERENTIAL CURRENT CONVEYOR DESIGN AND APPLICATION EXAMPLES

SUMMARY

Current mode circuits are more superior than voltage mode circuits because they have wider bandwidth, better linearity, wider dynamic range, simpler circuit topology, voltage independency and low power consumption.

First generation current conveyor (CCI) was proposed by Sedra and Smith in 1968. They proposed second generation current conveyor circuit in 1970. But a certain work, which shows that the current conveyor is a better device than operational amplifier, couldn't be done during following ten years. In the result of that, the current conveyor had been a conceptual device until early 1980s. But after innovations in IC technology it was seen that the current conveyor can be realized in ICs simply. In the result of these works, it was understood that the circuits which are implemented by using CCII have important advantages. Really, many circuit blocks can be implemented by using CCII easier than using Op-Amps.

Differential current conveyor (DCCII), is a powerful current-mode building block with properties that make it very suitable for designing all MOS analog circuits which can be integrated on a single chip. The presented analog block is an extension to the second generation current conveyor presented by Sedra and Smith. Although the CCII can be used to realize many analog functions, the circuits employing the CCII often rely on floating resistors and capacitors which is hard to integrate on chip. The presented differential current conveyor can be used with MOS transistors operating in the ohmic region to implement the required analog functions where the even and -in some cases- the odd nonlinearities associated with the transistors operating in this mode are cancelled out.

In this work, high performance CMOS differential current conveyor structures are implemented and performance of the realized circuits are examined with application examples. Four quadrant analog multiplier, current mode and/or mixed mode continuous time MOSFET-C filters are implemented as application examples. As it can be seen from the simulation results, performance of the realized circuits are very similar to the ideal ones.

1. GİRİŞ

Akım modlu devrelerin gerilim modlu devrelere oranla üstünlüğü, daha yüksek işaret band genişliği, daha iyi lineerlik, daha geniş dinamik aralık, daha basit devre yapısı, gerilimden bağımsız çalışabilme özelliği ve düşük güç harcamasından kaynaklanır.

Fark akım taşıyıcı yapısı, ikinci kuşak akım taşıyıcı yapısından türetilen bir analog devre bloğudur. Akım taşıyıcı, 1968 yılında Smith ve Sedra tarafından tanıtılmış, 1970 yılında yine Smith ve Sedra tarafından yapısı değiştirilerek daha fonksiyonel ve çok yönlü bir hale getirilmiş aktif bir elemandır [1, 2].

Akım taşıyıcı kavramının ortaya çıktığı yıllarda, elektronik endüstrisinde ilk monolitik işlemsel kuvvetlendiricilerin tasarımı konusundaki çalışmalara henüz başlanmış ve işlemsel kuvvetlendirici kavramının pek çok analog devre tasarımcısının zihninde yer etmiş olması, akım taşıyıcıların getireceği yararların ve işlemsel kuvvetlendiricilere göre olan üstünlüklerinin anlaşılmasını engellemiş ve bu nedenle yaygın bir şekilde kullanılmasını geciktirmiştir. Sonradan, tasarımcıların işlemsel kuvvetlendiricilerle yapılan bütün uygulamaların akım taşıyıcılarla yapılabileceğini göstermeleri ve bu konuda çalışmalar yapmaları, akım taşıyıcıların yararlarının ve üstünlüklerinin anlaşılmasına neden olmuştur [3, 4]. Bu çalışmalar sonucunda, akım taşıyıcılarla gerçekleştirilen devrelerin önemli avantajları ortaya çıkmıştır. Örneğin küçük veya büyük işaretlerde, geniş bir frekans bandında, daha yüksek bir gerilim kazancı sağlamaları, enstrümantasyon kuvvetlendiricilerinin geliştirilmesinde oldukça başarılı olmaları bu avantajlardan bazıları olarak verilebilir.

Akım taşıyıcılar, ilk ortaya atılışlarından bu yana uzunca bir süre geçmiş olmasına rağmen, ancak son yıllarda büyük ölçüde önem kazanmışlardır. Türev alıcı devre, integral alıcı devre gibi işlem blokları, osilatör yapıları, süzgeç devreleri gibi işlemsel kuvvetlendirici ile gerçekleştirilen blokların akım taşıyıcılı alternatifleri ve bu alternatiflerin tümleştirilmeye uygun şekilde gerçekleştirilmesine yönelik topolojiler

üzerine yayınlar hızla artmaktadır. Son yıllarda akım taşıyıcının tümdevre olarak piyasaya çıkması bu ilginin bir göstergesidir.

Elektronik teknolojisinde gerilim modlu devrelerin ezici üstünlüğü bu devrelerin sınırlı çalışma bandı nedeniyle zayıflama göstermeye başlamıştır.

Gerilim modlu devrelerde yüksek değerli direnç elemanları ve kaçak kapasiteler göreceli olarak düşük frekans değerinde bir baskın kutup yaratmakta, bu da çalışma bandını sınırlamaktadır. Bu baskın kutbun sonucunda bir devrede kazanç band genişliği çarpımı sabittir gibi literatürde yaygın olarak kullanılan yerleşmiş bir sonuç çıkmıştır. Gerilim modlu devreler için özel bir durum olan bu sonuç bütün devrelere özgü genel bir kural gibi kabul görmüştür.

Akım modlu devrelerde genel olarak düğüm empedansları düşük ve gerilim salınımları küçüktür. Büyük gerilim salınımları için problem olan parazitik kapasitelerin dolma boşalma süreleri ve bunun getirdiği zaman sabiti ve dolayısı ile yükselme eğimi problemi minimumdur. Bunlara ek olarak akım modlu devrelerin yapılarının CMOS teknolojisi ile tümleştirmeye de elverişli olmaları, elektronik sistem tasarımında gittikçe yaygınlaşarak kullanılmalarının başlıca nedenlerini oluşturmaktadır.

Aktif devre bloğu olarak akım taşıyıcı elemanı yüksek frekanslardaki başarımı, yüksek doğrusalılığı ve geniş dinamik çalışma aralığı ile ön plana çıkmaktadır. Bazı işlem bloklarının CCII ile gerçekleştirilenleri tamamen bir ucu topraklı kapasite ve dirençler içerdiklerinden tümleştirilmeye daha elverişlidirler. Bu özellikleri de bu işlem bloklarının işlemsel kuvvetlendiricilerle gerçekleştirilen karşılıklarına göre ilave bir üstünlük sağlamaktadır.

İlk akım taşıyıcı olan birinci kuşak akım taşıyıcı (CCI) ile yapılan ilk uygulamalardan biri, akım taşıyıcı ile negatif empedans çeviricisinin elde edilmesidir.

Birinci kuşak akım taşıyıcılarda, kuvvetli distorsiyonlar, çıkış empedansı kısıtlamaları ve temel akım hatalarına bağlı olarak doğruluk sınırlamaları bulunmaktadır [5]. Bu durum, çalışmaları daha doğru tasarımlar elde etmek için, temel akım hatalarını kompanze etmek ve çıkış direncini geliştirme konularına

yönlendirmiştir. Böylece, 1970 yılında, birinci kuşak akım taşıyıcıların geliştirilmesiyle ikinci kuşak akım taşıyıcılar (CCII) elde edilmiştir [6].

Birinci ve ikinci kuşak akım taşıyıcıların devre modelleri veya tanım bağıntıları incelendiğinde aralarındaki benzerlikler ve farklılıklar kolayca anlaşılmaktadır. CCII'nin CCI'dan farklı olan tek yanı Y girişine ilişkin akımın sıfır olmasıdır. Yani bu uç açık devre gibi davranmaktadır. Bu da CCII'yi CCI'dan daha farklı, daha esnek ve kullanışlı yapan bir özelliktir.

İkinci kuşak akım taşıyıcıların, bazı özellikleri nedeniyle diğer aktif elemanların yerine kullanılması bir seçenek olarak ortaya çıkmıştır. Örneğin, geri besleme, işlemsel kuvvetlendiricilerde yüksek gerilim kazancı sağlamak için kullanılan bir yöntemdir. Ancak bunun çok önemli bir sakıncası vardır. İşlemsel kuvvetlendirici ile gerçekleştirilen bir gerilim kuvvetlendiricinin band genişliği, yüksek gerilim kazançlarında kazanç-band genişliği çarpımı sabit kalacak şekilde azalır. İkinci kuşak akım taşıyıcılarla elde edilen gerilim kuvvetlendiricilerde ise kazanç, band genişliğinden bağımsızdır. Sonuç olarak, bir akım taşıyıcılı devre, işlemsel kuvvetlendiricili eşdeğer devreye göre daha büyük band genişliği ve daha yüksek gerilim kazancı sağlar [7].

CCII'nin ilk geniş uygulama alanı, kontrollü kaynaklar, empedans çeviriciler, empedans eviriciler ve jirator gibi aktif devre sentezinde kullanılan elemanların gerçekleştirilmesidir. Ayrıca, ikinci kuşak akım taşıyıcıların basit analog hesaplama fonksiyonlarını yerine getirmek üzere akım kuvvetlendirici, akım integral alıcı, akım toplayıcı ve ağırlıklı akım toplayıcı gibi uygulamaları da bulunmaktadır [2].

CCII'nin gerçekleştirilmesi için işlemsel kuvvetlendiriciler ve bipolar transistörlerle devre kurulmasına dayanan tasarım yöntemleri bulunmaktadır. Bu yöntemler ilkesel olarak tümleştirmeye uygun olsalar bile, özellikle işlemsel kuvvetlendiriciden yararlanılmasına yönelik olanlar, gerçekleştirme açısından ekonomik değildirler. Bunun başlıca nedeni, her işlemsel kuvvetlendirici için kırkık üzerinde ayrı bir alana gereksinme duyulmasıdır. Karmaşık yapıdaki sistemlerin küçük boyutta gerçekleştirilmesini sağlayan CMOS teknolojisinin hızlı gelişimi sonucunda, son yıllarda, analog fonksiyonları gerçekleştiren ve akım taşıyıcıları da kapsayan CMOS devrelerin geniş çapta gerçekleştirilmesi mümkün kılınmıştır [8].

Akım taşıyıcıların tümdevre olarak gerçekleştirilmesi konusundaki çalışmalar halen devam etmektedir. Analog Device firması tarafından üretilen AD844 [9] tümdevresinin bir pozitif türden akım taşıyıcı ve bir gerilim izleyici ile modellenebileceğini ve bu konudaki uygulamaları Svoboda, McGory, Webb [10], 1991 yılındaki çalışmalarında göstermişlerdir. 1992 yılında Bruun ve Olesen [11] Svoboda, McGory ve Webb'in bu çalışmasını göz önüne alarak AD844'de bulunan kompanzasyon çıkışı sayesinde bu elemanın pozitif türden bir akım taşıyıcı olarak kullanılabileceğini, bundan yararlanarak negatif akım taşıyıcı elde edilmesini ve diğer uygulamaları vermişlerdir [6].

Yeni ortaya çıkan üçüncü kuşak akım taşıyıcının (CCIII) literatüre daha önceden geçmiş olan CCI ve CCII elemanlarından üstünlüğü X ucundaki çıkış akımı toprağa doğru olmayan yapılarda ortaya çıkmaktadır. Toprağa doğru akan akımlarda bu akımı yansıtıp geçen akımı tespit etmek kolaylıkla mümkün olmakla birlikte çıkış akımı toprağa doğru akmadığı zaman bunu yapmak kolay olmamaktadır. Fakat CCIII yapısında akımlar arasındaki $I_Y = -I_X$ ilişkisi toprağa akmayan akımların tespit edilmesinde kolaylık sağlamaktadır. Ölçülmek istenen akımın yolu üzerine konacak bir CCIII devreye herhangi bir etki yapmadan istenen akımın yönünü de değiştirmeden bu akımı sezip Z ucundan bunu dışarı yansıtarak buradaki akım hakkında bilgi alınmasını sağlamaktadır.

CCIII yapısının ilk CMOS gerçekleşmesi 1995 yılında Piovaccari tarafından yapılmıştır [12]. Bu devre için yapılan analizlerde oldukça iyi başarımlar ortaya koyduğu görülmüştür.

Üçüncü kuşak akım taşıyıcı ile yapılan ilk uygulamalardan biri, admitans ve empedans fonksiyonlarını gerçekleştiren devreler olmuştur [13]. Empedans fonksiyonu birer tane CCIII+ ve CCIII- ile 3 adet empedanstan oluşan devre bloğuyla, admitans fonksiyonu birer tane CCIII+ ve CCIII- ile 3 adet admitanstan oluşan devre bloğuyla gerçekleştirilmiştir. Bu devre blokları kullanılarak üçüncü dereceden yüksek-geçiren süzgeç devresi kurulmuştur.

Başka bir çalışmada da [14], bir CCIII-, 2 adet çift akım çıkışlı OTA elemanı ve 2 adet bir ucu topraklanmış kapasite kullanılarak, alçak-geçiren, yüksek-geçiren, band-

geçiren, band-söndüren ve tüm-geçiren süzgeç yapılarını gerçekleştiren bir devre sunulmuştur.

1998'deki bir çalışmada ise [15], iki işlemsel kuvvetlendirici, 4 işlemsel geçiş iletkenliği kuvvetlendiricisi ve bir CCII kullanılarak akım modlu alçak-geçiren, yüksek-geçiren, band-geçiren, band-söndüren ve tüm-geçiren süzgeç yapılarını gerçekleştiren bir devre sunulmuştur.

Günümüzde, CCII yapıları kullanılan farklı uygulama devrelerini tek bir kırmıkta gerçekleyebilmek üzere, CCII devreleri MOS transistörler kullanılarak tasarlanmaktadır. Kuşkusuz ki CCII, yüksek başarımlı birçok devre uygulamasında kullanılabilen temel yapı bloklarından birisidir, ancak düşük empedanslı tek bir girişi olması CCII yapısının bir dezavantajıdır. Bu dezavantaj diferansiyel giriş gerektiren uygulamalarda açıkça ortaya çıkmaktadır. Fark akım taşıyıcı yapısı (DCCII) sayesinde bu dezavantaj giderilmektedir.

Fark akım taşıyıcı yapısı (DCCII), tek bir kırmık üzerinde tümleştirilebilecek bütün analog MOS devrelerin tasarımı için ideal sayılabilecek özelliklere sahip, güçlü bir akım modlu devre bloğudur. DCCII, Sedra ve Smith tarafından önerilen ikinci kuşak akım taşıyıcı (CCII) yapısından türetilir. CCII birçok analog fonksiyonun gerçekleşmesinde kullanılan bir devre bloğu olmasına rağmen, CCII içeren devrelerde çoğunlukla yüzen direnç ve kapasiteler gibi kırmık üzerinde tümleştirilmesi zor elemanlar bulunmaktadır. Önerilen DCCII yapısı direnç bölgesinde çalışan MOS transistörler ile birlikte istenilen analog fonksiyonların gerçekleşmesinde kullanılabilir. Direnç bölgesinde çalışan transistörlerden kaynaklanan tek ve çift kuvvetli tüm lineersizlik terimleri birbirini götürmektedir. Bu özellik sayesinde, DCCII yapısının uygulama alanlarından bir tanesi akım modlu veya karışık modlu sürekli zaman MOSFET-C süzgeçlerin gerçekleşmesidir.

Bu çalışmada, iki adet düşük empedanslı akım girişi, bir adet yüksek empedanslı gerilim girişi ve iki adet yüksek empedanslı akım çıkış ucuna sahip DCCII yapıları elde edilmesi hedeflenmektedir. Ayrıca giriş akımlarının farkının, yüksek doğrulukta çıkışlara yansıtılması ve düşük empedanslı giriş uçlarının gerilimlerinin yüksek empedanslı giriş ucunun gerilimini yüksek doğrulukta takip etmesi amaçlanmıştır.

Tezin ikinci bölümünde fark akım taşıyıcı yapısı ve tanım bağıntılarından bahsedilecektir.

Üçüncü bölümde, ikinci bölümde bahsedilen özelliklere dayanılarak oluşturulmuş yüksek başarımlı fark akım taşıyıcı devreleri ve bu devrelere ilişkin ayrıntılı bilgi verilecektir.

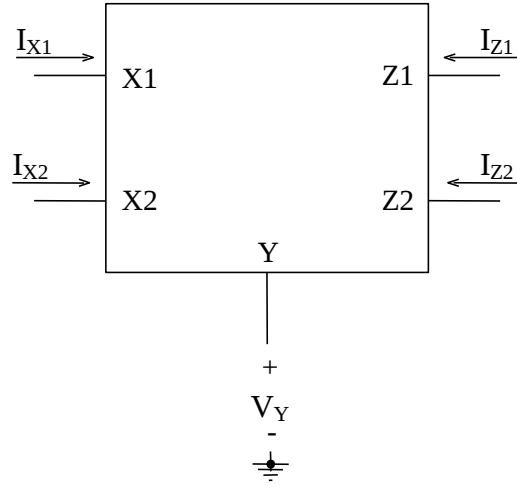
Dördüncü bölümde, üçüncü bölümde oluşturulan devrelere ilişkin DC ve AC benzetim sonuçları verilecek ve devrelerin başarımlı özellikleri arasında gerekli karşılaştırmalar yapılarak elde edilen sonuçlar değerlendirilecektir.

Beşinci bölümde, üçüncü bölümde verilen yüksek başarımlı DCCII yapıları, uygulama devrelerinde kullanılacak ve bu uygulama devrelerine ilişkin gerekli bilgiler verilecektir. Daha sonra benzetimler yapıp sonuçlar değerlendirilecektir.

Altıncı bölümde, yapılan çalışmanın sonucunda ortaya çıkanlar hakkında kısa bir değerlendirme yapılacaktır.

2. FARK AKIM TAŞIYICI YAPISI

Fark akım taşıyıcı yapısı beş uçlu bir analog yapı bloğudur. X_1 ve X_2 uçları düşük empedans, Y , Z_1 , Z_2 uçları ise yüksek empedans düğümleridir. Fark akım taşıyıcı yapısının blok şeması şekil 2.1’de, tanım bağıntıları ise matris formatında (2.1) bağıntısında verildiği gibidir.



Şekil 2.1 Fark akım taşıyıcı yapısının blok şeması

$$\begin{bmatrix} V_{X1} \\ V_{X2} \\ I_{Z1} \\ I_{Z2} \\ I_Y \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & 0 & 1 \\ 1 & -1 & 0 & 0 & 0 \\ -1 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} I_{X1} \\ I_{X2} \\ V_{Z1} \\ V_{Z2} \\ V_Y \end{bmatrix} \quad (2.1)$$

Günümüz elektroniğinde her ne kadar sayısal uygulamalar ön plana çıkmış gibi gözükse de analog yapılar da önemini sürdürmektedir. Bunun başlıca nedeni doğadaki işaretlerin analog olması ve analog devrelerin dış dünya ile sayısal devreler arasında bir köprü oluşturmasıdır. Bu nedenle analog ve sayısal devreler birlikte kullanılarak günümüzün elektronik cihazları üretilmekte, yüksek başarılı sayısal

devrelerle uyum sağlayabilecek analog devrelerin tasarımı büyük önem kazanmaktadır.

Elektronik devre tasarımının vazgeçilmez ve önemli bir yapı grubu olan analog tümdevre yapı bloklarının oluşturulmasında MOS teknolojisi gittikçe yaygınlaşarak kullanılmakta, literatürde sürekli olarak bu alanda yapılan yeni çalışmaları ve geliştirilen yeni devre bloklarını yansıtan yazılarla karşılaşılmaktadır. Bunun başlıca nedeni, gün geçtikçe analog ve sayısal sistemlerin iç içe girmesidir. Sayısal sistemlerde MOS teknolojisi yaygın olarak kullanıldığından, analog sistemler için de aynı teknolojinin kullanılabilir olması, ekonomik açıdan büyük yararlar sağlamaktadır. Bunu yanı sıra, MOS teknolojisi ile bipolar transistörlerle göre %30-%50 oranında daha az kırmık alanı kullanılmaktadır.

Teknoloji ilerledikçe elektronik devrelerin çeşitliliği artmaktadır. Analog yapı bloklarının en önemlilerinden biri olan akım taşıyıcılar da geniş bir kullanım alanına sahiptir. Bu nedenle akım taşıyıcı tasarımı analog tümdevre tekniğinde önemli bir yer tutar.

Günümüzde, CCII yapıları kullanılan farklı uygulama devrelerini tek bir kırmıkta gerçekleyebilmek üzere, CCII devreleri MOS transistörler kullanılarak tasarlanmaktadır. CMOS teknolojisinde ortaya çıkan yeni gelişmeler aktif devre elemanlarının başarımını yükseltmekte, daha geniş bantlı ve yüksek doğruluklu eleman gerçekleştirilmesi mümkün olmaktadır. Kuşkusuz ki CCII, yüksek başarımli birçok devre uygulamasında kullanılabilen temel yapı bloklarından birisidir, ancak düşük empedanslı tek bir girişi olması CCII yapısının bir dezavantajıdır. Bu dezavantaj diferansiyel giriş gerektiren uygulamalarda açıkça ortaya çıkmaktadır. Önerilen fark akım taşıyıcı yapısı (DCCII) sayesinde bu dezavantaj giderilmektedir.

Fark akım taşıyıcı yapısı (DCCII), tek bir kırmık üzerinde tümleştirilebilecek bütün analog MOS devrelerin tasarımı için ideal sayılabilecek özelliklere sahip, güçlü bir akım modlu devre bloğudur. DCCII, Sedra ve Smith tarafından önerilen ikinci kuşak akım taşıyıcı (CCII) yapısından türetilir. CCII birçok analog fonksiyonun gerçekleşmesinde kullanılan bir devre bloğu olmasına rağmen, CCII içeren devrelerde çoğunlukla yüzen direnç ve kapasiteler gibi kırmık üzerinde tümleştirilmesi zor elemanlar bulunmaktadır. Önerilen DCCII yapısı direnç

bölgesinde çalışan MOS transistörler ile birlikte, istenilen analog fonksiyonların gerçekleştirilmesinde kullanılabilir. Direnç bölgesinde çalışan transistörlerden kaynaklanan tek ve çift kuvvetli tüm lineersizlik terimleri birbirini götürmektedir. Bu özellik sayesinde, DCCII yapısının uygulama alanlarından bazıları akım modlu dört bölgeli çarpıcı ve akım modlu ve/veya karışık modlu sürekli zaman MOSFET-C süzgeçleri olarak sayılabilir.

3. ÖNERİLEN YÜKSEK BAŞARIMLI FARK AKIM TAŞIYICI DEVRELERİ

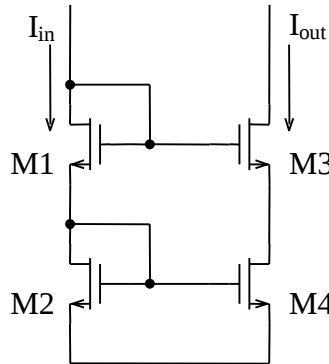
Bu bölümde, oluşturulmuş yüksek başarımli fark akım taşıyıcı devreleri ve bu devrelerin çıkış direncini artırmak için kullanılan klasik kaskod akım aynası ile aktif geri beslemeli CMOS kaskod akım aynası yapılarından bahsedilecektir.

3.1 Çıkış Direncinin Artırılması

Akım aynaları, kuvvetlendirici katlarında sabit akım kaynağı veya aktif yük olarak sıkça kullanıldıklarından analog tümdevreler için çok önemli yapıtaşlarıdır. Sahip oldukları bu önem akım modlu tümdevre tasarımındaki gelişmelere bağlı olarak sürekli artmaktadır.

3.1.1 Klasik Kaskod Akım Aynası

Yüksek çıkış dirençli akım kaynaklarına sıkça gereksinme duyulur. Bunun temel nedenlerinden biri, aktif yüklü kuvvetlendiricilerde yüksek değerli gerilim kazancı elde edilmesi yönündeki istektir. Bu amaçla, bipolar tekniğindeki benzer şekilde kaskod akım kaynağı gerçekleştirilir [8]. Yapı şekil 3.1’de verilmiştir.



Şekil 3.1 Klasik kaskod akım aynası

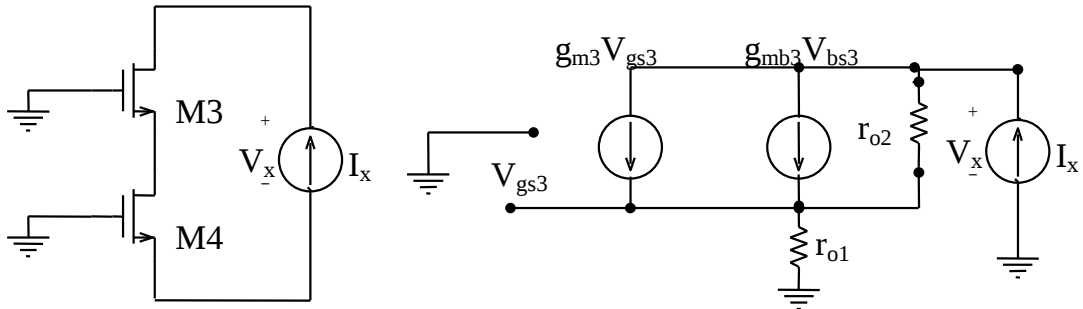
Bu yapıda M3 transistörü M4 transistörünü çıkış ucundaki gerilim değişimlerinden yalıtılmaktadır. Şekil 3.2’de verilen küçük işaret eşdeğer devresi kullanılarak çıkış direnci hesaplanırsa

$$R_o = r_{o2}(1 + g_{m2}r_{o1}) \quad (3.1)$$

elde edilir. Diğer bir deyişle, transistörün çıkış direnci $1 + g_m r_o$ çarpanı ile çarpılarak çıkışa yansımaktadır. Gerçekte, çıkış direncini hesaplarırken gövde etkisini de dikkate almak gerekir; zira, M3 transistörünün kaynak ucu toprak potansiyelinde değildir. Bunun için şekil 3.2’deki eşdeğer devreden hareket edilirse

$$R_o = r_{o2}[1 + (g_{m2} + g_{mb2})r_{o1}] + r_{o1} \quad (3.2)$$

olur. Bu sonuçta ilginç olan, gövde etkisinin de çıkış direncini artıracak yönde etki etmesidir.



Şekil 3.2 Kaskod devrenin çıkış empedansının hesaplanması

Klasik kaskod akım aynası, basit akım aynasına göre daha yüksek çıkış direnci ile birlikte daha yüksek akım izleme oranına sahiptir, fakat diğer taraftan çıkış gerilim salınım aralığı kötüleşir. Bundan başka, giriş gerilim salınım aralığı da kötüleşir ve giriş akımının sabit olmadığı durumlarda sorun ortaya çıkar.

3.1.2 Aktif Geri Beslemeli CMOS Kaskod Akım Aynası

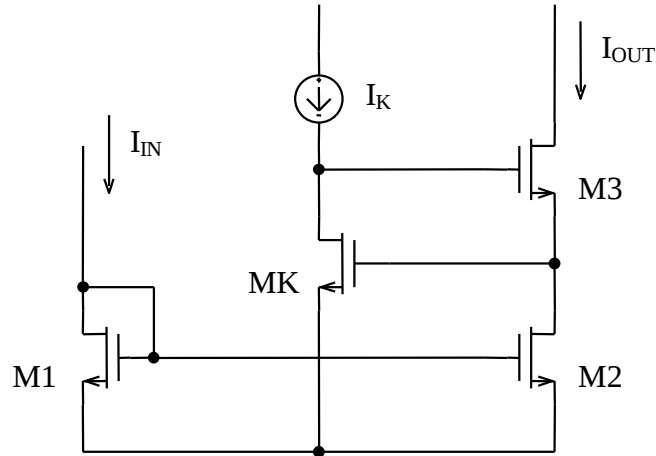
Klasik kaskod akım aynasından daha büyük çıkış direnci ve daha geniş çıkış gerilim salınım aralığına sahip klasik aktif geri beslemeli kaskod akım aynası, basit akım

aynası ile aynı giriş gerilim salınım aralığına sahip olduğu için klasik kaskod akım aynasına göre bir avantaj daha sağlar[16].

Klasik aktif geri beslemeli kaskod akım aynası şekil 3.3’de verilmiştir. Yüksek çıkış direnci, I_K - M_K kuvvetlendirici katı ve kaynak izleyici M_3 transistöründen aktif negatif geri besleme ile elde edilir. Bu yapının en büyük dezavantajı, $V_{DS2} = V_{GSK}$ eşitliğinin I_K ve M_K tarafından belirlenmesidir. $I_{OUT} = I_{IN}$ eşitliğinin doğru bir şekilde elde edilebilmesi için I_K ve M_K , $V_{DS2} = V_{GS2}$ eşitliğini sağlayacak şekilde seçilmelidir. Aksi takdirde kanal boyu modülasyonu sebebiyle akım aynalama oranı klasik kaskod akım aynasından daha kötü olur. Diğer taraftan, giriş akımı I_{IN} sabit tutulamazsa, iki sorun ortaya çıkar:

- (a) $V_{GSK} = V_{GS1}$ olmadığı durumlarda $V_{DS2} = V_{GS2}$ elde edilemez ve bu da akım aynalama oranını kötüleştirir.
- (b) Eğer I_{IN} M_2 ’yi direnç bölgesine sokacak kadar büyükse akım aynası düzenli çalışmaz.

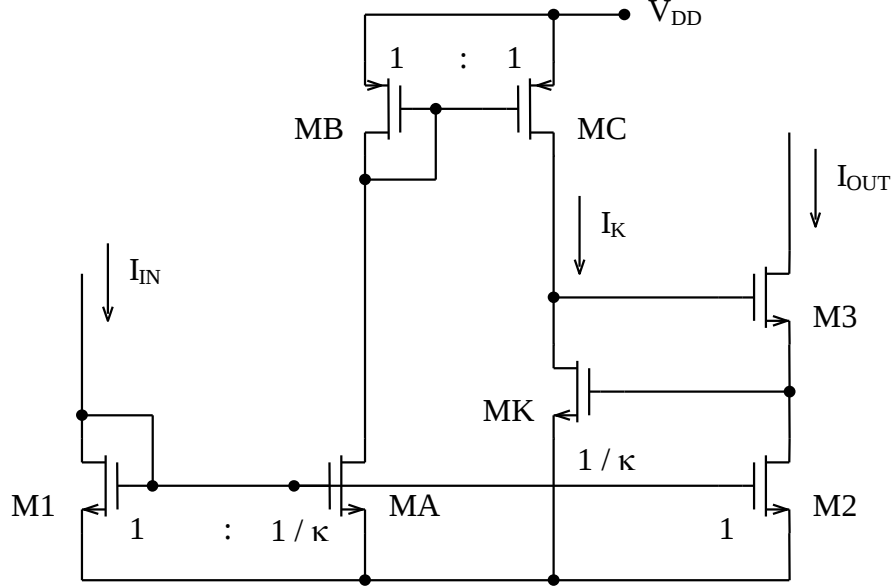
$V_{DS2} = V_{GS2}$ eşitliği sağlandığı sürece bu sorunlar büyük ölçüde halledilebilir. Çıkış salınımı sabit değildir ama V_{GS1} ’e bağlıdır. Bu bağıllık yüksek akım aynalama oranını korumakla beraber her I_{IN} değeri için ortalama bir çıkış salınımını olası kılar.



Şekil 3.3 Klasik aktif geri beslemeli kaskod akım aynası

$V_{DS2} = V_{GS2}$ elde edebilmek için en basit yol M_K ile M_1 ’i eş seçmek ve $I_K = I_{IN}$ sağlamaktır. I_K artık bağımsız bir akım kaynağı değildir, ama I_{IN} ’e bağlıdır. V_{DS2} ’nin tamamen V_{GS2} ’ye eşit olması gerekmediğinden, I_K basit akım aynaları kullanılarak

I_{IN} 'den elde edilebilir. Yapı şekil 3.4'de verilmiştir. I_K ayrıca I_{IN} / κ ($\kappa > 1$) olarak da seçilebilir, bunun için $(W/L)_K = (W/L)_A = (W/L)_1 / \kappa$ yapılmalıdır ki bu da düşük güç tüketimi ve küçük kırmık alanı bakımından avantaj sağlar.



Şekil 3.4 Kullanılan aktif geri beslemeli kaskod akım aynası

Kullanılan aktif geri beslemeli kaskod akım aynasının küçük işaret çıkış direnci aşağıdaki gibidir.

$$R_o = r_{o2} (g_{m3} r_{o3}) (g_{mK} r_{oK}) \quad (3.3)$$

(3.3) bağıntısından da görüldüğü gibi, çıkış direnci R_O $g_{mK} \cdot r_{oK}$ ile direk olarak orantılıdır. Eğer $r_{oK} = 1 / \lambda_N I_K$ sağlanırsa $g_{mK} \cdot r_{oK}$ şu şekilde ifade edilebilir.

$$g_{mK} r_{oK} = \mu_n C_{OX} \left(\frac{W}{L} \right)_K \frac{(V_{GSK} - V_{TN})}{\lambda_N I_K} \quad (3.4)$$

(3.4) bağıntısından görüldüğü gibi $(W/L)_K$ ve I_K 'nin güç tüketimi ve kırmık alanını azaltmak için κ oranında küçültülmesi teorik olarak çıkış direncini etkilememektedir. Transistor boyutları seçilirken dikkat edilmesi gereken bir nokta, devrede olası maksimum giriş akımında M_C 'nin doymada kalmasını sağlamaktır. Güç tüketimi ve

kırmık alanını azaltmak için yapılabilecek bir ileriki adım ise $I_K = I_{IN} / \kappa$ akımının M_A ve M_B 'ye gerek kalmadan I_{IN} 'i sağlayan elemandan elde edilmesidir.

Kullanılan aktif geri beslemeli kaskod akım aynası klasik aktif geri beslemeli kaskod akım aynası ile aynı yüksek çıkış direncini sağlarken, daha geniş çıkış salınım aralığı ile birlikte yüksek doğrulukta akım aynalama imkanı sunar.

3.2 Yüksek Başarımli Fark Akım Taşıyıcı Devreleri

Bu bölümde, oluşturulmuş yüksek başarımli fark akım taşıyıcı devreleri üç kısımda ele alınacaktır. Birinci kısımda üç temel fark akım taşıyıcı devresi sunulacak, ikinci kısımda bu üç temel fark akım taşıyıcı devresinin, klasik kaskod akım aynaları kullanılarak çıkış direnci artırılacak ve üçüncü kısımda ise yine birinci bölümde sunulan üç temel fark akım taşıyıcı devresinin, bu kez aktif geri beslemeli CMOS kaskod akım aynaları kullanılarak çıkış direnci artırılacaktır.

3.2.1 Temel Fark Akım Taşıyıcı Devreleri

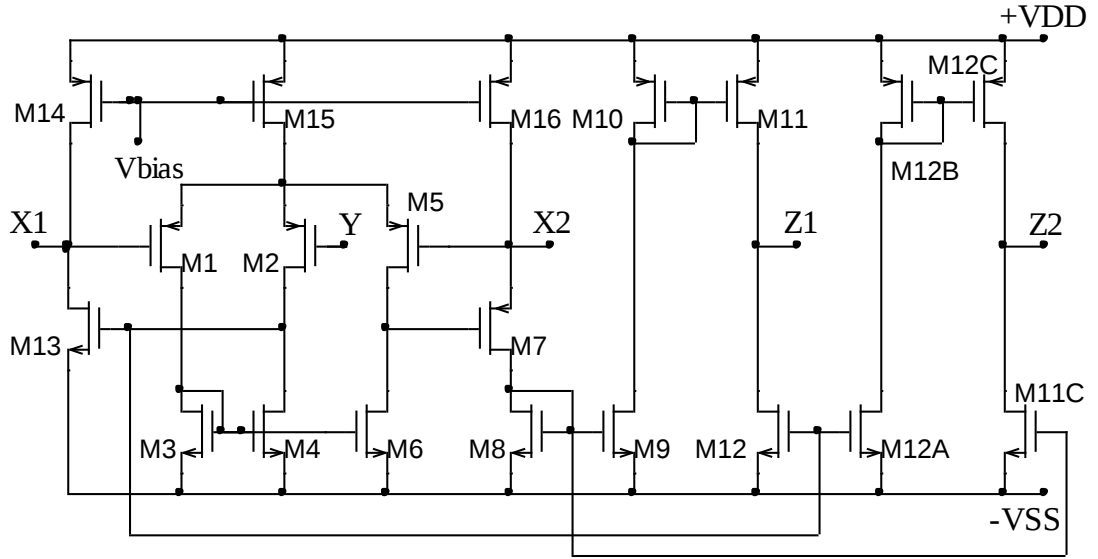
Bu bölümde birbirinden farklı üç temel fark akım taşıyıcı devresi sunulacaktır. Devrelerin transistor boyutunda iç yapıları tanıtılacak ve çalışma ilkelerinden bahsedilecektir.

3.2.1.1 Devre 1.1'in Yapısı ve Çalışma İlkesi

Devre 1.1'in CMOS transistor boyutunda gerçeklemesi şekil 3.5'de verilmiştir. Devre en genel haliyle fark akım taşıyıcı yapısının tanım bağıntılarını sağlayacak, yani $V_{X1} = V_{X2} = V_Y$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ olacak şekilde oluşturulmuştur.

Y ucundan X_1 ve X_2 uçlarına gerilim izlemesi, 2002 yılında A. Zeki ve A. Toker tarafından sunulmuş çift X girişli akım taşıyıcı yapısından yola çıkarak türetilmiştir[17]. Bahsi geçen devrede Y ucundan pozitif X ucuna gerilim izleme, aktif geri besleme uygulanarak elde edilmiş; bu aynı zamanda X ucunda küçük giriş direnci elde etmeyi de sağlamıştır. Fark akım taşıyıcı yapısında ise küçük giriş direncine sahip iki X ucu (X_1 ve X_2) bulunduğundan, aynı yöntem tekrarlanarak hem X_1 hem de X_2 ucuna aktif geri besleme ile Y ucundaki gerilimi izleme imkanı

verilmiş, aynı zamanda X_1 ve X_2 uçlarından görülen dirençlerin küçük olması da sağlanmıştır.



Şekil 3.5 Devre 1.1'in CMOS gerçekleştirilmesi

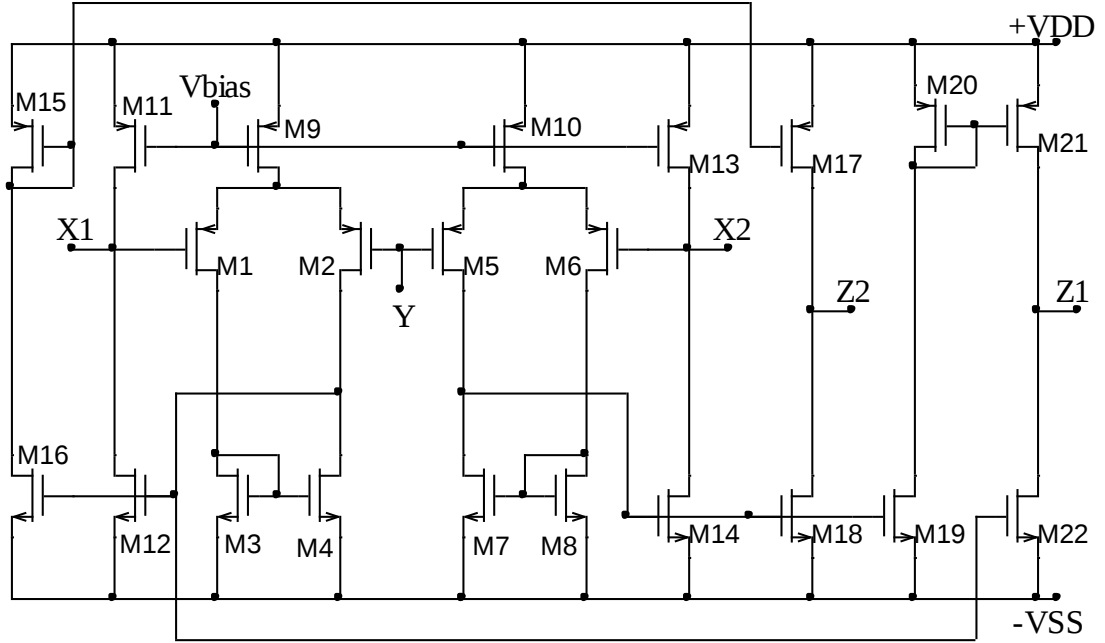
Şekil 3.5'den görüldüğü gibi I_{X1} ve I_{X2} akımları sırasıyla M_{13} 'ün savak ve M_7 'nin kaynak uçlarına uygulanmaktadır. $M_8 - M_{11}$ akım aynaları ile Z_1 ucuna yansıtılan I_{X2} akımı burada M_{12} transistoruna yansıtılan I_{X1} akımından çıkarılır ve $I_{Z1} = I_{X1} - I_{X2}$ elde edilmiş olur. $I_{Z2} = I_{X2} - I_{X1}$ akımı elde edilirken yine aynı yöntem tekrarlanır ve bu kez $M_{12A} - M_{12C}$ akım aynası ile Z_2 ucuna yansıtılan I_{X1} akımı burada M_{11C} transistoruna yansıtılan I_{X2} akımından çıkarılır ve $I_{Z2} = I_{X2} - I_{X1}$ elde edilmiş olur.

3.2.1.2 Devre 2.1'in Yapısı ve Çalışma İlkesi

Devre 2.1'in CMOS transistor boyutunda gerçekleştirilmesi şekil 3.6'da verilmiştir. Devre en genel haliyle fark akım taşıyıcı yapısının tanım bağıntılarını sağlayacak, yani $V_{X1} = V_{X2} = V_Y$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ olacak şekilde oluşturulmuştur.

Devre 2.1'in en önemli avantajı X_1 ve X_2 uçlarının Y ucundaki gerilimi çok iyi bir şekilde izleyebilmeleridir. Bu devrede de Y ucundaki gerilimin X_1 ve X_2 uçları tarafından izlenmesinde, devre 1.1'dekine benzer bir yöntem kullanılır [18]. Burada da aktif geri besleme yöntemi ile X_1 ve X_2 uçlarının Y ucundaki gerilimi izlemeleri sağlanmıştır, ancak devre 1.1'den farklı olarak Y ucundan X_1 ve X_2 uçlarına gidişlerde devre topolojisindeki simetrinin korunmasına dikkat edilmiştir. Tabii ki bu

devrede de aktif geri besleme sayesinde hem X_1 hem de X_2 uçlarından görülen giriş dirençlerinin küçük olması sağlanmıştır.



Şekil 3.6 Devre 2.1'in CMOS gerçekleştirilmesi

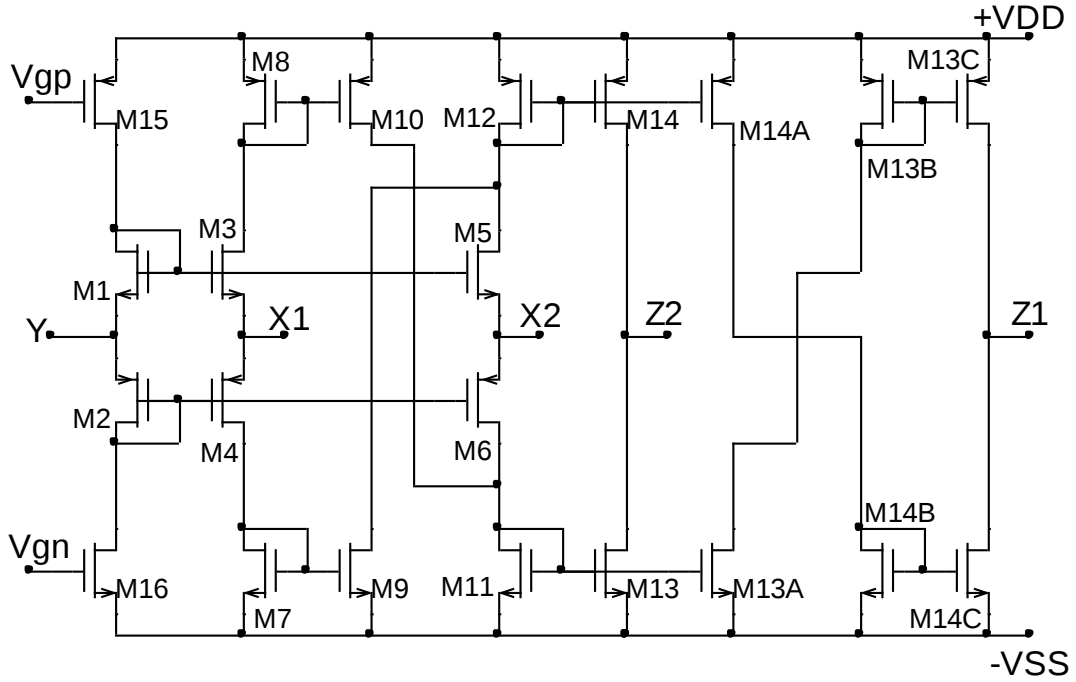
Şekil 3.6'dan görüldüğü gibi I_{X1} ve I_{X2} akımları sırasıyla M_{12} ve M_{14} 'ün savak uçlarına uygulanmaktadır. $M_{19} - M_{21}$ akım aynası ile Z_1 ucuna yansıtılan I_{X2} akımı burada M_{22} transistörüne yansıtılan I_{X1} akımından çıkarılır ve $I_{Z1} = I_{X1} - I_{X2}$ elde edilmiş olur. $I_{Z2} = I_{X2} - I_{X1}$ akımı elde edilirken yine aynı yöntem tekrarlanır ve bu kez $M_{15} - M_{17}$ akım aynası ile Z_2 ucuna yansıtılan I_{X1} akımı burada M_{18} transistörüne yansıtılan I_{X2} akımından çıkarılır ve $I_{Z2} = I_{X2} - I_{X1}$ elde edilmiş olur.

3.2.1.3 Devre 3.1'in Yapısı ve Çalışma İlkesi

Devre 3.1'in CMOS transistör boyutunda gerçekleştirilmesi şekil 3.7'de verilmiştir. Devre en genel haliyle fark akım taşıyıcı yapısının tanım bağıntılarını sağlayacak, yani $V_{X1} = V_{X2} = V_Y$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ olacak şekilde oluşturulmuştur.

Devre 3.1'ün en önemli avantajı devre 2.1'de olduğu gibi X_1 ve X_2 uçlarından sırasıyla Z_1 ve Z_2 uçlarına giderken devre topolojisindeki simetrinin korunmasıdır. Bu devrede Y ucundaki gerilimin X_1 ve X_2 uçları tarafından izlenmesinde $M_1 - M_6$ transistörleri rol oynamaktadır. Eğer Y ucu toprağa bağlanırsa, $M_1 - M_6$ transistör

çiftleri X_1 ve X_2 uçlarını sözde toprak seviyesine çeker. Bu devrede X_1 ve X_2 uçlarından görülen giriş dirençlerinin değeri $M_3 - M_6$ transistorlarının eğimlerine bağlıdır. $R_{X1} \approx 1 / (g_{m3} + g_{m4})$ olarak ifade edilirse, X uçlarından görülen dirençleri küçültebilmenin yolu transistorları daha geniş seçmek ya da kutuplama akımını daha büyük seçmek olur.



Şekil 3.7 Devre 3.1'in CMOS gerçekleştirilmesi

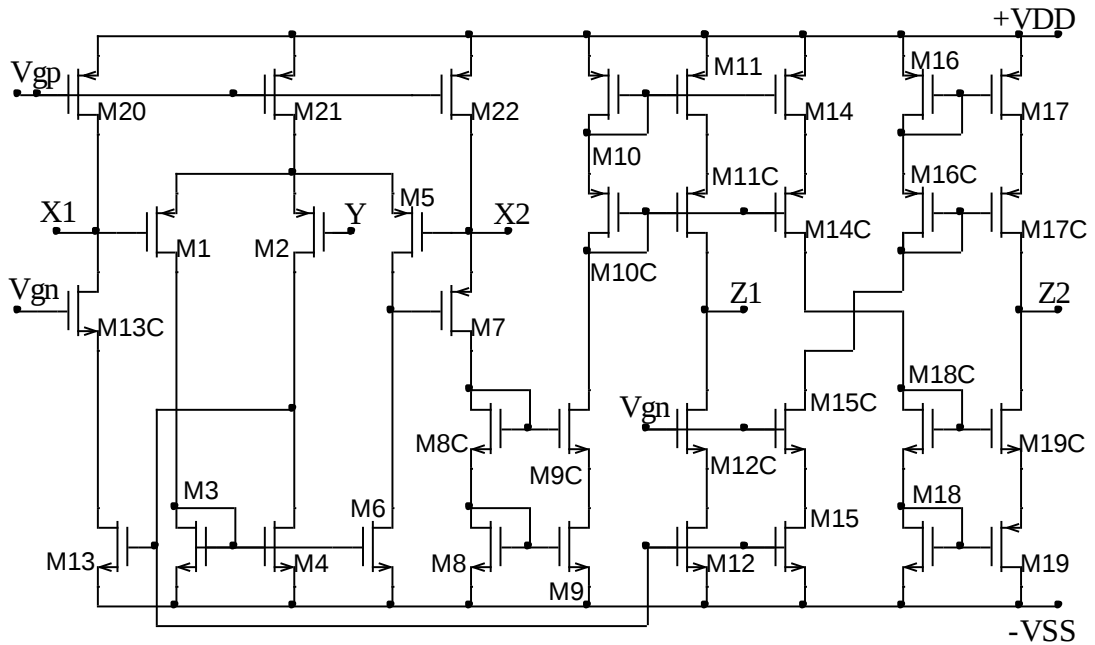
Şekil 3.7'den görüldüğü gibi I_{X1} ve I_{X2} akımları sırasıyla $M_3 - M_4$ ve $M_5 - M_6$ transistor çiftlerinin ortak kaynak uçlarına uygulanmaktadır. X_1 ucuna uygulanan I_{X1} akımı M_7 , M_9 transistorlarına yansıtılır ve aynı zamanda M_{12} transistorundan da akar. M_{12} transistorundan aynı zamanda X_2 ucundan dışarı doğru akan I_{X2} akımı da akar. Dolayısı ile iki akım birbirinden çıkarılır ve aradaki fark $M_{11} - M_{14}$ akım aynaları ile Z_2 ucuna, $M_{13A,B,C} - M_{14A,B,C}$ akım aynaları ile de Z_1 ucuna ise evirilerek yansıtılır. Böylece Z_1 ucunda $I_{Z1} = I_{X1} - I_{X2}$ ve Z_2 ucunda $I_{Z2} = I_{X2} - I_{X1}$ akımları elde edilmiş olur.

3.2.2 Klasik Kaskod Akım Aynaları Kullanılan Fark Akım Taşıyıcı Devreleri

Bu bölümde, klasik kaskod akım aynaları kullanılarak çıkış dirençleri artırılmış fark akım taşıyıcı devreleri sunulacaktır. Devrelerin transistor boyutunda iç yapıları tanıtılacak ve çalışma ilkelerinden bahsedilecektir.

3.2.2.1 Devre 1.2'nin Yapısı ve Çalışma İlkesi

Devre 1.2'nin CMOS transistor boyutunda gerçeklemesi şekil 3.8'de verilmiştir. Devre en genel haliyle fark akım taşıyıcı yapısının tanım bağıntılarını sağlayacak, yani $V_{X1} = V_{X2} = V_Y$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ olacak şekilde oluşturulmuştur.



Şekil 3.8 Devre 1.2'nin CMOS gerçeklemesi

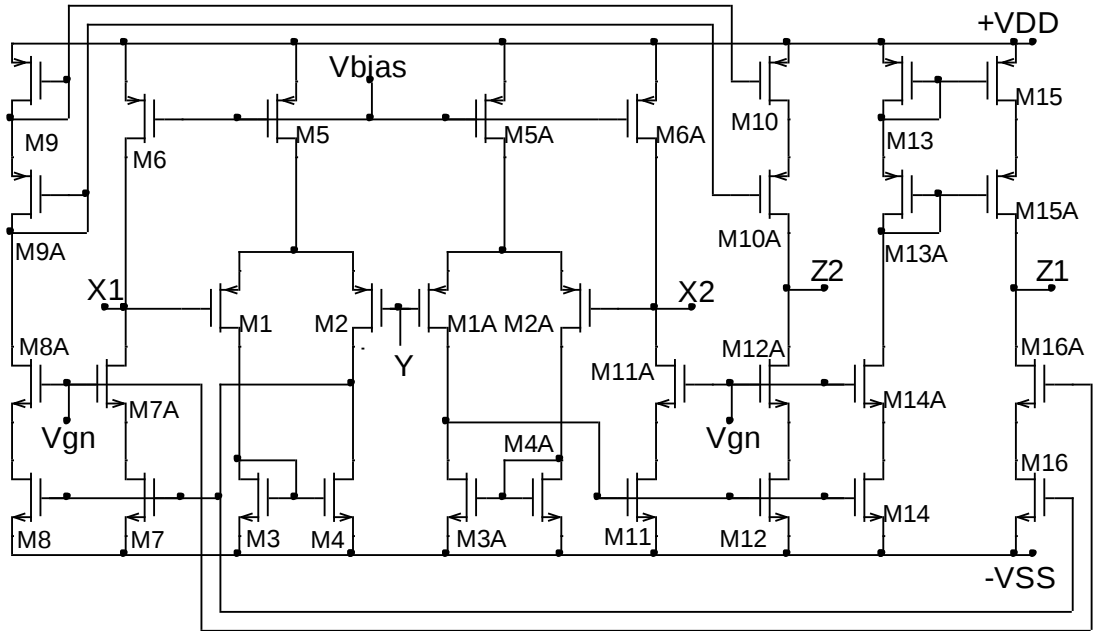
Çıkış direncini artırabilmek için klasik kaskod akım aynalarının kullanıldığı devre 1.2'nin çalışma prensibi devre 1.1 ile tamamen aynıdır. Burada tekrar edecek olursak, Y ucundan X_1 ve X_2 uçlarına gerilim izlemesi, 2002 yılında A. Zeki ve A. Toker tarafından sunulmuş çift X girişli akım taşıyıcı yapısından yola çıkarak türetilmiştir. Bahsi geçen devrede Y ucundan pozitif X ucuna gerilim izleme, aktif geri besleme uygulanarak elde edilmiş; bu aynı zamanda X ucunda küçük giriş direnci elde etmeyi de sağlamıştır. Fark akım taşıyıcı yapısında ise küçük giriş direncine sahip iki X ucu (X_1 ve X_2) bulunduğu için, aynı yöntem tekrarlanarak hem

X_1 hem de X_2 ucuna aktif geri besleme ile Y ucundaki gerilimi izleme imkanı verilmiş, aynı zamanda X_1 ve X_2 uçlarından görülen dirençlerin küçük olması da sağlanmıştır.

Şekil 3.8'den görüldüğü gibi I_{X1} ve I_{X2} akımları sırasıyla M_{13C} 'nin savak ve M_7 'nin kaynak uçlarına uygulanmaktadır. $M_{8, 8C} - M_{11, 11C}$ klasik kaskod akım aynaları ile Z_1 ucuna yansıtılan I_{X2} akımı burada $M_{12, 12C}$ transistorlarına yansıtılan I_{X1} akımından çıkarılır ve $I_{Z1} = I_{X1} - I_{X2}$ elde edilmiş olur. $I_{Z2} = I_{X2} - I_{X1}$ akımı elde edilirken yine aynı yöntem tekrarlanır ve bu kez $M_{15, 15C} - M_{17, 17C}$ klasik kaskod akım aynası ile Z_2 ucuna yansıtılan I_{X1} akımı burada $M_{19, 19C}$ transistorlarına yansıtılan I_{X2} akımından çıkarılır ve $I_{Z2} = I_{X2} - I_{X1}$ elde edilmiş olur.

3.2.2.2 Devre 2.2'nin Yapısı ve Çalışma İlkesi

Devre 2.2'nin CMOS transistor boyutunda gerçekleştirilmesi şekil 3.9'da verilmiştir. Devre en genel haliyle fark akım taşıyıcı yapısının tanım bağıntılarını sağlayacak, yani $V_{X1} = V_{X2} = V_Y$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ olacak şekilde oluşturulmuştur.



Şekil 3.9 Devre 2.2'nin CMOS gerçekleştirilmesi

Çıkış direncini artırabilmek için klasik kaskod akım aynalarının kullanıldığı devre 2.2'nin çalışma prensibi devre 2.1 ile tamamen aynıdır. Burada tekrar edecek olursak, devre 2.2'nin en önemli avantajı X_1 ve X_2 uçlarının Y ucundaki gerilimi çok

iyi bir şekilde izleyebilmeleridir. Bu devrede de Y ucundaki gerilimin X_1 ve X_2 uçları tarafından izlenmesinde, devre 1.2'dekine benzer bir yöntem kullanılır. Burada da aktif geri besleme yöntemi ile X_1 ve X_2 uçlarının Y ucundaki gerilimi izlemeleri sağlanmıştır, ancak devre 1.2'den farklı olarak Y ucundan X_1 ve X_2 uçlarına gidişlerde devre topolojisindeki simetrinin korunmasına dikkat edilmiştir. Tabii ki bu devrede de aktif geri besleme sayesinde hem X_1 hem de X_2 uçlarından görülen giriş dirençlerinin küçük olması sağlanmıştır.

Şekil 3.9'dan görüldüğü gibi I_{X1} ve I_{X2} akımları sırasıyla M_{7A} ve M_{11A} 'nın savak uçlarına uygulanmaktadır. $M_{13, 13A} - M_{15, 15A}$ akım aynası ile Z_1 ucuna yansıtılan I_{X2} akımı burada $M_{16, 16A}$ transistorlarına yansıtılan I_{X1} akımından çıkarılır ve $I_{Z1} = I_{X1} - I_{X2}$ elde edilmiş olur. $I_{Z2} = I_{X2} - I_{X1}$ akımı elde edilirken yine aynı yöntem tekrarlanır ve bu kez $M_{8, 8A} - M_{10, 10A}$ akım aynası ile Z_2 ucuna yansıtılan I_{X1} akımı burada $M_{12, 12A}$ transistoruna yansıtılan I_{X2} akımından çıkarılır ve $I_{Z2} = I_{X2} - I_{X1}$ elde edilmiş olur.

3.2.2.3 Devre 3.2'nin Yapısı ve Çalışma İlkesi

Devre 3.2'nin CMOS transistor boyutunda gerçeklemesi şekil 3.10'da verilmiştir. Devre en genel haliyle fark akım taşıyıcı yapısının tanım bağıntılarını sağlayacak, yani $V_{X1} = V_{X2} = V_Y$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ olacak şekilde oluşturulmuştur.

Çıkış direncini artırabilmek için klasik kaskod akım aynalarının kullanıldığı devre 3.2'nin çalışma prensibi devre 3.1 ile tamamen aynıdır. Burada tekrar edecek olursak, devre 3.2'nin en önemli avantajı devre 2.2'de olduğu gibi X_1 ve X_2 uçlarından sırasıyla Z_1 ve Z_2 uçlarına giderken, devre topolojisindeki simetrinin korunmasıdır. Bu devrede Y ucundaki gerilimin X_1 ve X_2 uçları tarafından izlenmesinde $M_1 - M_6$ transistorları rol oynamaktadır. Eğer Y ucu toprağa bağlanırsa, $M_1 - M_6$ transistor çiftleri X_1 ve X_2 uçlarını sözde toprak seviyesine çeker. Bu devrede X_1 ve X_2 uçlarından görülen giriş dirençlerinin değeri $M_3 - M_6$ transistorlarının eğimlerine bağlıdır. $R_{X1} \approx 1 / (g_{m3} + g_{m4})$ olarak ifade edilirse, X uçlarından görülen dirençleri küçültebilmenin yolu transistorları daha geniş seçmek ya da kutuplama akımını daha büyük seçmek olur.

3.2.3 Aktif Geri Beslemeli CMOS Kaskod Akım Aynaları Kullanılan Fark Akım Taşıyıcı Devreleri

21

akımı burada M_{12} transistoruna yansıtılan I_{X1} akımından çıkarılır ve $I_{Z1} = I_{X1} - I_{X2}$ elde edilmiş olur. $I_{Z2} = I_{X2} - I_{X1}$ akımı elde edilirken yine aynı yöntem tekrarlanır ve bu kez $M_{12A,B,C}$ akım aynası ile Z_2 ucuna yansıtılan I_{X1} akımı burada M_{11C} transistoruna yansıtılan I_{X2} akımından çıkarılır ve $I_{Z2} = I_{X2} - I_{X1}$ elde edilmiş olur.

Bu yapıda, $M_{21, 21A} - M_{26, 26A}$ transistorları aktif geri beslemeli CMOS kaskod akım aynalarını oluşturmak için kullanılmıştır. Bölüm 3.1.2’de bahsedildiği gibi şekil 3.4’deki M_A ve M_B transistorlarına gerek kalmadan $I_K = I_{IN}$ elde edilmesi yoluna gidilmiş ve $M_{25, 25A}$ ile $M_{26, 26A}$ transistorları gerekli kutuplama koşullarını yerine getirecek şekilde, akım aynası yapısı içindeki yerlerini almışlardır.

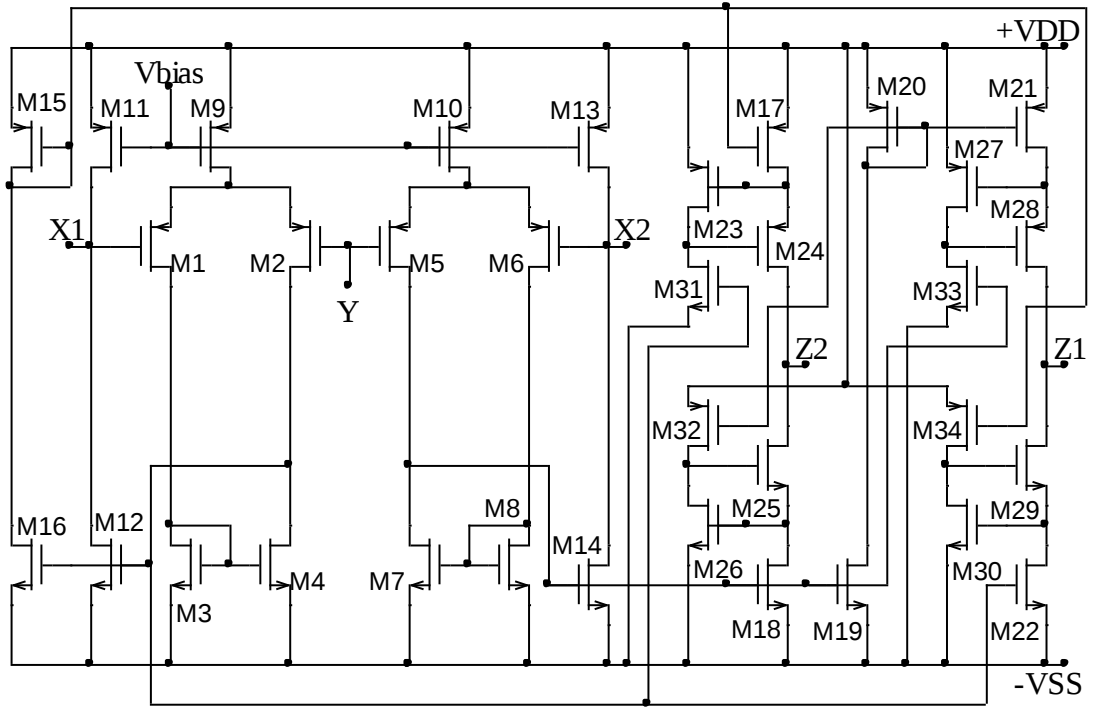
3.2.3.2 Devre 2.3’ün Yapısı ve Çalışma İlkesi

Devre 2.3’ün CMOS transistor boyutunda gerçeklemesi şekil 3.12’de verilmiştir. Devre en genel haliyle fark akım taşıyıcı yapısının tanım bağıntılarını sağlayacak, yani $V_{X1} = V_{X2} = V_Y$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ olacak şekilde oluşturulmuştur.

Çıkış direncini artırabilmek için aktif geri beslemeli CMOS kaskod akım aynalarının kullanıldığı devre 2.3’ün çalışma prensibi devre 2.1 ile tamamen aynıdır. Kısaca tekrar edecek olursak, devre 2.3’ün en önemli avantajı X_1 ve X_2 uçlarının Y ucundaki gerilimi çok iyi bir şekilde izleyebilmeleridir. Bu devrede de Y ucundaki gerilimin X_1 ve X_2 uçları tarafından izlenmesinde, devre 1.3’dekine benzer bir yöntem kullanılır. Burada da aktif geri besleme yöntemi ile X_1 ve X_2 uçlarının Y ucundaki gerilimi izlemeleri sağlanmıştır, ancak devre 1.3’den farklı olarak Y ucundan X_1 ve X_2 uçlarına gidişlerde devre topolojisindeki simetrinin korunmasına dikkat edilmiştir. Tabii ki bu devrede de aktif geri besleme sayesinde hem X_1 hem de X_2 uçlarından görülen giriş dirençlerinin küçük olması sağlanmıştır.

Şekil 3.12’den görüldüğü gibi I_{X1} ve I_{X2} akımları sırasıyla M_{12} ve M_{14} ’ün savak uçlarına uygulanmaktadır. $M_{19} - M_{21}$ akım aynası ile Z_1 ucuna yansıtılan I_{X2} akımı burada M_{22} transistoruna yansıtılan I_{X1} akımından çıkarılır ve $I_{Z1} = I_{X1} - I_{X2}$ elde edilmiş olur. $I_{Z2} = I_{X2} - I_{X1}$ akımı elde edilirken yine aynı yöntem tekrarlanır ve bu kez $M_{15} - M_{17}$ akım aynası ile Z_2 ucuna yansıtılan I_{X1} akımı burada M_{18} transistoruna yansıtılan I_{X2} akımından çıkarılır ve $I_{Z2} = I_{X2} - I_{X1}$ elde edilmiş olur.

Bu yapıda, $M_{23} - M_{34}$ transistorları aktif geri beslemeli CMOS kaskod akım aynalarını oluşturmak için kullanılmıştır. Bölüm 3.1.2’de bahsedildiği gibi şekil 3.4’deki M_A ve M_B transistorlarına gerek kalmadan $I_K = I_{IN}$ elde edilmesi yoluna gidilmiş ve $M_{31} - M_{34}$ transistorları gerekli kutuplama koşullarını yerine getirecek şekilde, akım aynası yapısı içindeki yerlerini almışlardır.



Şekil 3.12 Devre 2.3’ün CMOS gerçeğemesi

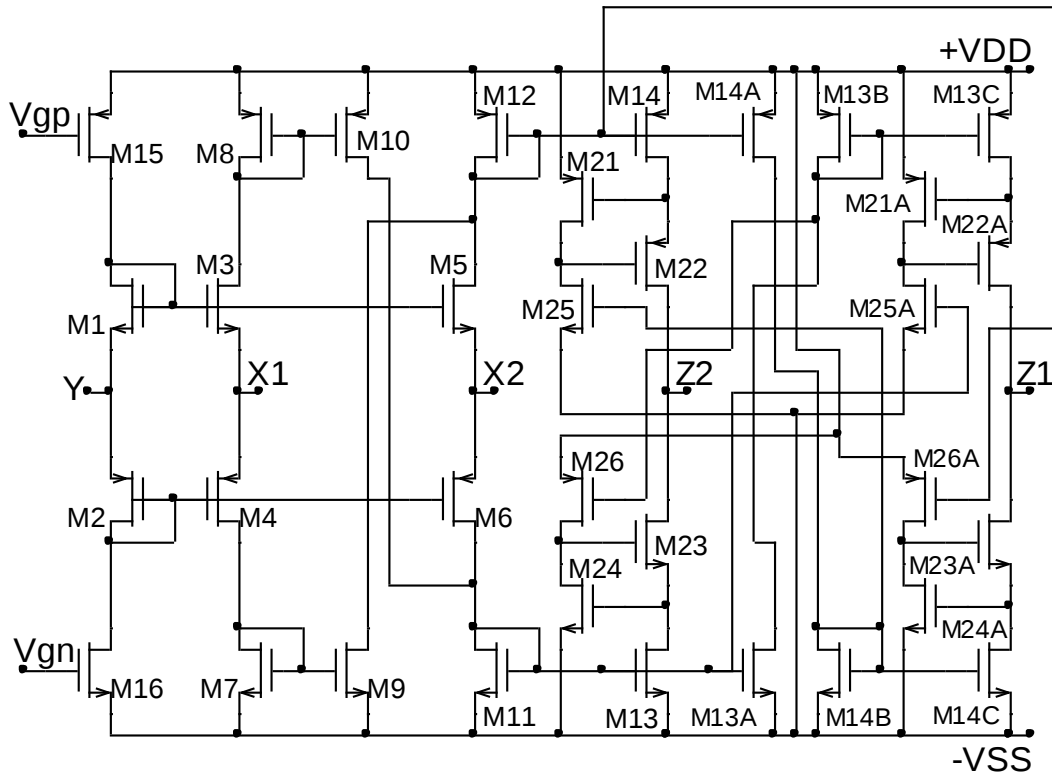
3.2.3.3 Devre 3.3’ün Yapısı ve Çalışma İlkesi

Devre 3.3’ün CMOS transistor boyutunda gerçeğemesi şekil 3.13’de verilmiştir. Devre en genel haliyle fark akım taşıyıcı yapısının tanım bağıntılarını sağlayacak, yani $V_{X1} = V_{X2} = V_Y$, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ olacak şekilde oluşturulmuştur.

Çıkış direncini artırabilmek için aktif geri beslemeli CMOS kaskod akım aynalarının kullanıldığı devre 3.3’ün çalışma prensibi devre 3.1 ile tamamen aynıdır. Kısaca tekrar edecek olursak, devre 3.3’ün en önemli avantajı devre 2.3’de olduğu gibi X_1 ve X_2 uçlarından sırasıyla Z_1 ve Z_2 uçlarına giderken, devre topolojisindeki simetrisinin korunmasıdır. Bu devrede Y ucundaki gerilimin X_1 ve X_2 uçları tarafından izlenmesinde $M_1 - M_6$ transistorları rol oynamaktadır. Eğer Y ucu toprağa bağlanırsa, $M_1 - M_6$ transistor çiftleri X_1 ve X_2 uçlarını sözde toprak seviyesine

çeker. Bu devrede X_1 ve X_2 uçlarından görülen giriş dirençlerinin değeri $M_3 - M_6$ transistorlarının eğimlerine bağlıdır. $R_{X1} \approx 1 / (g_{m3} + g_{m4})$ olarak ifade edilirse, X uçlarından görülen dirençleri küçültebilmenin yolu transistorları daha geniş seçmek ya da kutuplama akımını daha büyük seçmek olur.

Şekil 3.13'den görüldüğü gibi I_{X1} ve I_{X2} akımları sırasıyla $M_3 - M_4$ ve $M_5 - M_6$ transistor çiftlerinin ortak kaynak uçlarına uygulanmaktadır. X_1 ucuna uygulanan I_{X1} akımı M_7 ve M_9 transistorlarına yansıtılır, aynı zamanda M_{12} transistorundan da akar. M_{12} transistorundan aynı zamanda X_2 ucundan dışarı doğru akan I_{X2} akımı da akar. Dolayısı ile iki akım birbirinden çıkarılır ve aradaki fark $M_{11} - M_{14}$ akım aynaları ile Z_2 ucuna, $M_{13A,B,C} - M_{14A,B,C}$ akım aynaları ile de Z_1 ucuna ise evirilerek yansıtılır. Böylece Z_1 ucunda $I_{Z1} = I_{X1} - I_{X2}$ ve Z_2 ucunda $I_{Z2} = I_{X2} - I_{X1}$ akımları elde edilmiş olur.



Şekil 3.13 Devre 3.3'ün CMOS gerçeeklemesi

Bu yapıda, $M_{21, 21A} - M_{26, 26A}$ transistorları aktif geri beslemeli CMOS kaskod akım aynalarını oluşturmak için kullanılmıştır. Bölüm 3.1.2'de bahsedildiği gibi şekil 3.4'deki M_A ve M_B transistorlarına gerek kalmadan $I_K = I_{IN}$ elde edilmesi yoluna

gidilmiş ve $M_{25, 25A} - M_{26, 26A}$ transistörleri gerekli kutuplama koşullarını yerine getirecek şekilde, akım aynası yapısı içindeki yerlerini almışlardır.

4. ÖNERİLEN DEVRELERİN BAŞARIM ANALİZLERİ

Bu bölümde, önerilen yüksek başarımlı fark akım taşıyıcı devrelerinin SPICE benzetim programı kullanılarak elde edilen DC ve AC analiz sonuçları verilecektir. Ayrıca elde edilen benzetim sonuçlarının yardımıyla, önerilen devrelerin birbirlerine karşın üstünlükleri de incelenecektir.

Her bir devre için, DC ve AC karakteristikleri ortaya koymak amacı ile 9 benzetim sonucu verilecektir. Bu karakteristikler, DC ve AC akım izleme eğrileri, DC ve AC gerilim izleme eğrileri ile X_1 , X_2 , Y , Z_1 , Z_2 uçlarından görülen dirençlere ilişkin eğrilerdir.

Önerilen iç yapıların analizinde kullanılan MOS transistorlara ilişkin parametre ve boyut bilgileri, sırasıyla EK A'da ve EK B'de verilmiştir.

4.1 Benzetim Sonuçları İçin Uygulanan Yöntemler

Bu bölümde, DC ve AC akım izleme eğrileri, DC ve AC gerilim izleme eğrileri ile X_1 , X_2 , Y , Z_1 , Z_2 uçlarından görülen dirençlere ilişkin eğrilerin elde edilmesinde uygulanan yöntemlerden bahsedilecektir.

Oluşturulan iç yapılara ilişkin DC akım izleme eğrilerini elde etmek amacı ile, DCCII elemanının Y , Z_1 ve Z_2 uçları toprağa kısa devre edilmiş, X_1 ve X_2 uçlarına ise DC akım kaynakları bağlanmıştır. X_1 ucuna bağlanan akım kaynağının değeri $-45\mu A$ ile $45\mu A$ arasında DC olarak taranırken, X_2 ucuna bağlanan akım kaynağının değeri ise step analizi ile $-45\mu A$ ile $45\mu A$ arasında $15\mu A$ 'lık adımlarla değiştirilmiştir. $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ lineer ilişkisini görebilmek amacı ile Z_1 ile Z_2 uçlarından akan akımlara bakılmıştır.

Oluşturulan iç yapılara ilişkin AC akım izleme eğrilerini elde etmek amacı ile, DCCII elemanının Y , Z_1 ve Z_2 uçları toprağa kısa devre edilmiş, X_2 ucu açık devre

bırakılmış, X_1 ucuna ise AC 1A'lık akım kaynağı bağlanmıştır. AC akım izleme eğrilerini görebilmek amacı ile Z_1 ile Z_2 uçlarından akan akımlara bakılmıştır.

Oluşturulan iç yapılara ilişkin DC gerilim izleme eğrilerini elde etmek amacı ile, DCCII elemanının X_1 , X_2 , Z_1 ve Z_2 uçları açık devre bırakılmış, Y ucuna ise DC gerilim kaynağı bağlanmıştır. Y ucuna bağlanan gerilim kaynağının değeri $+V_{DD}$ ile $-V_{SS}$ değerleri arasında DC olarak taranırken, $V_{X1} = V_{X2} = V_Y$ lineer ilişkisini görebilmek amacı ile X_1 , X_2 ve Y uçlarının gerilimlerine bakılmıştır.

Oluşturulan iç yapılara ilişkin AC gerilim izleme eğrilerini elde etmek amacı ile, DCCII elemanının X_1 , X_2 , Z_1 ve Z_2 uçları açık devre bırakılmış, Y ucuna ise AC 1V'luk gerilim kaynağı bağlanmıştır. AC gerilim izleme eğrilerini görebilmek amacı ile X_1 ve X_2 uçlarının gerilimlerine bakılmıştır.

Oluşturulan iç yapılara ilişkin X_1 , X_2 , Y, Z_1 , Z_2 uçlarından görülen dirençlere ait eğrileri elde etmek amacı ile, DCCII elemanının ilgili ucuna AC kaynak bağlanarak geride kalan uçlar X_1 ve X_2 uçları ise açık devre, Y, Z_1 ve Z_2 uçları ise kısa devre yapılmıştır.

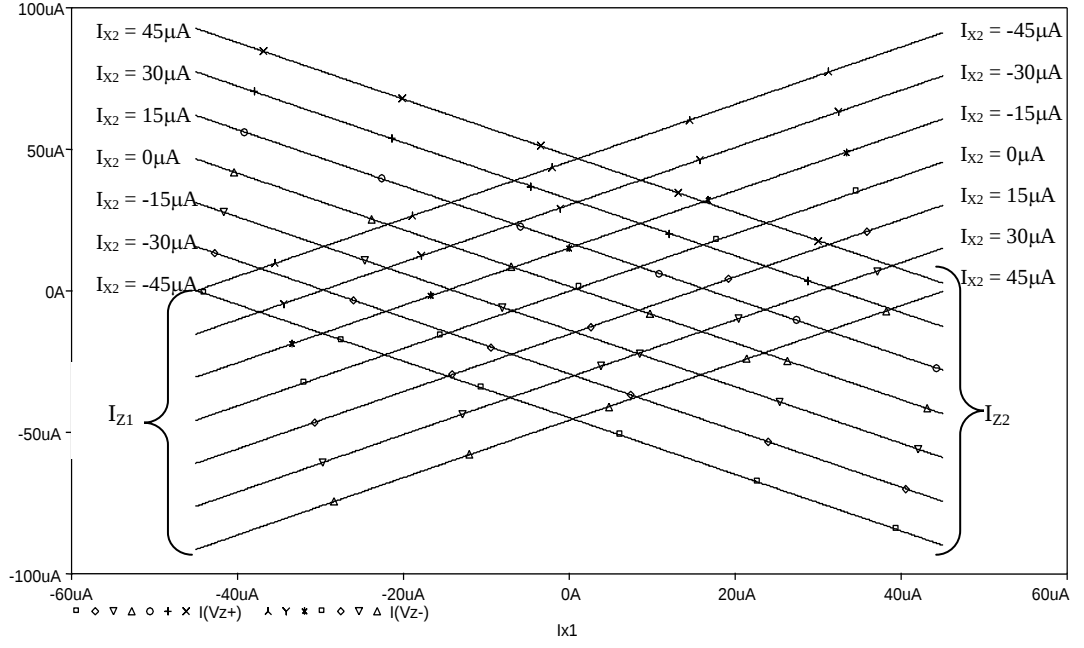
4.2 DCCII Devrelerinin DC ve AC Başarımlarının İncelenmesi

4.2.1 Devre 1.1'in DC ve AC Karakteristik Eğrileri

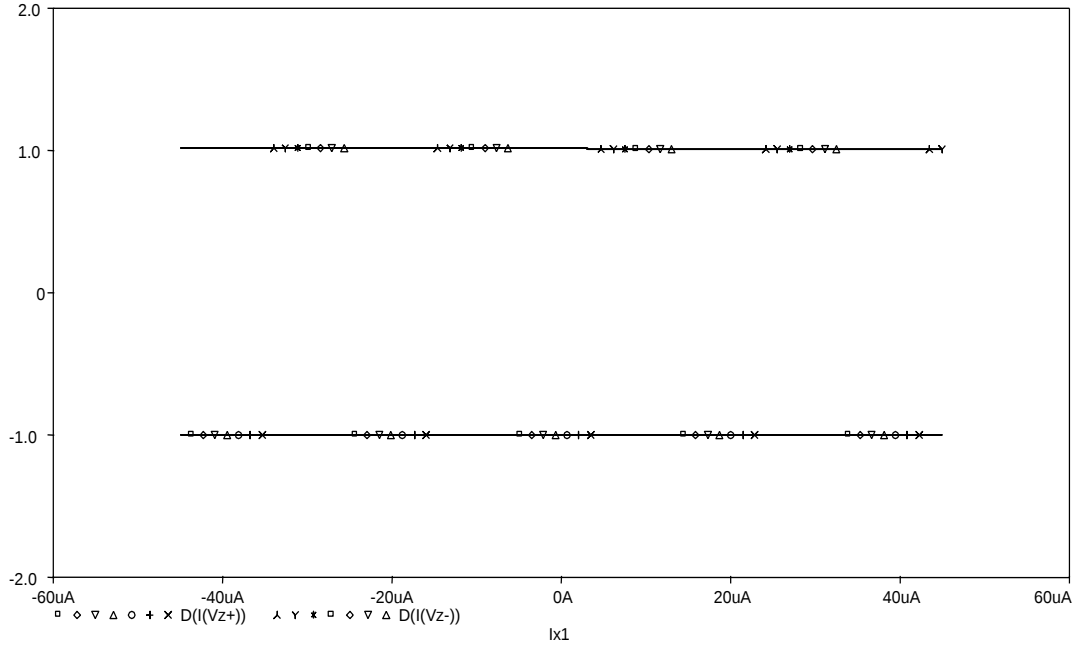
Şekil 3.5'de verilen yüksek başarımlı fark akım taşıyıcı yapısı için besleme gerilimleri $V_{DD} = V_{SS} = 2.5V$, kutuplama akımı ise $I_{BIAS} = 50\mu A$ olarak seçilmiştir.

Şekil 4.1'de devre 1.1'e ait DC akım izleme eğrileri verilmiştir. Burada, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ lineer ilişkisinin elde edildiği görülmektedir.

Şekil 4.2'de ise devre 1.1'e ait DC akım izleme eğrilerinin türevi alınmış hali görülmektedir. $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ akım ifadelerinin I_{X1} 'e göre türevi alınırsa $\partial I_{Z1} / \partial I_{X1} = 1$ ve $\partial I_{Z2} / \partial I_{X1} = -1$ elde edilir ki bu da şekilden açıkça görülmektedir. Türev eğrileri üzerinden hata hesabı yapıldığında, maksimum hata, I_{Z1} için % 1.52, I_{Z2} için % 2.98 olarak bulunmuştur.

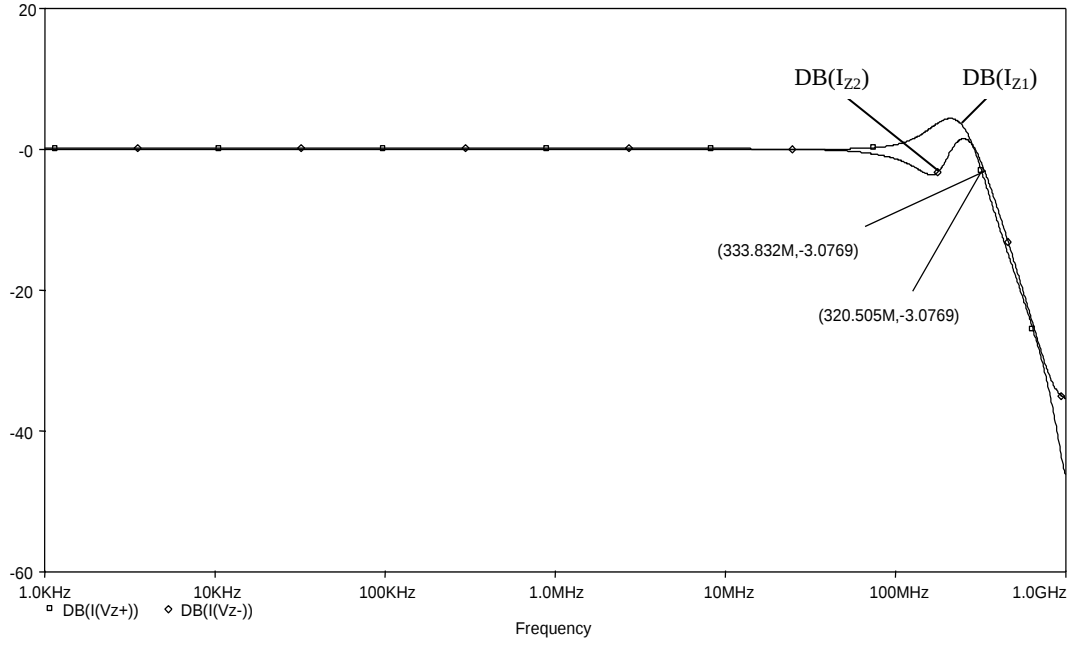


Şekil 4.1 Devre 1.1 için DC akım izleme eğrileri



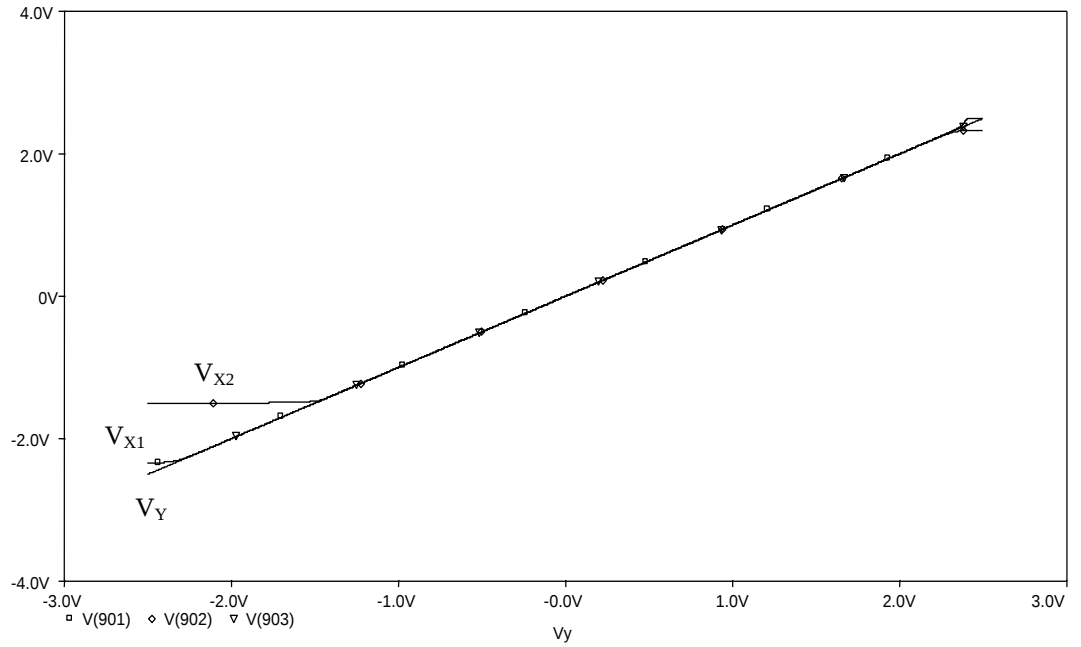
Şekil 4.2 Devre 1.1 için türevi alınmış DC akım izleme eğrileri

Şekil 4.3’de devre 1.1’e ait AC akım izleme eğrileri verilmiştir. Burada, I_{Z1} ’e ait eğri üzerinden band genişliği yaklaşık 320MHz, I_{Z2} ’ye ait eğri üzerinden ise yaklaşık 333MHz olarak okunmuştur.



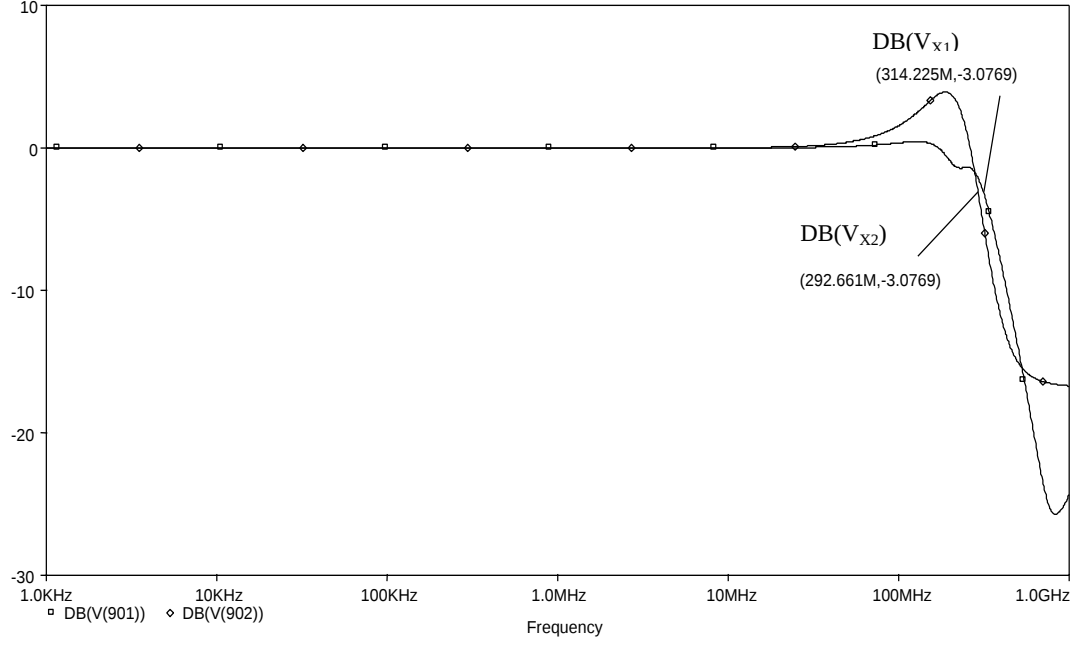
Şekil 4.3 Devre 1.1 için AC akım izleme eğrileri

Şekil 4.4’de devre 1.1’e ait DC gerilim izleme eğrileri verilmiştir. Burada, $V_{X1} = V_{X2} = V_Y$ lineer ilişkisinin elde edildiği görülmektedir. V_{X1} gerilimi $-2.3V$ ile $2.33V$ arasında maksimum % 0.07 hata ile, V_{X2} gerilimi ise $-1.46V$ ile $2.32V$ arasında maksimum % 0.2 hata ile V_Y gerilimini takip etmektedir.



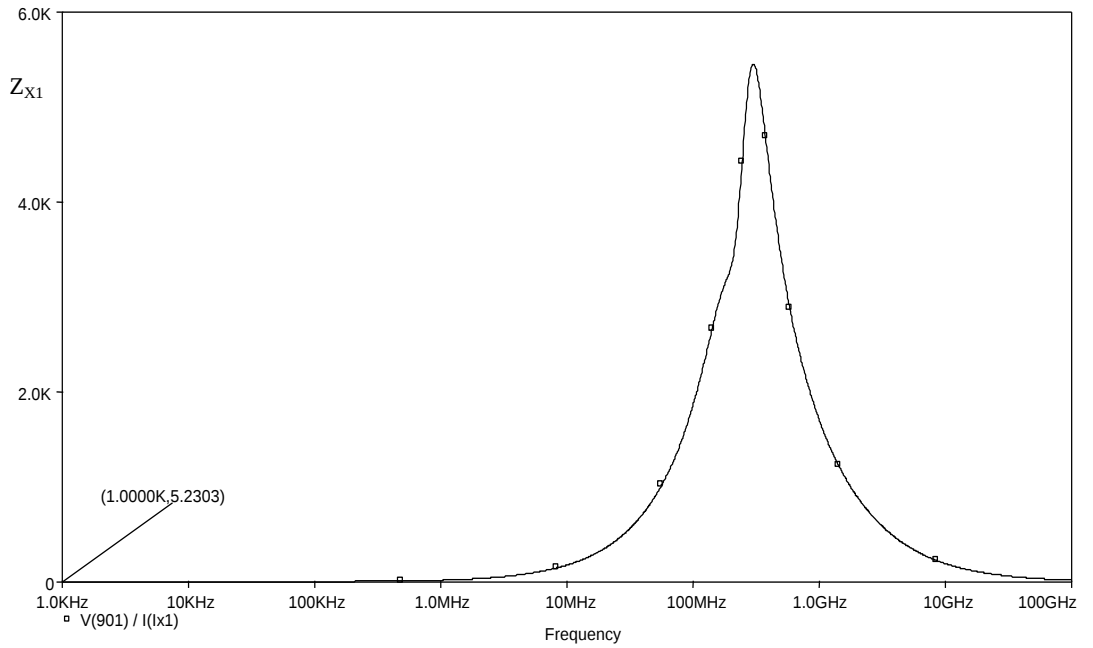
Şekil 4.4 Devre 1.1 için DC gerilim izleme eğrileri

Şekil 4.5’de devre 1.1’e ait AC gerilim izleme eğrileri verilmiştir. Burada, V_{X1} ’e ait eğri üzerinden band genişliği yaklaşık 314MHz, V_{X2} ’ye ait eğri üzerinden ise yaklaşık 292MHz olarak okunmuştur.



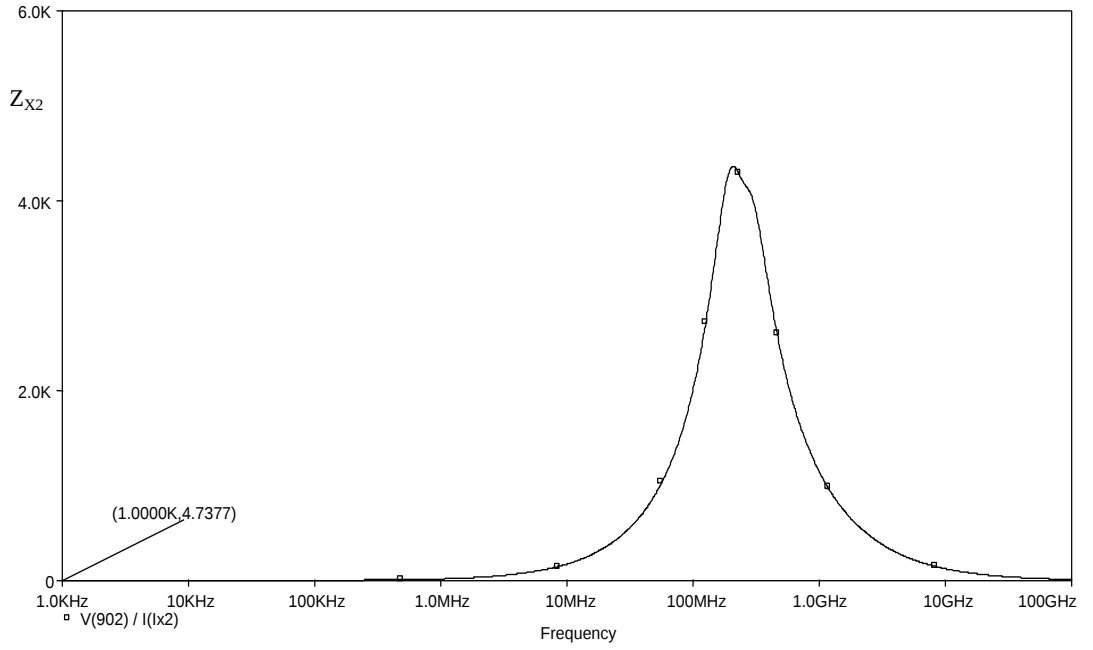
Şekil 4.5 Devre 1.1 için AC gerilim izleme eğrileri

Şekil 4.6’da devre 1.1’e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X1} direncinin değeri 5.2303 Ω olarak okunmuştur.



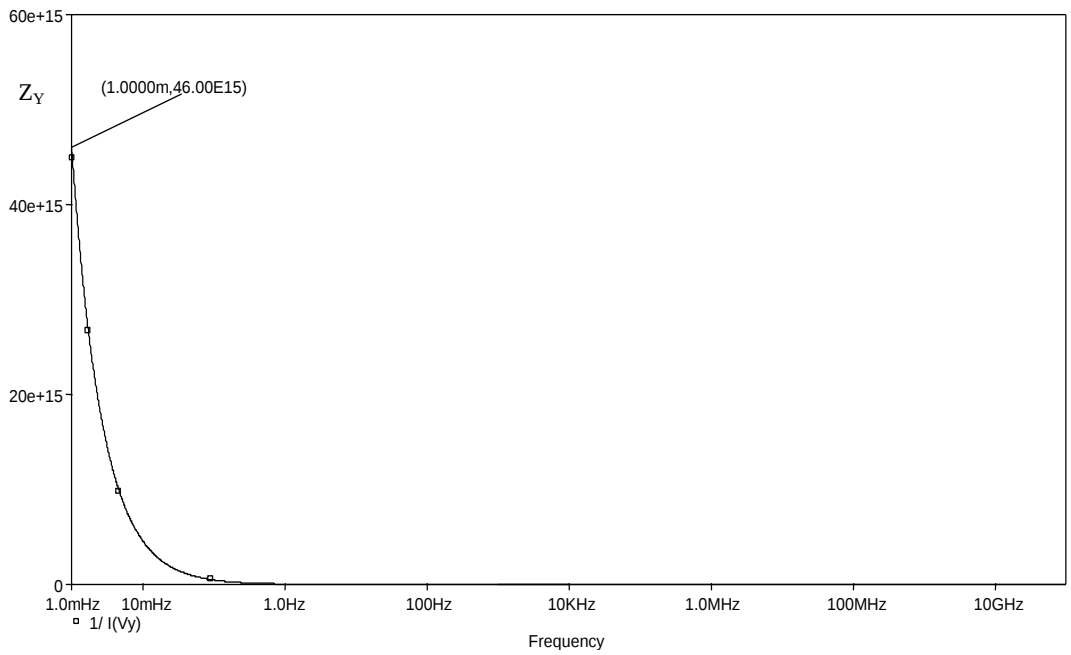
Şekil 4.6 Devre 1.1’e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.7’de devre 1.1’e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X2} direncinin değeri 4.7377Ω olarak okunmuştur.



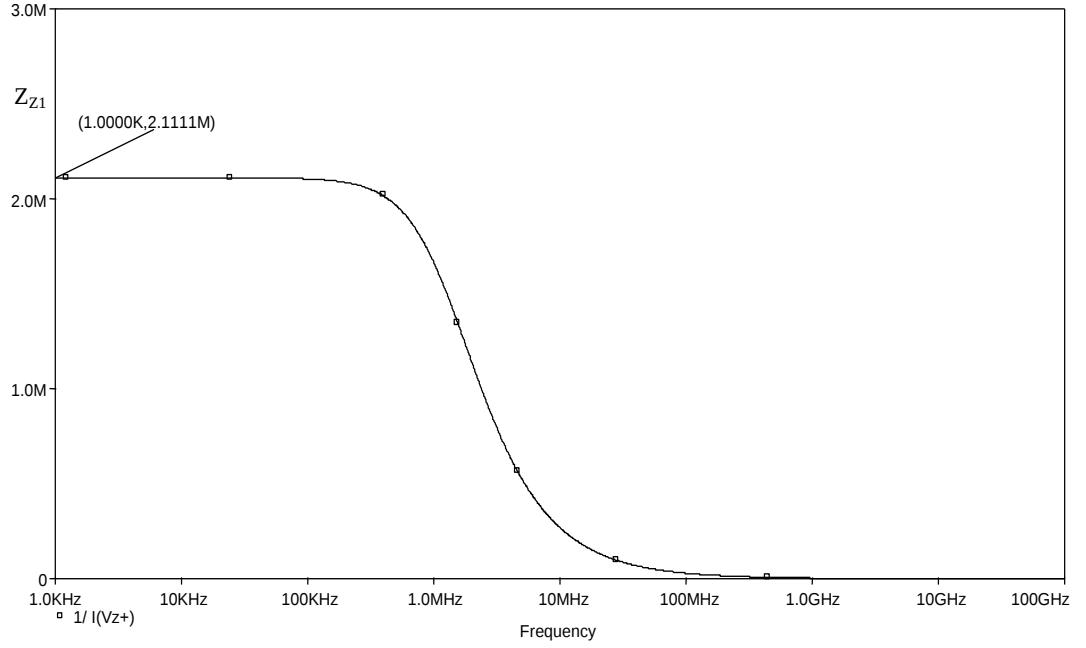
Şekil 4.7 Devre 1.1’e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.8’de devre 1.1’e ait Y ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_Y direncinin değeri $46 \times 10^{-15}\Omega$ olarak okunmuştur.



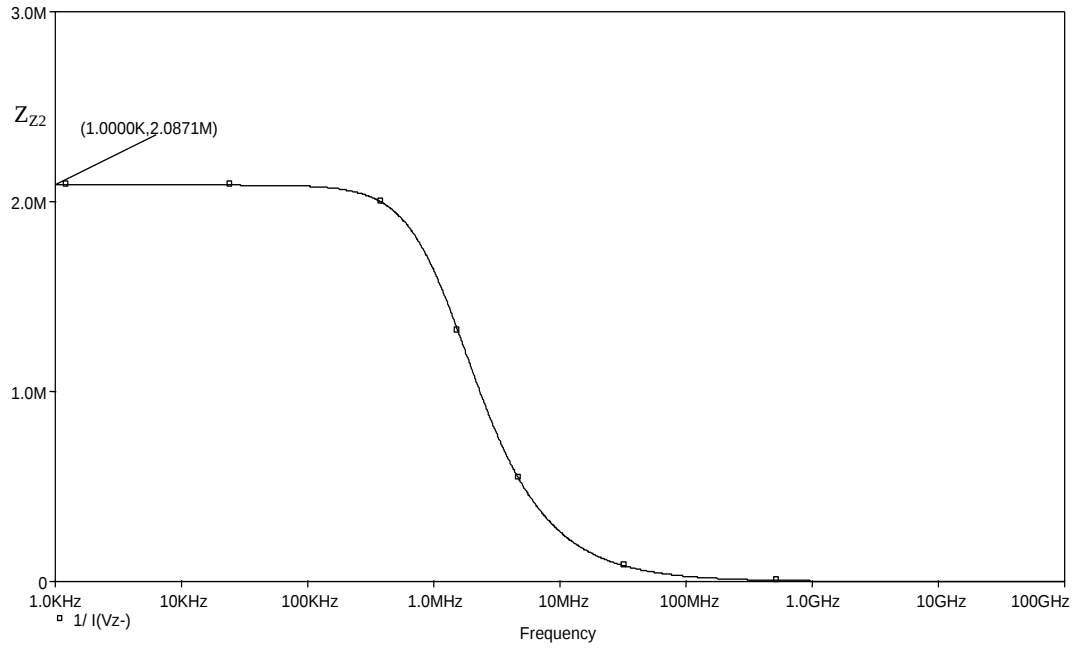
Şekil 4.8 Devre 1.1’e ait Y ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.9’da devre 1.1’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z1} direncinin değeri $2.1111M\Omega$ olarak okunmuştur.



Şekil 4.9 Devre 1.1’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.10’da devre 1.1’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z2} direncinin değeri $2.0871M\Omega$ olarak okunmuştur.



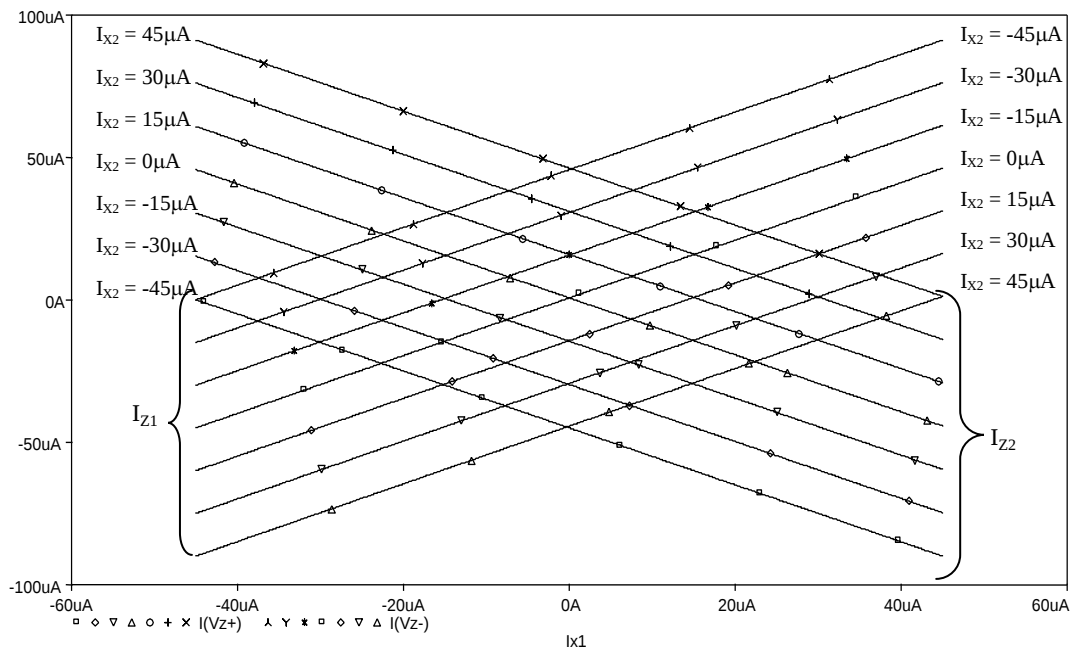
Şekil 4.10 Devre 1.1’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi

4.2.2 Devre 2.1'in DC ve AC Karakteristik Eğrileri

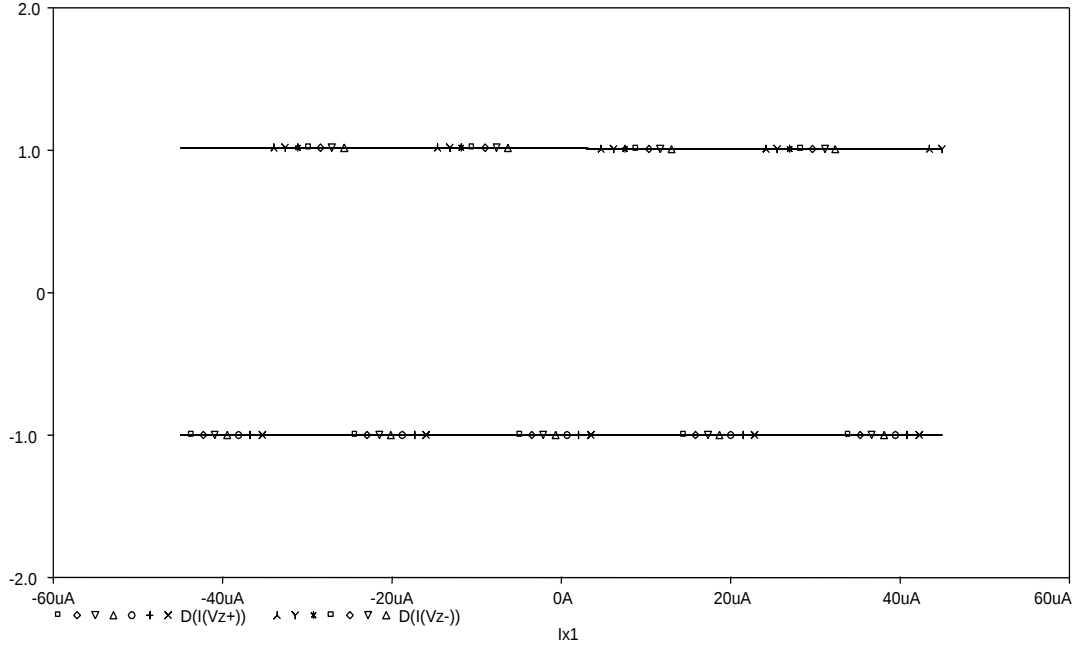
Şekil 3.6’da verilen yüksek başarımlı fark akım taşıyıcı yapısı için besleme gerilimleri $V_{DD} = V_{SS} = 2.5V$, kutuplama akımı ise $I_{BIAS} = 50\mu A$ olarak seçilmiştir.

Şekil 4.11’de devre 2.1’e ait DC akım izleme eğrileri verilmiştir. Burada, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ lineer ilişkisinin elde edildiği görülmektedir.

Şekil 4.12’de ise devre 2.1’e ait DC akım izleme eğrilerinin türevi alınmış hali görülmektedir. $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ akım ifadelerinin I_{X1} ’e göre türevi alınırsa $\partial I_{Z1} / \partial I_{X1} = 1$ ve $\partial I_{Z2} / \partial I_{X1} = -1$ elde edilir ki bu da şekilden açıkça görülmektedir. Türev eğrileri üzerinden hata hesabı yapıldığında, maksimum hata, I_{Z1} için % 1.36, I_{Z2} için % 1.36 olarak bulunmuştur.

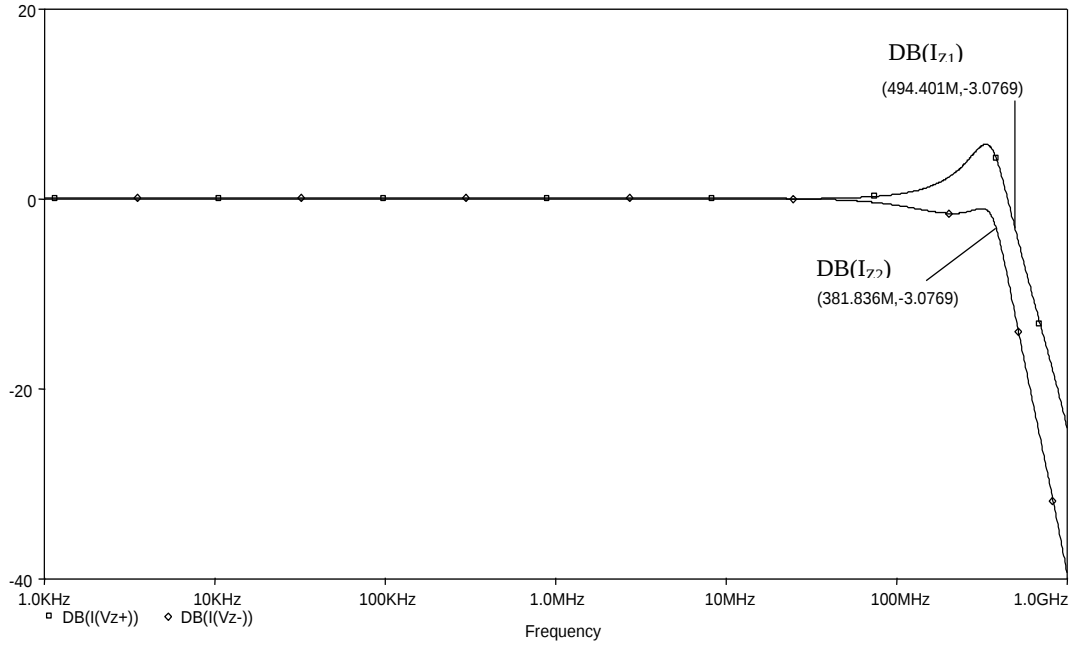


Şekil 4.11 Devre 2.1 için DC akım izleme eğrileri



Şekil 4.12 Devre 2.1 için türevi alınmış DC akım izleme eğrileri

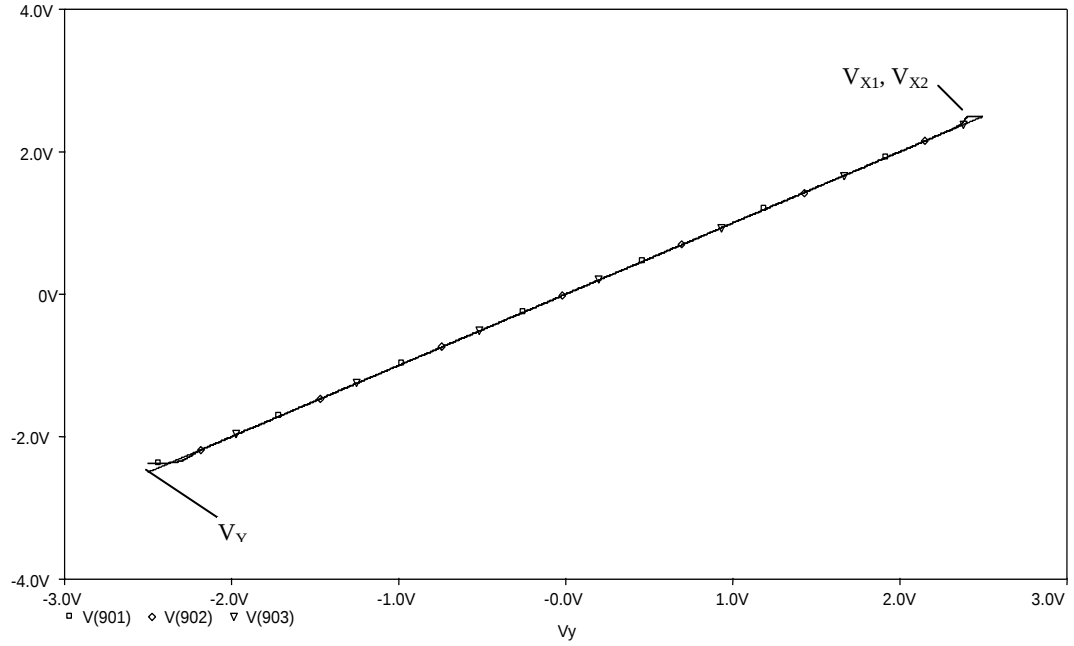
Şekil 4.13’de devre 2.1’e ait AC akım izleme eğrileri verilmiştir. Burada, I_{Z1} ’e ait eğri üzerinden band genişliği yaklaşık 494MHz, I_{Z2} ’ye ait eğri üzerinden ise yaklaşık 381MHz olarak okunmuştur.



Şekil 4.13 Devre 2.1 için AC akım izleme eğrileri

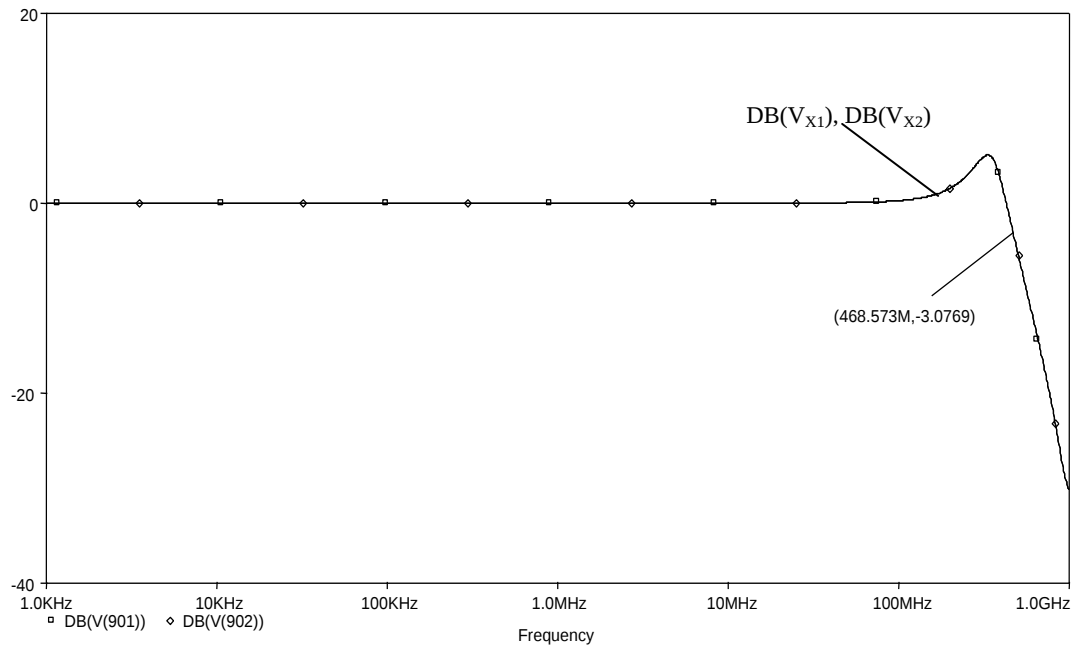
Şekil 4.14’de devre 2.1’e ait DC gerilim izleme eğrileri verilmiştir. Burada, $V_{X1} = V_{X2} = V_Y$ lineer ilişkisinin elde edildiği görülmektedir. V_{X1} gerilimi $-2.3V$ ile $2.37V$

arasında maksimum % 0.02 hata ile, V_{X2} gerilimi de -2.3V ile 2.37V arasında maksimum % 0.02 hata ile V_Y gerilimini takip etmektedir.



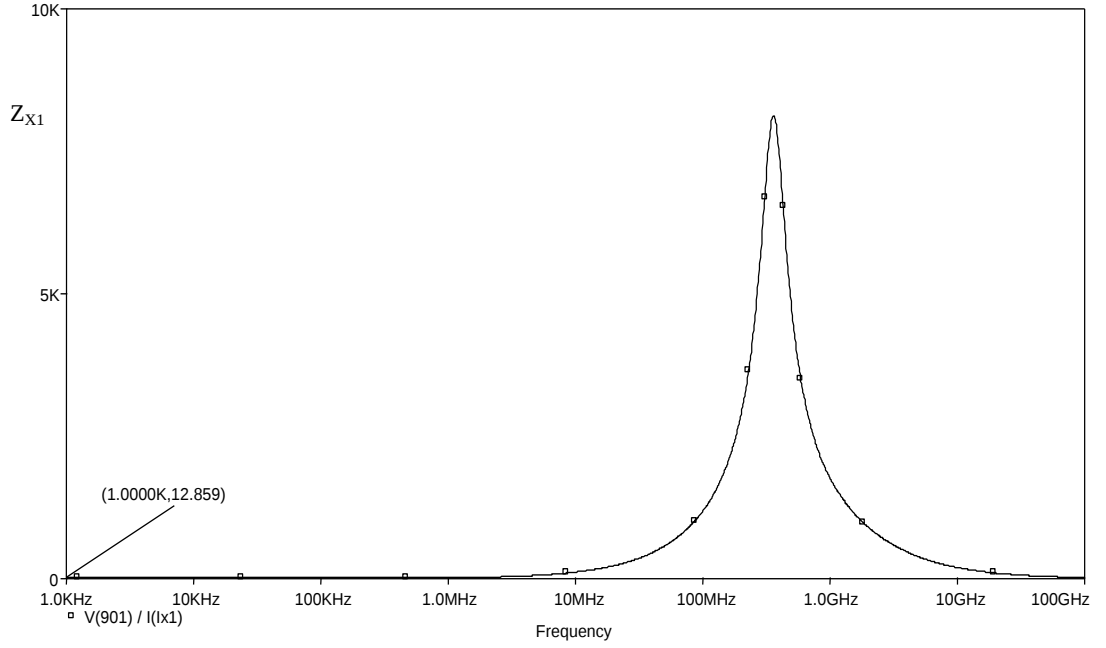
Şekil 4.14 Devre 2.1 için DC gerilim izleme eğrileri

Şekil 4.15’de devre 2.1’e ait AC gerilim izleme eğrileri verilmiştir. Burada, hem V_{X1} ’e ait eğri üzerinden hem de V_{X2} ’ye ait eğri üzerinden band genişliği yaklaşık 468MHz olarak okunmuştur.



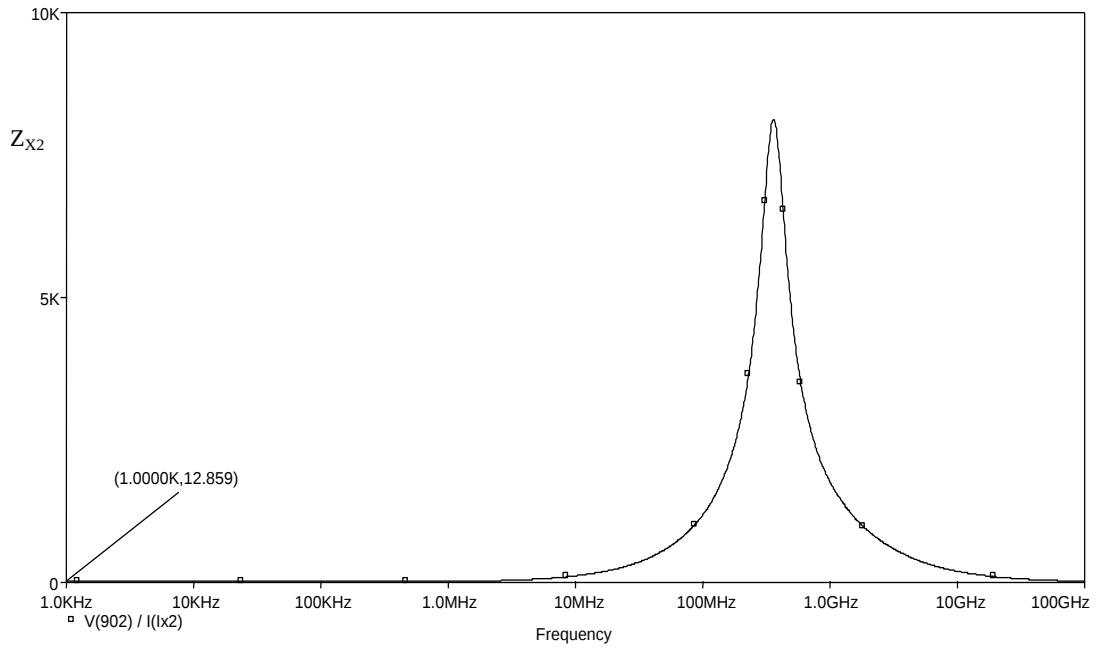
Şekil 4.15 Devre 2.1 için AC gerilim izleme eğrileri

Şekil 4.16'da devre 2.1'e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X1} direncinin değeri 12.859Ω olarak okunmuştur.



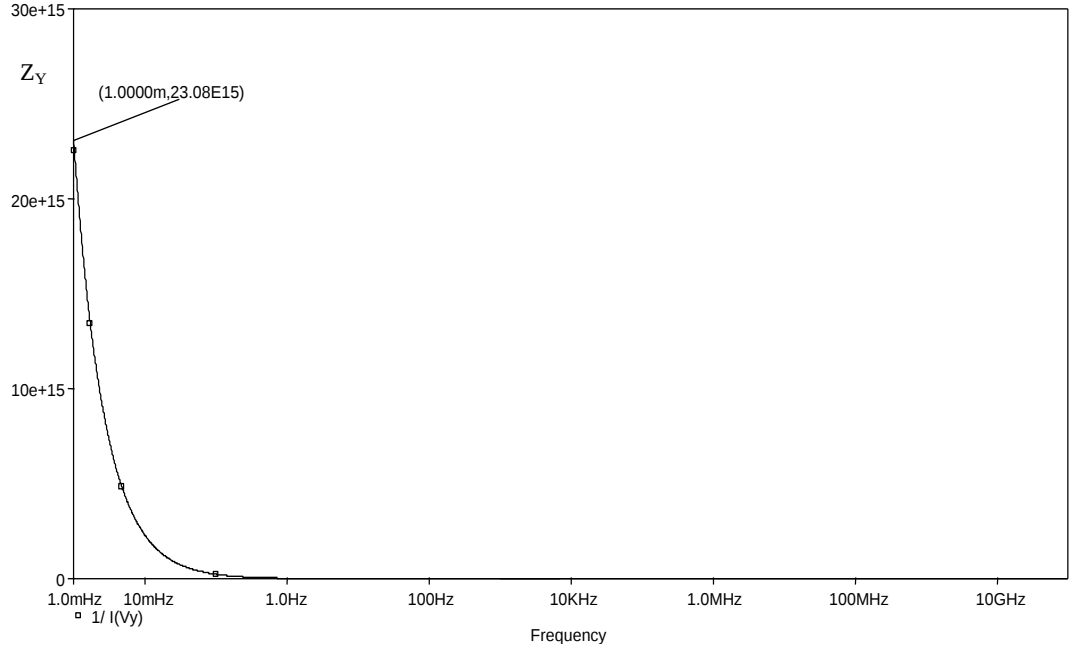
Şekil 4.16 Devre 2.1'e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.17'de devre 2.1'e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X2} direncinin değeri 12.859Ω olarak okunmuştur.



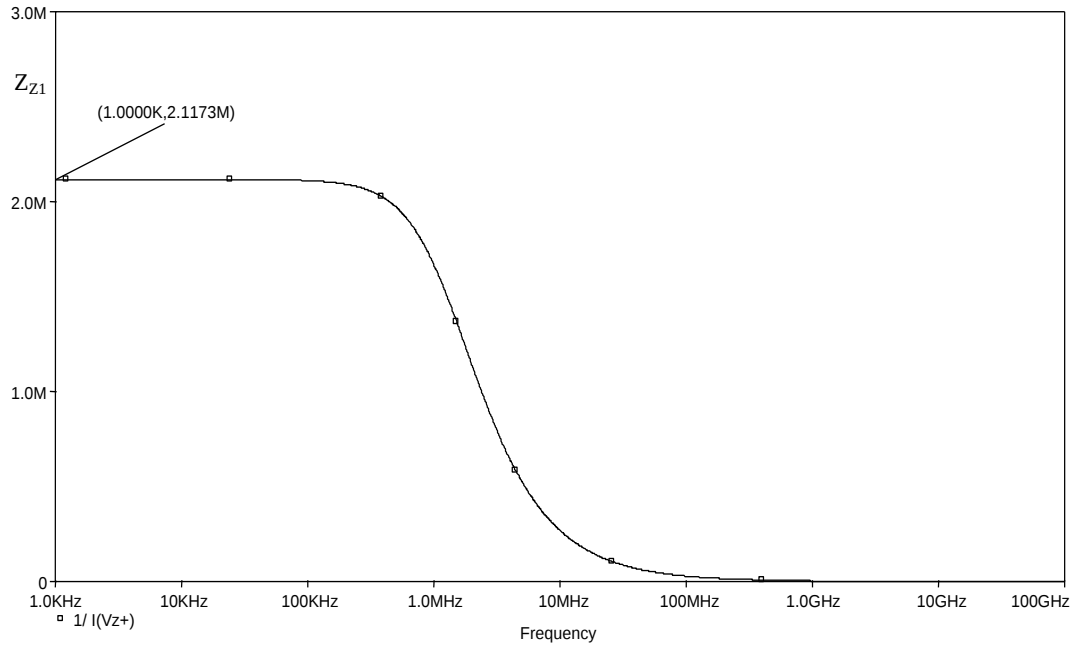
Şekil 4.17 Devre 2.1'e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.18’de devre 2.1’e ait Y ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_Y direncinin değeri $23.08 \times 10^{15} \Omega$ olarak okunmuştur.



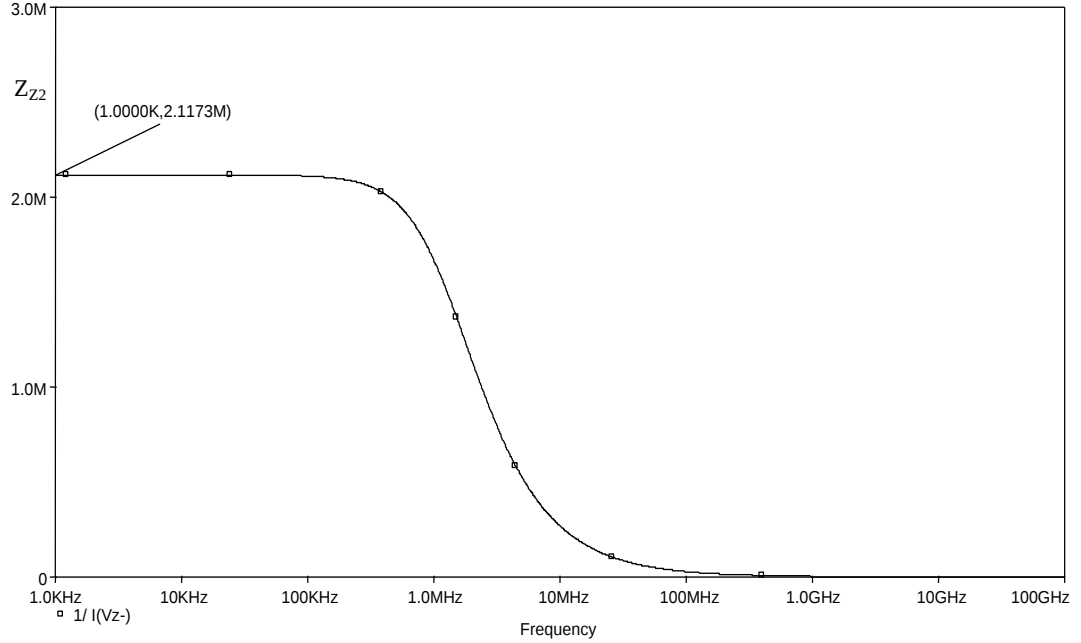
Şekil 4.18 Devre 2.1’e ait Y ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.19’da devre 2.1’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z1} direncinin değeri $2.1173M\Omega$ olarak okunmuştur.



Şekil 4.19 Devre 2.1’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.20’de devre 2.1’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z2} direncinin değeri $2.1173M\Omega$ olarak okunmuştur.



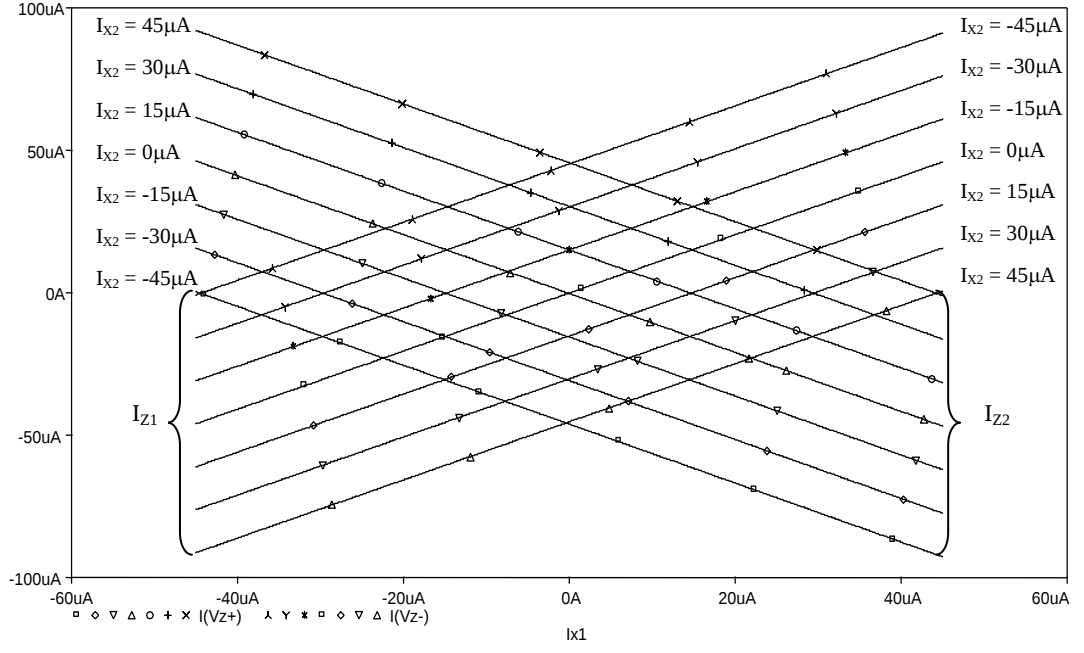
Şekil 4.20 Devre 2.1’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi

4.2.3 Devre 3.1’in DC ve AC Karakteristik Eğrileri

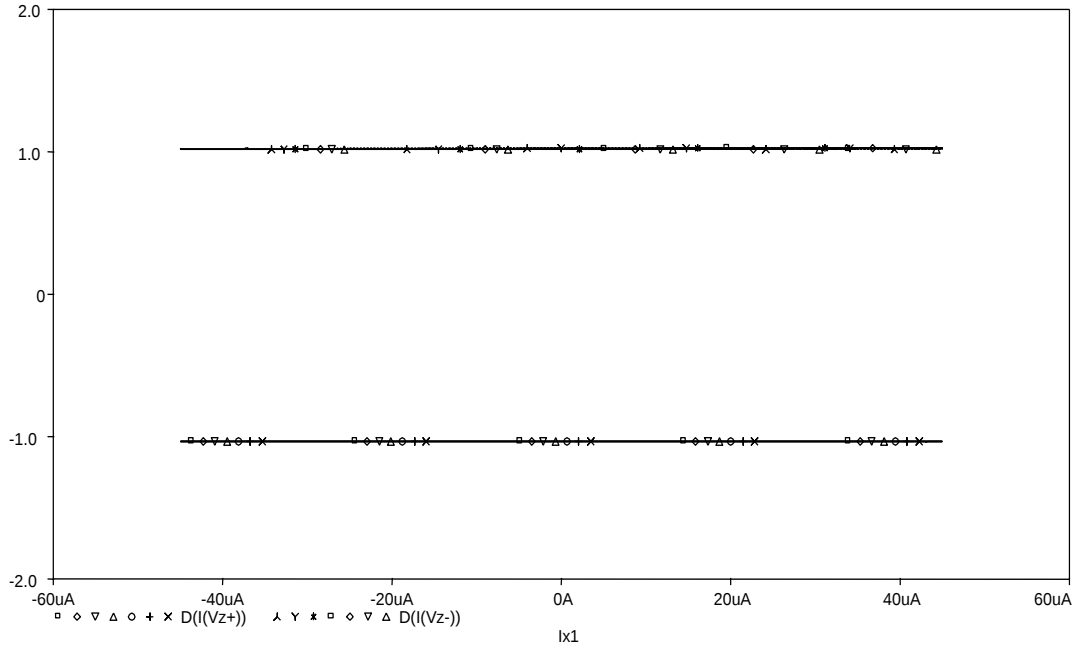
Şekil 3.7’de verilen yüksek başarımlı fark akım taşıyıcı yapısı için besleme gerilimleri $V_{DD} = V_{SS} = 2.5V$, kutuplama akımı ise $I_{BIAS} = 50\mu A$ olarak seçilmiştir.

Şekil 4.21’de devre 3.1’e ait DC akım izleme eğrileri verilmiştir. Burada, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ lineer ilişkisinin elde edildiği görülmektedir.

Şekil 4.22’de ise devre 3.1’e ait DC akım izleme eğrilerinin türevi alınmış hali görülmektedir. $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ akım ifadelerinin I_{X1} ’e göre türevi alınırsa $\partial I_{Z1} / \partial I_{X1} = 1$ ve $\partial I_{Z2} / \partial I_{X1} = -1$ elde edilir ki bu da şekilden açıkça görülmektedir. Türev eğrileri üzerinden hata hesabı yapıldığında, maksimum hata, I_{Z1} için % 1.38, I_{Z2} için % 3 olarak bulunmuştur.

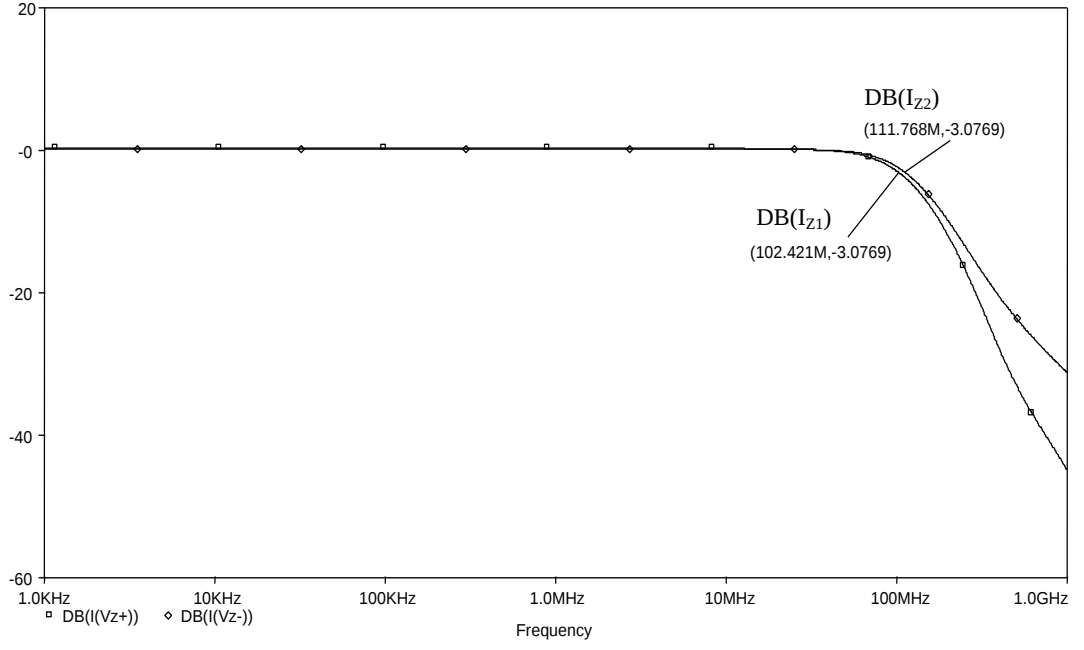


Şekil 4.21 Devre 3.1 için DC akım izleme eğrileri



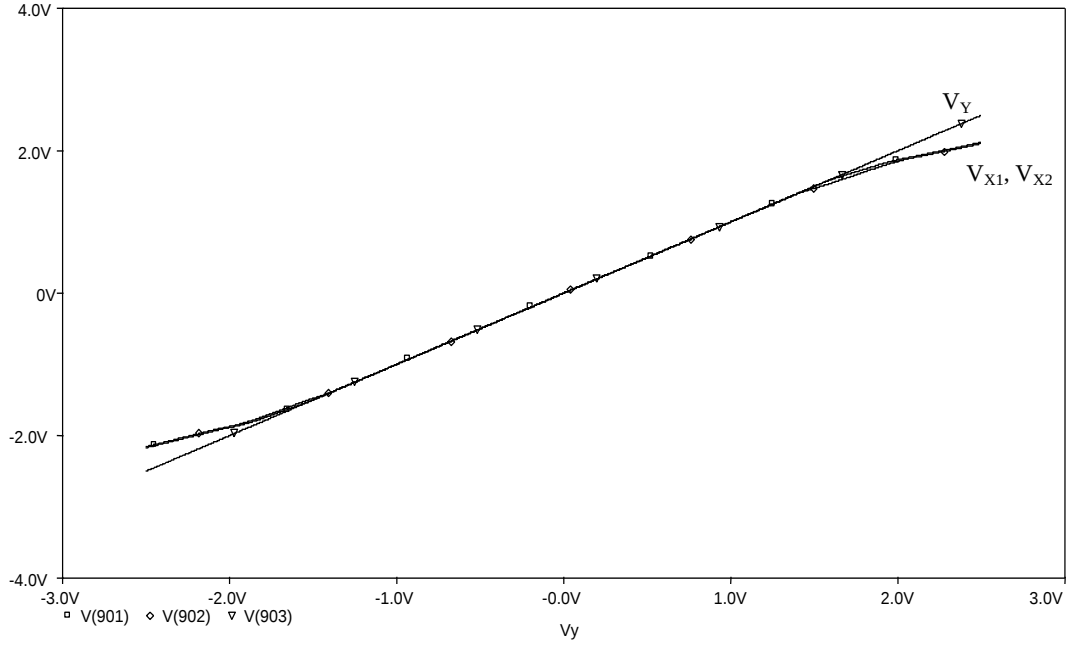
Şekil 4.22 Devre 3.1 için türevi alınmış DC akım izleme eğrileri

Şekil 4.23’de devre 3.1’e ait AC akım izleme eğrileri verilmiştir. Burada, I_{Z1} ’e ait eğri üzerinden band genişliği yaklaşık 102MHz, I_{Z2} ’ye ait eğri üzerinden ise yaklaşık 111MHz olarak okunmuştur.



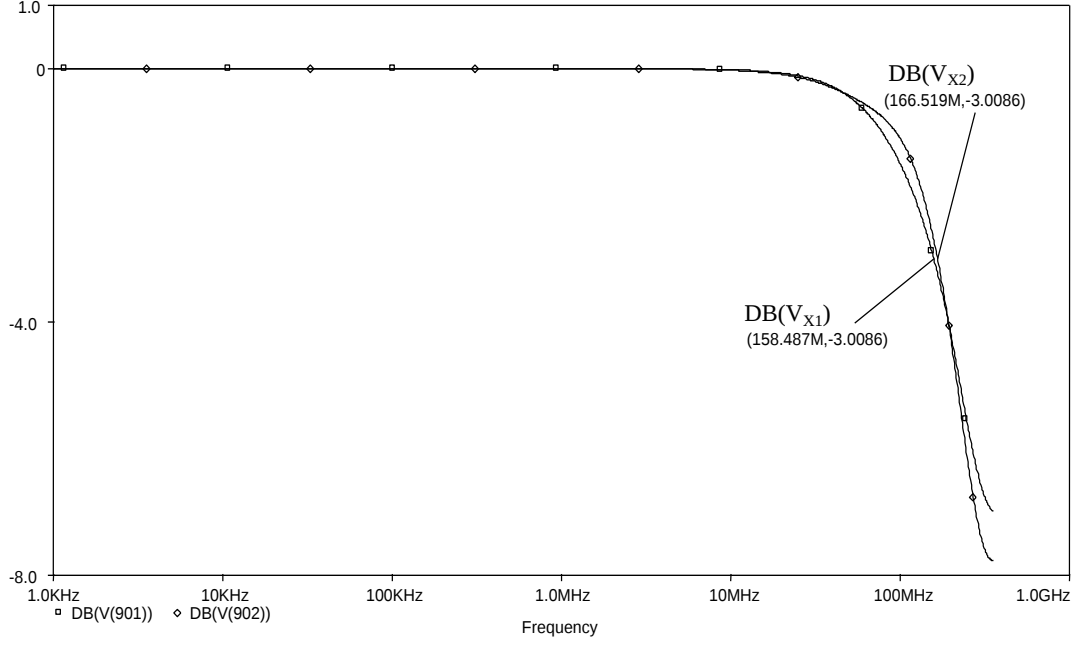
Şekil 4.23 Devre 3.1 için AC akım izleme eğrileri

Şekil 4.24’de devre 3.1’e ait DC gerilim izleme eğrileri verilmiştir. Burada, $V_{X1} = V_{X2} = V_Y$ lineer ilişkisinin elde edildiği görülmektedir. V_{X1} gerilimi $-1.51V$ ile $1.55V$ arasında maksimum % 0.6 hata ile, V_{X2} gerilimi ise $-1.35V$ ile $1.39V$ arasında maksimum % 0.3 hata ile V_Y gerilimini takip etmektedir.



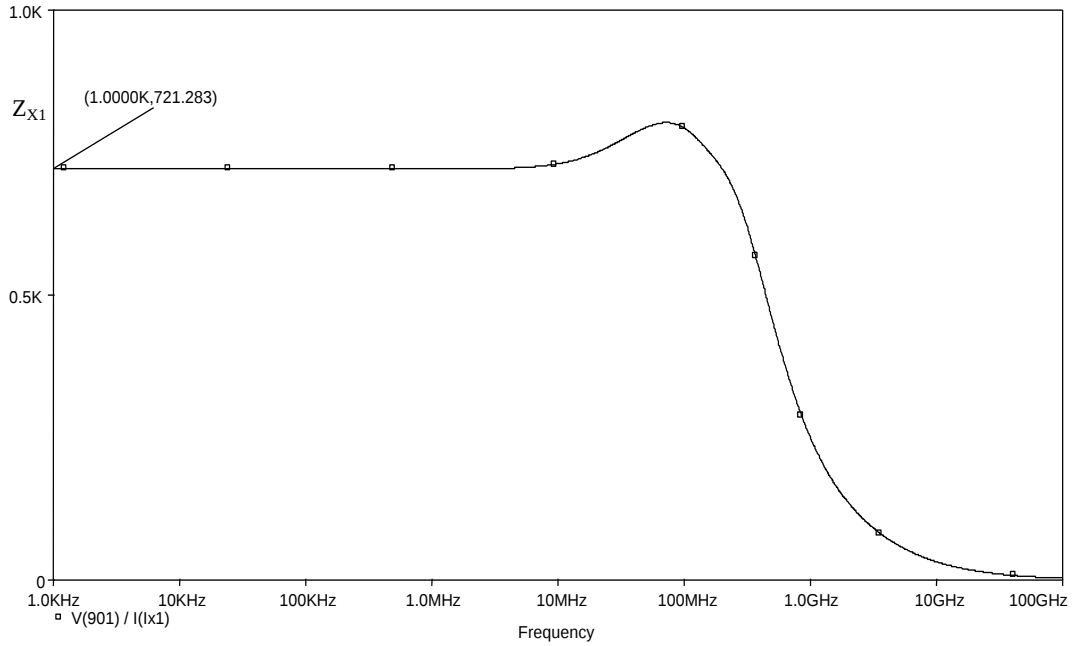
Şekil 4.24 Devre 3.1 için DC gerilim izleme eğrileri

Şekil 4.25’de devre 3.1’e ait AC gerilim izleme eğrileri verilmiştir. Burada, V_{X1} ’e ait eğri üzerinden band genişliği yaklaşık 158MHz, V_{X2} ’ye ait eğri üzerinden ise yaklaşık 166MHz olarak okunmuştur.



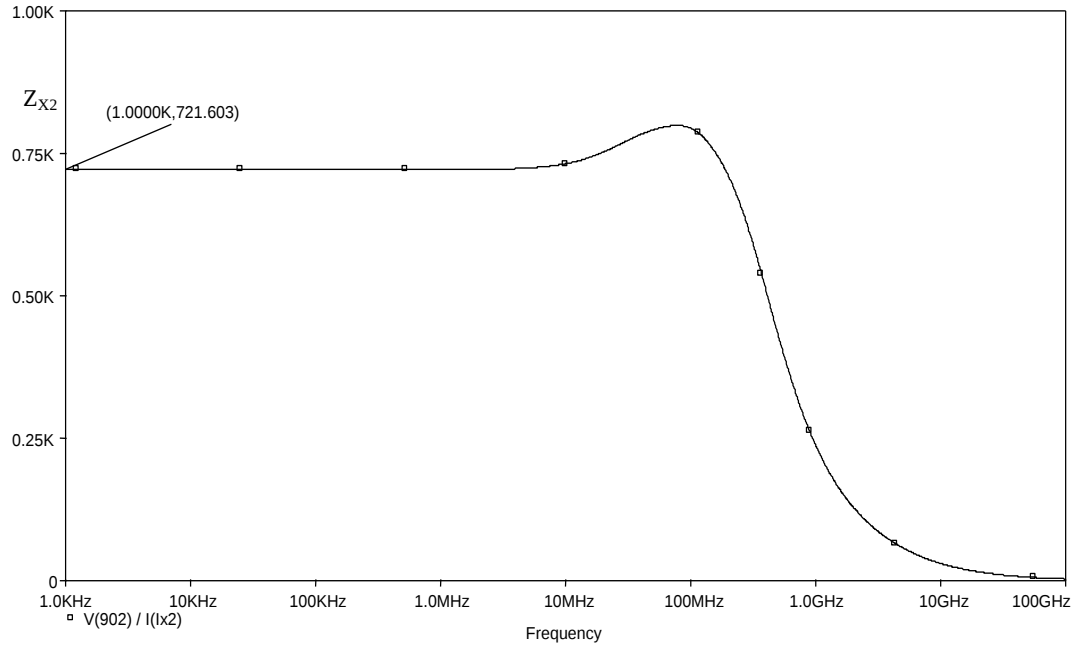
Şekil 4.25 Devre 3.1 için AC gerilim izleme eğrileri

Şekil 4.26’da devre 3.1’e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X1} direncinin değeri 721.283 Ω olarak okunmuştur.



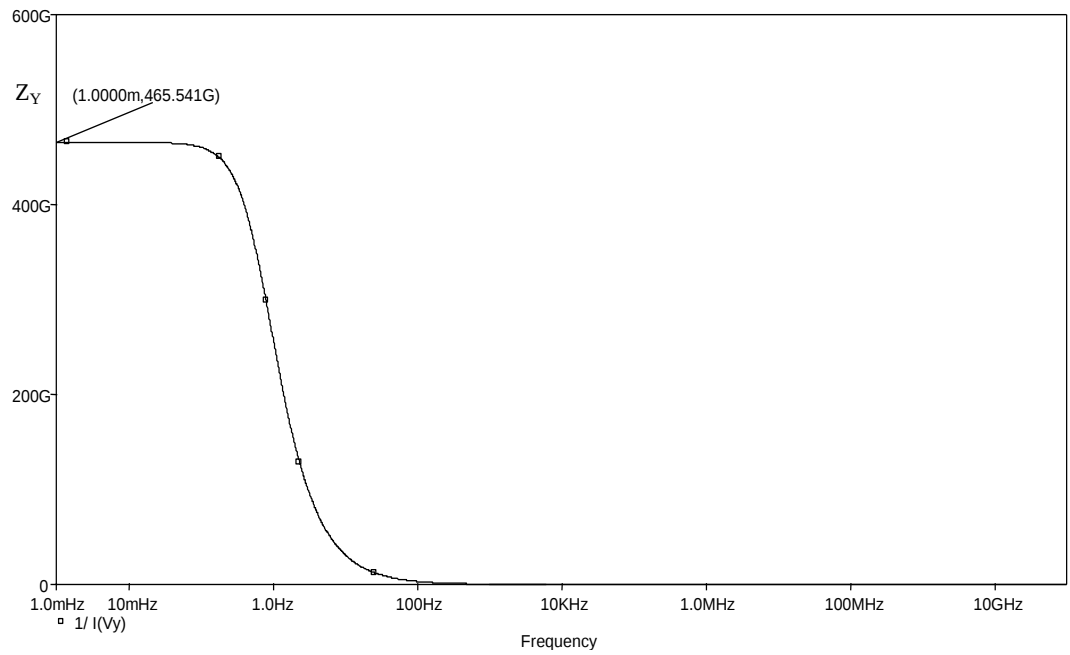
Şekil 4.26 Devre 3.1’e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.27’de devre 3.1’e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X2} direncinin değeri 721.603Ω olarak okunmuştur.



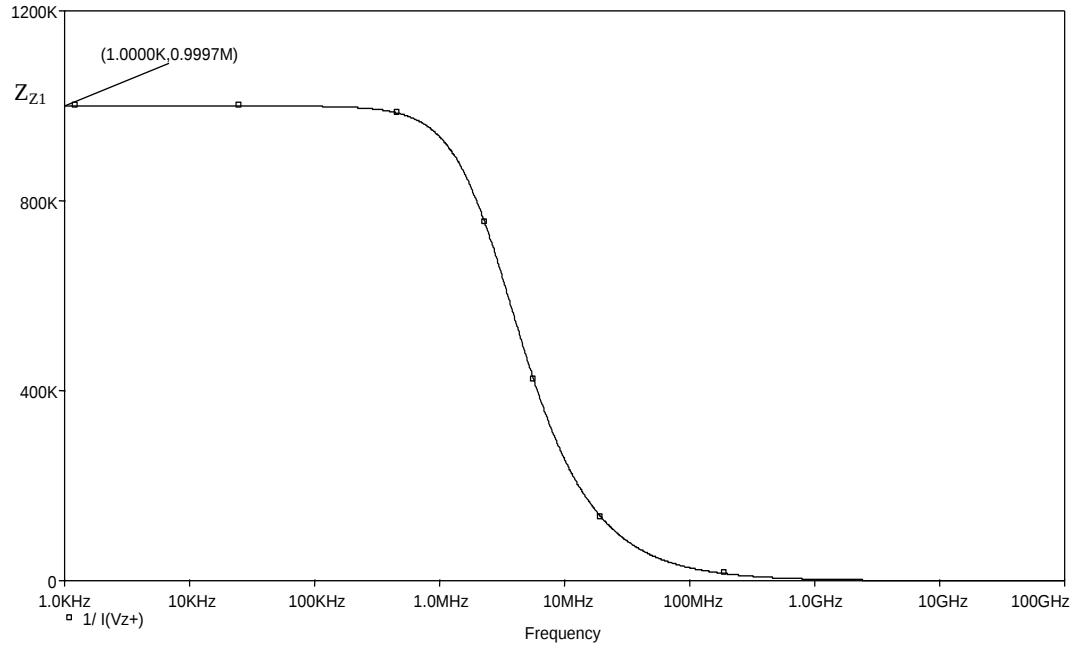
Şekil 4.27 Devre 3.1’e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.28’de devre 3.1’e ait Y ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_Y direncinin değeri $465.54G\Omega$ olarak okunmuştur.



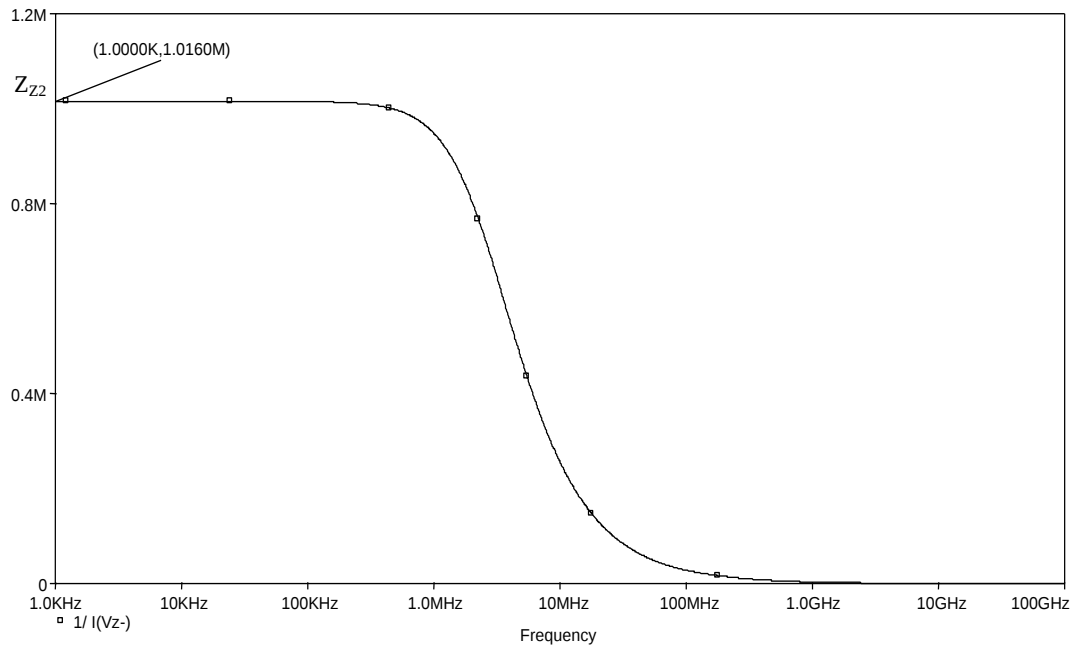
Şekil 4.28 Devre 3.1’e ait Y ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.29’da devre 3.1’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z1} direncinin değeri $0.999M\Omega$ olarak okunmuştur.



Şekil 4.29 Devre 3.1’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.30’da devre 3.1’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z2} direncinin değeri $1.0160M\Omega$ olarak okunmuştur.



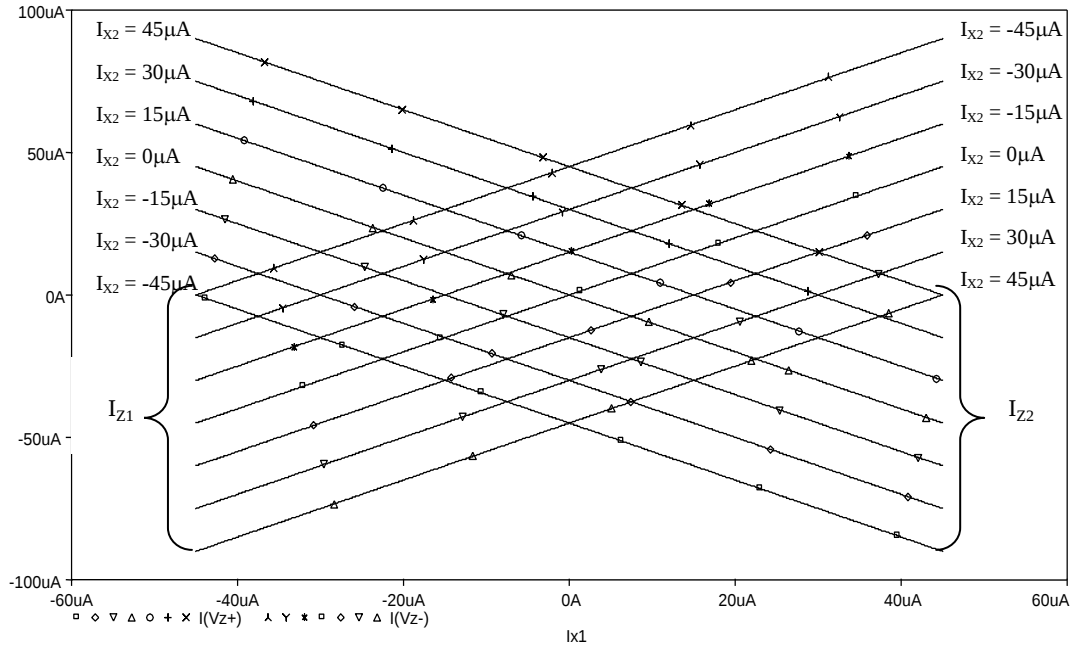
Şekil 4.30 Devre 3.1’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi

4.2.4 Devre 1.2'nin DC ve AC Karakteristik Eğrileri

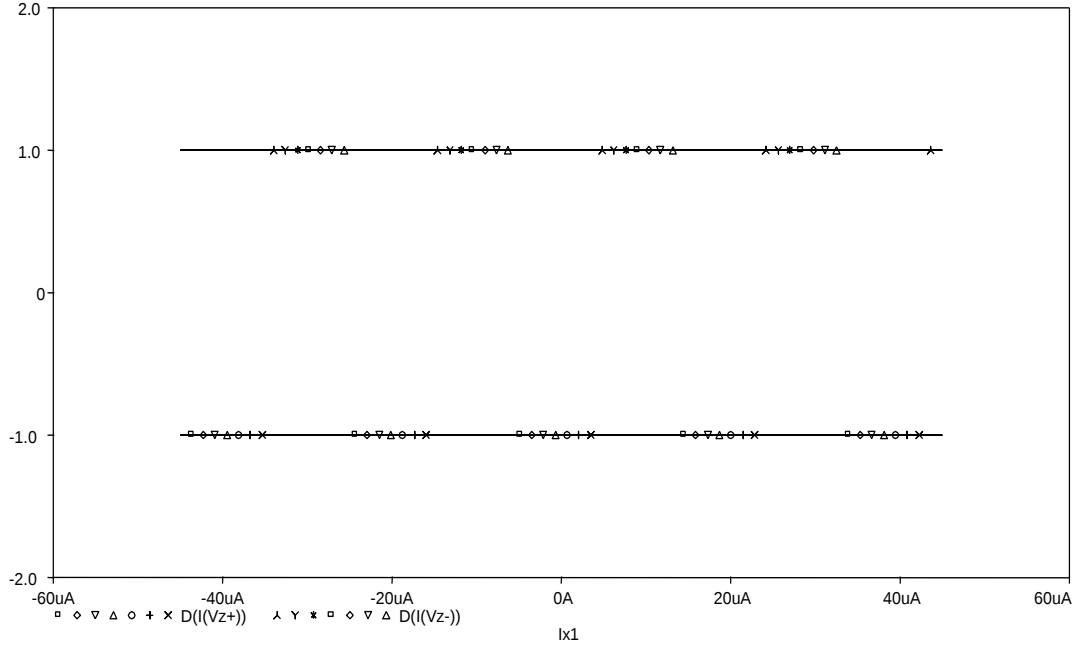
Şekil 3.8'de verilen yüksek başarımlı fark akım taşıyıcı yapısı için besleme gerilimleri $V_{DD} = V_{SS} = 2.5V$, kutuplama akımı ise $I_{BIAS} = 50\mu A$ olarak seçilmiştir.

Şekil 4.31'de devre 1.2'ye ait DC akım izleme eğrileri verilmiştir. Burada, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ lineer ilişkisinin elde edildiği görülmektedir.

Şekil 4.32'de ise devre 1.2'ye ait DC akım izleme eğrilerinin türevi alınmış hali görülmektedir. $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ akım ifadelerinin I_{X1} 'e göre türevi alınırsa $\partial I_{Z1} / \partial I_{X1} = 1$ ve $\partial I_{Z2} / \partial I_{X1} = -1$ elde edilir ki bu da şekilden açıkça görülmektedir. Türev eğrileri üzerinden hata hesabı yapıldığında, maksimum hata, I_{Z1} için % 0.003, I_{Z2} için % 0.002 olarak bulunmuştur.

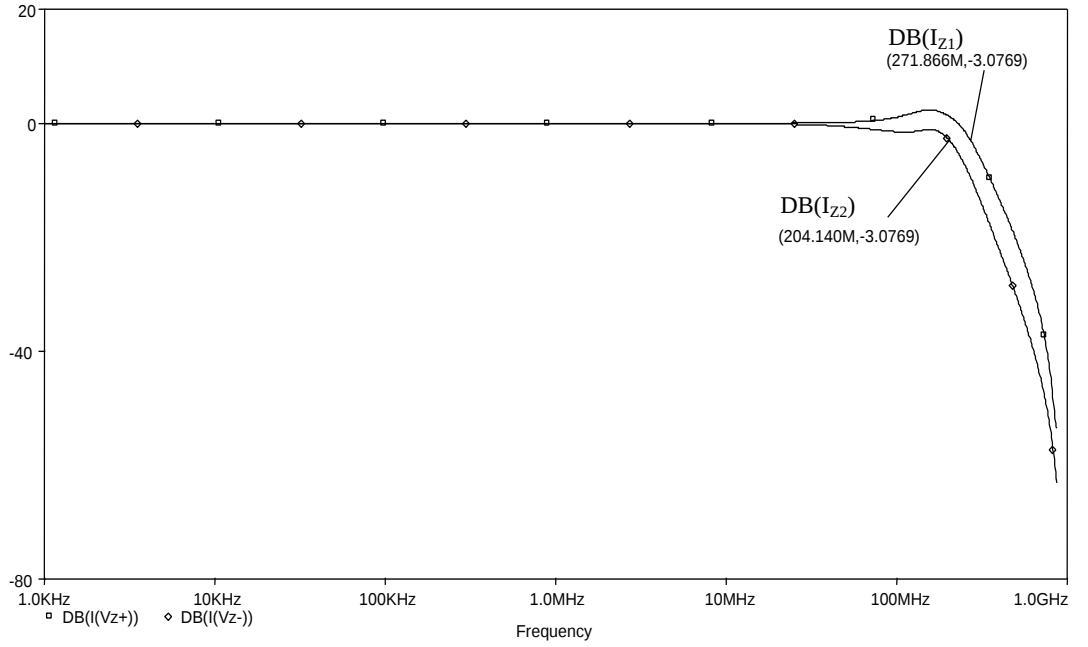


Şekil 4.31 Devre 1.2 için DC akım izleme eğrileri



Şekil 4.32 Devre 1.2 için türevi alınmış DC akım izleme eğrileri

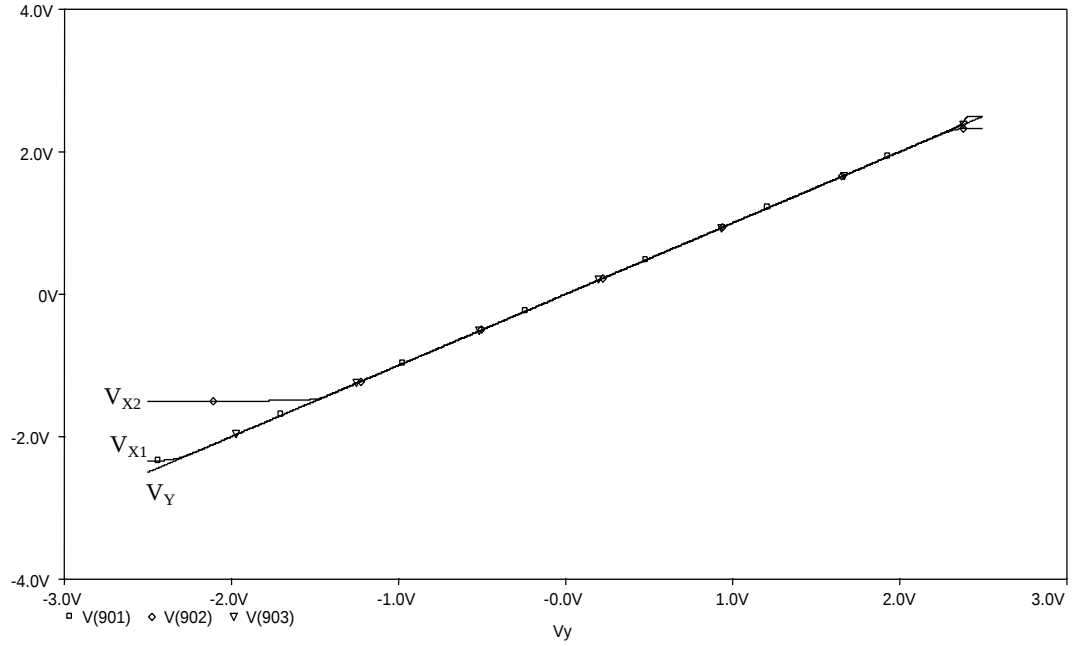
Şekil 4.33’de devre 1.2’ye ait AC akım izleme eğrileri verilmiştir. Burada, I_{Z1} ’e ait eğri üzerinden band genişliği yaklaşık 271MHz, I_{Z2} ’ye ait eğri üzerinden ise yaklaşık 204MHz olarak okunmuştur.



Şekil 4.33 Devre 1.2 için AC akım izleme eğrileri

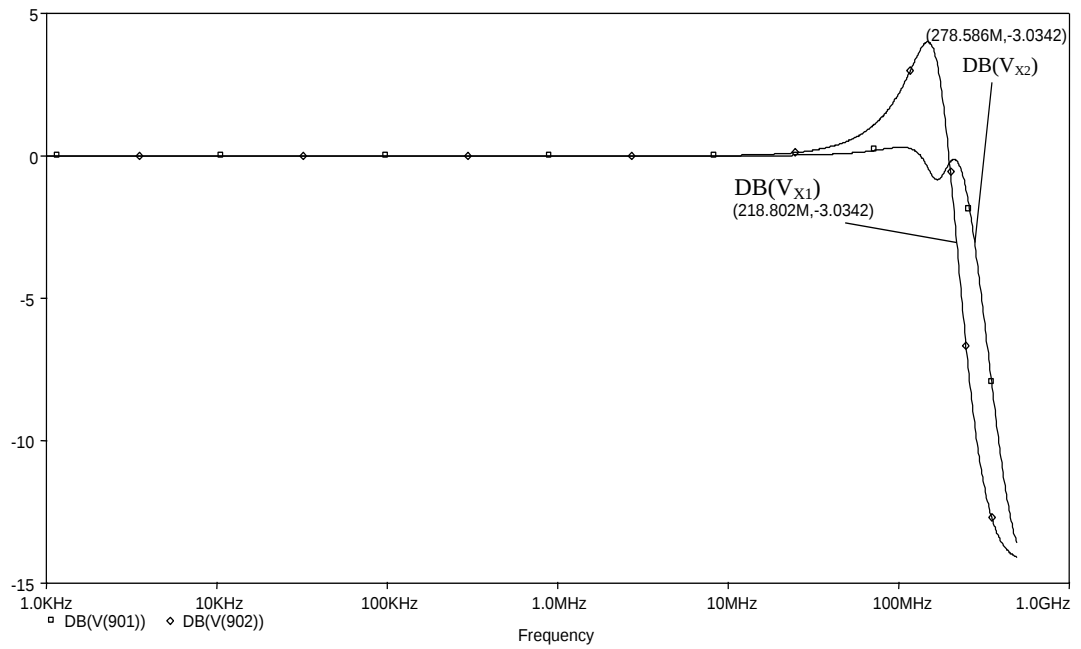
Şekil 4.34’de devre 1.2’ye ait DC gerilim izleme eğrileri verilmiştir. Burada, $V_{X1} = V_{X2} = V_Y$ lineer ilişkisinin elde edildiği görülmektedir. V_{X1} gerilimi $-2.3V$ ile $2.33V$

arasında maksimum % 0.07 hata ile, V_{X2} gerilimi ise $-1.26V$ ile $2.32V$ arasında maksimum % 0.2 hata ile V_Y gerilimini takip etmektedir.



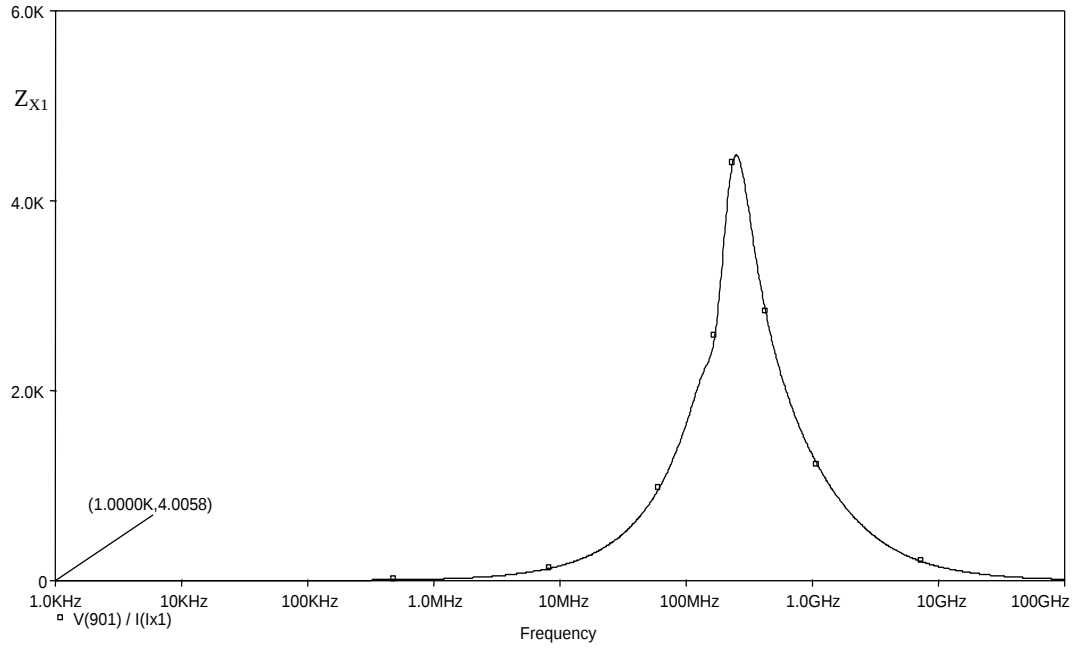
Şekil 4.34 Devre 1.2 için DC gerilim izleme eğrileri

Şekil 4.35’de devre 1.2’ye ait AC gerilim izleme eğrileri verilmiştir. Burada, V_{X1} ’e ait eğri üzerinden band genişliği yaklaşık 278MHz, V_{X2} ’ye ait eğri üzerinden ise yaklaşık 218MHz olarak okunmuştur.



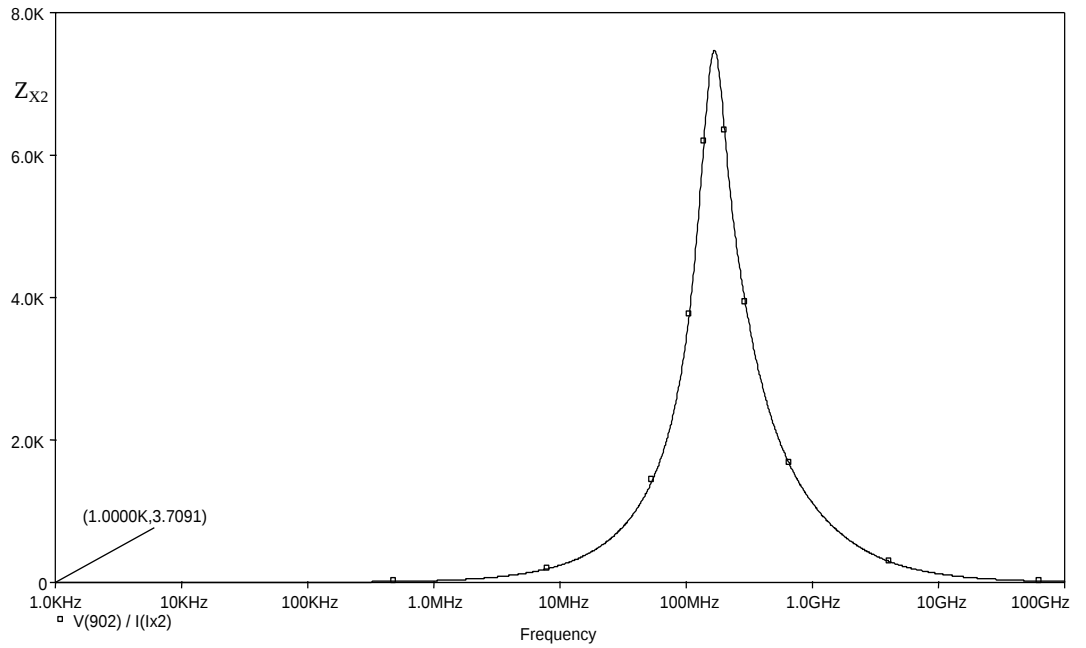
Şekil 4.35 Devre 1.2 için AC gerilim izleme eğrileri

Şekil 4.36’da devre 1.2’ye ait X_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X1} direncinin değeri 4.0058Ω olarak okunmuştur.



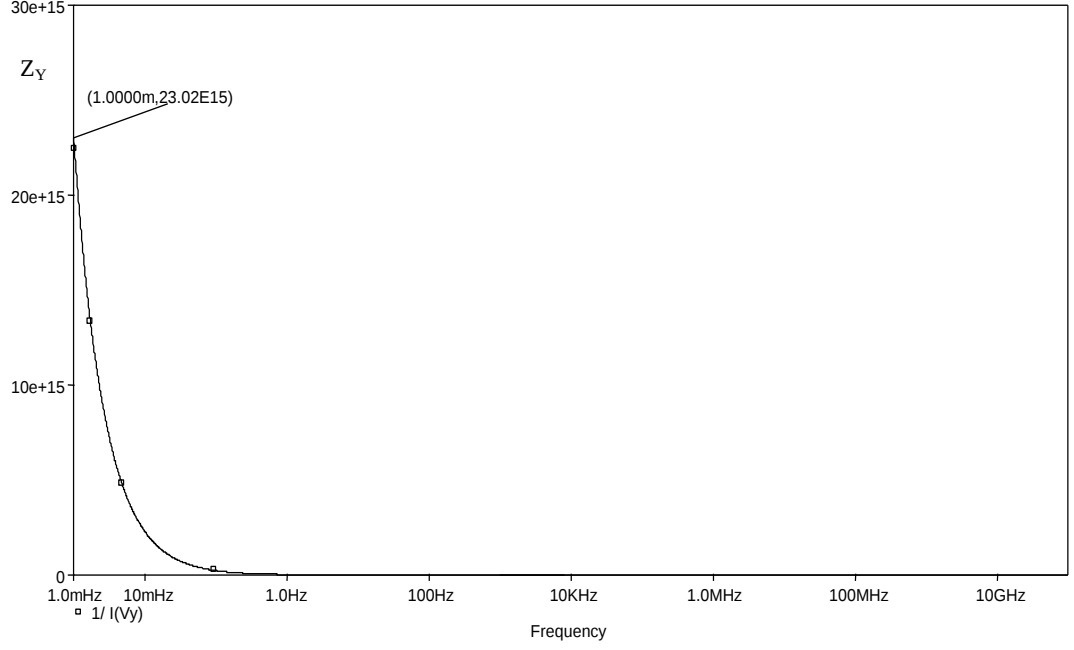
Şekil 4.36 Devre 1.2’ye ait X_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.37’de devre 1.2’ye ait X_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X2} direncinin değeri 3.7091Ω olarak okunmuştur.



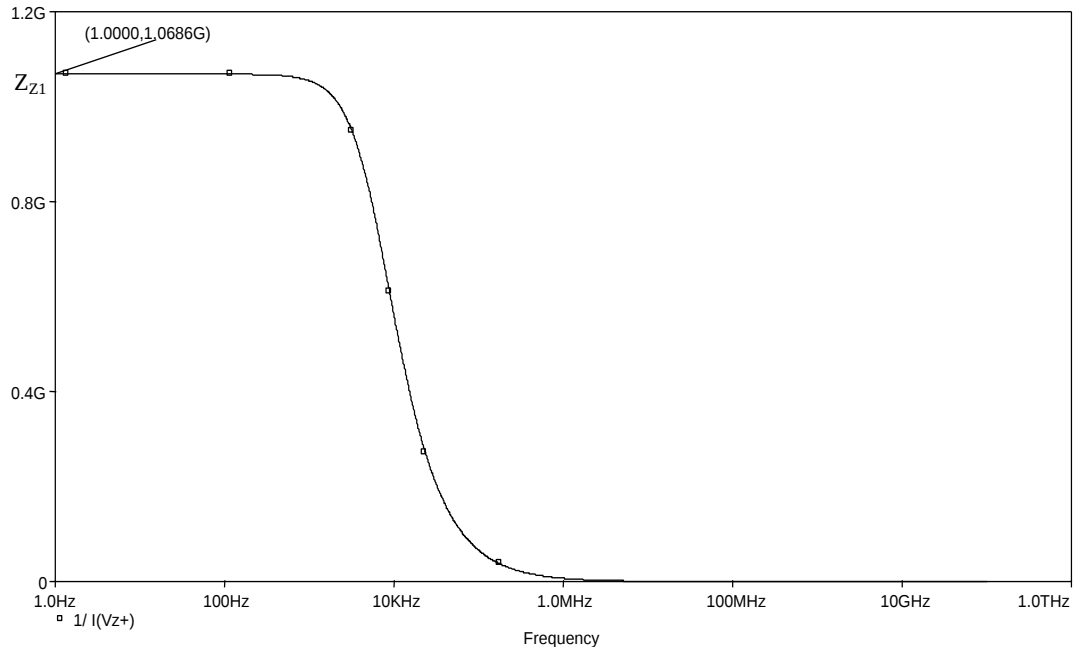
Şekil 4.37 Devre 1.2’ye ait X_2 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.38’de devre 1.2’ye ait Y ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_Y direncinin değeri $23.02 \times 10^{15} \Omega$ olarak okunmuştur.



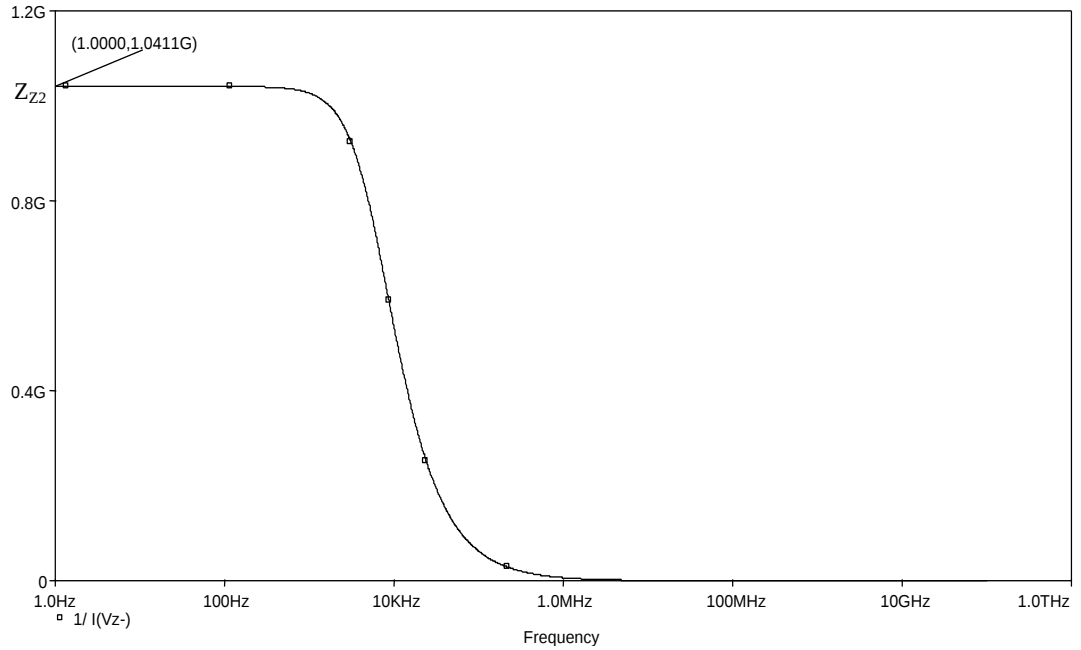
Şekil 4.38 Devre 1.2’ye ait Y ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.39’da devre 1.2’ye ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z1} direncinin değeri $1.06G\Omega$ olarak okunmuştur.



Şekil 4.39 Devre 1.2’ye ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.40’da devre 1.2’ye ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z2} direncinin değeri $1.04G\Omega$ olarak okunmuştur.



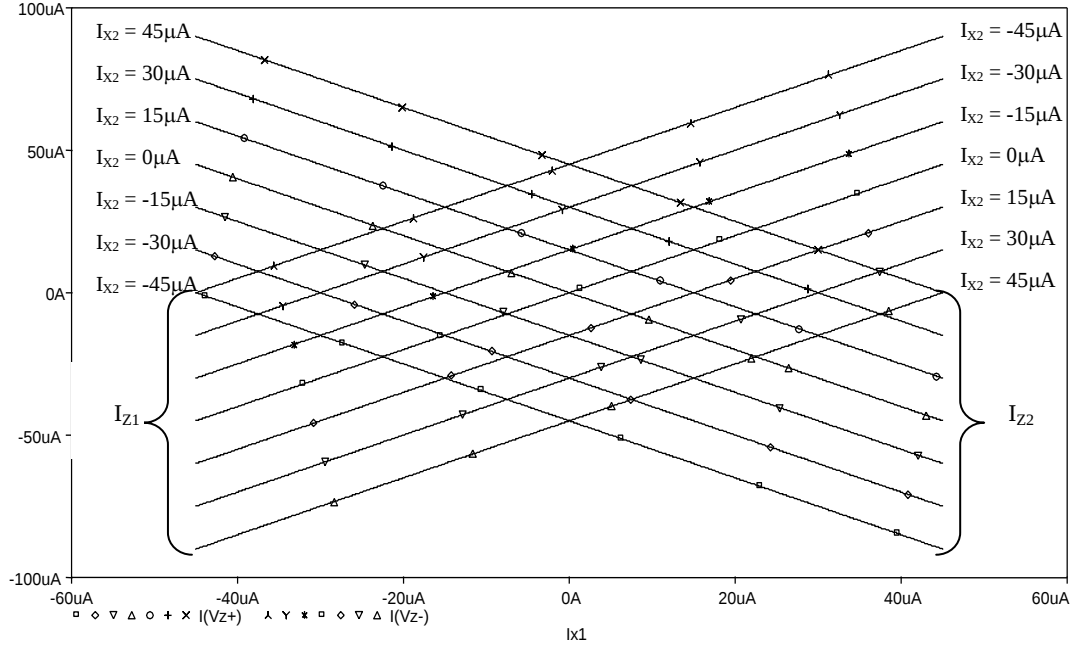
Şekil 4.40 Devre 1.2’ye ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi

4.2.5 Devre 2.2’nin DC ve AC Karakteristik Eğrileri

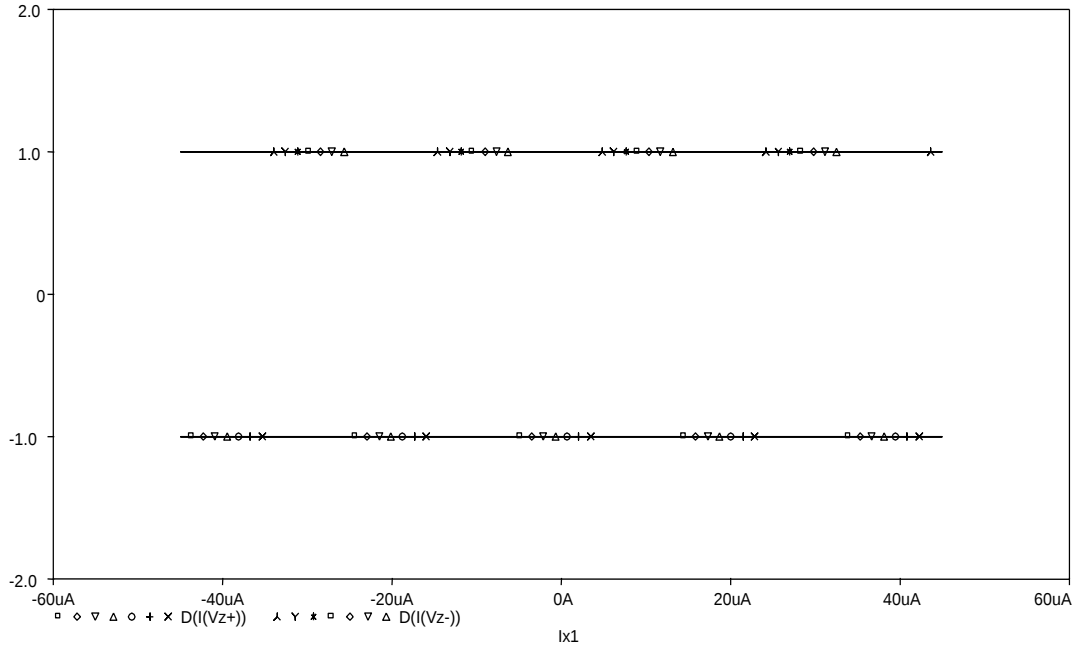
Şekil 3.9’da verilen yüksek başarımlı fark akım taşıyıcı yapısı için besleme gerilimleri $V_{DD} = V_{SS} = 2.5V$, kutuplama akımı ise $I_{BIAS} = 50\mu A$ olarak seçilmiştir.

Şekil 4.41’de devre 2.2’ye ait DC akım izleme eğrileri verilmiştir. Burada, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ lineer ilişkisinin elde edildiği görülmektedir.

Şekil 4.42’de ise devre 2.2’ye ait DC akım izleme eğrilerinin türevi alınmış hali görülmektedir. $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ akım ifadelerinin I_{X1} ’e göre türevi alınırsa $\partial I_{Z1} / \partial I_{X1} = 1$ ve $\partial I_{Z2} / \partial I_{X1} = -1$ elde edilir ki bu da şekilden açıkça görülmektedir. Türev eğrileri üzerinden hata hesabı yapıldığında, maksimum hata, I_{Z1} için % 0.001, I_{Z2} için % 0.001 olarak bulunmuştur.

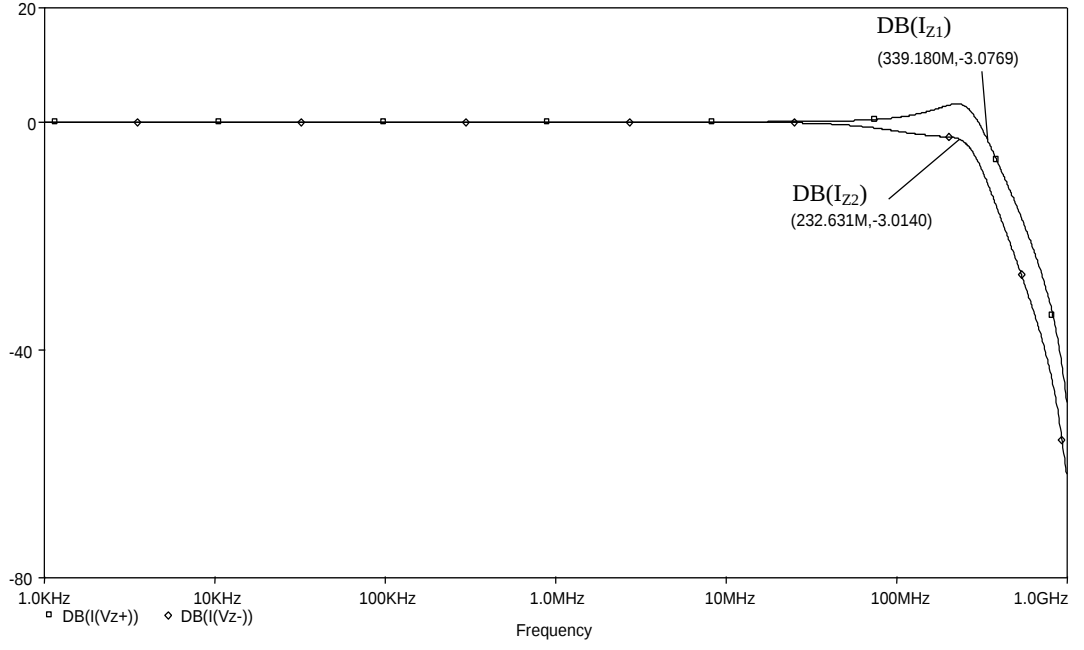


Şekil 4.41 Devre 2.2 için DC akım izleme eğrileri



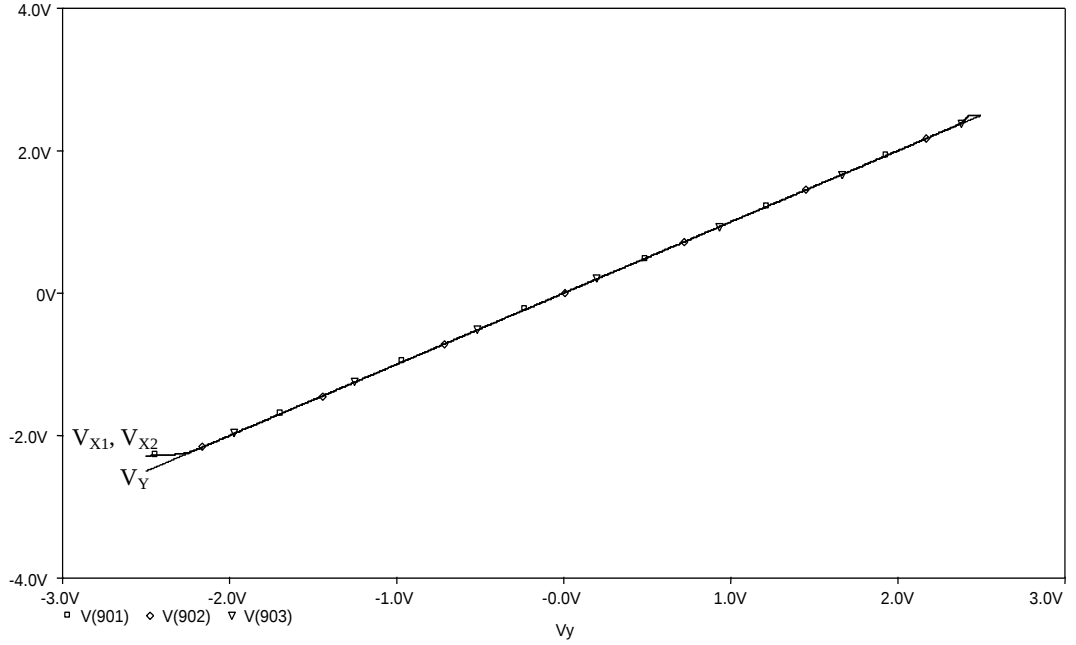
Şekil 4.42 Devre 2.2 için türevi alınmış DC akım izleme eğrileri

Şekil 4.43’de devre 2.2’ye ait AC akım izleme eğrileri verilmiştir. Burada, I_{Z1} ’e ait eğri üzerinden band genişliği yaklaşık 339MHz, I_{Z2} ’ye ait eğri üzerinden ise yaklaşık 232MHz olarak okunmuştur.



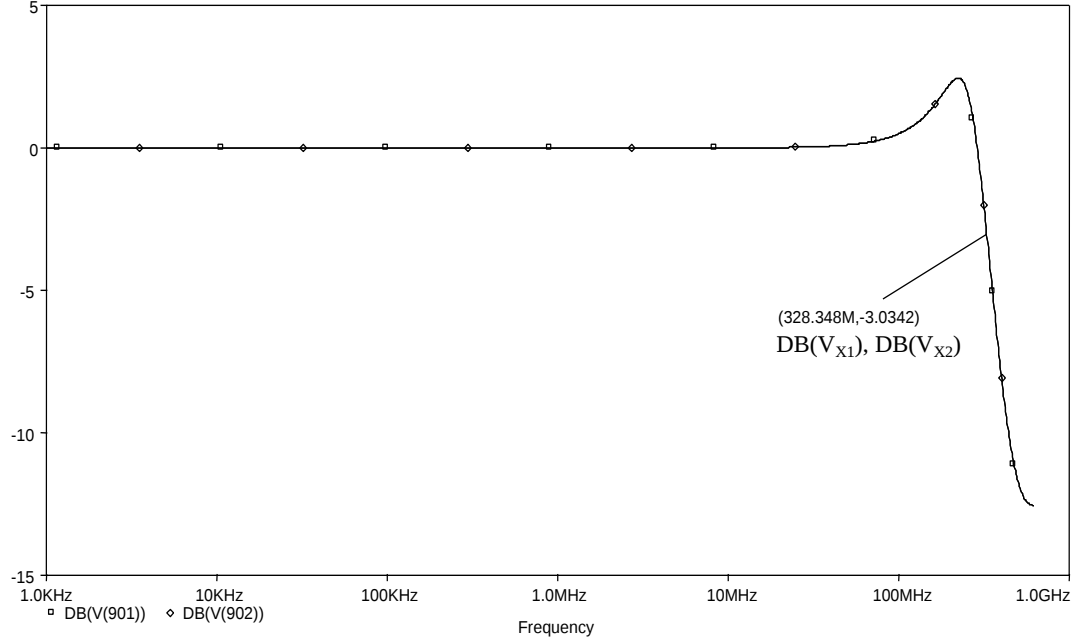
Şekil 4.43 Devre 2.2 için AC akım izleme eğrileri

Şekil 4.44’de devre 2.2’ye ait DC gerilim izleme eğrileri verilmiştir. Burada, $V_{X1} = V_{X2} = V_Y$ lineer ilişkisinin elde edildiği görülmektedir. V_{X1} gerilimi $-2.2V$ ile $2.23V$ arasında maksimum % 0.05 hata ile, V_{X2} gerilimi de $-2.2V$ ile $2.23V$ arasında maksimum % 0.05 hata ile V_Y gerilimini takip etmektedir.



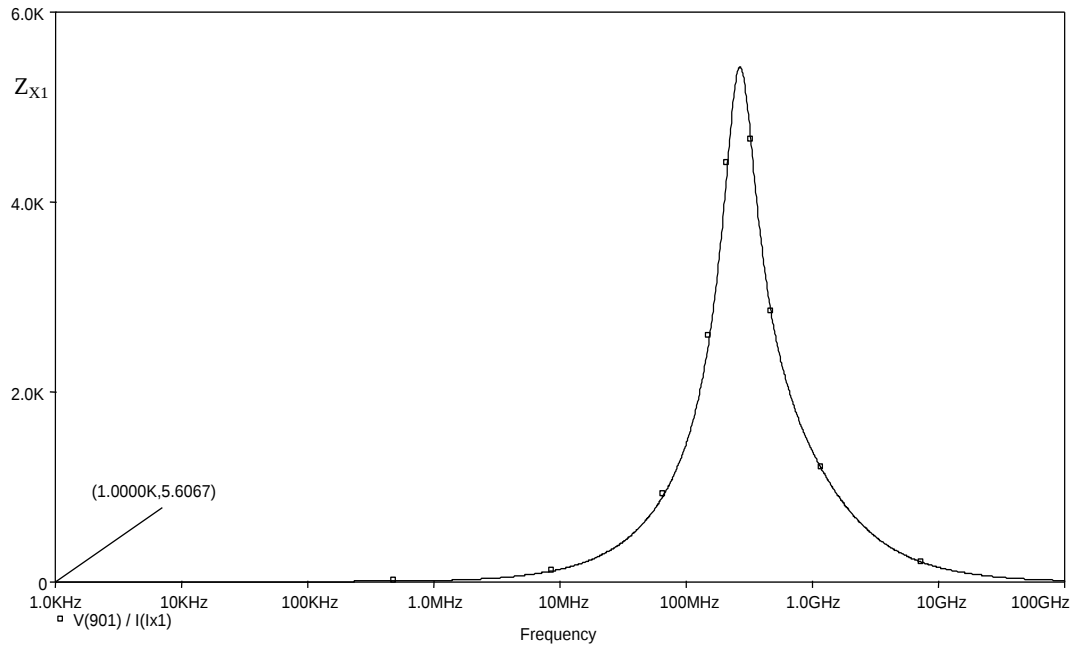
Şekil 4.44 Devre 2.2 için DC gerilim izleme eğrileri

Şekil 4.45’de devre 2.2’ye ait AC gerilim izleme eğrileri verilmiştir. Burada, hem V_{X1} ’e ait eğri üzerinden hem de V_{X2} ’ye ait eğri üzerinden band genişliği, yaklaşık 328MHz olarak okunmuştur.



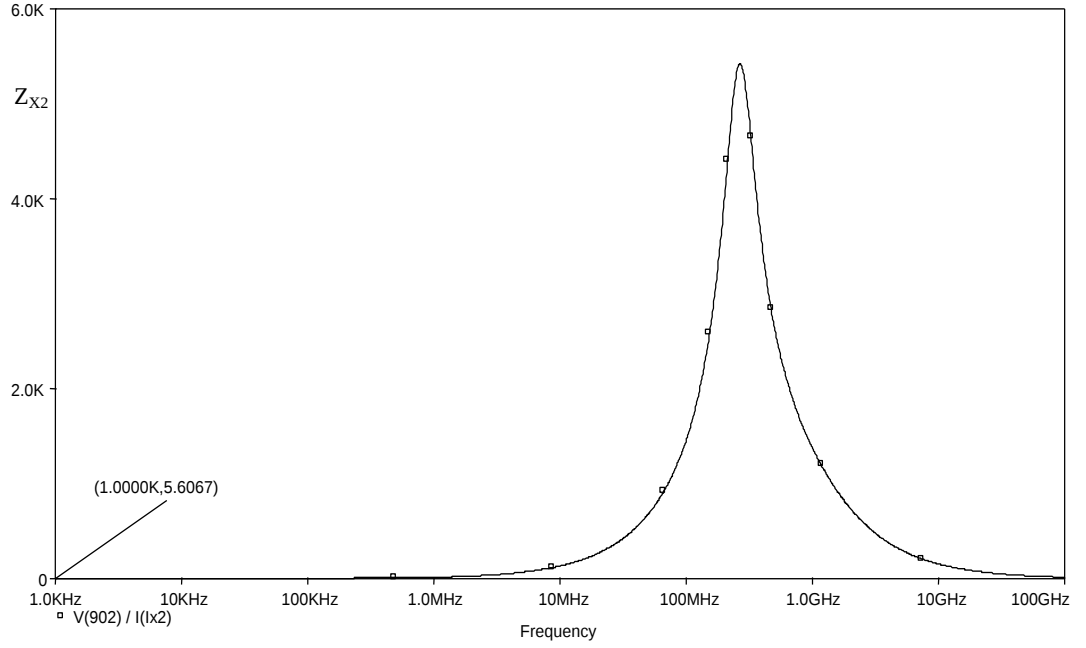
Şekil 4.45 Devre 2.2 için AC gerilim izleme eğrileri

Şekil 4.46’da devre 2.2’ye ait X_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X1} direncinin değeri 5.6067Ω olarak okunmuştur.



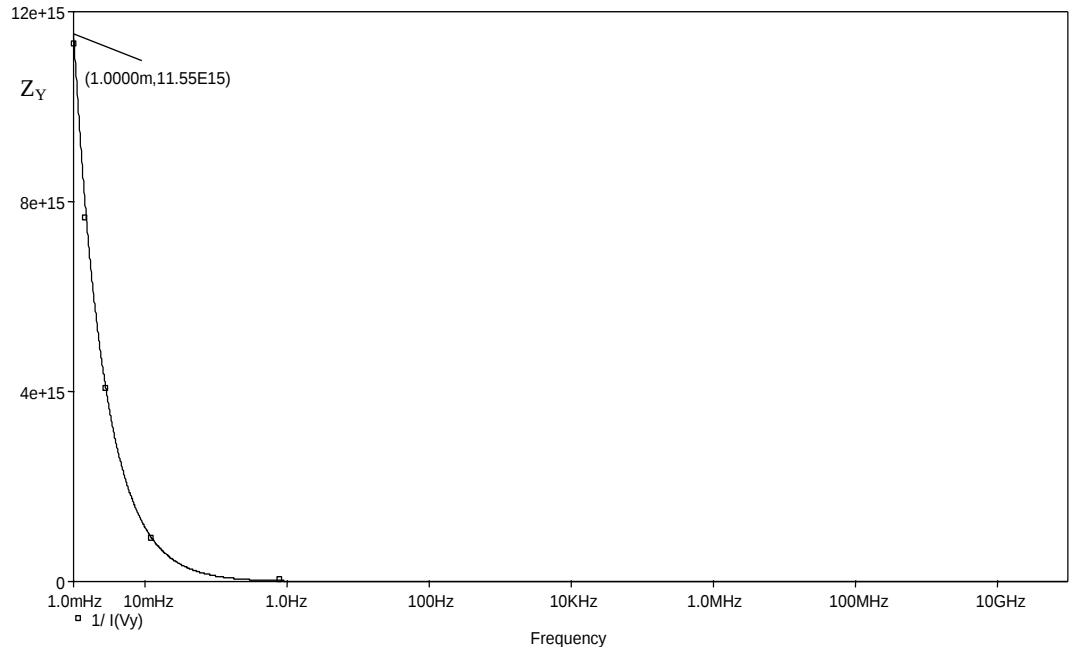
Şekil 4.46 Devre 2.2’ye ait X_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.47’de devre 2.2’ye ait X_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X2} direncinin değeri 5.6067Ω olarak okunmuştur.



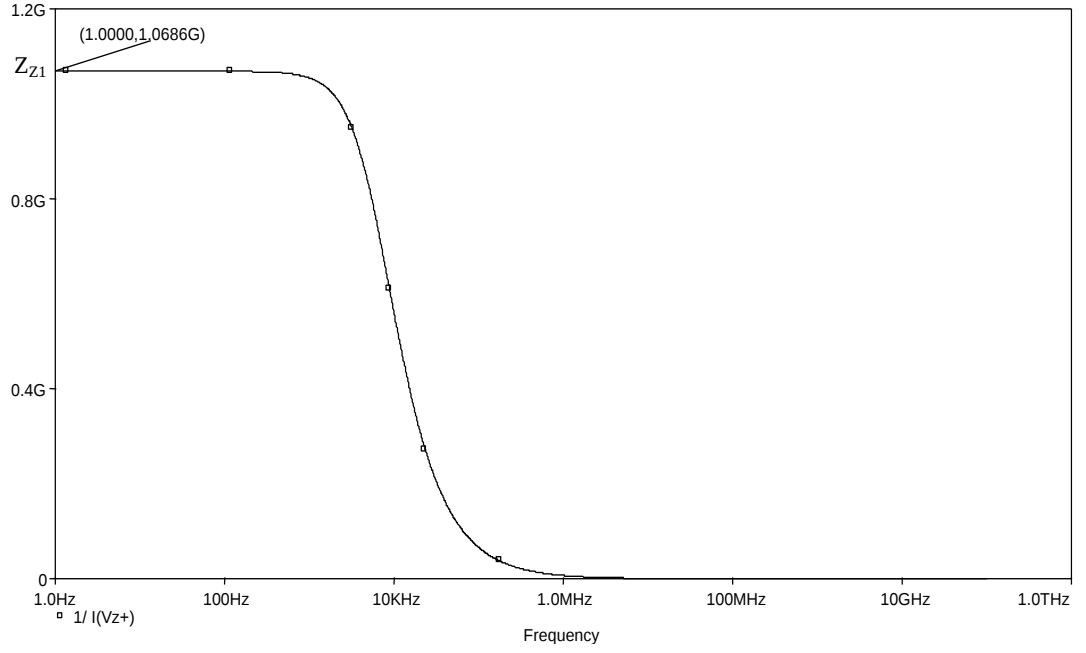
Şekil 4.47 Devre 2.2’ye ait X_2 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.48’de devre 2.2’ye ait Y ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_Y direncinin değeri $11.55 \times 10^{15}\Omega$ olarak okunmuştur.



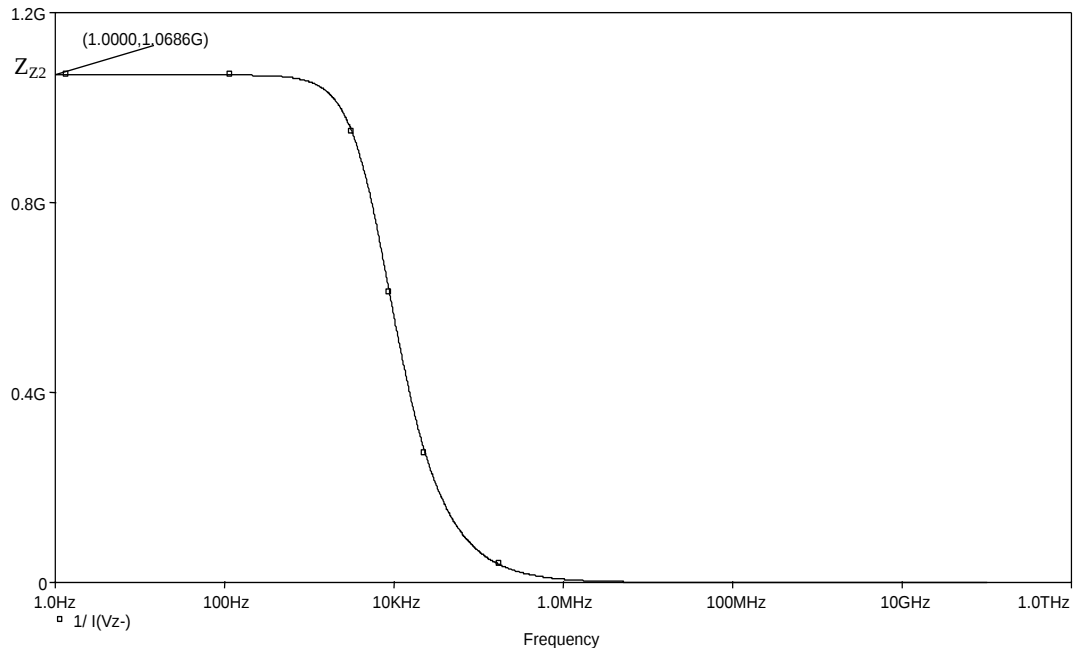
Şekil 4.48 Devre 2.2’ye ait Y ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.49’da devre 2.2’ye ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z1} direncinin değeri $1.06G\Omega$ olarak okunmuştur.



Şekil 4.49 Devre 2.2’ye ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.50’da devre 2.2’ye ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z2} direncinin değeri $1.06G\Omega$ olarak okunmuştur.



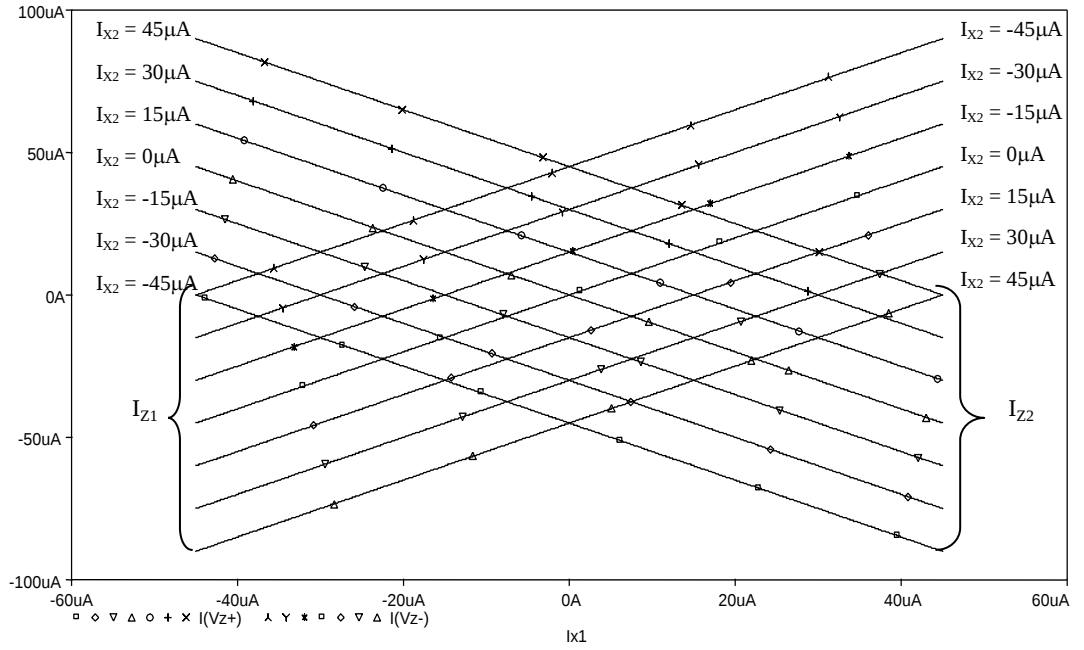
Şekil 4.50 Devre 2.2’ye ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi

4.2.6 Devre 3.2'nin DC ve AC Karakteristik Eğrileri

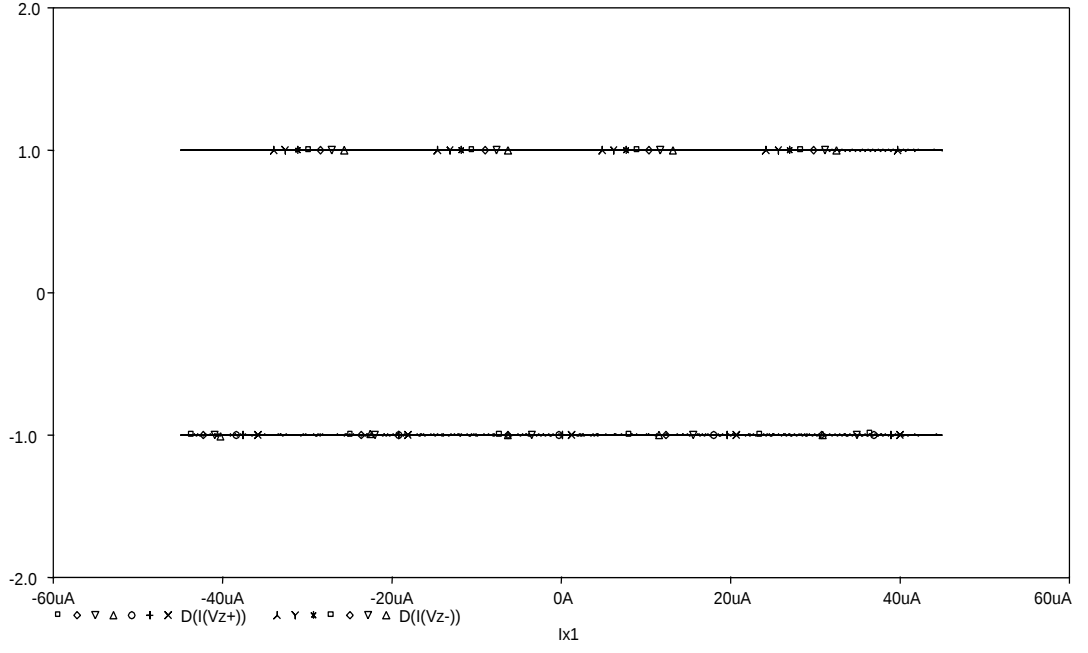
Şekil 3.10'da verilen yüksek başarımlı fark akım taşıyıcı yapısı için besleme gerilimleri $V_{DD} = V_{SS} = 2.5V$, kutuplama akımı ise $I_{BIAS} = 50\mu A$ olarak seçilmiştir.

Şekil 4.51'de devre 3.2'ye ait DC akım izleme eğrileri verilmiştir. Burada, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ lineer ilişkisinin elde edildiği görülmektedir.

Şekil 4.52'de ise devre 3.2'ye ait DC akım izleme eğrilerinin türevi alınmış hali görülmektedir. $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ akım ifadelerinin I_{X1} 'e göre türevi alınırsa $\partial I_{Z1} / \partial I_{X1} = 1$ ve $\partial I_{Z2} / \partial I_{X1} = -1$ elde edilir ki bu da şekilden açıkça görülmektedir. Türev eğrileri üzerinden hata hesabı yapıldığında, maksimum hata, I_{Z1} için % 0.001, I_{Z2} için % 0.002 olarak bulunmuştur.

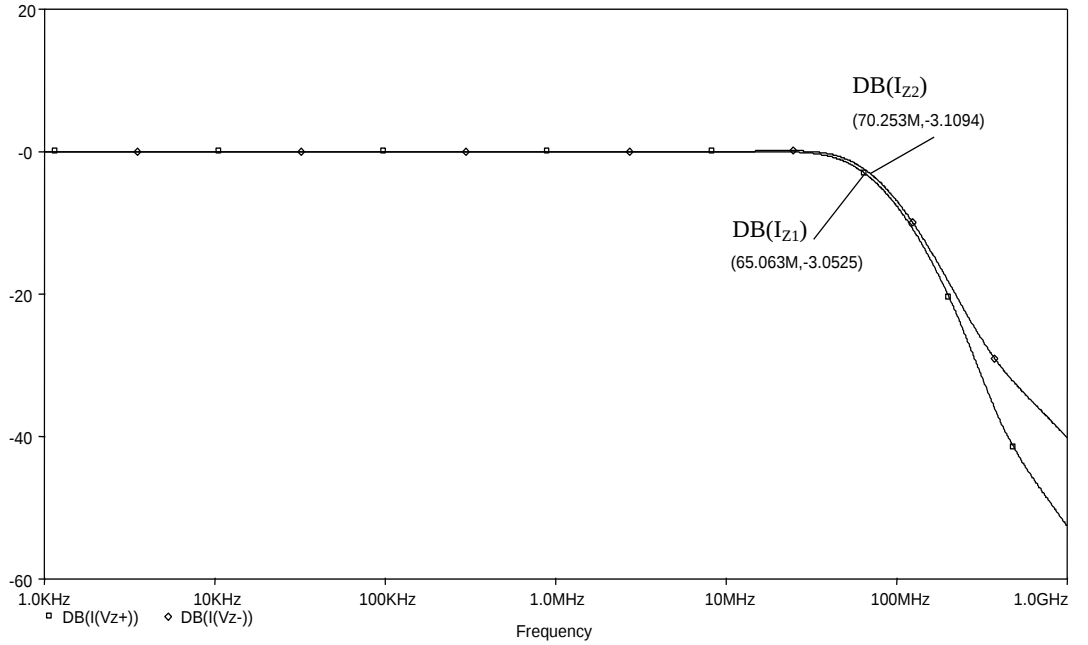


Şekil 4.51 Devre 3.2 için DC akım izleme eğrileri



Şekil 4.52 Devre 3.2 için türevi alınmış DC akım izleme eğrileri

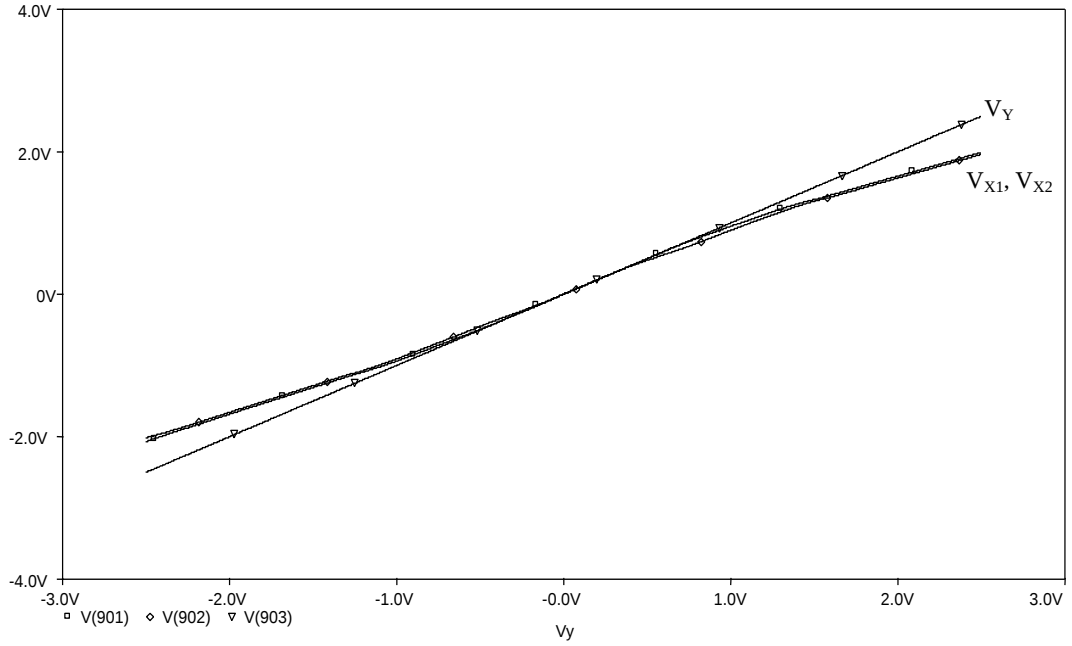
Şekil 4.53’de devre 3.2’ye ait AC akım izleme eğrileri verilmiştir. Burada, I_{Z1} ’e ait eğri üzerinden band genişliği yaklaşık 65MHz, I_{Z2} ’ye ait eğri üzerinden ise yaklaşık 70MHz olarak okunmuştur.



Şekil 4.53 Devre 3.2 için AC akım izleme eğrileri

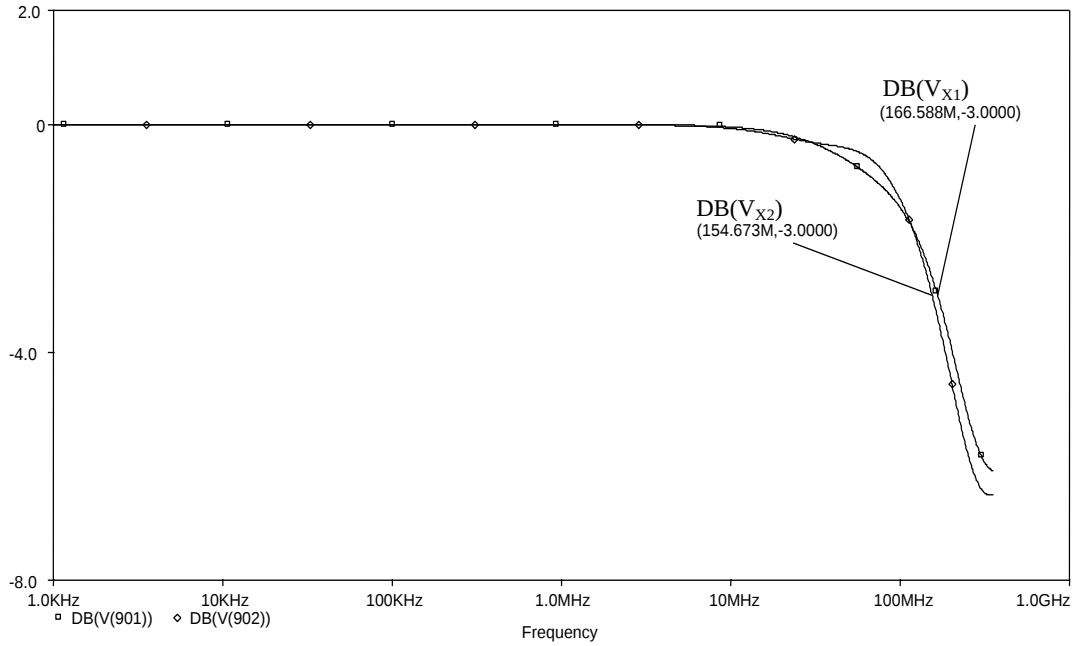
Şekil 4.54’de devre 3.2’ye ait DC gerilim izleme eğrileri verilmiştir. Burada, $V_{X1} = V_{X2} = V_Y$ lineer ilişkisinin elde edildiği görülmektedir. V_{X1} gerilimi $-2V$ ile $2V$

arasında maksimum % 20 hata ile, V_{X2} gerilimi de $-2V$ ile $2V$ arasında maksimum % 20 hata ile V_Y gerilimini takip etmektedir.



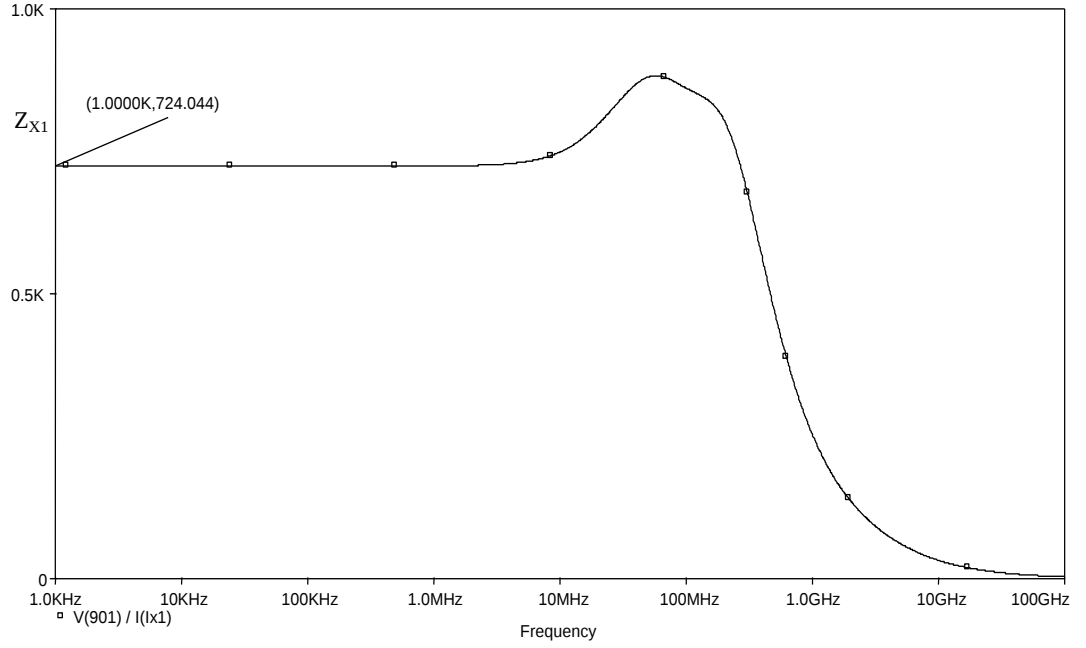
Şekil 4.54 Devre 3.2 için DC gerilim izleme eğrileri

Şekil 4.55’de devre 3.2’ye ait AC gerilim izleme eğrileri verilmiştir. Burada, V_{X1} ’e ait eğri üzerinden band genişliği yaklaşık 166MHz, V_{X2} ’ye ait eğri üzerinden ise yaklaşık 154MHz olarak okunmuştur.



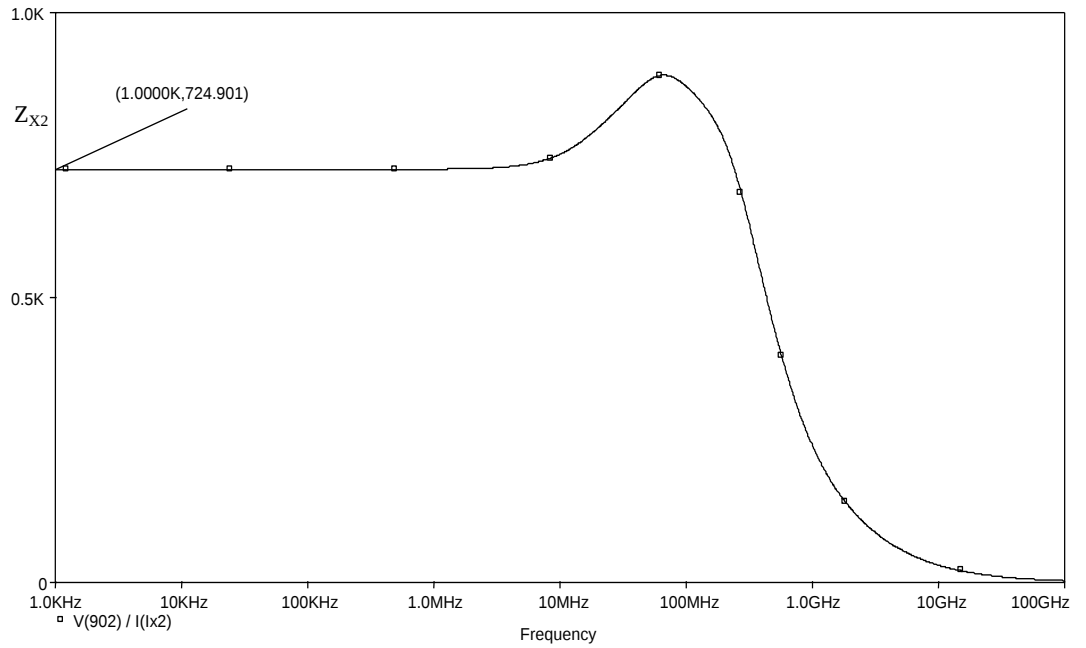
Şekil 4.55 Devre 3.2 için AC gerilim izleme eğrileri

Şekil 4.56’da devre 3.2’ye ait X_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X1} direncinin değeri 724.044Ω olarak okunmuştur.



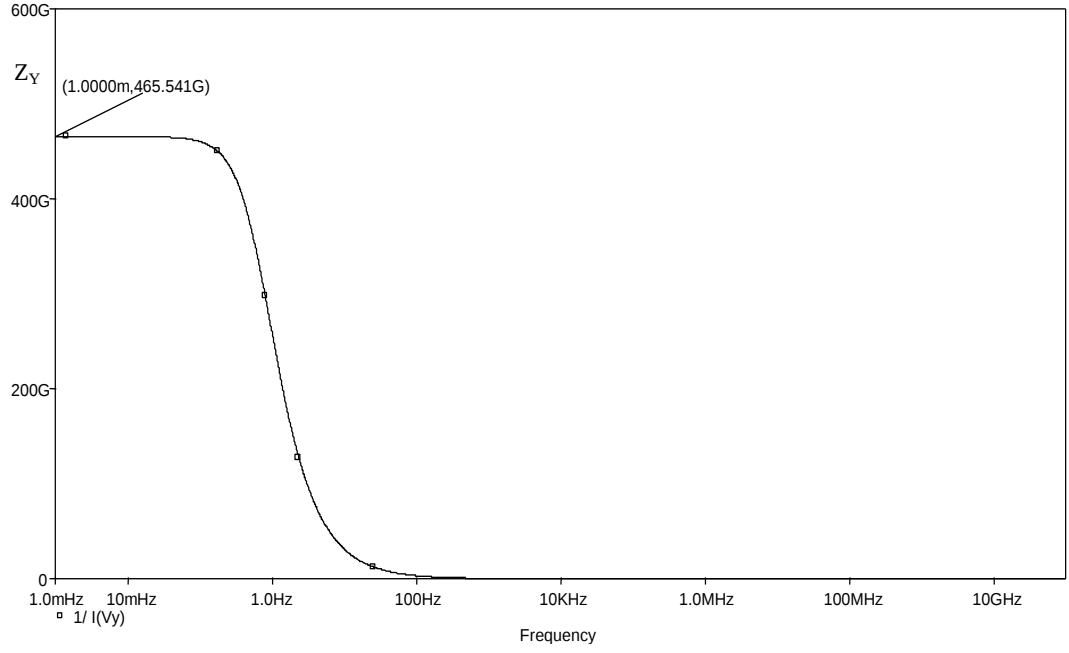
Şekil 4.56 Devre 3.2’ye ait X_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.57’de devre 3.2’ye ait X_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X2} direncinin değeri 724.901Ω olarak okunmuştur.



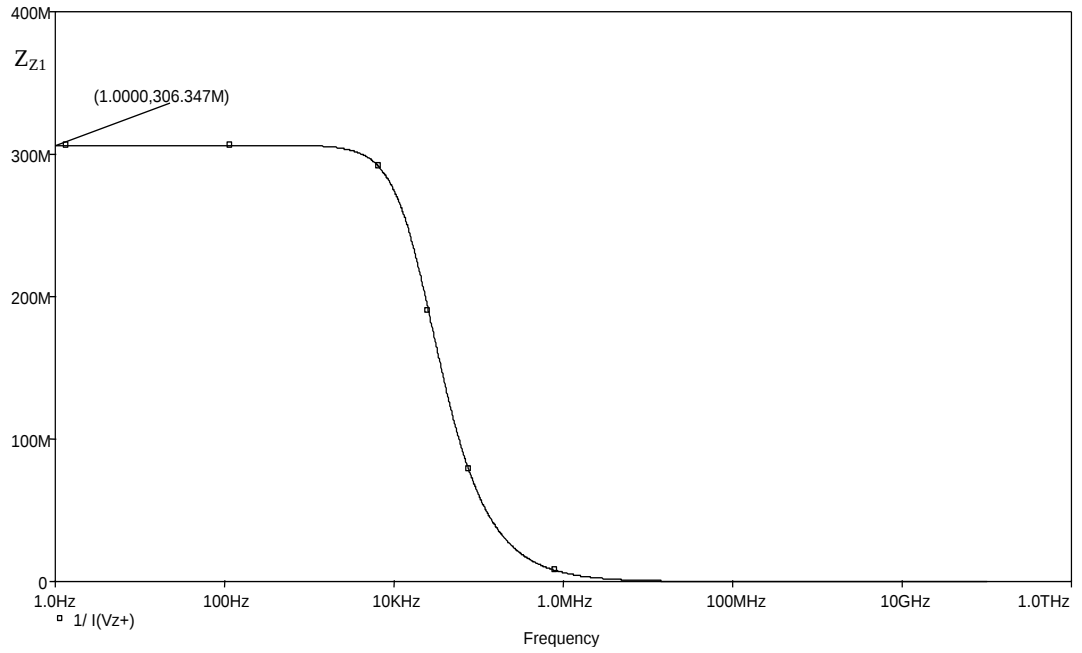
Şekil 4.57 Devre 3.2’ye ait X_2 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.58’de devre 3.2’ye ait Y ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_Y direncinin değeri $465.5G\Omega$ olarak okunmuştur.



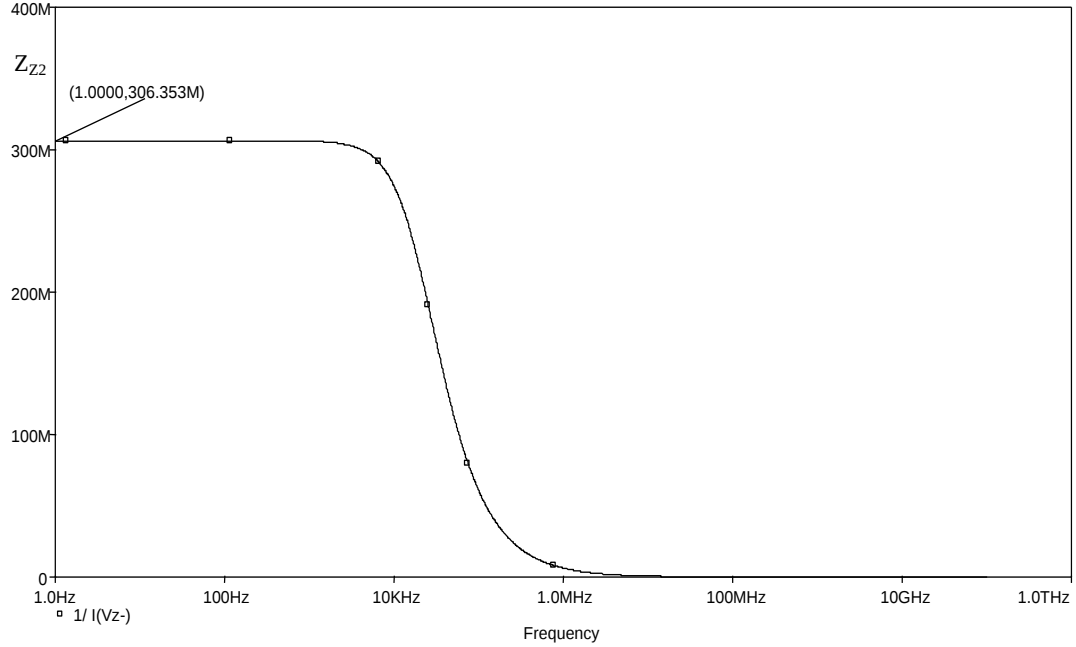
Şekil 4.58 Devre 3.2’ye ait Y ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.59’da devre 3.2’ye ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z1} direncinin değeri $306.34M\Omega$ olarak okunmuştur.



Şekil 4.59 Devre 3.2’ye ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.60’da devre 3.2’ye ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z2} direncinin değeri $306.35M\Omega$ olarak okunmuştur.



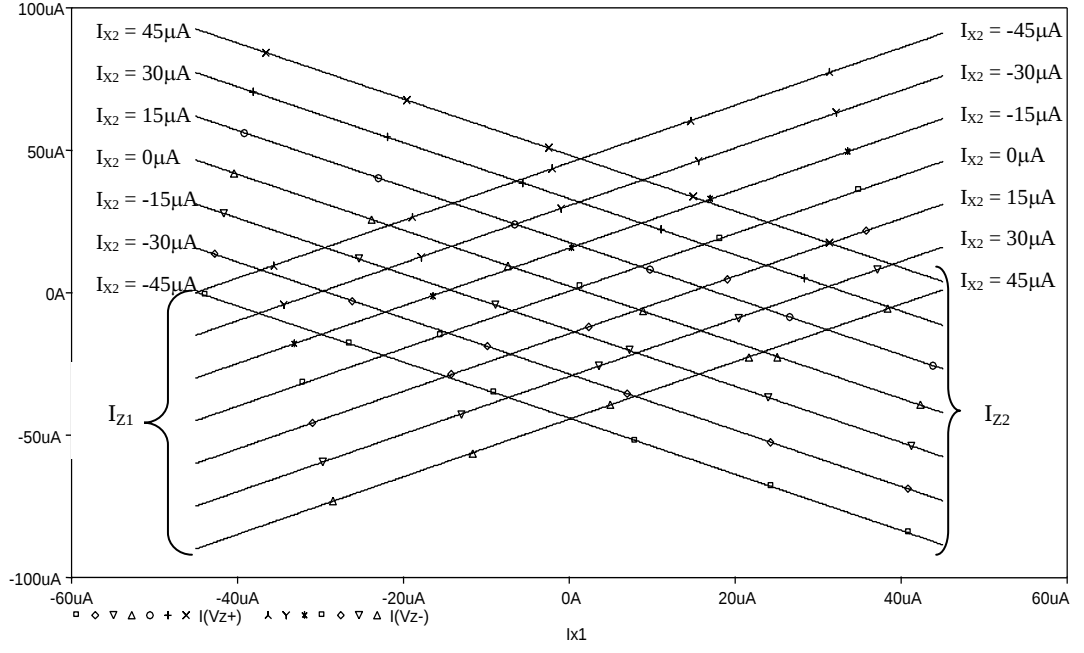
Şekil 4.60 Devre 3.2’ye ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi

4.2.7 Devre 1.3’ün DC ve AC Karakteristik Eğrileri

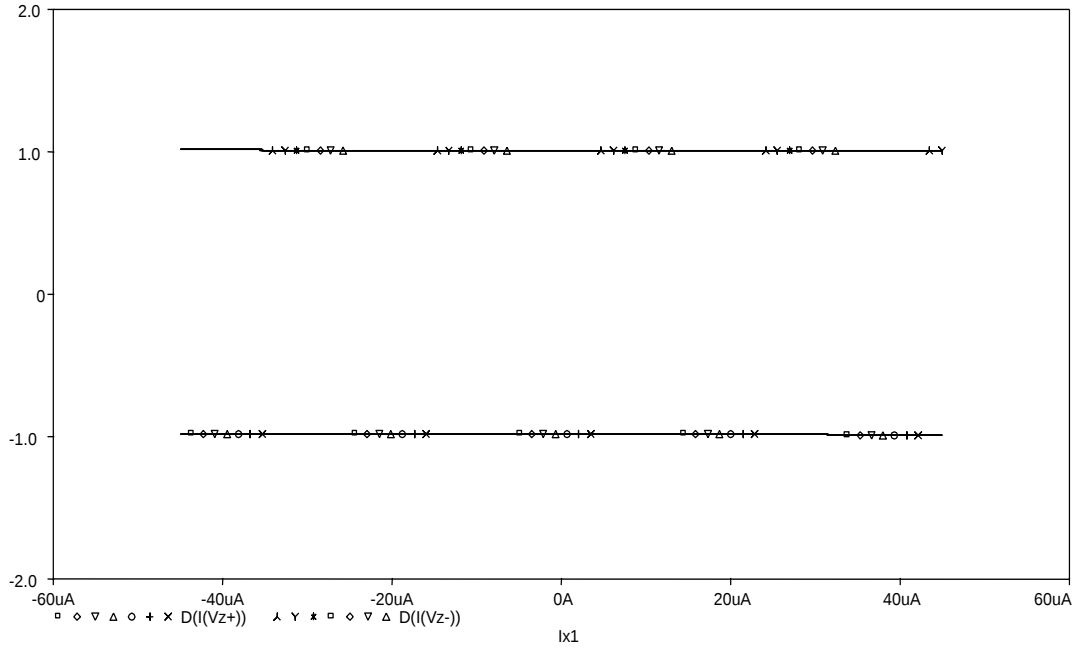
Şekil 3.11’de verilen yüksek başarılı fark akım taşıyıcı yapısı için besleme gerilimleri $V_{DD} = V_{SS} = 2.5V$, kutuplama akımı ise $I_{BIAS} = 50\mu A$ olarak seçilmiştir.

Şekil 4.61’de devre 1.3’e ait DC akım izleme eğrileri verilmiştir. Burada, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ lineer ilişkisinin elde edildiği görülmektedir.

Şekil 4.62’de ise devre 1.3’e ait DC akım izleme eğrilerinin türevi alınmış hali görülmektedir. $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ akım ifadelerinin I_{X1} ’e göre türevi alınırsa $\partial I_{Z1} / \partial I_{X1} = 1$ ve $\partial I_{Z2} / \partial I_{X1} = -1$ elde edilir ki bu da şekilden açıkça görülmektedir. Türev eğrileri üzerinden hata hesabı yapıldığında, maksimum hata, I_{Z1} için % 1.12, I_{Z2} için % 4.32 olarak bulunmuştur.

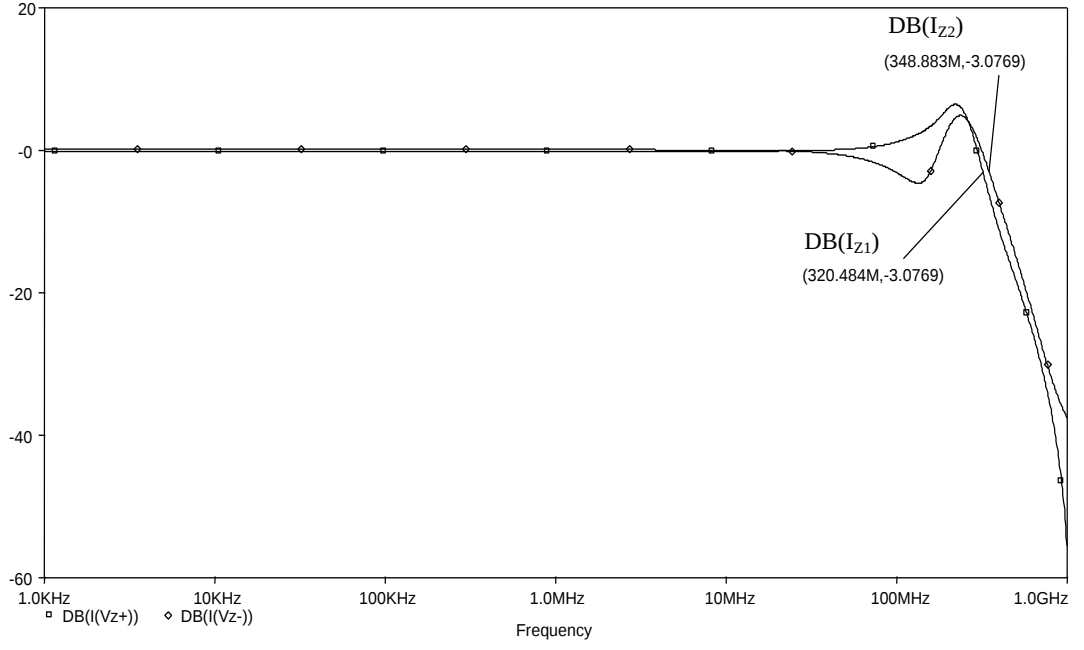


Şekil 4.61 Devre 1.3 için DC akım izleme eğrileri



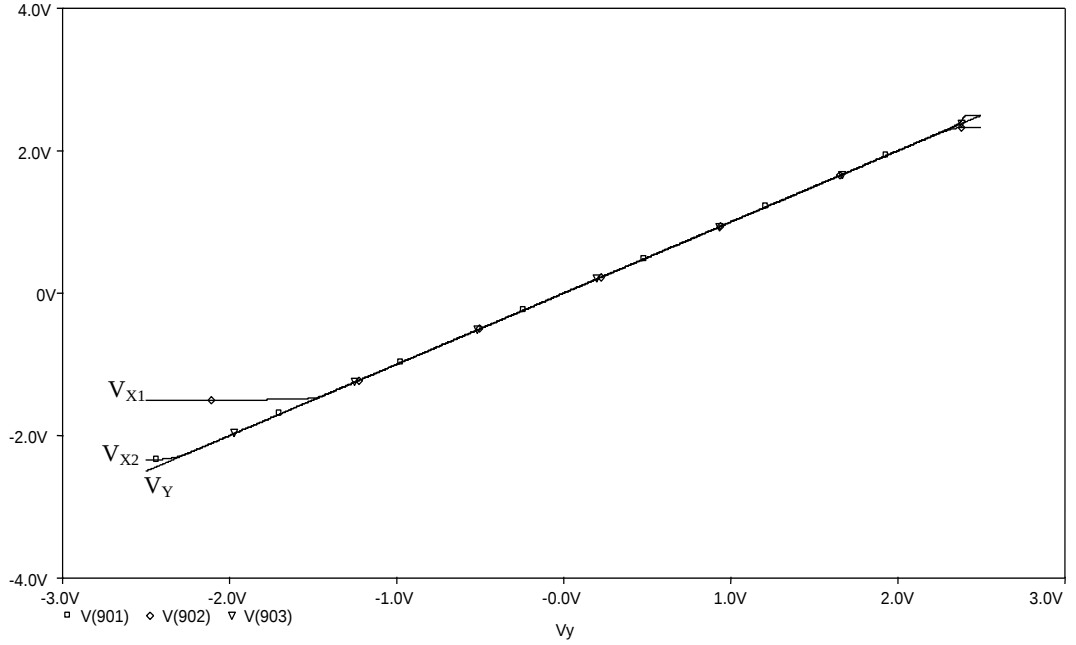
Şekil 4.62 Devre 1.3 için türevi alınmış DC akım izleme eğrileri

Şekil 4.63’de devre 1.3’e ait AC akım izleme eğrileri verilmiştir. Burada, I_{Z1} ’e ait eğri üzerinden band genişliği yaklaşık 320MHz, I_{Z2} ’ye ait eğri üzerinden ise yaklaşık 348MHz olarak okunmuştur.



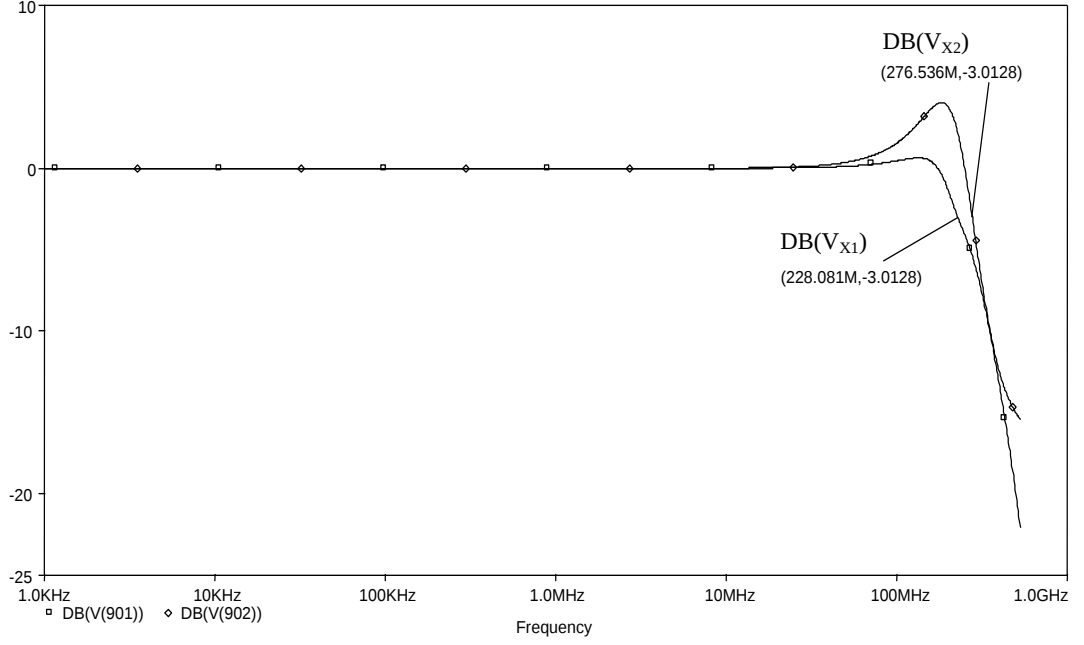
Şekil 4.63 Devre 1.3 için AC akım izleme eğrileri

Şekil 4.64’de devre 1.3’e ait DC gerilim izleme eğrileri verilmiştir. Burada, $V_{X1} = V_{X2} = V_Y$ lineer ilişkisinin elde edildiği görülmektedir. V_{X1} gerilimi $-2.2V$ ile $2.2V$ arasında maksimum % 0.05 hata ile, V_{X2} gerilimi ise $-1.26V$ ile $2.2V$ arasında maksimum % 0.8 hata ile V_Y gerilimini takip etmektedir.



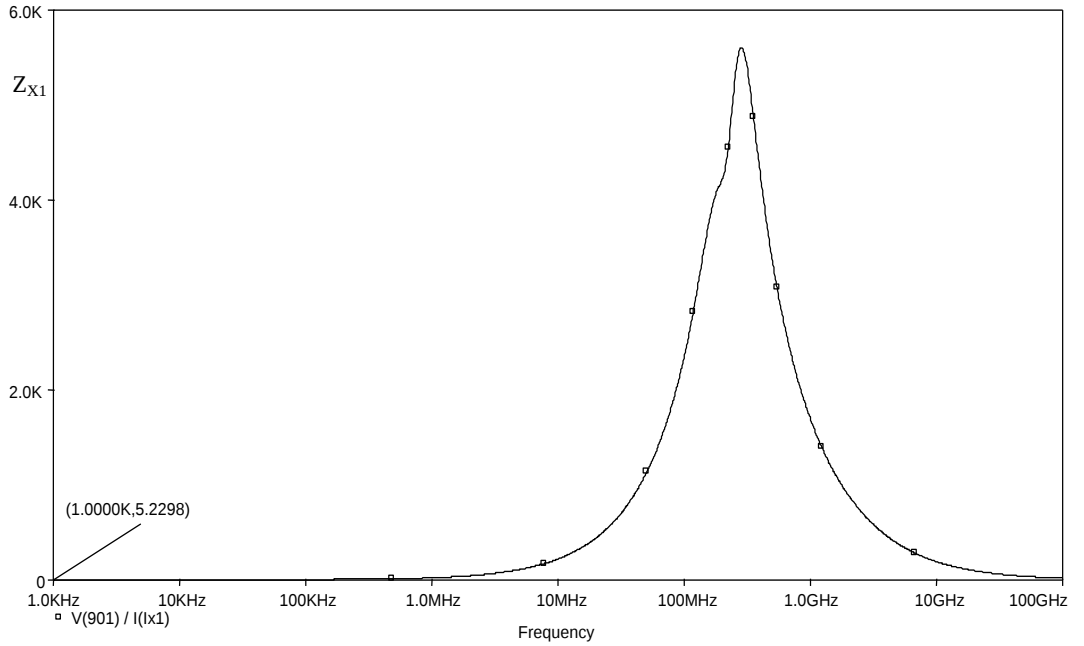
Şekil 4.64 Devre 1.3 için DC gerilim izleme eğrileri

Şekil 4.65’de devre 1.3’e ait AC gerilim izleme eğrileri verilmiştir. Burada, V_{X1} ’e ait eğri üzerinden band genişliği yaklaşık 228MHz, V_{X2} ’ye ait eğri üzerinden ise yaklaşık 276MHz olarak okunmuştur.



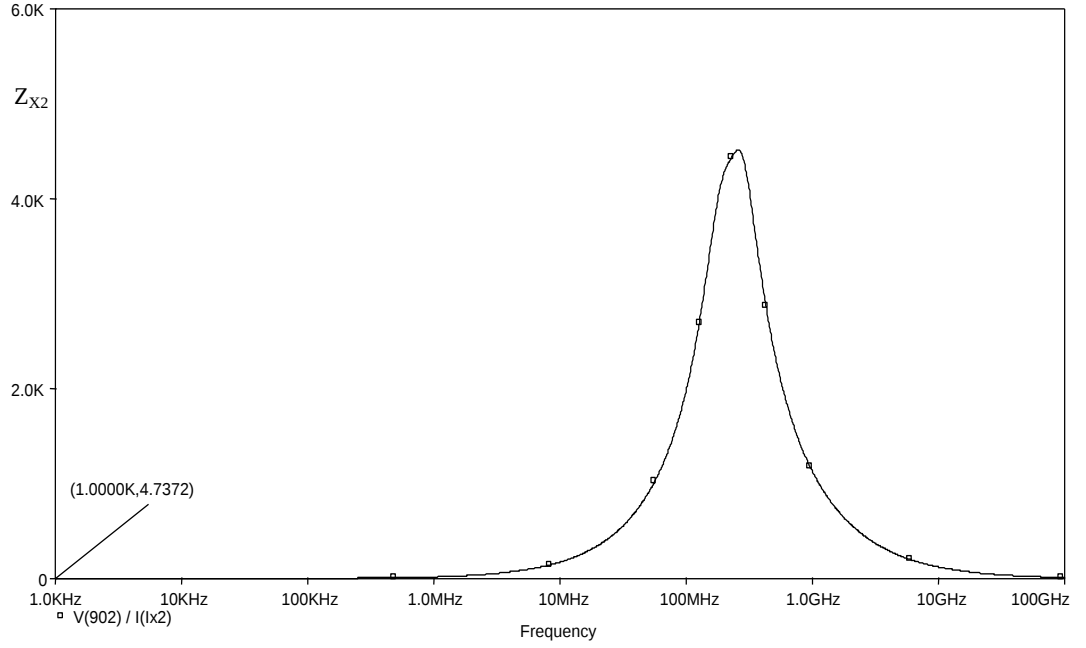
Şekil 4.65 Devre 1.3 için AC gerilim izleme eğrileri

Şekil 4.66’da devre 1.3’e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X1} direncinin değeri 5.2298 Ω olarak okunmuştur.



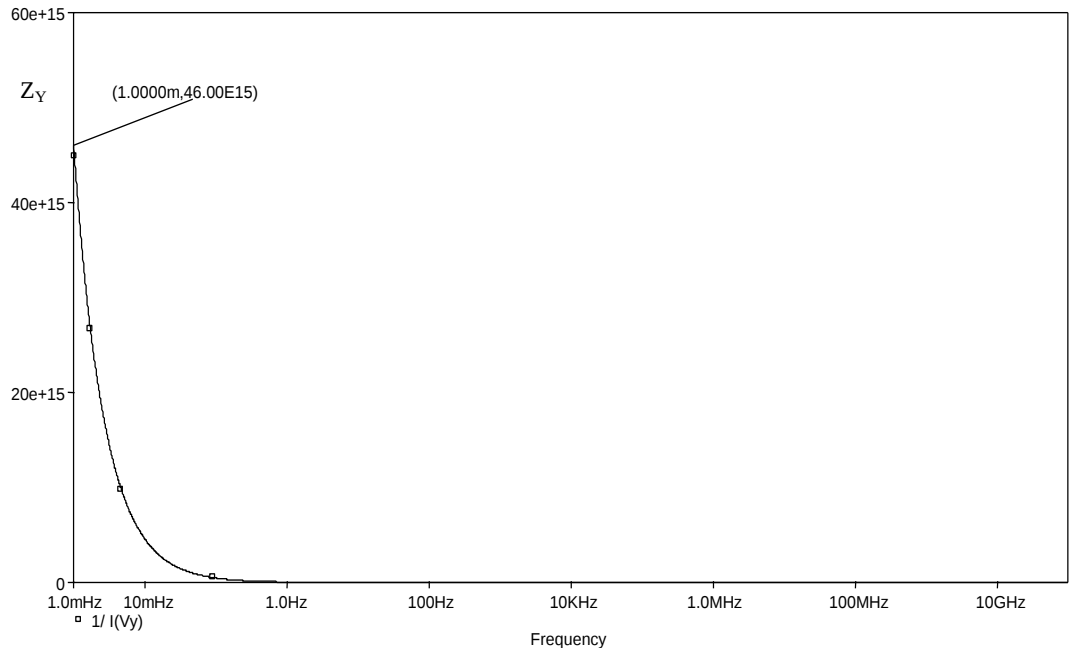
Şekil 4.66 Devre 1.3’e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.67’de devre 1.3’e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X2} direncinin değeri 4.7372Ω olarak okunmuştur.



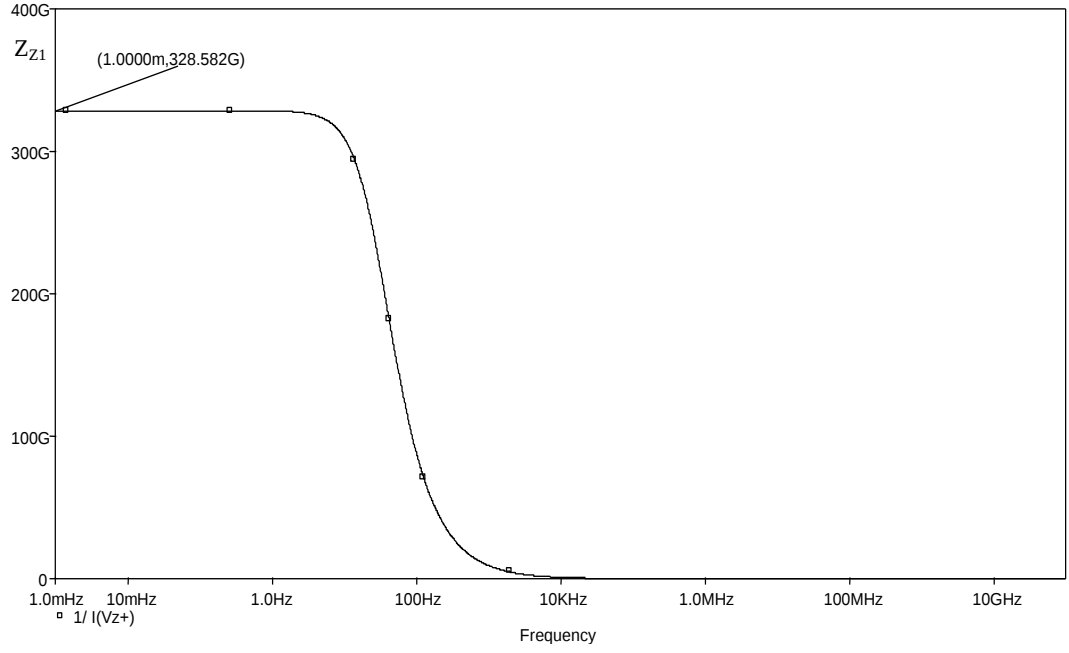
Şekil 4.67 Devre 1.3’e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.68’de devre 1.3’e ait Y ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_Y direncinin değeri $46 \times 10^{15}\Omega$ olarak okunmuştur.



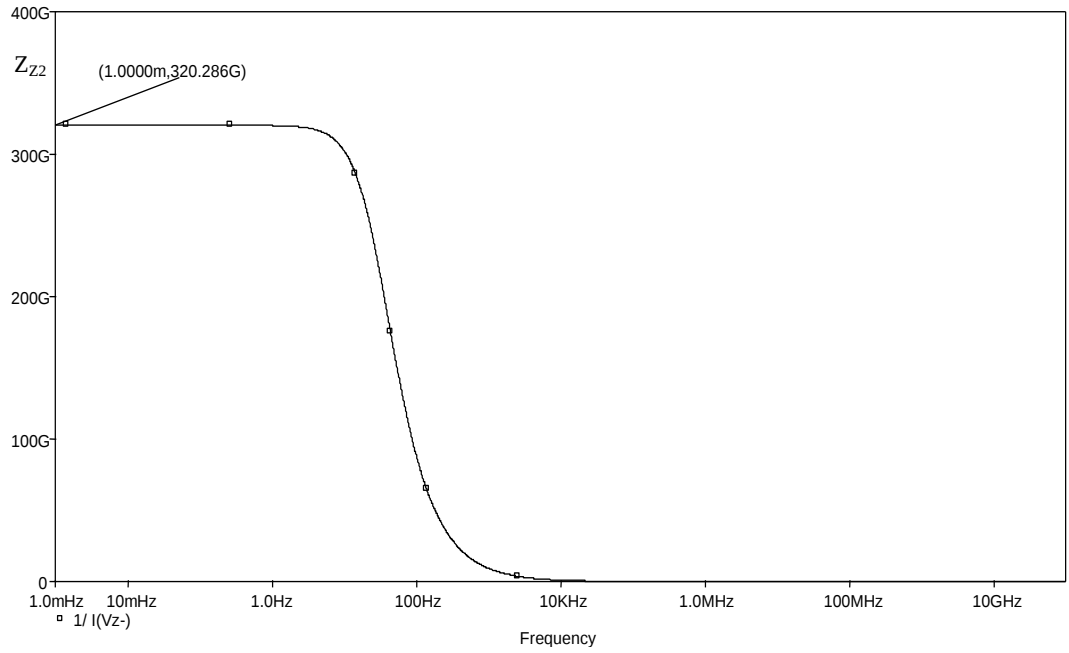
Şekil 4.68 Devre 1.3’e ait Y ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.69’da devre 1.3’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z1} direncinin değeri $328.5G\Omega$ olarak okunmuştur.



Şekil 4.69 Devre 1.3’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.70’da devre 1.3’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z2} direncinin değeri $320.28G\Omega$ olarak okunmuştur.



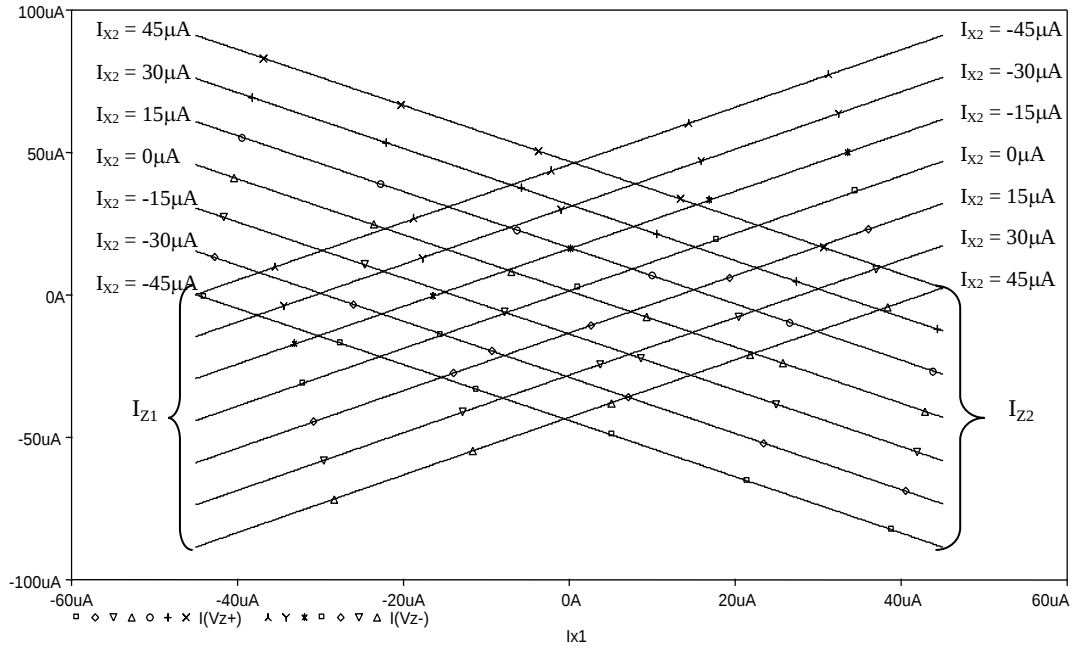
Şekil 4.70 Devre 1.3’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi

4.2.8 Devre 2.3'ün DC ve AC Karakteristik Eğrileri

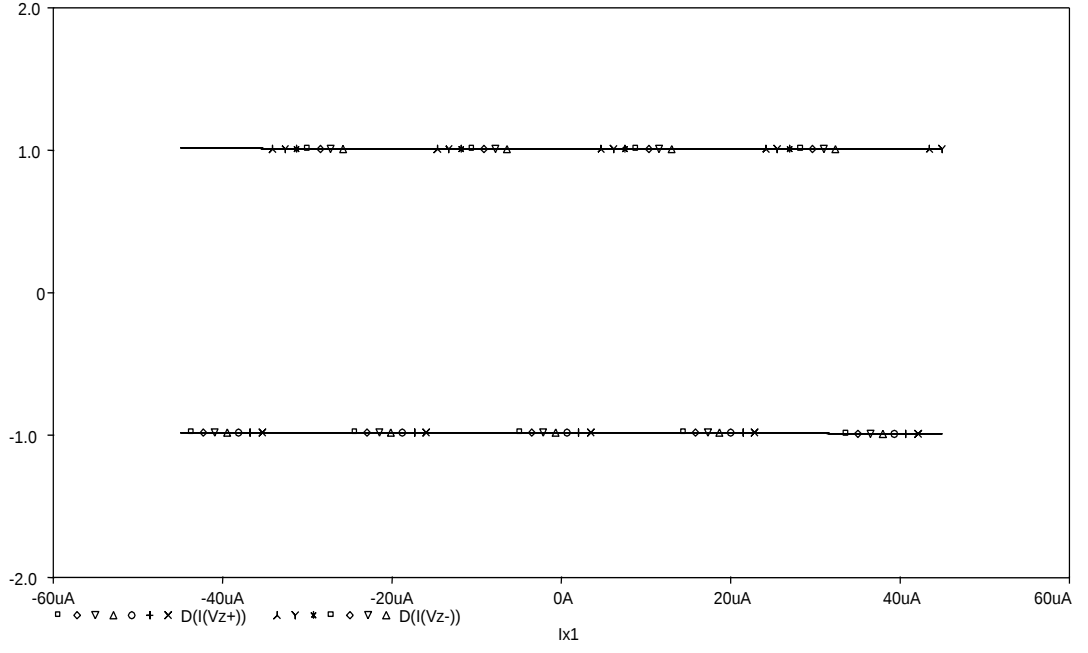
Şekil 3.12'de verilen yüksek başarımlı fark akım taşıyıcı yapısı için besleme gerilimleri $V_{DD} = V_{SS} = 2.5V$, kutuplama akımı ise $I_{BIAS} = 50\mu A$ olarak seçilmiştir.

Şekil 4.71'de devre 2.3'e ait DC akım izleme eğrileri verilmiştir. Burada, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ lineer ilişkisinin elde edildiği görülmektedir.

Şekil 4.72'de ise devre 2.3'e ait DC akım izleme eğrilerinin türevi alınmış hali görülmektedir. $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ akım ifadelerinin I_{X1} 'e göre türevi alınırsa $\partial I_{Z1} / \partial I_{X1} = 1$ ve $\partial I_{Z2} / \partial I_{X1} = -1$ elde edilir ki bu da şekilden açıkça görülmektedir. Türev eğrileri üzerinden hata hesabı yapıldığında, maksimum hata, I_{Z1} için % 2.7, I_{Z2} için % 2.7 olarak bulunmuştur.

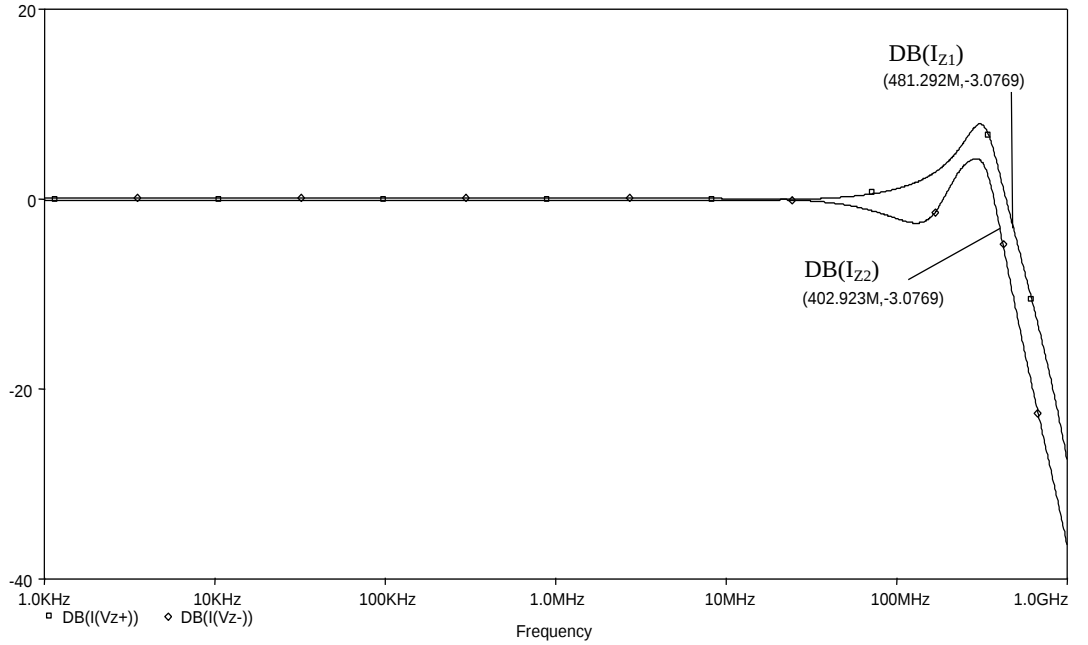


Şekil 4.71 Devre 2.3 için DC akım izleme eğrileri



Şekil 4.72 Devre 2.3 için türevi alınmış DC akım izleme eğrileri

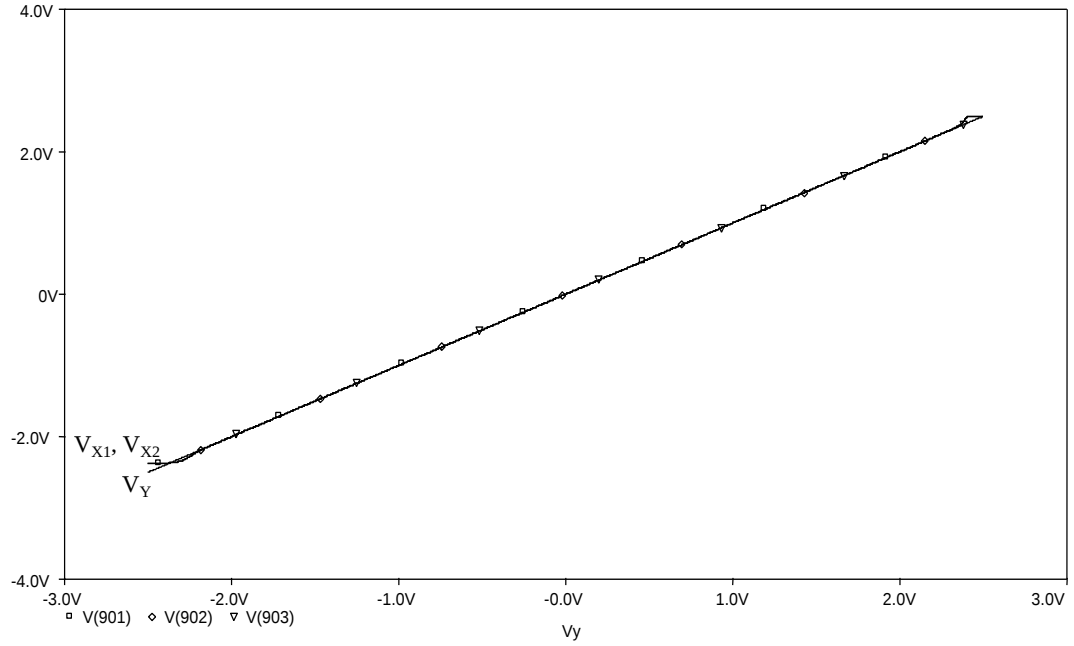
Şekil 4.73’de devre 2.3’e ait AC akım izleme eğrileri verilmiştir. Burada, I_{Z1} ’e ait eğri üzerinden band genişliği yaklaşık 481MHz, I_{Z2} ’ye ait eğri üzerinden ise yaklaşık 402MHz olarak okunmuştur.



Şekil 4.73 Devre 2.3 için AC akım izleme eğrileri

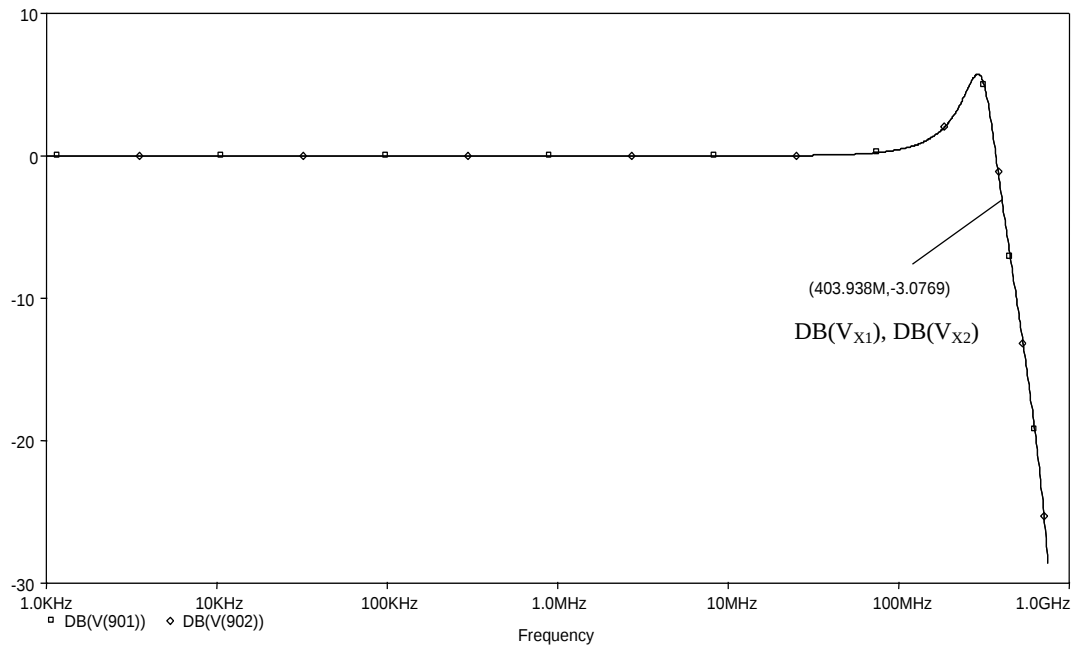
Şekil 4.74’de devre 2.3’e ait DC gerilim izleme eğrileri verilmiştir. Burada, $V_{X1} = V_{X2} = V_Y$ lineer ilişkisinin elde edildiği görülmektedir. V_{X1} gerilimi $-2.15V$ ile $2.2V$

arasında maksimum % 0.05 hata ile, V_{X2} gerilimi de $-2.15V$ ile $2.2V$ arasında maksimum % 0.05 hata ile V_Y gerilimini takip etmektedir.



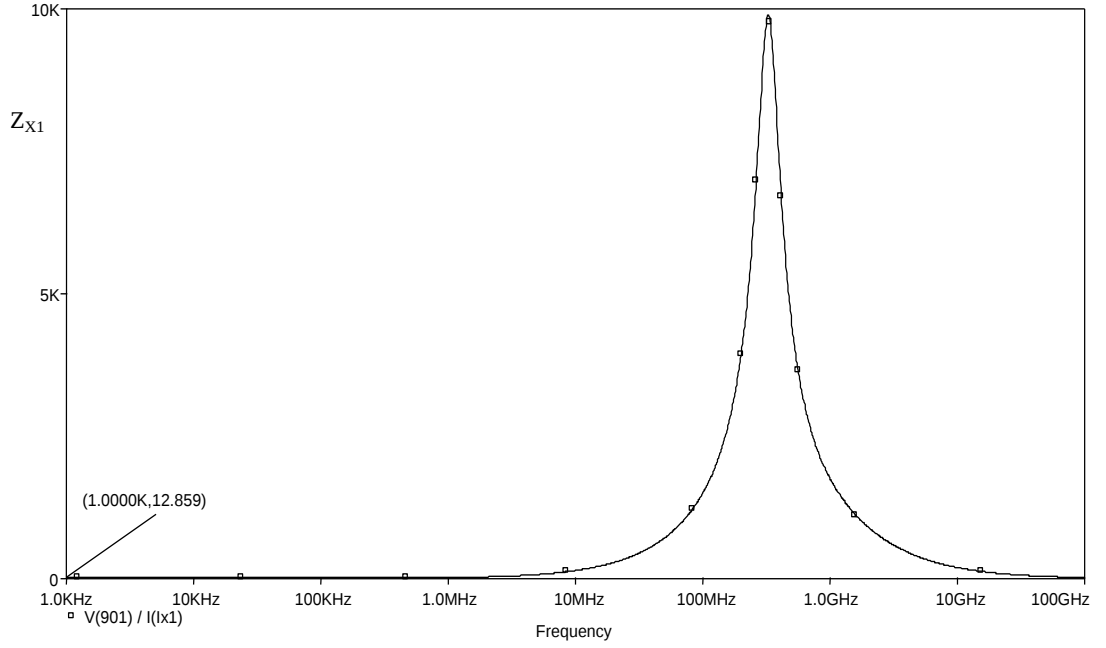
Şekil 4.74 Devre 2.3 için DC gerilim izleme eğrileri

Şekil 4.75’de devre 2.3’e ait AC gerilim izleme eğrileri verilmiştir. Burada, hem V_{X1} ’e ait eğri üzerinden hem de V_{X2} ’ye ait eğri üzerinden band genişliği yaklaşık 403MHz olarak okunmuştur.



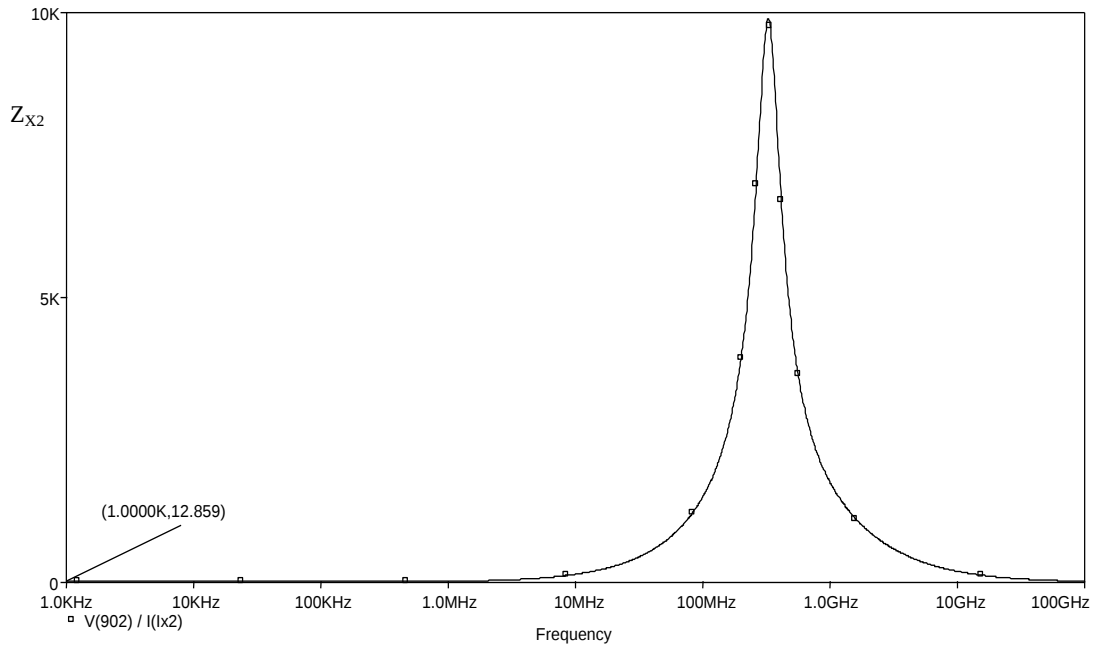
Şekil 4.75 Devre 2.3 için AC gerilim izleme eğrileri

Şekil 4.76'da devre 2.3'e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X1} direncinin değeri 12.859Ω olarak okunmuştur.



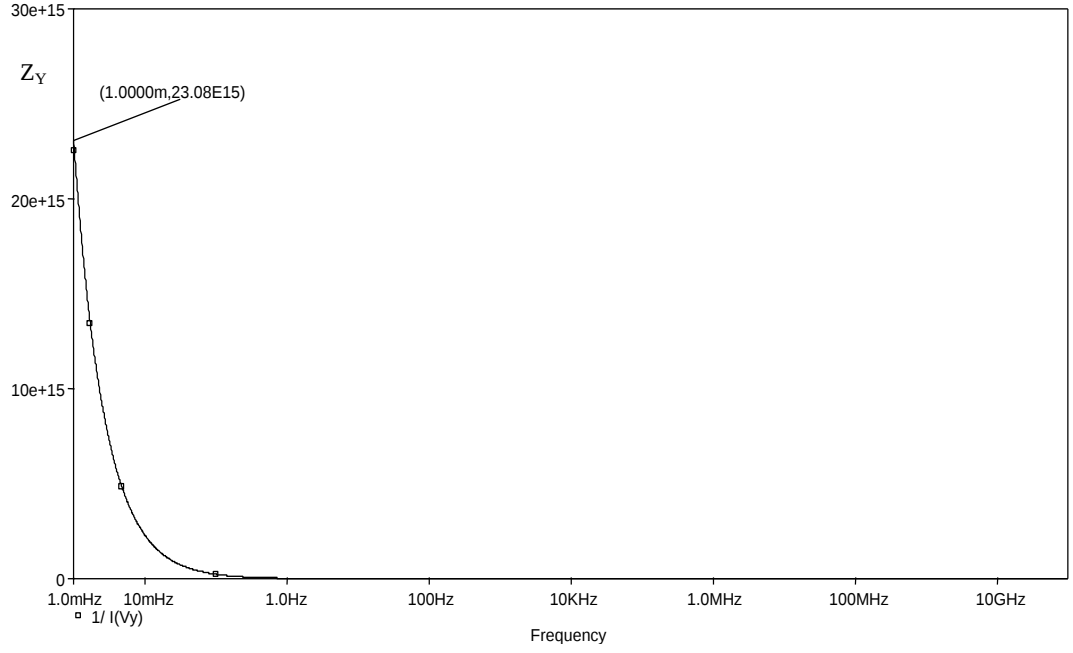
Şekil 4.76 Devre 2.3'e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.77'de devre 2.3'e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X2} direncinin değeri 12.859Ω olarak okunmuştur.



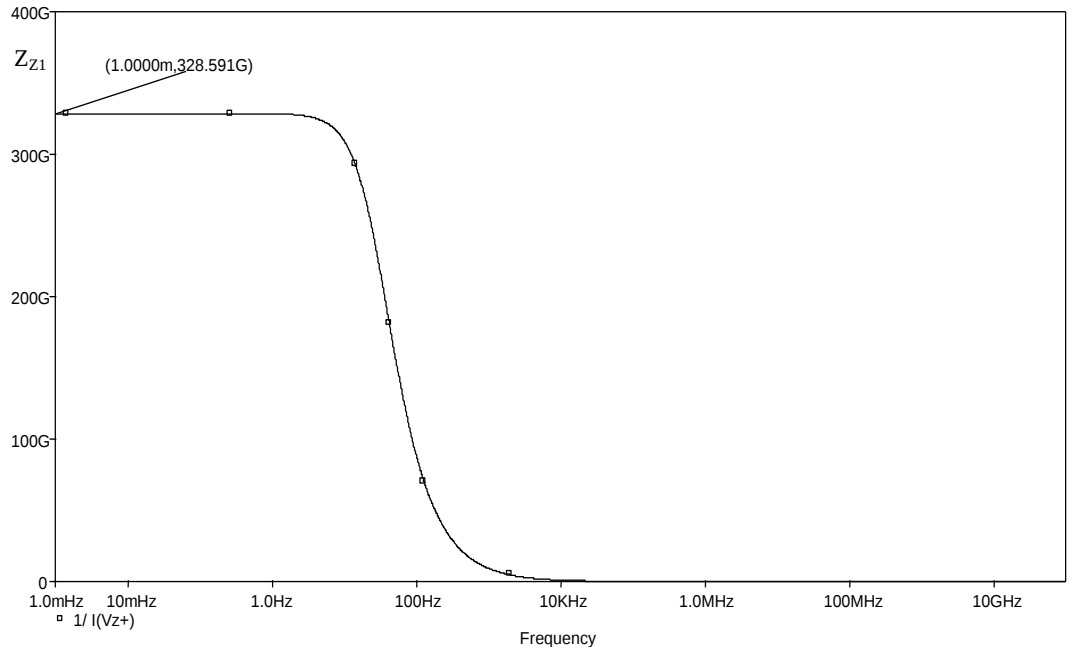
Şekil 4.77 Devre 2.3'e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.78’de devre 2.3’e ait Y ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_Y direncinin değeri $23.08 \times 10^{15} \Omega$ olarak okunmuştur.



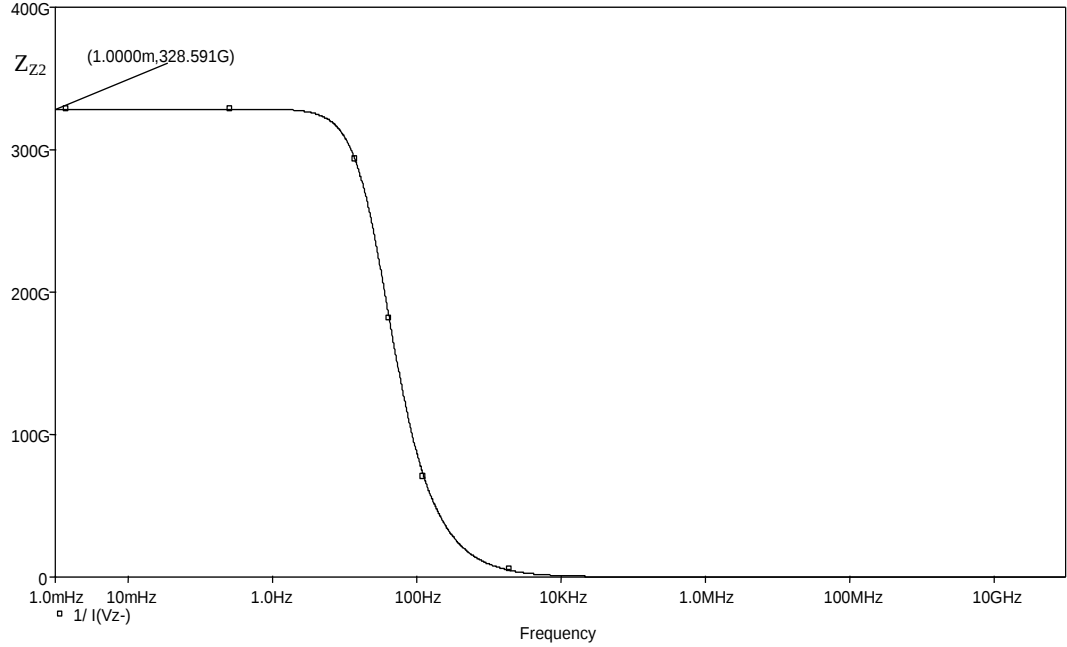
Şekil 4.78 Devre 2.3’e ait Y ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.79’da devre 2.3’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z1} direncinin değeri $328.59G\Omega$ olarak okunmuştur.



Şekil 4.79 Devre 2.3’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.80’de devre 2.3’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z2} direncinin değeri $328.59\text{G}\Omega$ olarak okunmuştur.



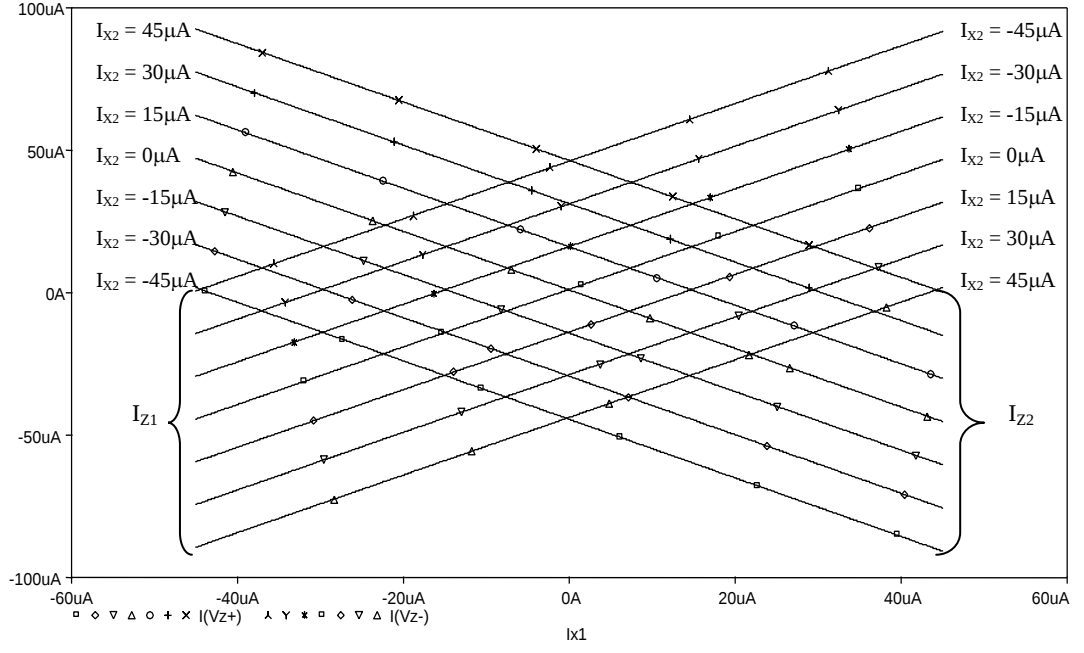
Şekil 4.80 Devre 2.3’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi

4.2.9 Devre 3.3’ün DC ve AC Karakteristik Eğrileri

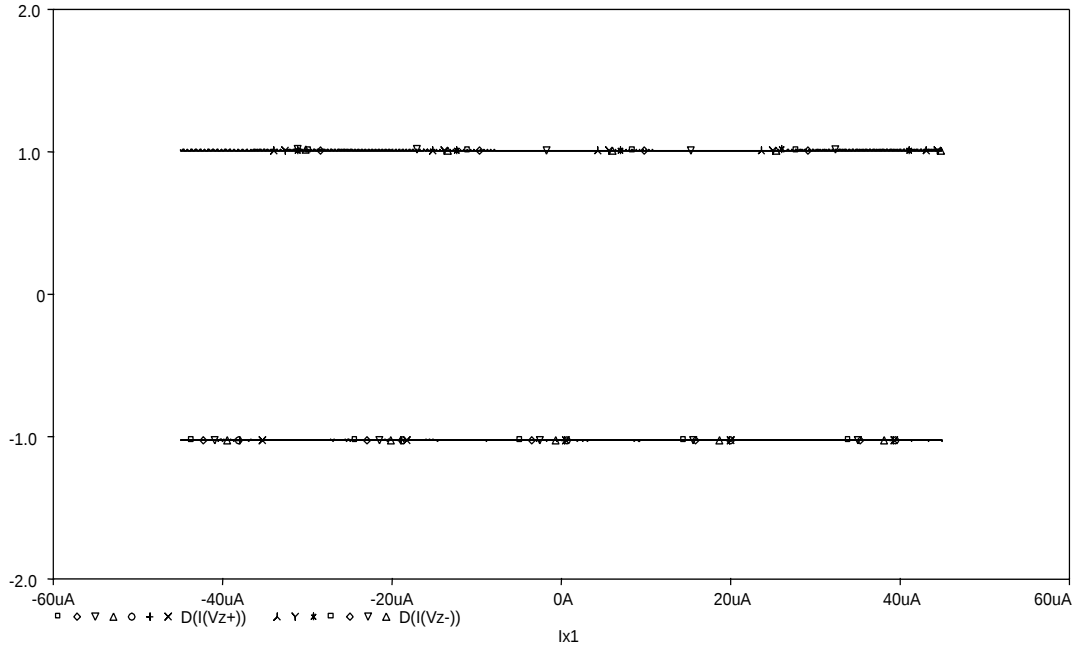
Şekil 3.13’de verilen yüksek başarılı fark akım taşıyıcı yapısı için besleme gerilimleri $V_{DD} = V_{SS} = 2.5\text{V}$, kutuplama akımı ise $I_{BIAS} = 50\mu\text{A}$ olarak seçilmiştir.

Şekil 4.81’de devre 3.3’e ait DC akım izleme eğrileri verilmiştir. Burada, $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ lineer ilişkisinin elde edildiği görülmektedir.

Şekil 4.82’de ise devre 3.3’e ait DC akım izleme eğrilerinin türevi alınmış hali görülmektedir. $I_{Z1} = I_{X1} - I_{X2}$ ve $I_{Z2} = I_{X2} - I_{X1}$ akım ifadelerinin I_{X1} ’e göre türevi alınırsa $\partial I_{Z1} / \partial I_{X1} = 1$ ve $\partial I_{Z2} / \partial I_{X1} = -1$ elde edilir ki bu da şekilden açıkça görülmektedir. Türev eğrileri üzerinden hata hesabı yapıldığında, maksimum hata, I_{Z1} için % 1.95, I_{Z2} için % 2.8 olarak bulunmuştur.

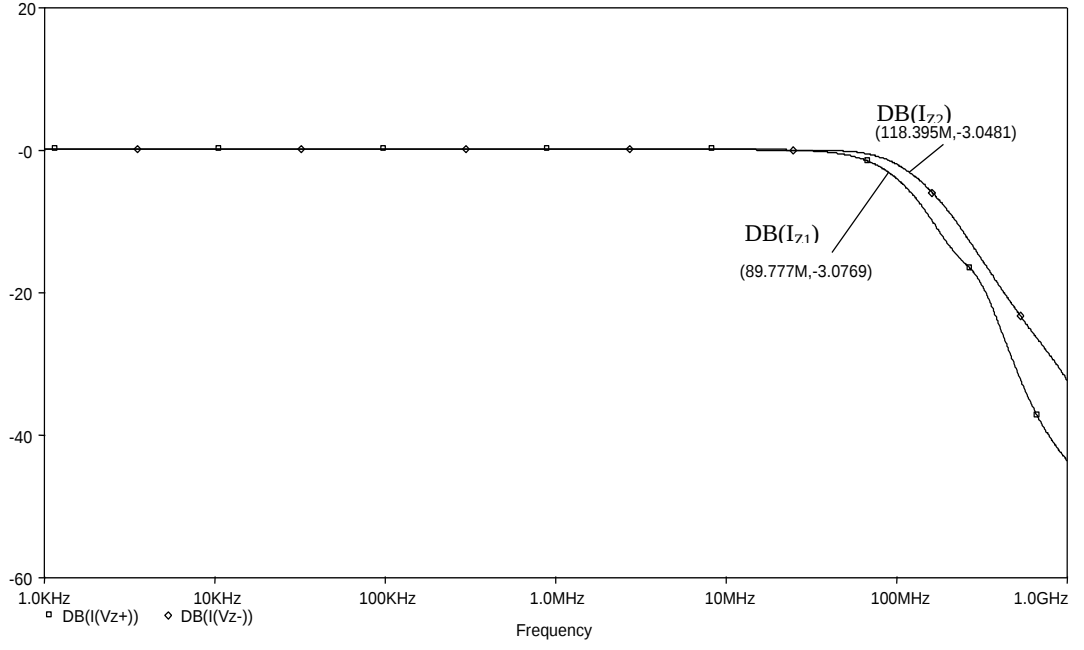


Şekil 4.81 Devre 3.3 için DC akım izleme eğrileri



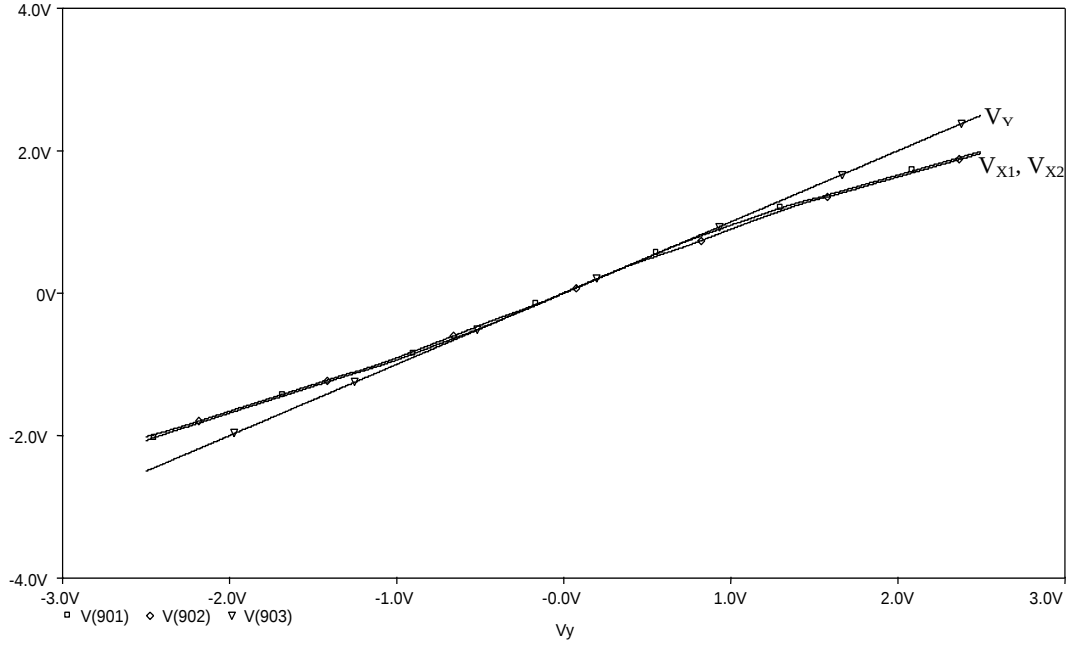
Şekil 4.82 Devre 3.3 için türevi alınmış DC akım izleme eğrileri

Şekil 4.83’de devre 3.3’e ait AC akım izleme eğrileri verilmiştir. Burada, I_{z1} ’e ait eğri üzerinden band genişliği yaklaşık 89MHz, I_{z2} ’ye ait eğri üzerinden ise yaklaşık 118MHz olarak okunmuştur.



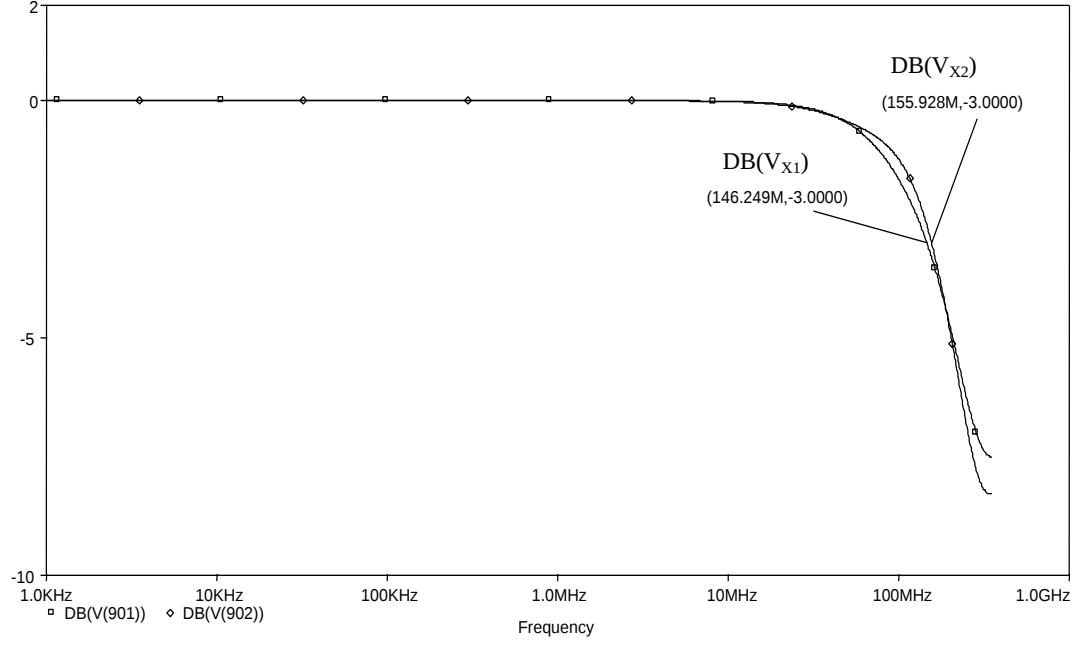
Şekil 4.83 Devre 3.3 için AC akım izleme eğrileri

Şekil 4.84’de devre 3.3’e ait DC gerilim izleme eğrileri verilmiştir. Burada, $V_{X1} = V_{X2} = V_Y$ lineer ilişkisinin elde edildiği görülmektedir. V_{X1} gerilimi $-2V$ ile $2V$ arasında maksimum % 20 hata ile, V_{X2} gerilimi de $-2V$ ile $2V$ arasında maksimum % 20 hata ile V_Y gerilimini takip etmektedir.



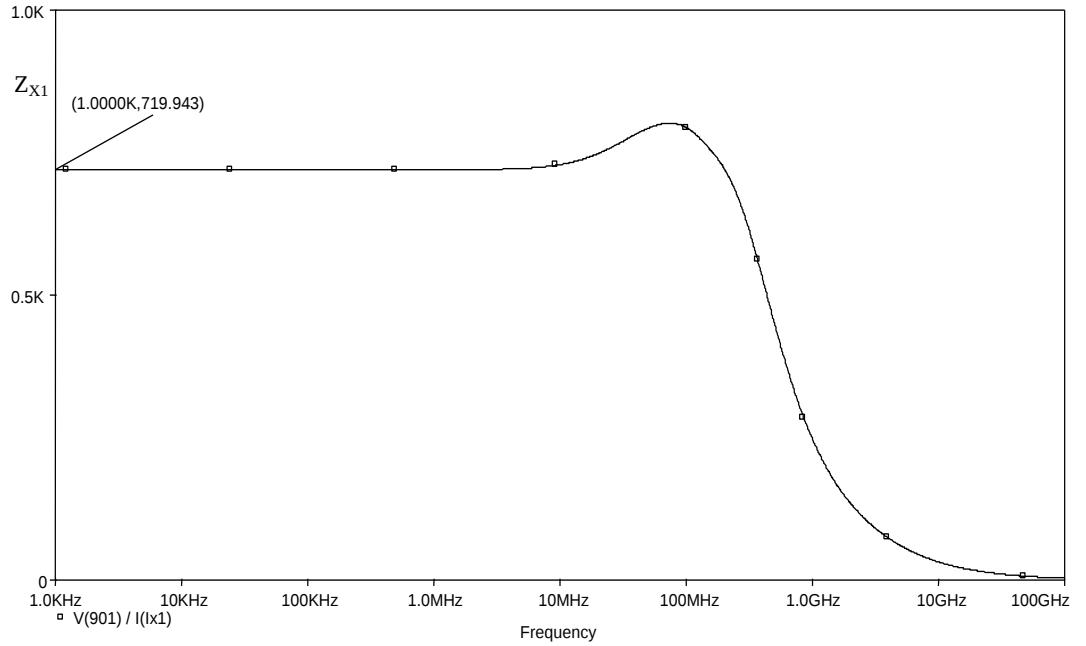
Şekil 4.84 Devre 3.3 için DC gerilim izleme eğrileri

Şekil 4.85’de devre 3.3’e ait AC gerilim izleme eğrileri verilmiştir. Burada, V_{X1} ’e ait eğri üzerinden band genişliği yaklaşık 146MHz, V_{X2} ’ye ait eğri üzerinden ise yaklaşık 155MHz olarak okunmuştur.



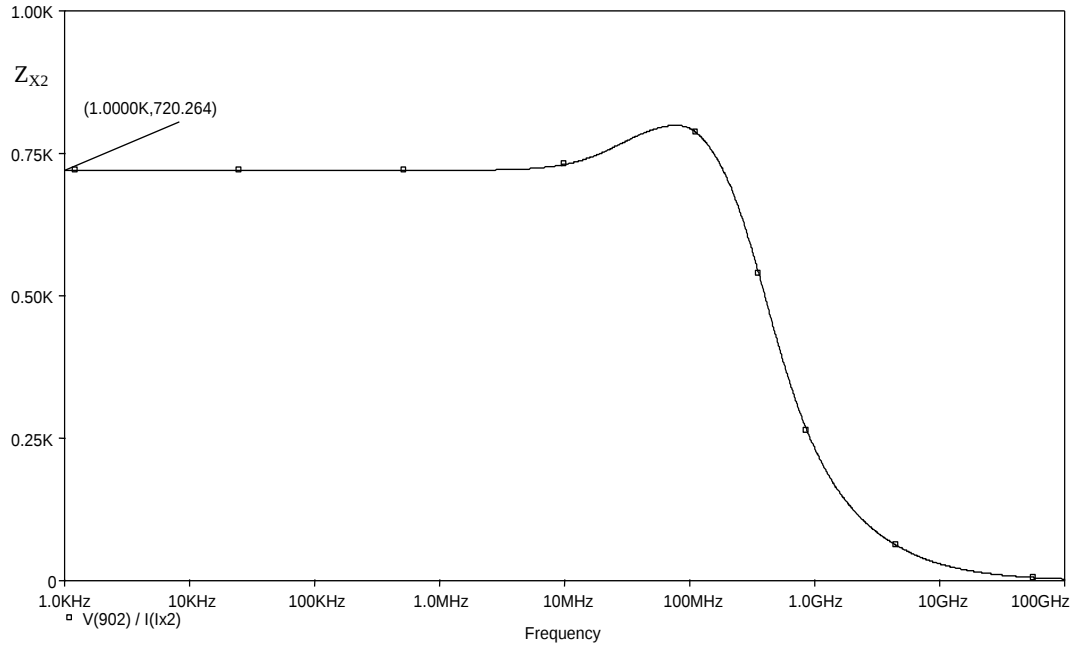
Şekil 4.85 Devre 3.3 için AC gerilim izleme eğrileri

Şekil 4.86’da devre 3.3’e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X1} direncinin değeri 719.943Ω olarak okunmuştur.



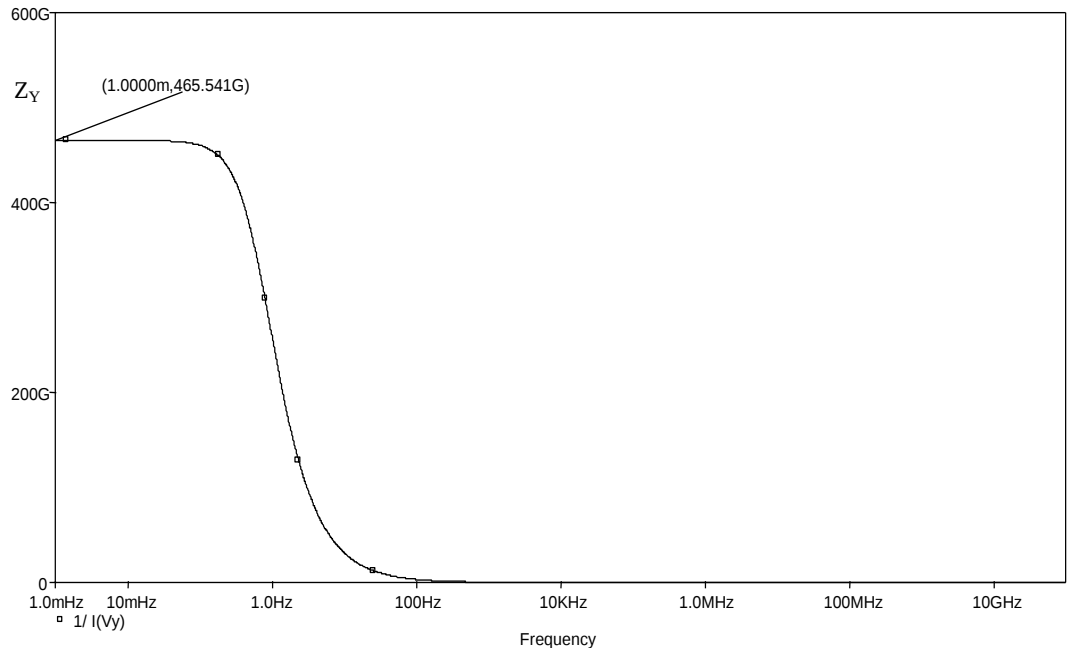
Şekil 4.86 Devre 3.3’e ait X_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.87’de devre 3.3’e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{X2} direncinin değeri 720.264Ω olarak okunmuştur.



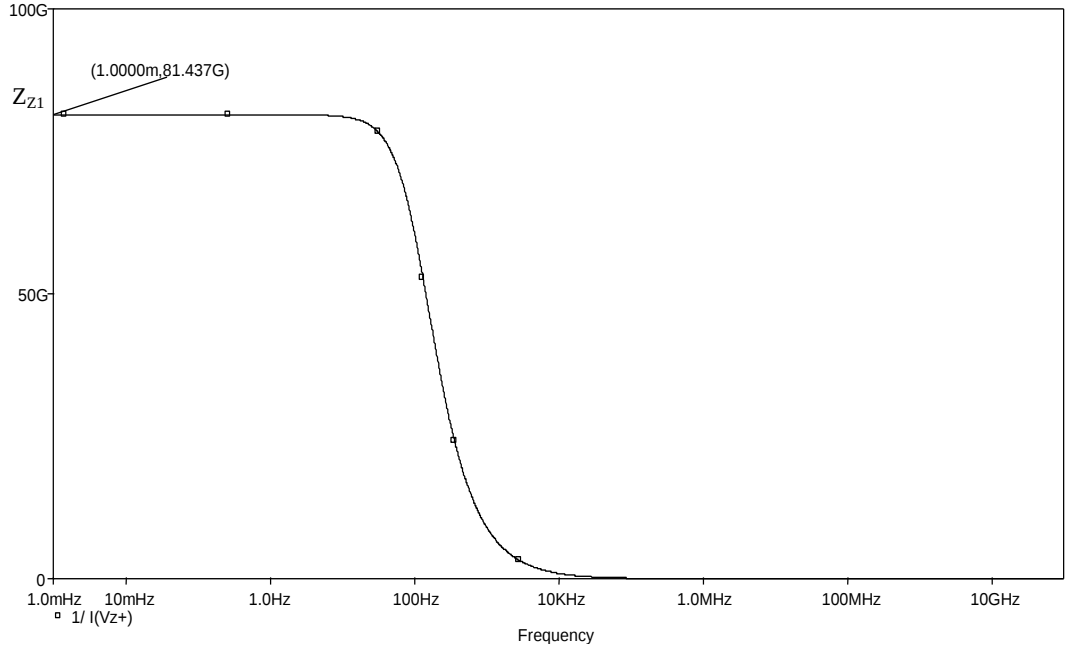
Şekil 4.87 Devre 3.3’e ait X_2 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.88’de devre 3.3’e ait Y ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_Y direncinin değeri $465.54G\Omega$ olarak okunmuştur.



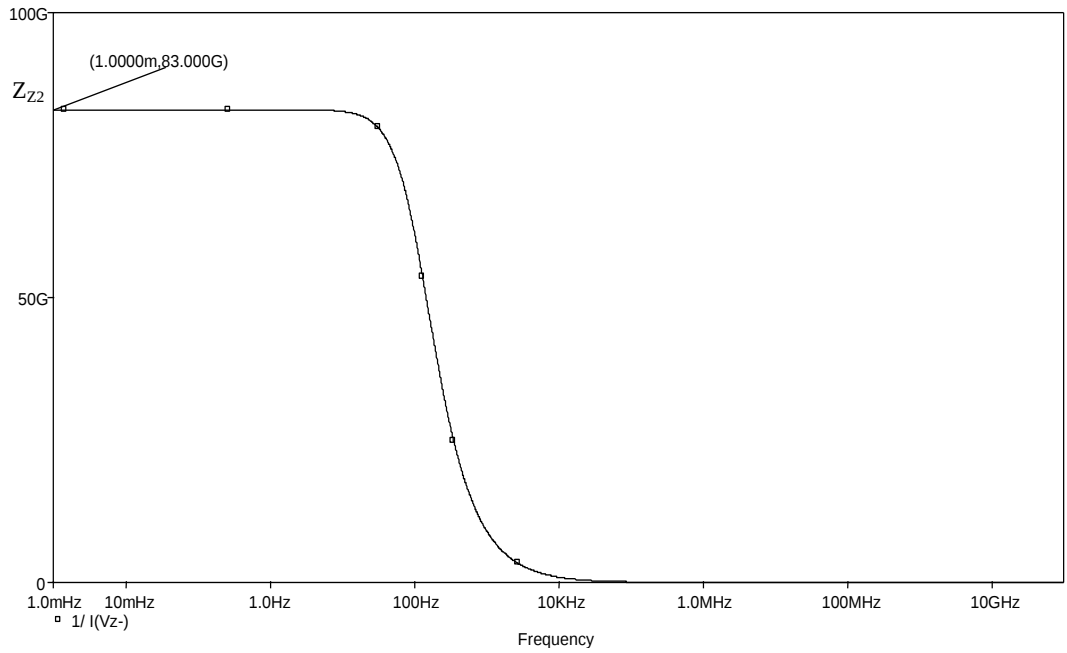
Şekil 4.88 Devre 3.3’e ait Y ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.89’da devre 3.3’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z1} direncinin değeri $81.43G\Omega$ olarak okunmuştur.



Şekil 4.89 Devre 3.3’e ait Z_1 ucundan görülen empedansın frekansla değişim eğrisi

Şekil 4.90’da devre 3.3’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi verilmiştir. Eğri üzerinden R_{Z2} direncinin değeri $83G\Omega$ olarak okunmuştur.



Şekil 4.90 Devre 3.3’e ait Z_2 ucundan görülen empedansın frekansla değişim eğrisi

4.3 Önerilen Yüksek Başarımli DCCII Devrelerinin Karşılaştırılması

Tablo 4.1, tablo 4.2 ve tablo 4.3’de önerilen yüksek başarımli fark akım taşıyıcı devrelerinin R_{X1} , R_{X2} , R_Y , R_{Z1} , R_{Z2} dirençleri ile akım ve gerilim izleme eğrilerinin band genişlikleri yönünden karşılaştırılmaları verilmiştir.

Tablo 4.1: Temel Fark Akım Taşıyıcı Devrelerinin Başarım Yönünden Karşılaştırılmaları

	Devre 1.1	Devre 2.1	Devre 3.1
$R_{X1} (\Omega)$	5.2303	12.859	721.283
$R_{X2} (\Omega)$	4.7377	12.859	721.603
$R_Y (\Omega)$	46×10^{15}	23.08×10^{15}	465.5G
$R_{Z1} (\Omega)$	2.11M	2.11M	0.99M
$R_{Z2} (\Omega)$	2.08M	2.11M	1.01M
$BW(I_{Z1} / I_X)$	320MHz	494MHz	102MHz
$BW(I_{Z2} / I_X)$	333MHz	381MHz	111MHz
$BW(V_{X1} / V_Y)$	314MHz	468MHz	158MHz
$BW(V_{X2} / V_Y)$	292MHz	468MHz	166MHz

Tablo 4.1 incelendiğinde, en küçük R_X ve en büyük R_Y dirençlerine devre 1.1’in, en büyük R_Z dirençleri ile band genişliklerine ise devre 2.1’in sahip olduğunu görüyoruz. Yine tablodan, devre 2.1’in devre 3.1’e, devre 3.1’in de devre 1.1’e göre daha simetrik sonuçlara sahip olduğu görülmektedir.

Tablo 4.2: Klasik Kaskod Akım Aynaları Kullanılan Fark Akım Taşıyıcı Devrelerinin Başarım Yönünden Karşılaştırılmaları

	Devre 1.2	Devre 2.2	Devre 3.2
$R_{X1} (\Omega)$	4.0058	5.6067	724.044
$R_{X2} (\Omega)$	3.7091	5.6067	724.901
$R_Y (\Omega)$	23.02×10^{15}	11.55×10^{15}	465.5G
$R_{Z1} (\Omega)$	1.06G	1.06G	306.34M
$R_{Z2} (\Omega)$	1.04G	1.06G	306.35M
$BW(I_{Z1} / I_X)$	271MHz	339MHz	65MHz
$BW(I_{Z2} / I_X)$	204MHz	232MHz	70MHz
$BW(V_{X1} / V_Y)$	278MHz	328MHz	166MHz
$BW(V_{X2} / V_Y)$	218MHz	328MHz	154MHz

Tablo 4.2 incelendiğinde, en küçük R_X ve en büyük R_Y dirençlerine devre 1.2'nin, en büyük band genişliklerine ise devre 2.2'nin sahip olduğunu görüyoruz. Yine tablodan, devre 2.2'nin devre 3.2'ye, devre 3.2'nin de devre 1.2'ye göre daha simetrik sonuçlara sahip olduğu görülmektedir.

Tablo 4.3: Aktif Geri Beslemeli CMOS Kaskod Akım Aynaları Kullanılan Fark Akım Taşıyıcı Devrelerinin Başarım Yönünden Karşılaştırılmaları

	Devre 1.3	Devre 2.3	Devre 3.3
$R_{X1} (\Omega)$	5.2298	12.859	719.943
$R_{X2} (\Omega)$	4.7372	12.859	720.264
$R_Y (\Omega)$	46×10^{15}	23.08×10^{15}	465.54G
$R_{Z1} (\Omega)$	328.5G	328.59G	81.43G
$R_{Z2} (\Omega)$	320.28G:	328.59G	83G
$BW(I_{Z1} / I_X)$	320MHz	481MHz	89MHz
$BW(I_{Z2} / I_X)$	348MHz	402MHz	118MHz
$BW(V_{X1} / V_Y)$	228MHz	403MHz	146MHz
$BW(V_{X2} / V_Y)$	276MHz	403MHz	155MHz

Tablo 4.3 incelendiğinde, en küçük R_X ve en büyük R_Y dirençlerine devre 1.3'ün, en büyük band genişliklerine ise devre 2.3'ün sahip olduğunu görüyoruz. Yine tablodan, devre 2.3'ün devre 3.3'e, devre 3.3'ün de devre 1.3'e göre daha simetrik sonuçlara sahip olduğu görülmektedir.

5. DCCII DEVRELERİNİN UYGULAMALARI

Bu bölümde, önceki bölümlerde ele alınan yüksek başarımlı DCCII iç yapılarının çeşitli uygulama devrelerindeki başarımlarından bahsedilecektir.

5.1 Kullanılan Uygulama Devreleri

DCCII yapısı, direnç bölgesinde çalışan MOS transistörler ile birlikte istenilen analog fonksiyonların gerçekleştirilmesinde kullanılabilir. Direnç bölgesinde çalışan transistörlerden kaynaklanan çift ve bazı durumlarda da tek kuvvetli lineersizlik terimleri birbirini götürmektedir. Bu özellik sayesinde, DCCII yapısının uygulama alanları arasında dört bölgeli çarpıcı, akım modlu veya karışık modlu sürekli zaman MOSFET-C süzgeçleri sayılabilir.

5.1.1 Dört Bölgeli Çarpıcı Yapısı

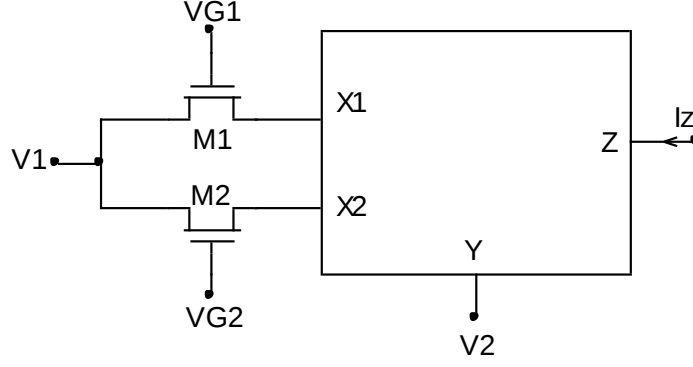
Çarpıcılar, analog işaret işleme uygulamalarında, lineer olmayan fonksiyonları gerçekleştirmekte kullanılan önemli devre bloklarıdır.

Uyarlanır süzgeçler, modülasyon sezimi, frekans ötelemesi, otomatik kazanç kontrolü ve sinir ağları gibi birçok analog işaret işleme uygulamasında analog çarpıcı ve bölücüler kullanılmaktadır [19, 20].

Bazı çarpıcılar doyma bölgesinde çalışan MOS transistörlerin geçit-kaynak gerilimleri ile savak akımları arasındaki karesel ilişkiyi kullanırken, diğer çarpıcılar ise direnç bölgesinde çalışan MOS transistörleri kullanır.

Dört bölgeli çarpıcı yapısı şekil 5.1’de verilmiş olup, yapı bir DCCII ve direnç bölgesinde çalışan 2 MOS transistörden oluşmaktadır [21].

Çarpma işlemi direnç bölgesinde çalışan M_1 ve M_2 transistörleri ile gerçekleştirilmektedir.



Şekil 5.1 Dört bölge çarpıcı yapısı [21]

Direnç bölgesinde M_1 ve M_2 transistorlarının her birinden akan akım (5.1) bağıntısıyla verildiği gibidir.

$$I = K(V_G - V_T)(V_D - V_S) + a_1(V_D^2 - V_S^2) + a_2(V_D^3 - V_S^3) + \dots \quad (5.1)$$

DCCII yapısının tanım bağıntıları gereğince $V_{X1} = V_{X2} = V_Y$ ve $I_{Z1} = I_{X1} - I_{X2}$ olduğundan M_1 ve M_2 transistorları eşit kaynak ve savak gerilimlerine sahiptirler. M_1 ve M_2 transistorlarının eş olduğu kabulü altında I_{Z1} akımı (5.2) bağıntısında verildiği gibi olacaktır.

$$I_{Z1} = K(V_{G1} - V_{G2})(V_1 - V_2) \quad (5.2)$$

(5.2) bağıntısından da görüldüğü gibi çıkış akımında lineersizlik terimleri birbirini götürmektedir [22].

5.1.2 Süzgeç Yapıları

Belirli frekanslardaki işaret bileşenlerini geçiren diğerlerini ise olabildiğince zayıflatan devreler süzgeç olarak isimlendirilir. Geçmişte pasif olarak gerçekleştirilen süzgeç yapıları, günümüzde entegre devre teknolojisinde meydana gelen gelişmelerle birlikte aktif olarak çip üzerinde gerçekleştirilebilmektedir. Tümdevre haline getirilmiş sürekli zaman süzgeçleri artık endüstride geniş bir yer tutmaktadır. Gerçekleştirilen bu sürekli zaman süzgeçleri, doğrudan işaret işlemeye yönelik, özellikle orta derecede dinamik aralığa sahip uygulamalarda, yüksek hız ve/veya düşük güç tüketimine ihtiyaç duyulduğu durumlarda kullanılmaktadır.

DCCII yapısı, akım modlu MOSFET-C süzgeçlerinin gerçekleştirilmesi için uygun bir analog yapı bloğudur. MOSFET-C süzgeçleri, işlemsel kuvvetlendiriciler kullanılarak, gerilim modlu olarak da gerçekleştirilebilmesine rağmen, kullanılan işlemsel kuvvetlendiricilerin sonlu kazanç-band genişliği çarpımının frekans aralığını kısıtlayıcı bir faktör olarak ortaya çıkması, başarımlı açısından bir dezavantaj oluşturmaktadır.

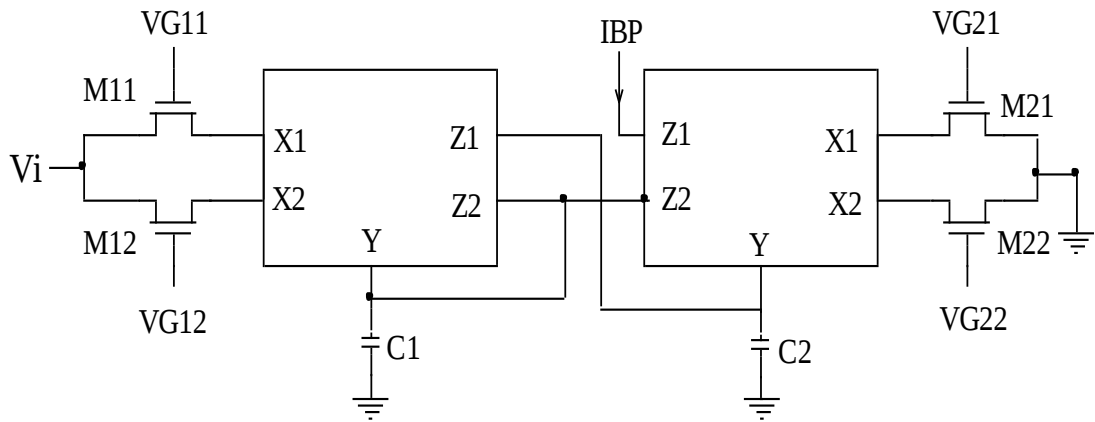
Bilindiği gibi, bir çok süzgeç yapısı mevcuttur. Bu yapılar, kullanılma yeri ve amaçlarına göre farklı fonksiyonlar gerçekleştirmektedir. Bu bölümde, çeşitli süzgeç yapıları üzerinde durulacaktır.

5.1.2.1 Karışık Modlu İkinci Dereceden Band Geçiren Süzgeç Yapısı

Band geçiren süzgeç, süzgeç merkez frekansı etrafındaki belirli bir banttaki işaretleri geçiren, diğer frekans bileşenlerini ise olabildiğince zayıflatan yapılardır.

Karışık modlu ikinci dereceden band geçiren süzgeç yapısı şekil 5.2’de verilmiş olup, yapı iki DCCII, direnç bölgesinde çalışan 4 MOS transistor ve iki kapasiteden oluşmaktadır [22].

M_{i1} ve M_{i2} ($i = 1, 2$) transistorları direnç bölgesinde çalışmaktadır. Bir önceki bölümde bahsedildiği gibi, lineersizlik terimleri birbirini götürmektedir. Bu süzgeç yapısında giriş gerilim olarak uygulanmakta, çıkış ise akım olarak alınmaktadır. Transfer fonksiyonu ise (5.3a) bağıntısında verildiği gibidir.



Şekil 5.2 Karışık modlu ikinci dereceden band geçiren süzgeç yapısı [22]

$$\frac{I_{BP}}{V_i} = \frac{s \frac{G_1 G_2}{C_2}}{s^2 + s \frac{G_1}{C_1} + \frac{G_1 G_2}{C_1 C_2}} \quad (5.3a)$$

(5.3a) bağıntısında G_1 ve G_2 olarak ifade edilen büyüklükler aşağıdaki gibidir.

$$G_1 = K_1 (V_{G11} - V_{G12}) \quad (5.3b)$$

$$G_2 = K_2 (V_{G21} - V_{G22}) \quad (5.3c)$$

Band geçiren süzgece ait açısal kesim frekansı (5.3d) bağıntısında verildiği gibidir.

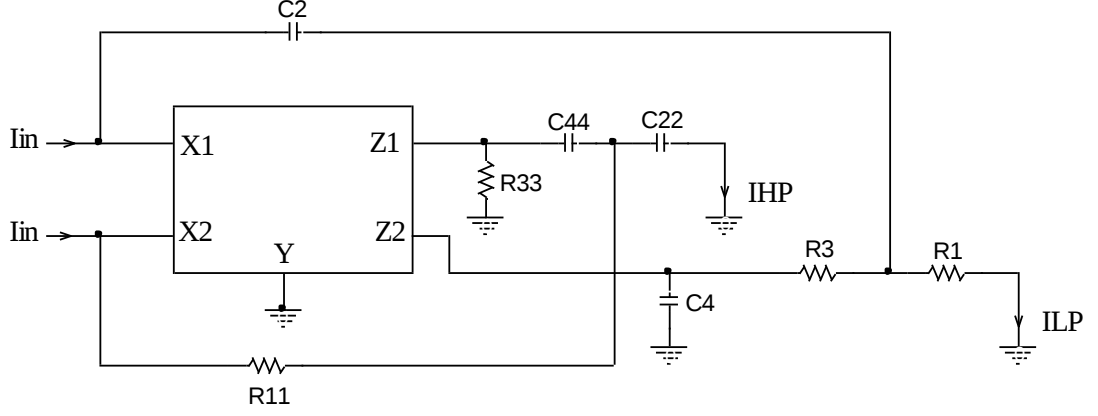
$$\omega_p = \sqrt{\frac{G_1 G_2}{C_1 C_2}} \quad (5.3d)$$

5.1.2.2 Akım Modlu Alçak Geçiren ve Yüksek Geçiren Süzgeç Yapısı

Alçak geçiren süzgeçler, süzgecin kesim frekansına kadar olan işaretleri geçiren, kesim frekansından yüksek frekanstaki işaretleri ise olabildiğince zayıflatan devrelerdir.

Yüksek geçiren süzgeçler ise, alçak geçiren süzgeçlerin aksine, kesim frekansından yüksek frekanstaki işaretleri geçiren, kesim frekansına kadar olan işaretleri ise olabildiğince zayıflatan devrelerdir.

Akım modlu alçak geçiren ve yüksek geçiren süzgeç yapıları şekil 5.3'de verilmiş olup, yapı bir DCCII, dört direnç ve dört kapasiteden oluşmaktadır [23].



Şekil 5.3 Akım modlu alçak geçiren ve yüksek geçiren süzgeç yapısı

Bu süzgeç yapısında giriş akım olarak uygulanmakta, çıkış da akım olarak alınmaktadır. Transfer fonksiyonu ise (5.4a) ve (5.4b) bağıntılarında verildiği gibidir.

$$T_{AG}(s) = \frac{I_{LP}}{I_{in}} = \frac{\omega_p^2}{s^2 + \frac{\omega_p}{q_p}s + \omega_p^2} \quad (5.4a)$$

$$T_{YG}(s) = \frac{I_{HP}}{I_{in}} = \frac{-s^2}{s^2 + \frac{\omega_p}{q_p}s + \omega_p^2} \quad (5.4b)$$

Şekil 5.3'deki dirençler $R_{1,11} = R_{3,33} = R$ olacak şekilde aynı değerde seçilebilir. Kapasiteler ise $C_{2,22} = C / m$ ve $C_4 = C \cdot m$ olarak seçilebilir. Bu durumda, süzgeç transfer fonksiyonları ile R ve C elemanları arasındaki ilişki (5.5a) ve (5.5b) bağıntılarında verildiği gibi ifade edilebilir.

$$\omega_p = \frac{1}{RC} \quad (5.5a)$$

$$\frac{1}{q_p} = 2m \quad (5.5b)$$

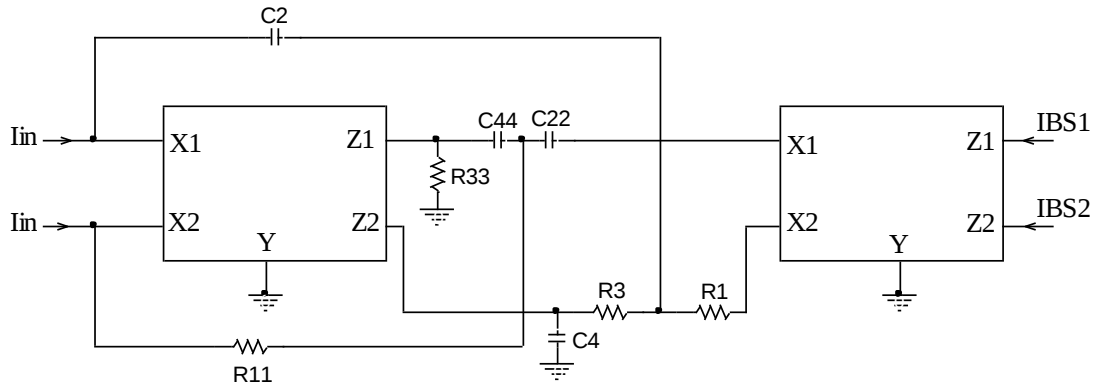
(5.5a) ve (5.5b) bağıntılarından da görüldüğü gibi, süzgeçlerin kesim frekansları dirençlerin değerini değiştirerek ayarlanabilmektedir. Kesim frekansı çip üzerinde

ayarlanabilir süzgeçler elde etmek için, şekil 5.3 ile verilen akım modlu alçak geçiren ve yüksek geçiren süzgeç yapısındaki dirençler, direnç bölgesinde çalışan MOS transistorlar ile gerçekleştirilebilir. Direnç bölgesinde çalışan MOS transistorların geçitlerine uygulanan V_C kontrol gerilimi ile direnç değerleri ayarlanabilir ve süzgeçlerin kesim frekansları istenilen değerlere getirilebilir.

5.1.2.3 Akım Modlu Band Söndüren Süzgeç Yapısı

Band söndüren süzgeçler, süzgeç merkez frekansı etrafındaki belirli bir banttaki işaretleri olabildiğince zayıflatan, diğer frekans bileşenlerini ise geçiren devrelerdir.

Akım modlu band söndüren süzgeç yapısı şekil 5.4’de verilmiş olup, önerilen yapı iki DCCII, dört direnç ve dört kapasiteden oluşmaktadır.



Şekil 5.4 Akım modlu band söndüren süzgeç yapısı

Bu süzgeç yapısında giriş akım olarak uygulanmakta, çıkış da akım olarak alınmaktadır. Transfer fonksiyonu (5.6) bağıntısında verildiği gibidir.

$$T_{BS}(s) = \frac{I_{BS}}{I_{in}} = \frac{s^2 + \omega_p^2}{s^2 + \frac{\omega_p}{q_p}s + \omega_p^2} \quad (5.6)$$

Şekil 5.4’deki dirençler $R_{1,11} = R_{3,33} = R$ olacak şekilde aynı değerde seçilebilir. Kapasiteler ise $C_{2,22} = C / m$ ve $C_4 = C \cdot m$ olarak seçilebilir. Bu durumda, süzgeç transfer fonksiyonları ile R ve C elemanları arasındaki ilişki (5.7a) ve (5.7b) bağıntılarında verildiği gibi ifade edilebilir.

$$\omega_p = \frac{1}{RC} \quad (5.7a)$$

$$\frac{1}{q_p} = 2m \quad (5.7b)$$

(5.7a) ve (5.7b) bağıntılarından da görüldüğü gibi, süzgecin kesim frekansı dirençlerin değerini değiştirerek ayarlanabilmektedir. Kesim frekansı çip üzerinde ayarlanabilir süzgeçler elde etmek için, şekil 5.4 ile verilen akım modlu band söndüren süzgeç yapısındaki dirençler, direnç bölgesinde çalışan MOS transistörler ile gerçekleştirilebilir. Direnç bölgesinde çalışan MOS transistörlerin geçitlerine uygulanan V_C kontrol gerilimi ile direnç değerleri ayarlanabilir ve süzgeçlerin kesim frekansları istenilen değerlere getirilebilir.

5.2 Benzetim Sonuçları

5.2.1 Dört Bölgeli Çarpıcı Yapısı

Şekil 5.1’de verilmiş olan dört bölgeli analog çarpıcı yapısı, önceki bölümlerde bahsedilen DCCII iç yapıları kullanılarak gerçekleştirilmiştir. Benzetimler sonucunda elde edilen eğriler EK C’de verilmiştir.

Benzetimler esnasında, çarpıcının DC karakteristik eğrilerini elde etmek için $V_1 = 0$ yapılmış, V_Y gerilimi -100mV ile 100mV arasında 50mV ’luk adımlarla değiştirilirken, M_1 ve M_2 transistörlerinin geçitleri arasına uygulanan V_{id} gerilimi ise -500mV ile 500mV arasında DC olarak taranmıştır.

Çarpıcı devresi kullanarak, bir modülasyon örneği elde etmek amacı ile, V_Y ucuna bu sefer modüle eden işaret olarak $f = 50\text{kHz}$ ’lik bir sinüs, V_{id} ucuna ise modüle edilen işaret olarak $f = 1\text{MHz}$ ’lik bir sinüs işareti uygulanmıştır.

Benzetim sonucu elde edilen eğriler incelendiğinde, DC karakteristik eğrilerinin türevi alınarak yapılan hata hesabında, maksimum hata devre 1.1 için % 4, devre 2.1 için % 4.2, devre 3.1 için % 7.8, devre 1.2 için % 4.26, devre 2.2 için % 4.23, devre 3.2 için % 9, devre 1.3 için 4.2, devre 2.3 için 4.2, devre 3.3 için % 9.1 olarak bulunmuştur.

Modülasyon örneği için elde edilen eğriler ise, ideal fark akım taşıyıcı ile gerçekleştirilen çarpıcının sonuçları ile üst üste çizdirilmiştir. Önerilen DCCII iç yapıları ve ideal yapı kullanılarak oluşturulan çarpıcı devrelerine ait modülasyon örneği sonucunda elde edilen eğrilerin büyük bir uyum içerisinde olduğu görülmektedir.

5.2.2 Süzgeç Yapıları

5.2.2.1 Karışık Modlu İkinci Dereceden Band Geçiren Süzgeç Yapısı

Şekil 5.2’de verilmiş olan karışık modlu ikinci dereceden band geçiren süzgeç yapısı, önceki bölümlerde bahsedilen DCCII iç yapıları kullanılarak gerçekleştirilmiştir. Benzetimler sonucunda elde edilen eğriler EK D’de verilmiştir.

Benzetimlerde $K_1 = K_2 = 31.8 \times 10^{-6} \mu A/V^2$, $V_{G11} = V_{G21} = 2V$, $V_{G12} = V_{G22} = 1V$ ve $C_1 = C_2 = 10pF$ kullanılmıştır.

(5.3a), (5.3b) ve (5.3c) bağıntılarından yola çıkarak, band geçiren süzgecin transfer fonksiyonu çözüldüğünde, merkez frekansının teorik olarak 500kHz civarında olması beklenir. Yapılan benzetimler sonucunda ise band geçiren süzgeç yapısının merkez frekansı devre 1.1 için 322kHz, devre 2.1 için 322kHz, devre 3.1 için 310kHz, devre 1.2 için 318kHz, devre 2.2 için 318kHz, devre 3.2 için 298kHz, devre 1.3 için 314kHz, devre 2.3 için 314kHz, devre 3.3 için 306kHz olarak bulunmuştur.

Benzetimler sonucunda, önerilen DCCII iç yapıları ve ideal DCCII yapısı kullanılarak gerçekleştirilen band geçiren süzgeç yapılarının kazanç - frekans eğrileri üst üste çizdirilmiştir. Eğrilerden de görüldüğü gibi, önerilen DCCII iç yapıları ve ideal DCCII yapısı ile gerçekleştirilen, band geçiren süzgeç yapıları büyük bir uyum içerisinde.

BG süzgeç yapısına ait toplam harmonik distorsiyon analizine ilişkin sonuçlar şekil D.10’da verilmiştir. Şekilden de görüldüğü gibi 500mV’luk bir giriş gerilimine karşı maksimum THD değerine sahip yapı olarak devre 1.3 seçilmiş ve büyük işaret davranışı incelenmiştir. Şekil D.11’de, devre 1.3 ile gerçekleştirilen BG süzgeç yapısının, merkez frekansında (314kHz) uygulanan V_{in} gerilimi ile çıkış akımının değişimi verilmiştir.

5.2.2.2 Akım Modlu Alçak Geçiren ve Yüksek Geçiren Süzgeç Yapısı

Şekil 5.3’de verilmiş olan akım modlu alçak geçiren ve yüksek geçiren süzgeç yapısı, önceki bölümlerde bahsedilen DCCII iç yapıları kullanılarak gerçekleştirilmiştir. Benzetimler sonucunda elde edilen eğriler EK E’de verilmiştir.

Benzetimlerde dirençler $R_{1,11} = R_{3,33} = R$ olacak şekilde aynı değerde, kapasiteler ise $C_{2,22} = C / m$ ve $C_4 = C \cdot m$ ifadesinde $m = 1$ alınarak seçilmiştir.

Alçak geçiren süzgeç yapısında, $R_1 = R_3 = 27.3k\Omega$ ve $C_1 = C_2 = 13.5pF$ olarak seçildiğinde, (5.4a) ve (5.5a) bağıntılarından yola çıkarak, süzgecin kesim frekansı teorik olarak 431.8kHz bulunur. Yapılan benzetim sonuçlarında ise, kesim frekansı devre 1.1 için 432kHz, devre 2.1 için 394kHz, devre 3.1 için 441kHz, devre 1.2 için 415kHz, devre 2.2 için 417kHz, devre 3.2 için 432.5kHz, devre 1.3 için 406kHz, devre 2.3 için 363kHz ve devre 3.3 için 394kHz olarak bulunmuştur.

Yüksek geçiren süzgeç yapısında da, $R_1 = R_3 = 27.3k\Omega$ ve $C_1 = C_2 = 13.5pF$ olarak seçildiğinde, (5.4b) ve (5.5a) bağıntılarından yola çıkarak, süzgecin kesim frekansı teorik olarak 431.8kHz bulunur. Yapılan benzetim sonuçlarında ise, kesim frekansı devre 1.1 için 394kHz, devre 2.1 için 404kHz, devre 3.1 için 437kHz, devre 1.2 için 406kHz, devre 2.2 için 406kHz, devre 3.2 için 407kHz, devre 1.3 için 389kHz, devre 2.3 için 399kHz ve devre 3.3 için 389kHz olarak bulunmuştur.

Benzetimler sonucunda, önerilen DCCII iç yapıları ve ideal DCCII yapısı kullanılarak gerçekleştirilen AG ve YG süzgeç yapılarının kazanç - frekans eğrileri (farklı R değerleri için) üst üste çizdirilmiştir. Eğrilerden de görüldüğü gibi, önerilen DCCII iç yapıları ve ideal DCCII yapısı ile gerçekleştirilen, alçak geçiren ve yüksek geçiren süzgeç yapıları büyük bir uyum içerisindedir.

AG süzgeç yapısına ait THD analizine ilişkin sonuçlar şekil E.19’da verilmiştir. Şekilden de görüldüğü gibi 25µA genliğe sahip bir giriş akımına karşı maksimum THD değerine sahip yapı olarak devre 2.3 seçilmiş ve büyük işaret davranışı incelenmiştir. Şekil E.20’de, devre 2.3 ile gerçekleştirilen AG süzgeç yapısının, kesim

frekansının 1/10'u deęerinde olan $f = 40\text{kHz}$ 'lik bir giriř akımına karřı ıkıř akımının deęiřimi verilmiřtir.

5.2.2.3 Akım Modlu Band Sndüren Szge Yapısı

řekil 5.4'de verilmiř olan akım modlu band sndüren szge yapısı, nceki blmlerde bahsedilen DCCII i yapıları kullanılarak gereklenmiřtir. Benzetimler sonucunda elde edilen eęriler EK F'de verilmiřtir.

Benzetimlerde direnler $R_{1,11} = R_{3,33} = R$ olacak řekilde aynı deęerde, kapasiteler ise $C_{2,22} = C / m$ ve $C_4 = C \cdot m$ ifadesinde $m = 1$ alınarak seilmiřtir.

Band sndüren szge yapısında, $R_1 = R_3 = 27.3\text{k}\Omega$ ve $C_1 = C_2 = 13.5\text{pF}$ olarak seildięinde, (5.6) baęıntısından yola ıkararak, szgecin kesim frekansı teorik olarak 431.8kHz bulunur. Yapılan benzetim sonularında ise, kesim frekansı devre 1.1 iin 325kHz, devre 2.1 iin 313kHz, devre 3.1 iin 322kHz, devre 1.2 iin 328kHz, devre 2.2 iin 328kHz, devre 3.2 iin 322kHz, devre 1.3 iin 307kHz, devre 2.3 iin 297kHz ve devre 3.3 iin 291kHz olarak bulunmuřtur.

Benzetimler sonucunda, nerilen DCCII i yapıları ve ideal DCCII yapısı kullanılarak gereklenen band sndüren szge yapılarının kazanç - frekans eęrileri (farklı R deęerleri iin) st ste izdirilmiřtir. Eęrilerden de grldęi gibi, nerilen DCCII i yapıları ve ideal DCCII yapısı ile gereklenen, band sndüren szge yapıları byk bir uyum ierisindedir.

6. SONUÇ

Bu çalışmada, yüksek başarımlı CMOS fark akım taşıyıcı devreleri ortaya konmuştur. İki adet düşük empedanslı akım girişi, bir adet yüksek empedanslı gerilim girişi ve iki adet yüksek empedanslı akım çıkış ucuna sahip DCCII yapıları elde edilmiştir. Ayrıca giriş akımlarının farkının, yüksek doğrulukta çıkışlara yansıtılması ve düşük empedanslı giriş uçlarının gerilimlerinin yüksek empedanslı giriş ucunun gerilimini yüksek doğrulukta takip etmesi amaçlarına ulaşılmıştır.

CCII yapısının düşük empedanslı tek bir girişi olması sebebiyle, diferansiyel giriş gerektiren uygulamalarda açıkça ortaya çıkan dezavantaj, DCCII yapısı ile giderilmiştir. DCCII yapısı, direnç bölgesinde çalışan MOS transistörler ile birlikte kullanıldığında, istenilen analog fonksiyonlar gerçekleştirilebilmektedir. Direnç bölgesinde çalışan transistörlerden kaynaklanan, çift ve bazı durumlarda da tek kuvvetli lineersizlik terimleri birbirini götürmektedir. Bu özellikten yararlanarak, dört bölgeli analog çarpıcı, akım ve/veya karışık modlu sürekli zaman süzgeç yapıları gerçekleştirilmiştir.

Benzetimler sırasında, iç yapıları verilen DCCII devreleri ile gerçekleştirilen uygulama devrelerinin sonuçları, ideal DCCII ile gerçekleştirilen uygulama devrelerinin sonuçları ile üst üste çizdirilmiştir. Buradan, iç yapıları verilen DCCII devreleri ile gerçekleştirilen uygulama devrelerinin sonuçları ile ideal DCCII ile gerçekleştirilen uygulama devrelerinin sonuçlarının birbirine çok yakın olduğu görülmektedir.

DCCII yapısının, uygulama devrelerinde gösterdiği yüksek başarımdan ötürü ve diferansiyel giriş gerektiren uygulamalarda CCII yapısının getirdiği dezavantajı giderdiğinden birçok kullanım alanı bulacağı düşünülmektedir.

KAYNAKLAR

- [1] **Smith, K.C. and Sedra, A.S.**, 1968. The current conveyor: a new circuit building block, *IEEE Proc.*, 1368-1369.
- [2] **Sedra, A.S. and Smith, K.C.**, 1970. A second generation current conveyor and its applications, *IEEE Trans. On Circuits Theory*, **17**, 132-134.
- [3] **Wilson, B.**, 1990. Recent developments in current conveyors and current-mode circuits, *IEE Proceedings*, April 1990, 63-77.
- [4] **Toumazou, C., Lidgley, F.J. and Haig, D.G.**, 1990. Analogue IC design: the current-mode approach, P. Pregrinus, London.
- [5] **Wadsworth, D.C.**, 1990. Accurate current conveyor topology and monolithic implementation, *IEE Proc. G.*, 88-94.
- [6] **Güneş, E.O.**, 1998. Akım taşıyıcılar ve akım taşıyıcı tabanlı aktif elemanlarla transfer fonksiyonlarının gerçekleştirilmesi, *Doktora Tezi*, İTÜ Fen Bilimleri Enstitüsü, İstanbul.
- [7] **Wilson, B.**, 1987. A new look at gain-bandwidth product, *Electronics Wireless World*, **93**, 834-836.
- [8] **Kuntman, H.H.**, 1997. Analog MOS Tümdevre Tekniği, İTÜ Elektrik-Elektronik Fakültesi Ofset Baskı Atölyesi, İstanbul.
- [9] **Analog Devices**, 1990. *Linear Products Data Book*, Norwood, MA.
- [10] **Svoboda, J.A., McGory, L. and Webb, S.**, 1991. Applications of commercially available current conveyor, *International Journal of Electronics*, **70**, 159-164.
- [11] **Bruun, E. and Olesen, H.O.**, 1992. Conveyor implementations of generics current-mode circuits, *International Journal of Electronics*, **73**, 129-140.
- [12] **Piovacari, A.**, 1995. CMOS integrated third-generation current conveyor, *Electronics Letters*, **31**, 1228-1229.

- [13] **Liu, S.I. and Yang Y.Y.**, 1996. Higher-order immittance function synthesis using CCIIIs, *Electronics Letters*, **32**, 25.
- [14] **Horng, J.W., Weng, R.M., Lee, M.H. and Chang, C.W.**, 1997. Universal active current filter using two multiple current output OTAs and one CCII, *International Journal of Electronics*, **82**, 241-247.
- [15] **Abuelma'atti, M.T. and Alzahr, H.A.**, 1998. Multi-function active-only current-mode filter with three inputs and one output, *International Journal of Electronics*, **85**, 431-435.
- [16] **Zeki, A. and Kuntman, H.**, 1998. Accurate active-feedback CMOS cascode current mirror with improved output swing, *International Journal of Electronics*, **84**, 335-343.
- [17] **Zeki, A. and Toker, A.**, 2002. The dual-X current conveyor (DXCCII): a new active device for tunable continuous-time filters, *International Journal of Electronics*, **89**, 913-923.
- [18] **Zeki, A., Toker, A. and Özoğuz, S.**, 2001. Linearly tunable transconductor using modified CDDBA, *Analog Integrated Circuits and Signal Processing*, **26**, 179-183.
- [19] **Bult, K. and Wallinga, H.**, 1986. A CMOS four quadrant analog multiplier, *IEEE Journal of Solid State Circuits*, **21**, 3.
- [20] **Seng, Y. K. and Rofail, S. S.**, 1998. Design and analysis of a 1V CMOS four quadrant analog multiplier, *Proc. Circuits Devices Syst.*, June.
- [21] **H.F. Hamed, A. El-Gaafary and M.S.A. El-Hakeem**, 2001. A new differential current conveyor and its application as a four quadrant multiplier, *International Symposium on Signals, Circuits and Systems*, Iasi, Romania, July.
- [22] **H.O. Elwan and A.M. Soliman**, 1996. CMOS differential current conveyors and applications for analog VLSI, *Analog Integrated Circuits and Signal Processing*, **11**, 35-45.
- [23] **H. Schmid and G. S. Moschytz**, 1997. Tunable CCII-Mosfet-C filter biquads for video frequencies, *Proceedings of ECCTD '97*, Budapest, 82-87.

EK A

KULLANILAN MIETEC 0.5µm MOS TRANSİSTOR PARAMETRELERİ

.MODEL MN NMOS (LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62
+JS=1.8E-6 XJ=0.15E-6 RS=417 RSH=2.73 LD=0.04E-6 ETA=0 VMAX=130E+3
+NSUB=1.71E+17 PB=0.761 PHI=0.905 THETA=0.129 GAMMA=0.69
+KAPPA=0.1 AF=1 WD=0.11E-6 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10
+MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10 CGBO=3.45E-10 KF=3.07E-28
+DELTA=0.42 NFS=1.2E+11)

.MODEL MP PMOS (LEVEL=3 UO=100 TOX=1E-8 TPG=1 VTO=-0.58
+JS=0.38E-6 XJ=0.1E-6 RS=886 RSH=1.81 LD=0.03E-6 ETA=0 VMAX=113E+3
+NSUB=2.08E+17 PB=0.911 PHI=0.905 THETA=0.120 GAMMA=0.76 KAPPA=2
+AF=1 WD=0.14E-6 CJ=85E-5 MJ=0.429 CJSW=4.67E-10 MJSW=0.631
+CGSO=1.38E-10 CGDO=1.38E-10 CGBO=3.45E-10 KF=1.08E-29 DELTA=0.81
+NFS=0.52E+11)

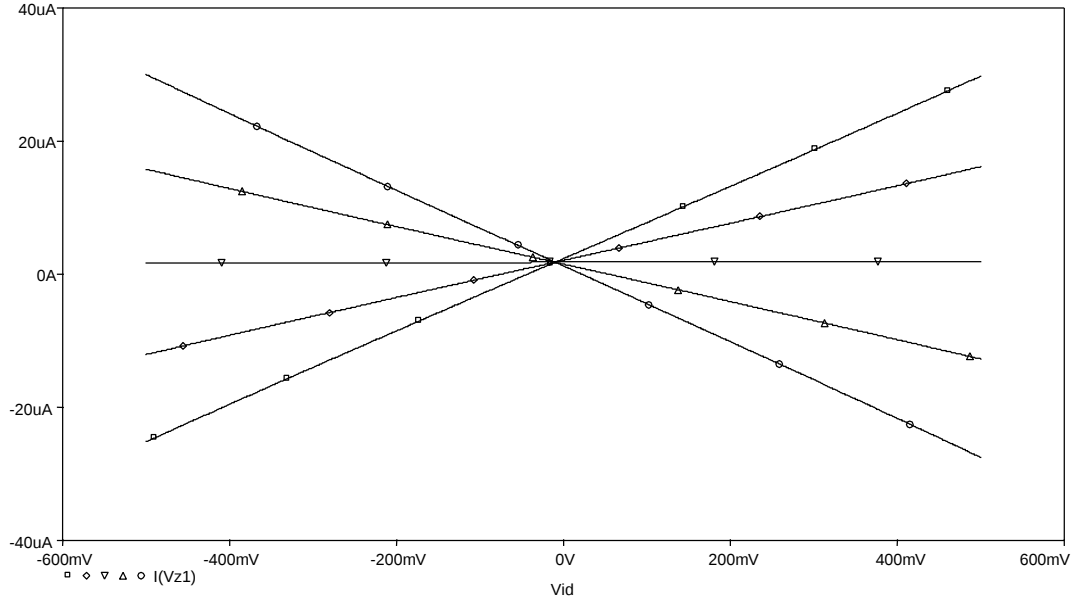
EK B

Tablo B.1: DCCII devreleri için transistor boyutları

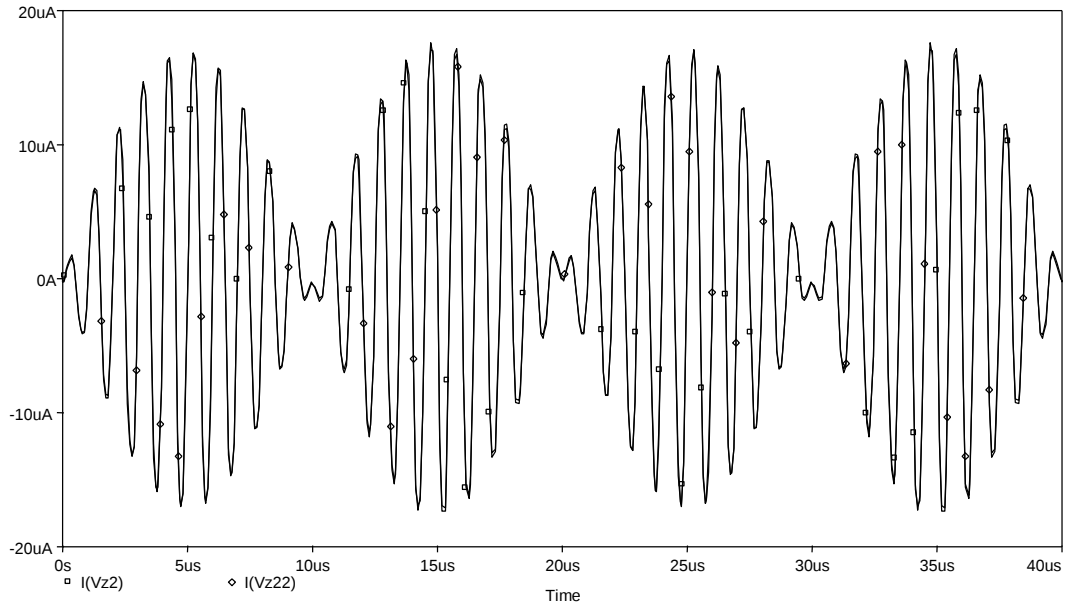
DEVRE 1.1, DEVRE 1.2, DEVRE 1.3,		DEVRE 2.1, DEVRE 2.2, DEVRE 2.3		DEVRE 3.1, DEVRE 3.2, DEVRE 3.3	
L = 1 μ m		L = 1 μ m		L = 1 μ m	
Transistor	(W/L)	Transistor	(W/L)	Transistor	(W/L)
M1, M2, M5	25	M1, M2, (M1A, M2A), M5, M6	25	M1, M3, M5	100
M3, M4, M6	5	M3, M4, (M3A, M4A), M7, M8	5	M2, M4, M6	300
Diğer bütün PMOS'lar	50	Diğer bütün PMOS'lar	50	Diğer bütün PMOS'lar	50
Diğer bütün NMOS'lar	10	Diğer bütün NMOS'lar	10	Diğer bütün NMOS'lar	10

EK C

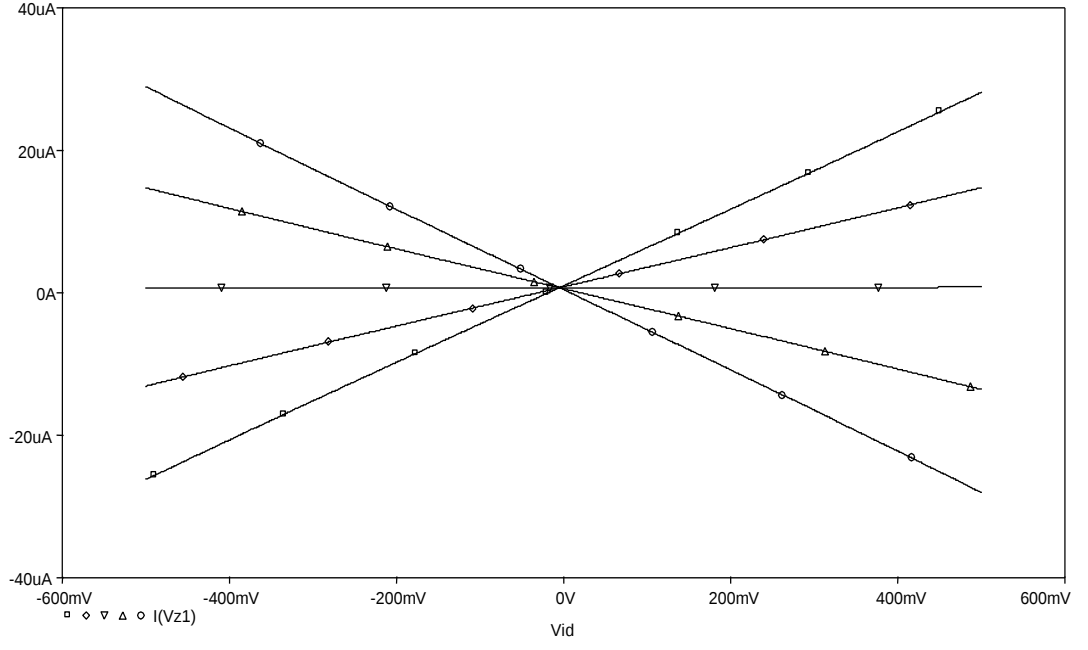
DÖRT BÖLGELİ ÇARPICI YAPISINA AİT BENZETİM SONUÇLARI



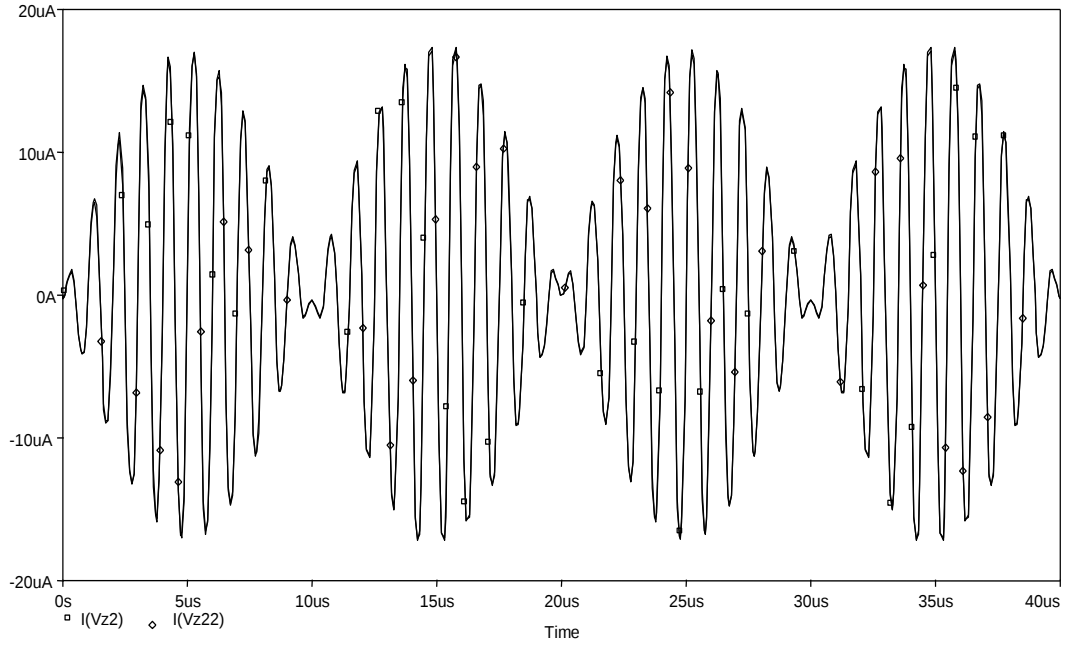
Şekil C.1 Devre 1.1 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri



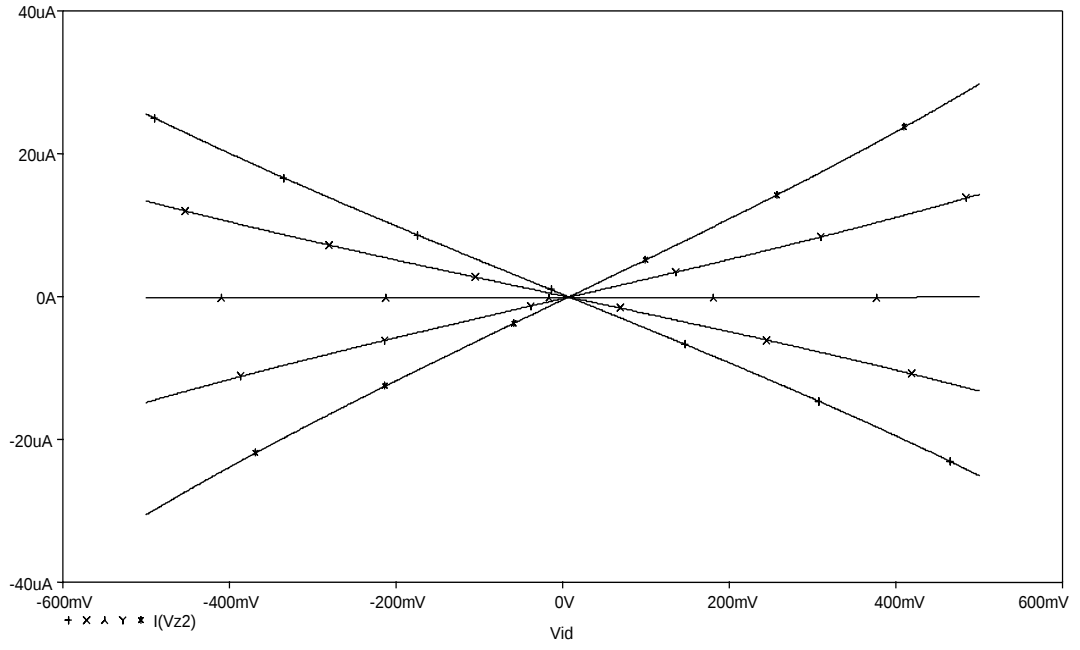
Şekil C.2 Devre 1.1 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği



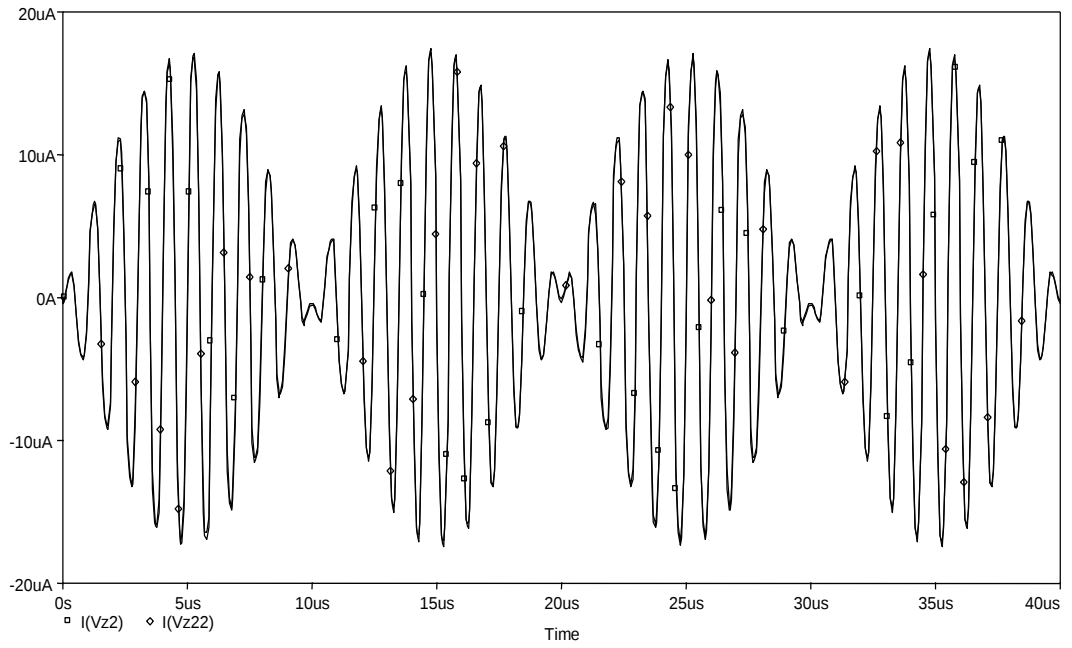
Şekil C.3 Devre 2.1 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri



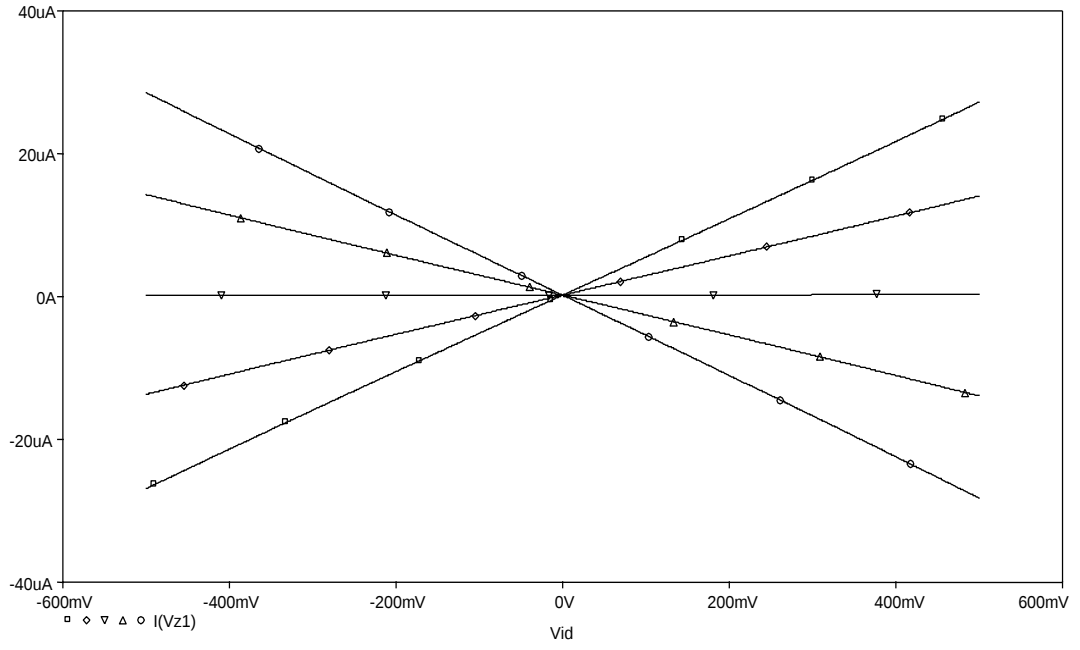
Şekil C.4 Devre 2.1 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği



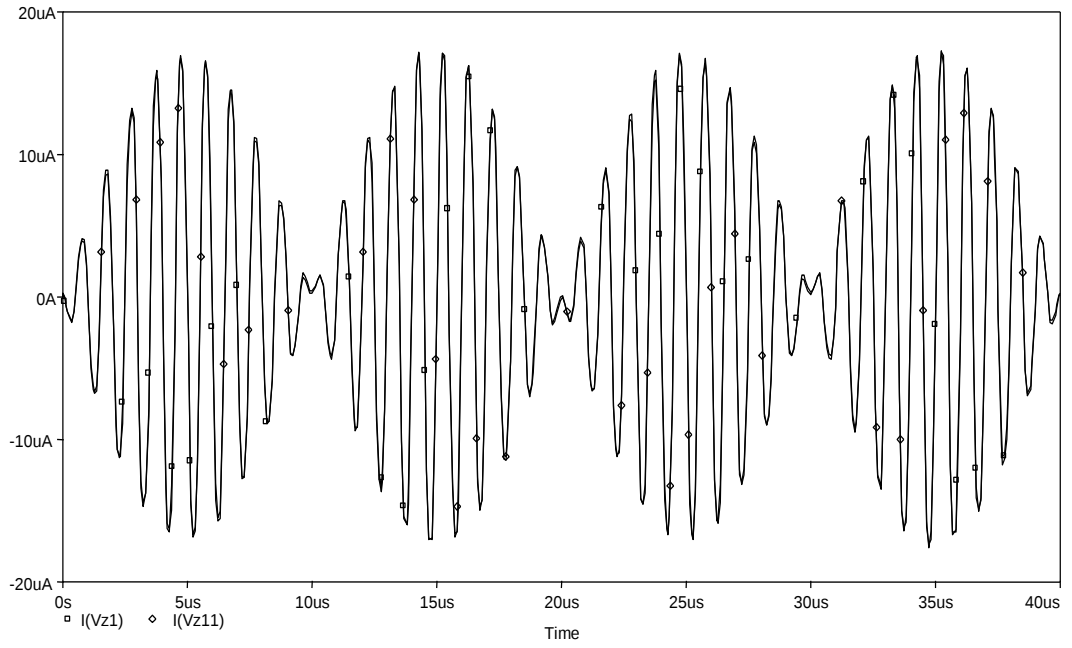
Şekil C.5 Devre 3.1 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri



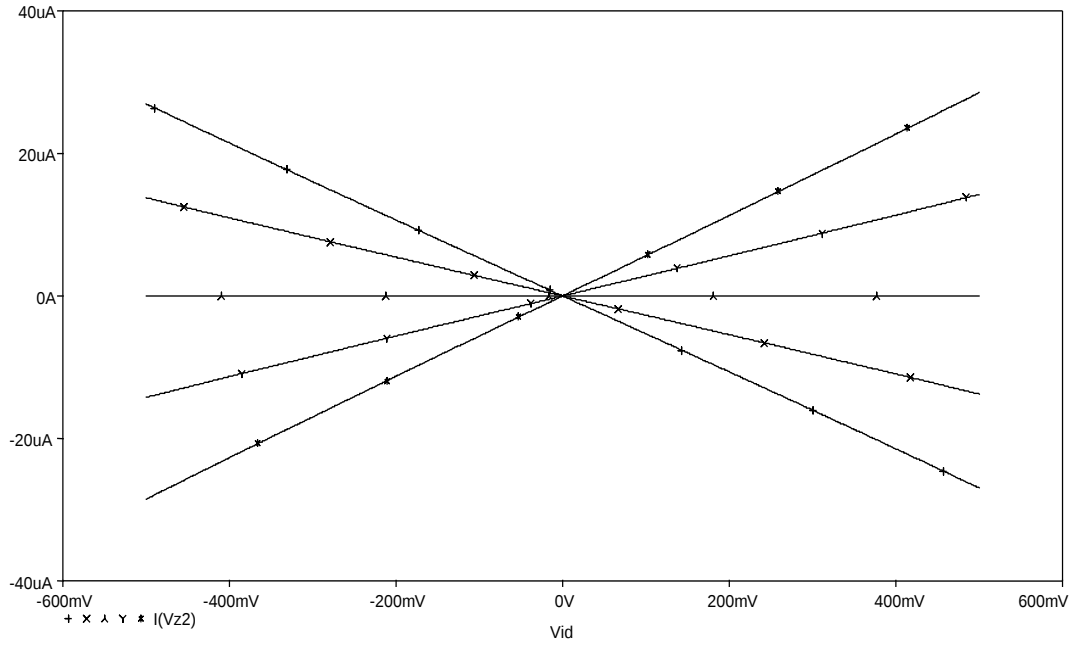
Şekil C.6 Devre 3.1 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği



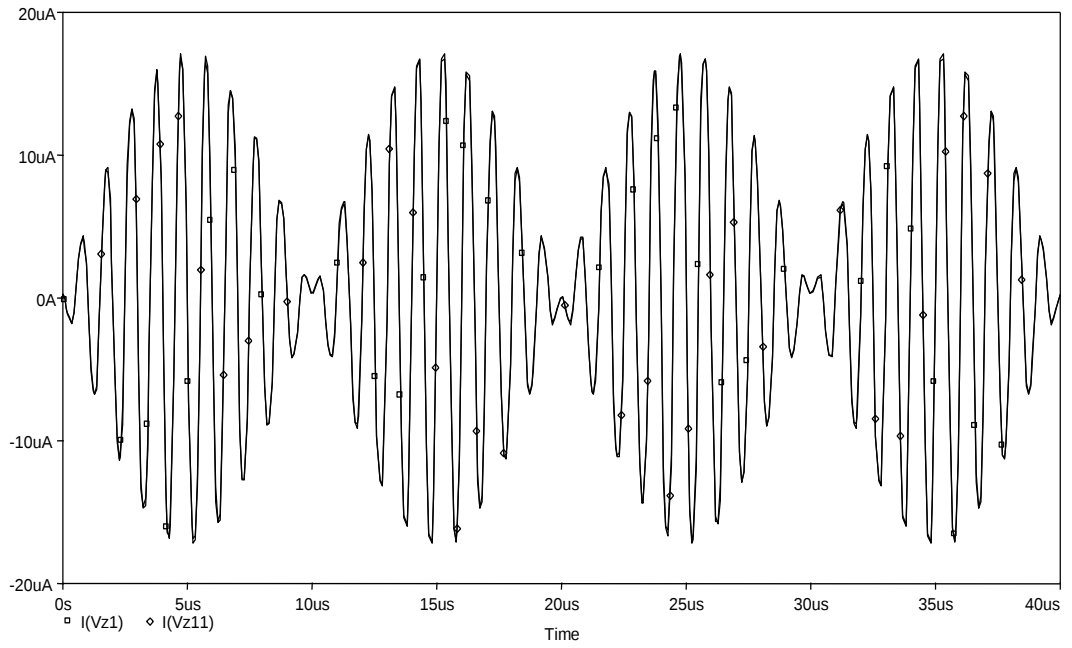
Şekil C.7 Devre 1.2 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri



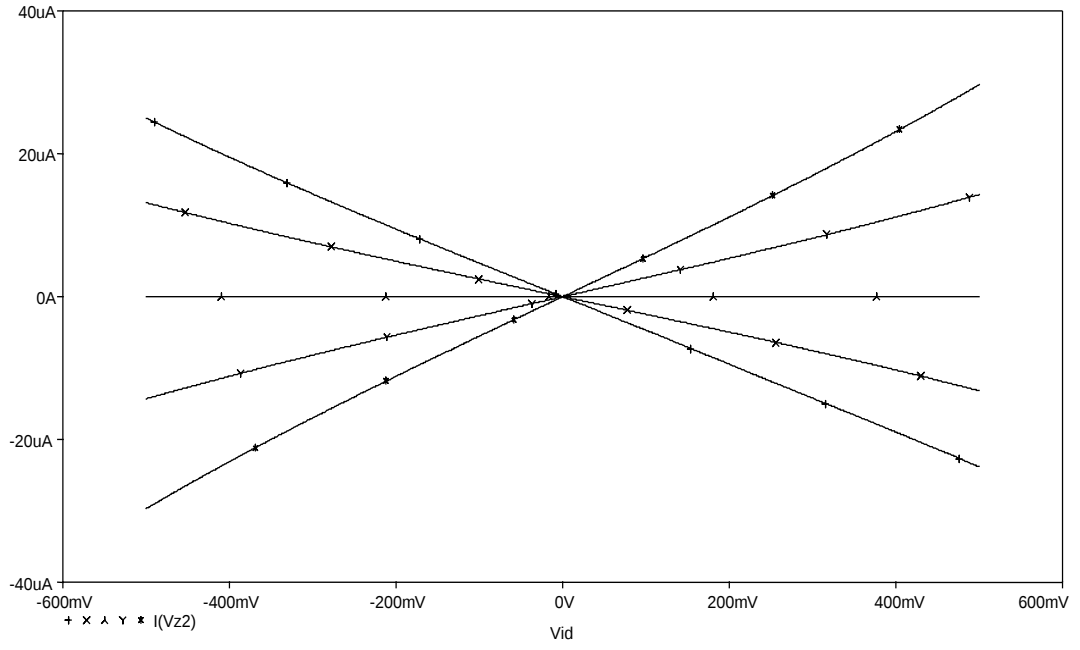
Şekil C.8 Devre 1.2 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği



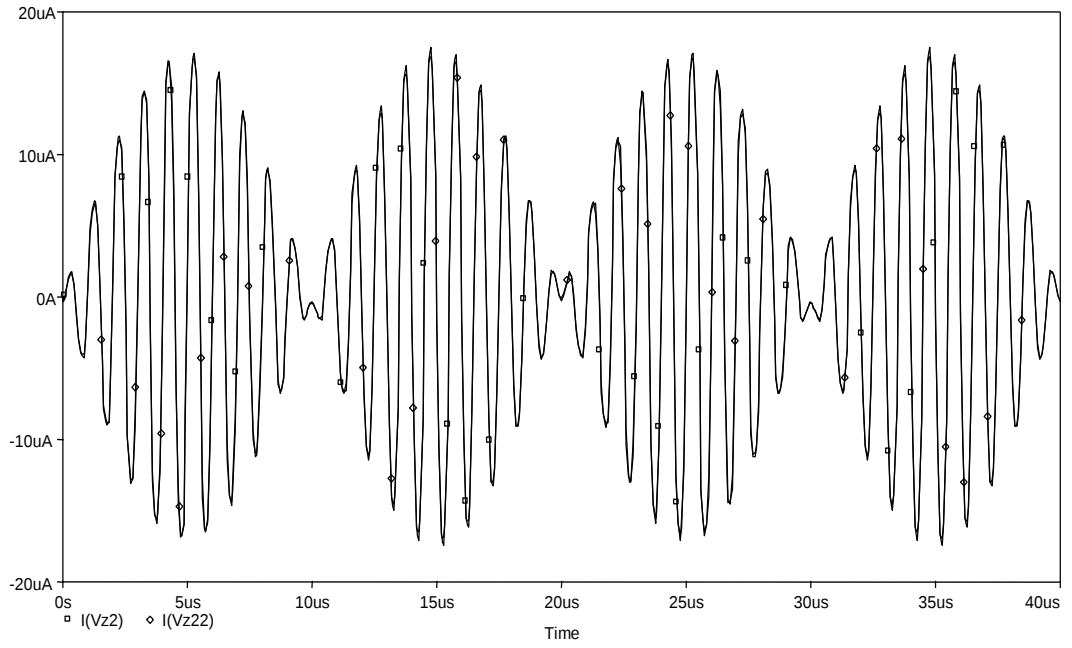
Şekil C.9 Devre 2.2 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri



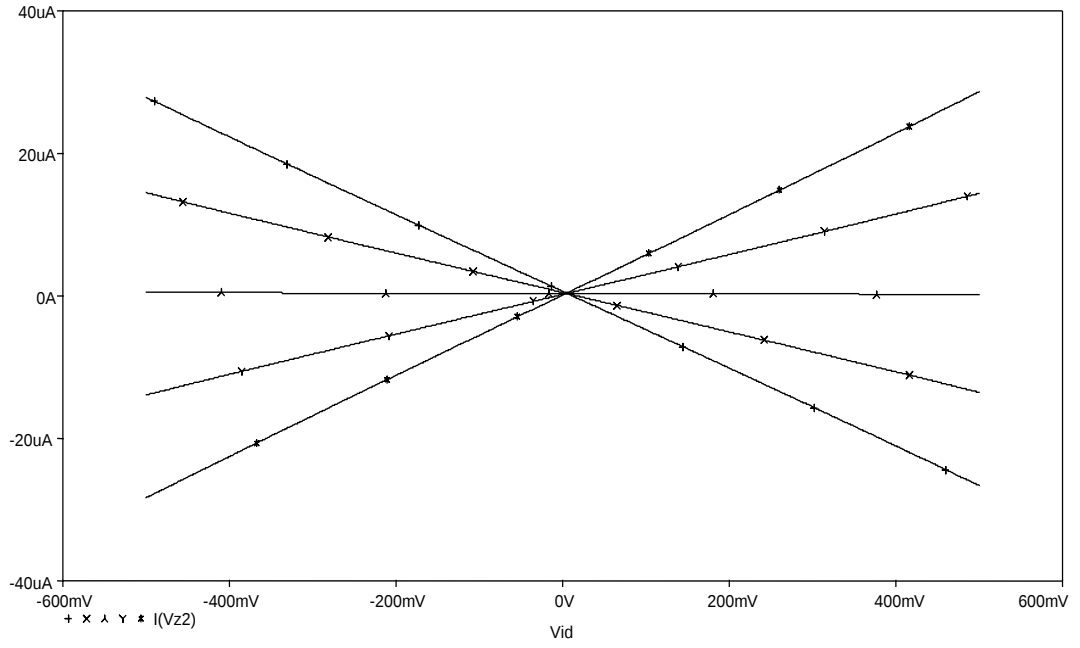
Şekil C.10 Devre 2.2 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği



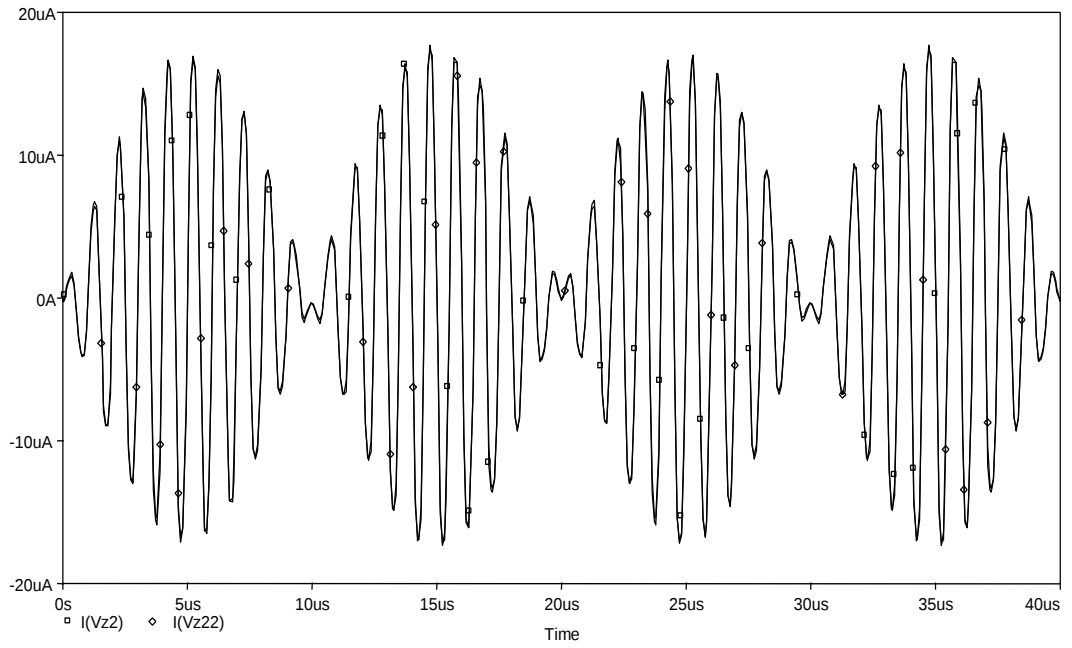
Şekil C.11 Devre 3.2 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri



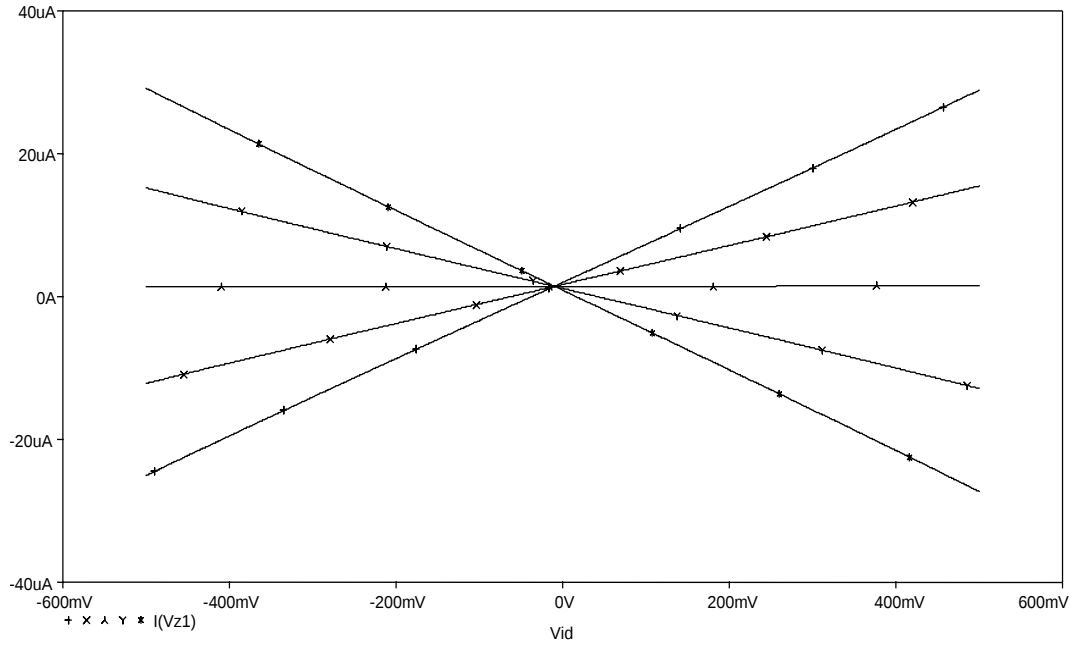
Şekil C.12 Devre 3.2 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği



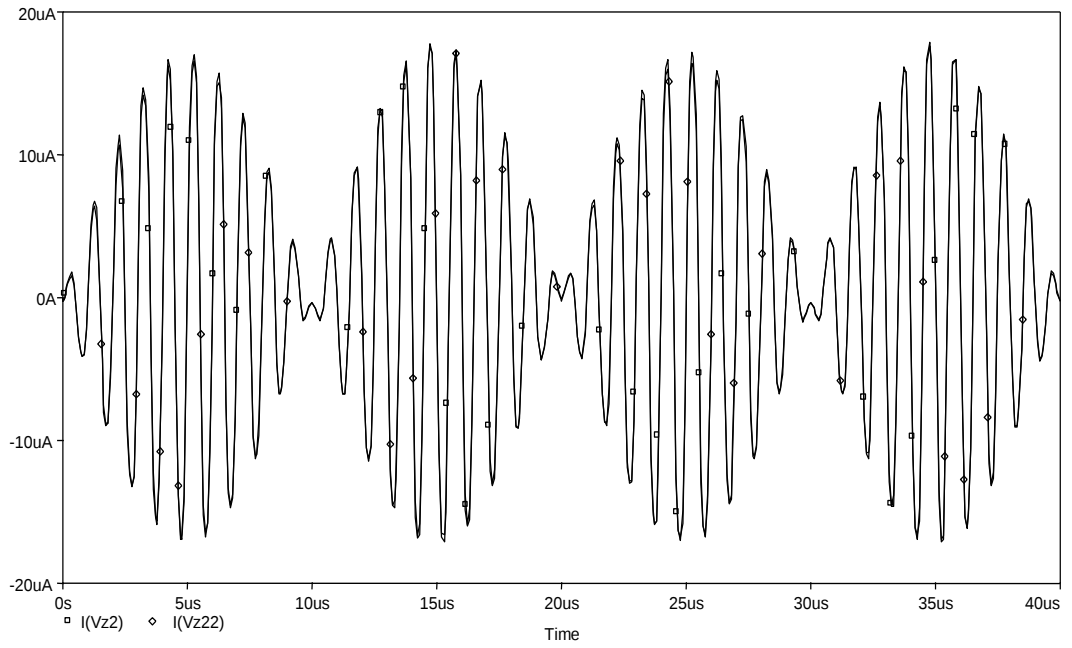
Şekil C.13 Devre 1.3 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri



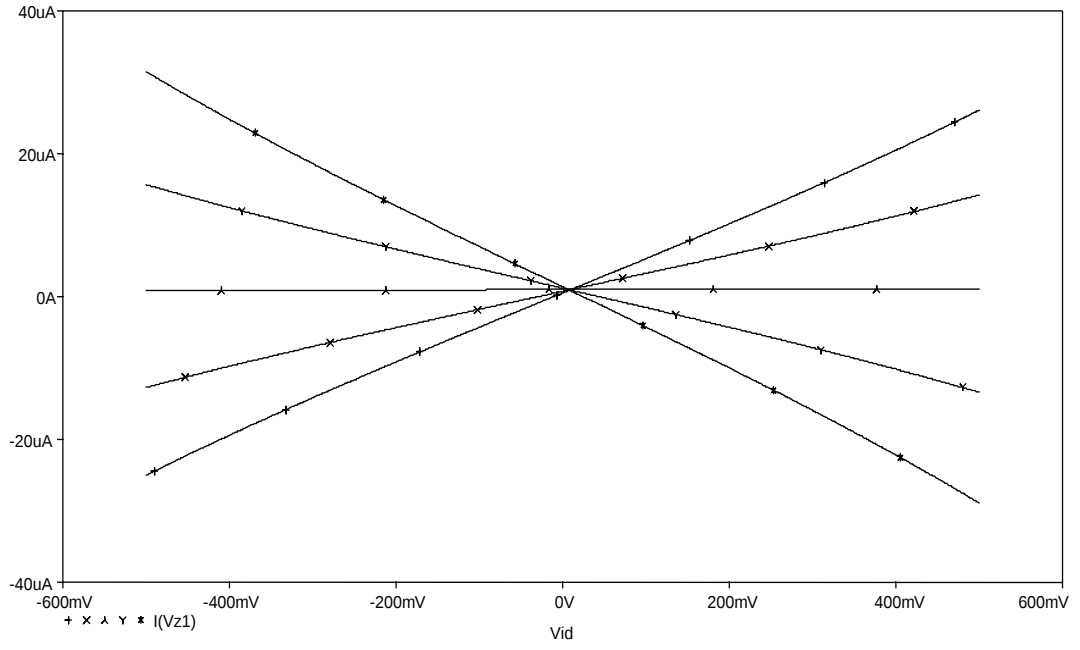
Şekil C.14 Devre 1.3 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği



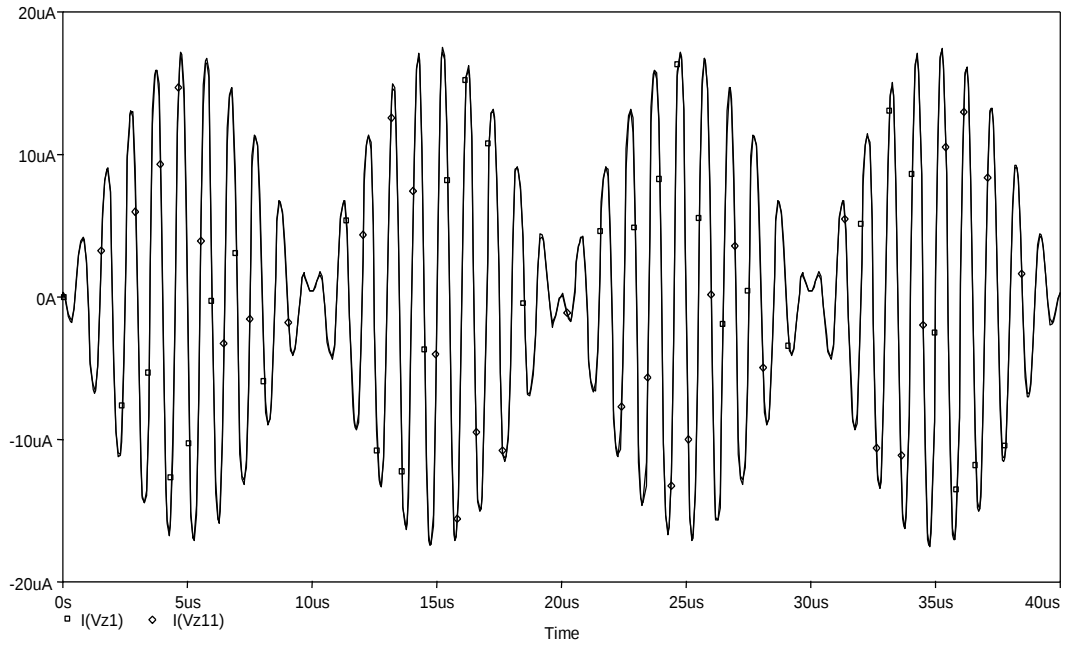
Şekil C.15 Devre 2.3 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri



Şekil C.16 Devre 2.3 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği



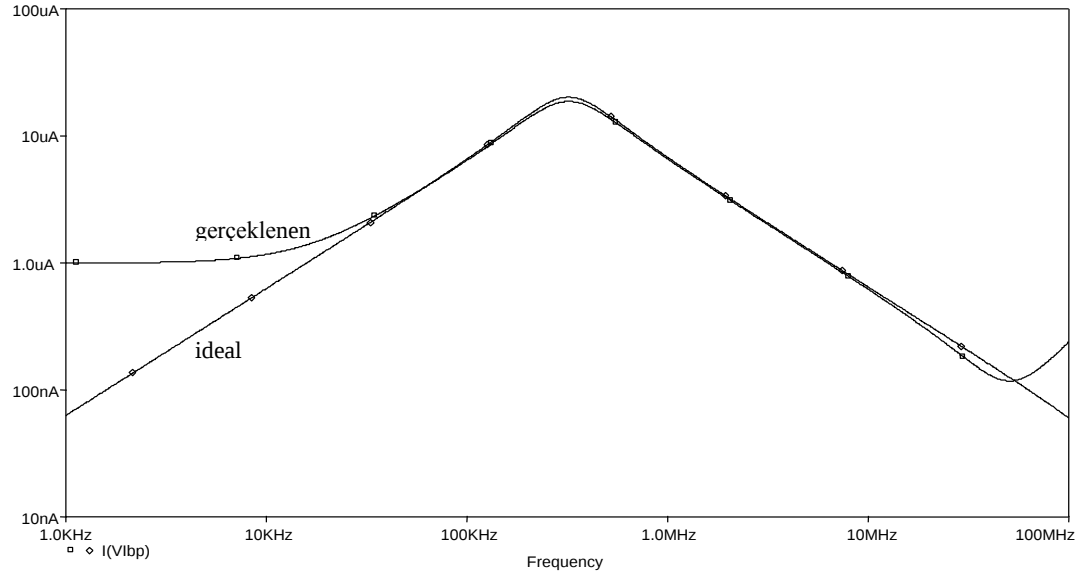
Şekil C.17 Devre 3.3 ile gerçekleştirilen çarpıcı yapısının DC karakteristik eğrileri



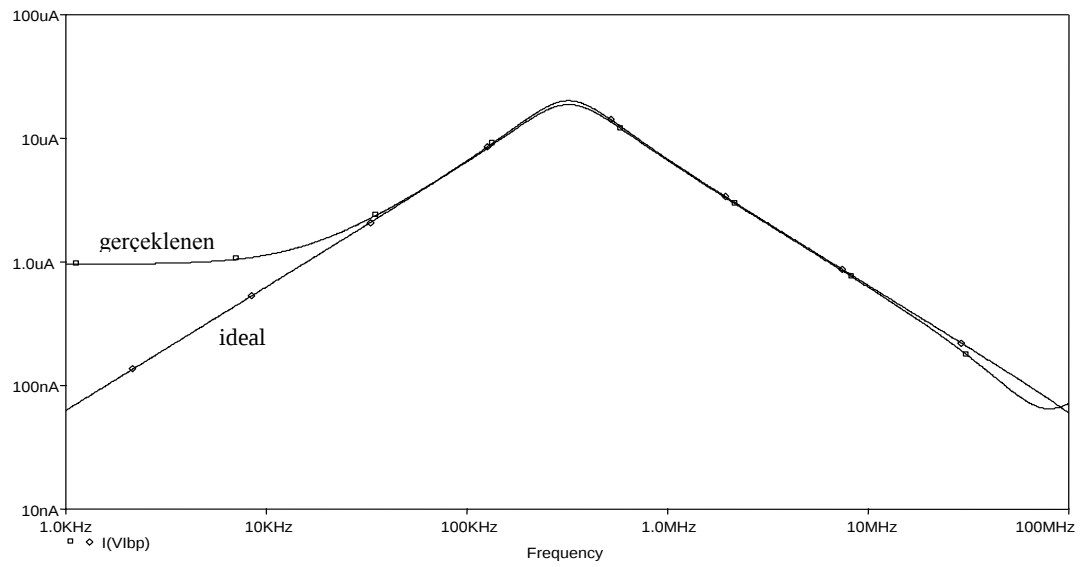
Şekil C.18 Devre 3.3 ve ideal DCCII ile gerçekleştirilen çarpıcı yapısına ait modülasyon örneği

EK D

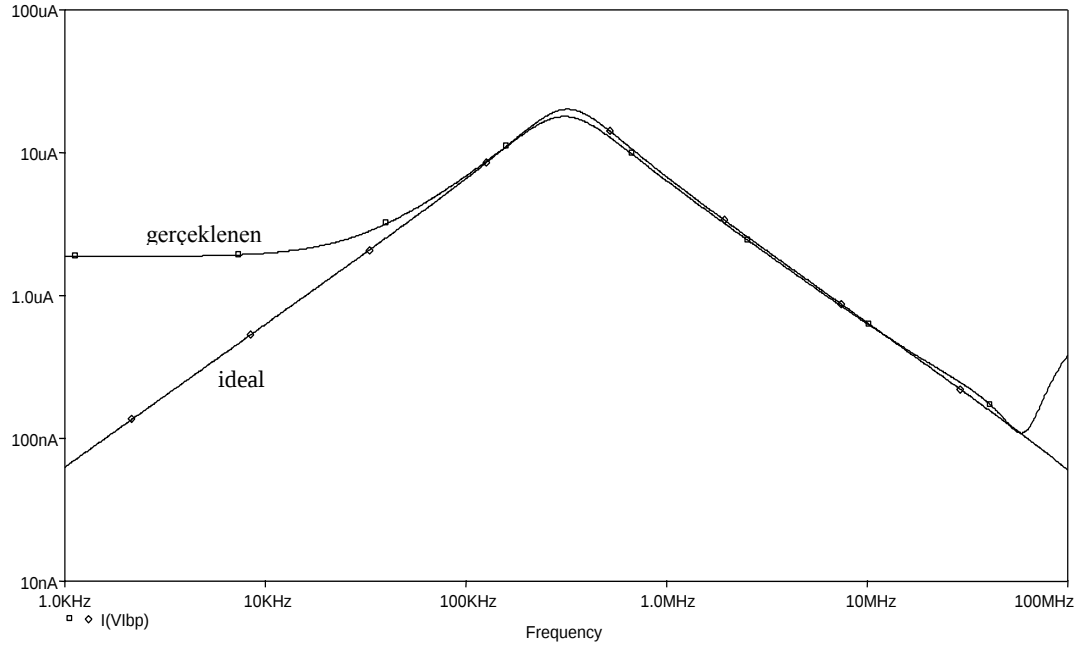
KARIŞIK MODLU İKİNCİ DERECE DEN BAND GEÇİREN SÜZGEÇ YAPISINA AİT BENZETİM SONUÇLARI



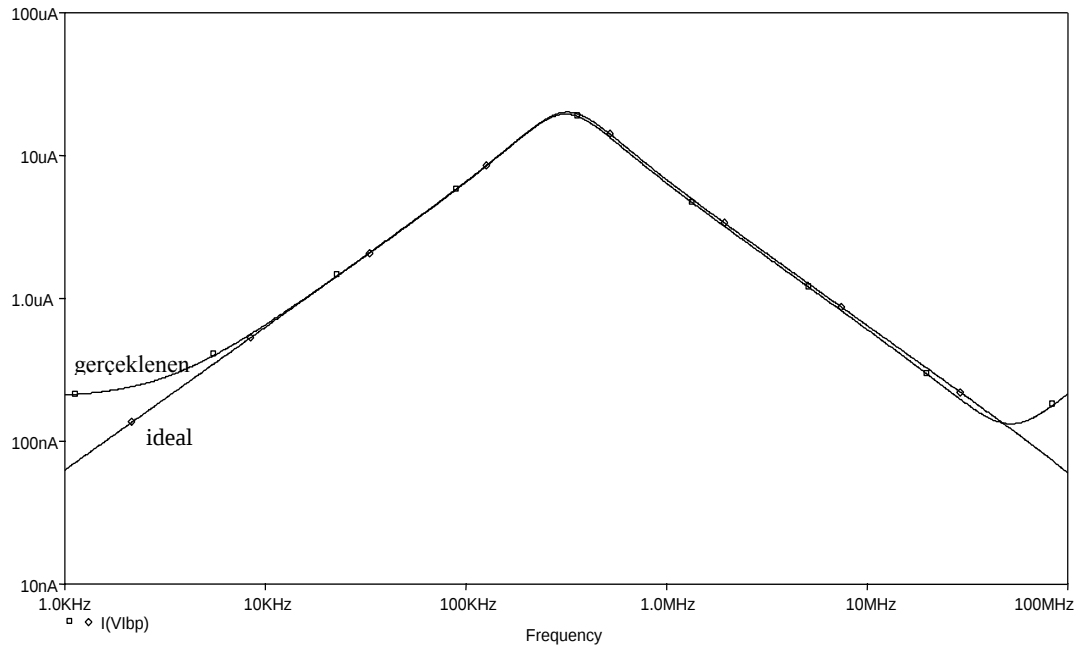
Şekil D.1 Devre 1.1 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri



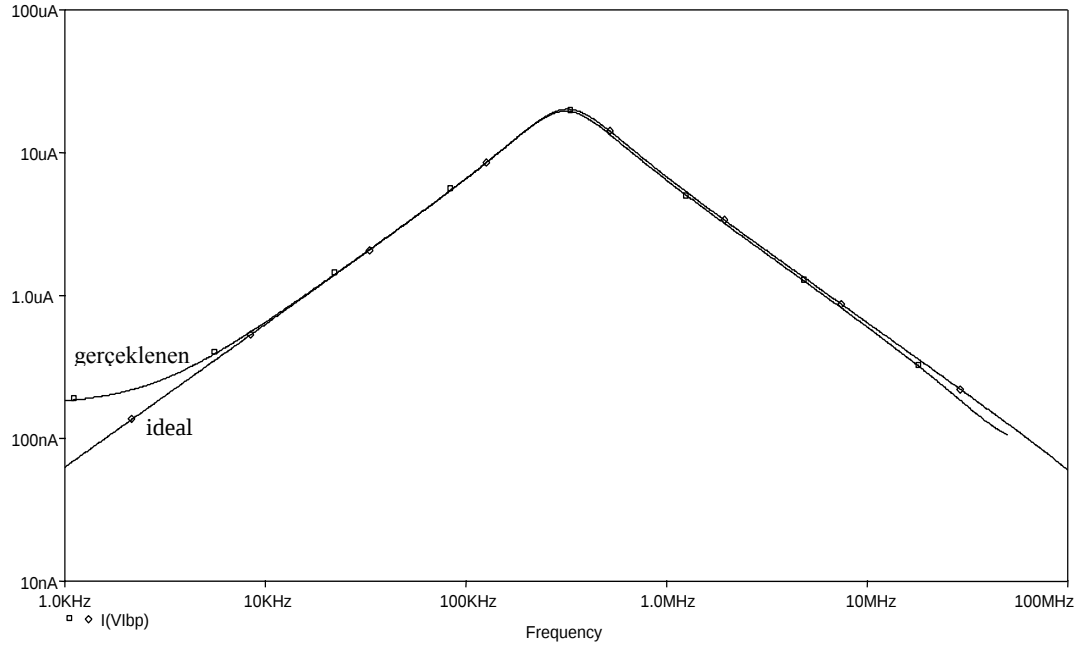
Şekil D.2 Devre 2.1 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri



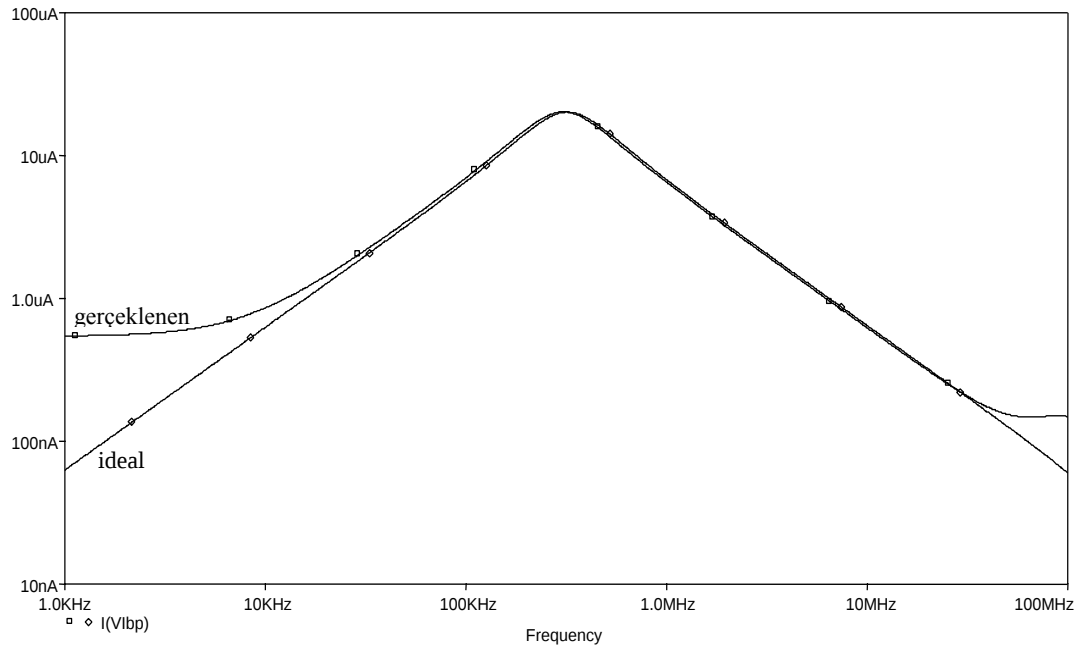
Şekil D.3 Devre 3.1 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri



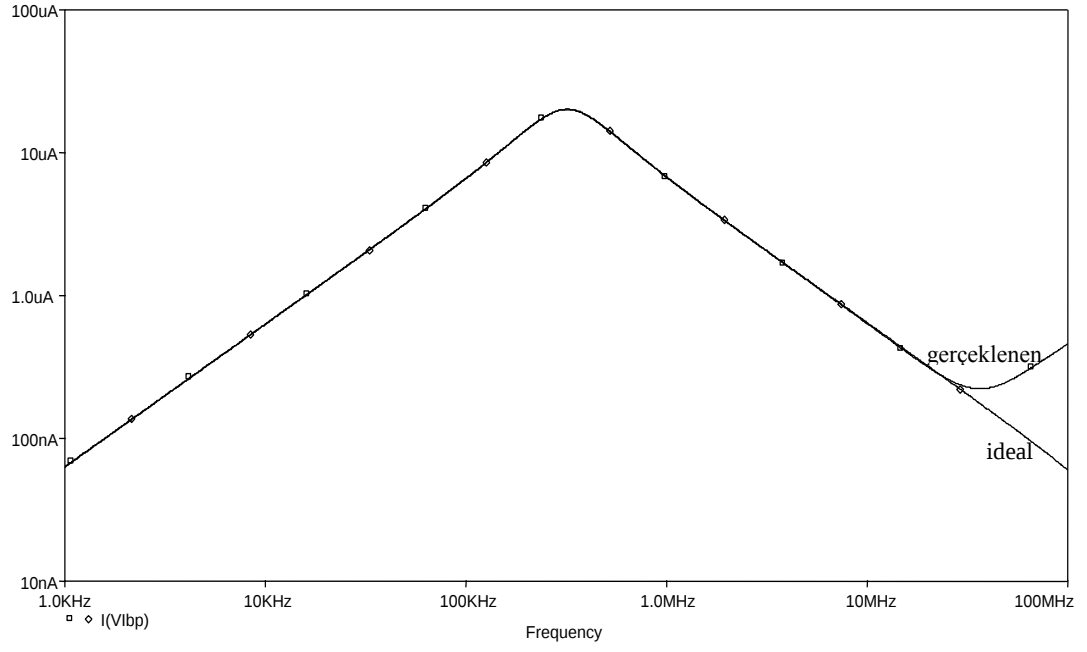
Şekil D.4 Devre 1.2 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri



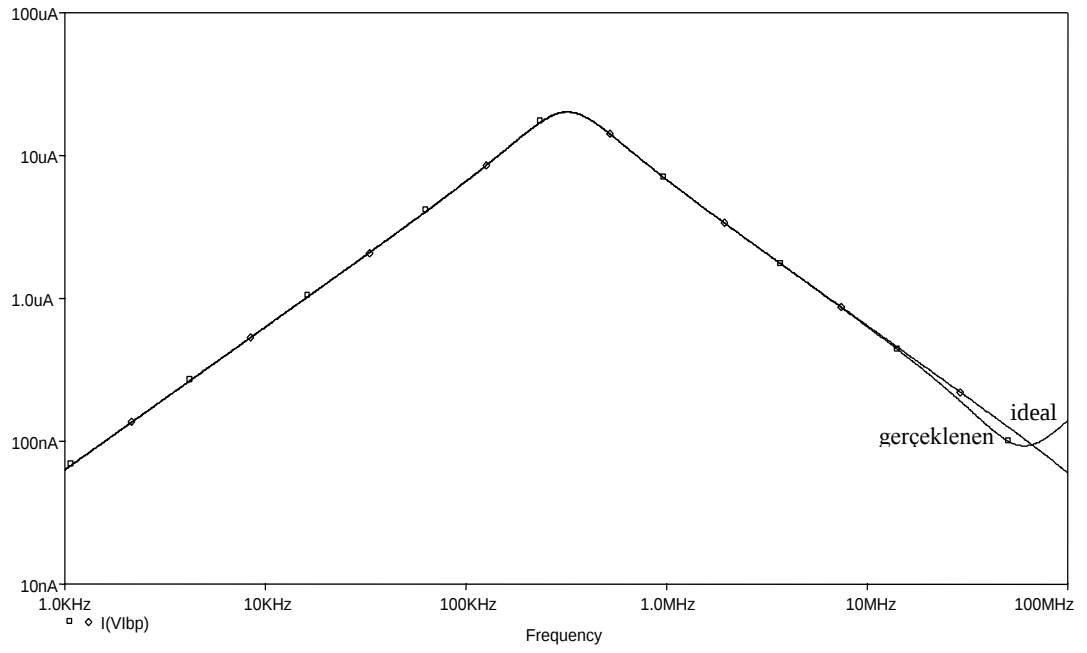
Şekil D.5 Devre 2.2 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri



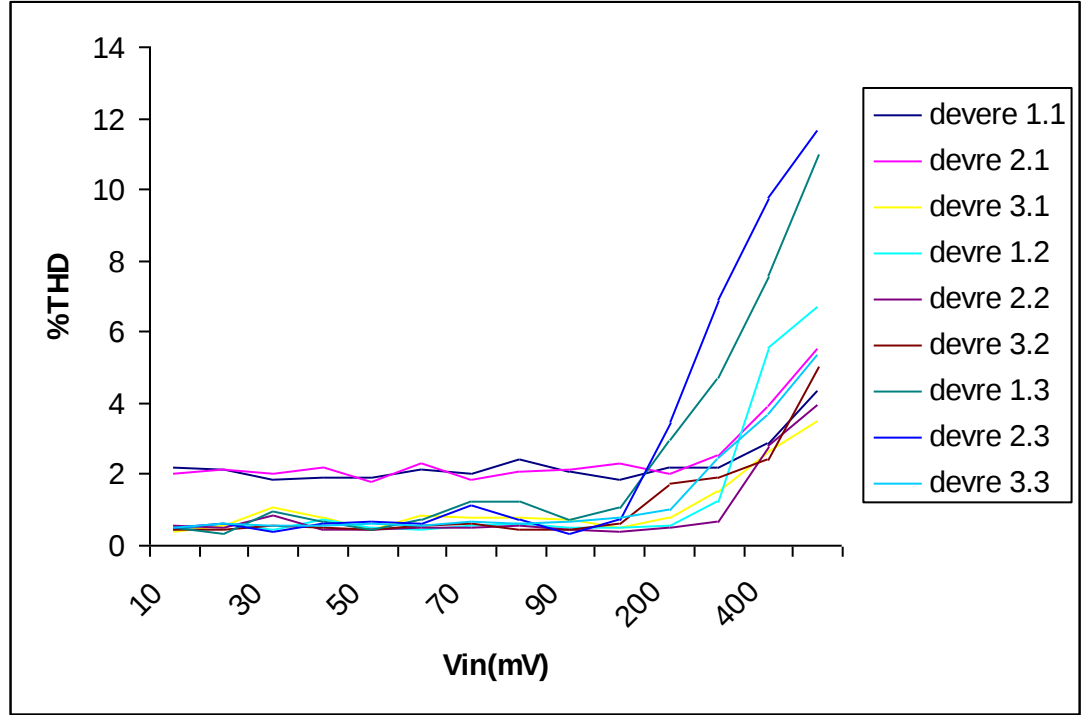
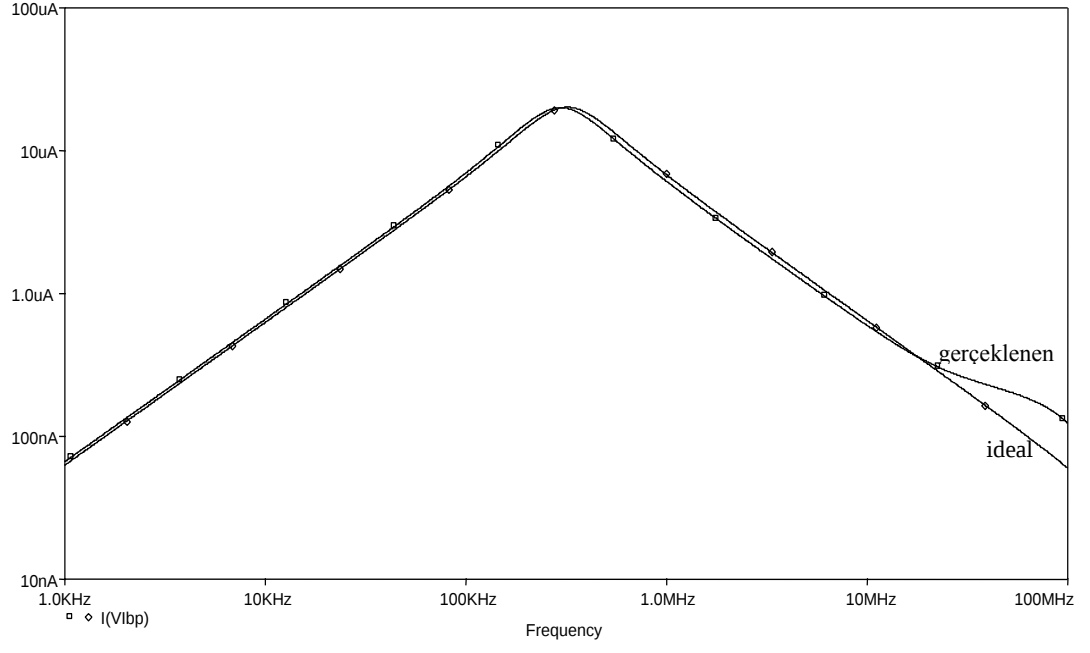
Şekil D.6 Devre 3.2 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri

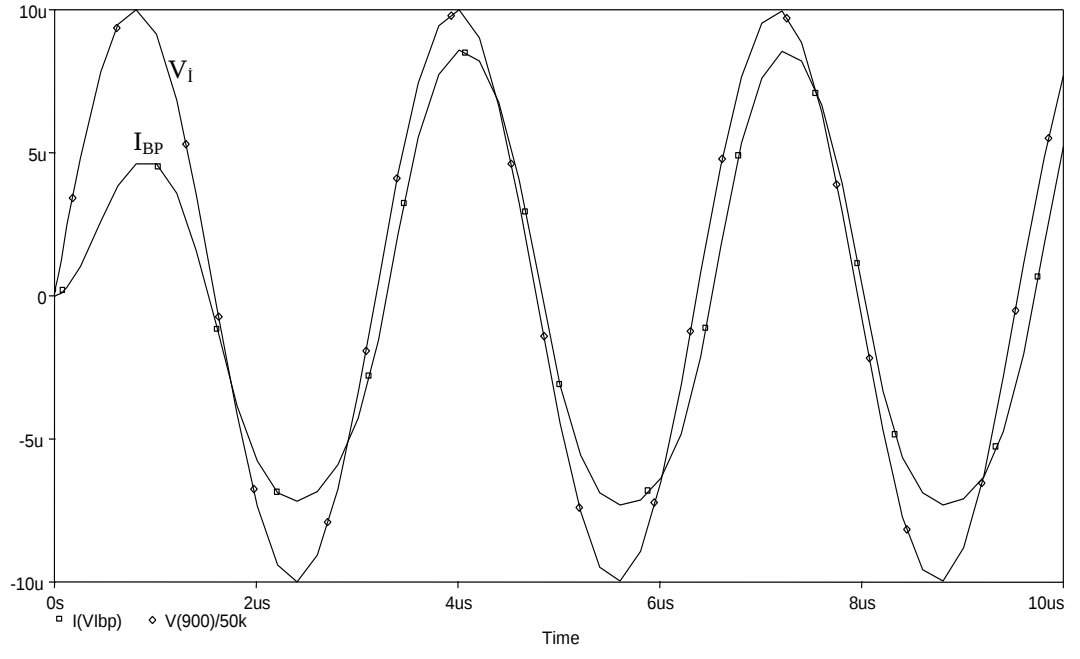


Şekil D.7 Devre 1.3 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri



Şekil D.8 Devre 2.3 ve ideal DCCII ile gerçekleştirilen BG süzgeç yapısının kazanç-frekans eğrileri

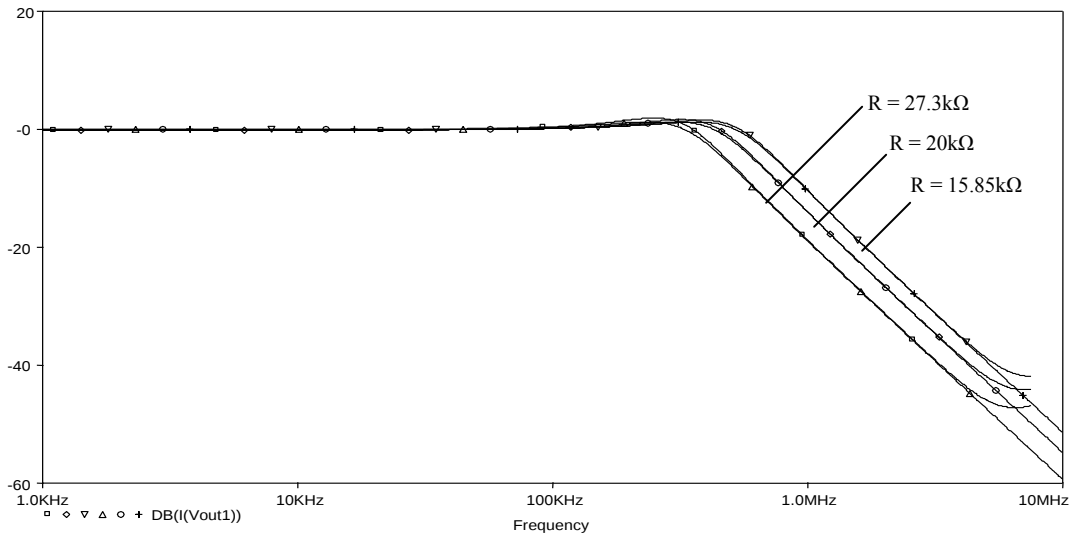




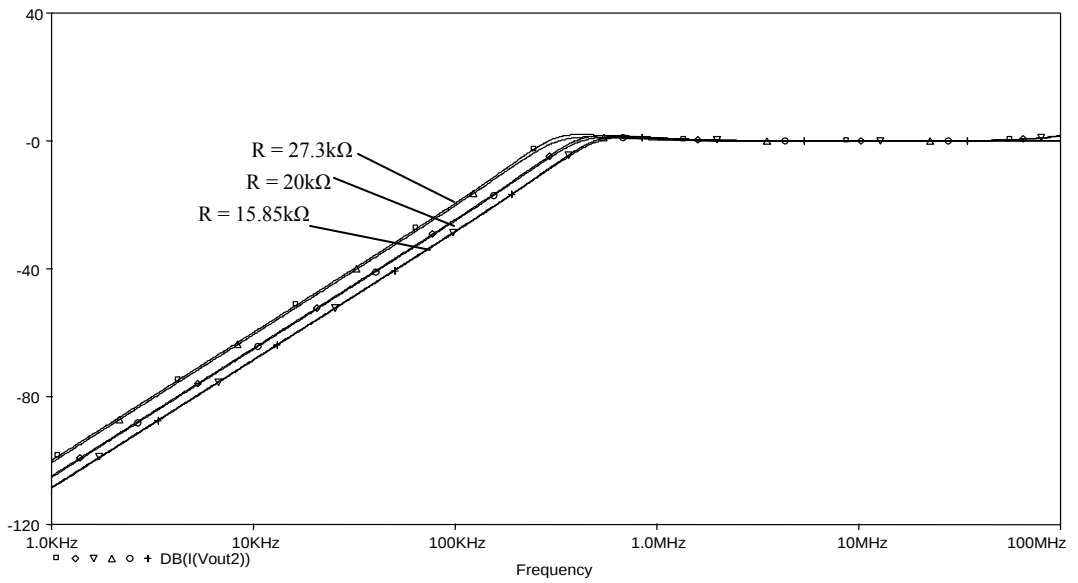
Şekil D.11 Devre 1.3 ile gerçekleştirilen BG süzgecin büyük işaret davranışı

EK E

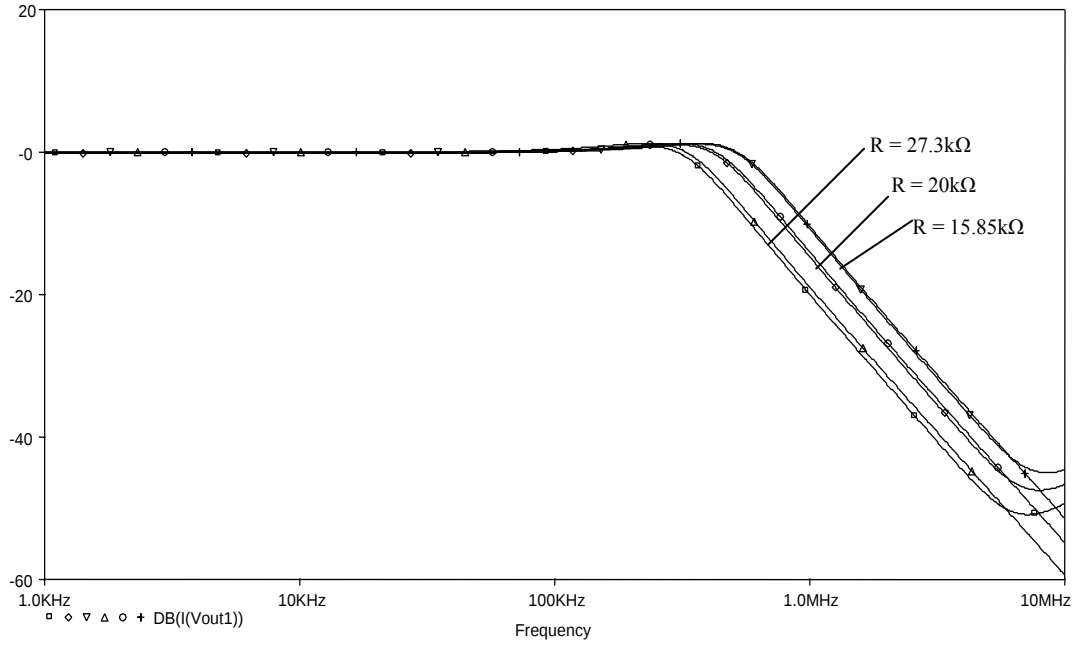
AKIM MODLU ALÇAK GEÇİREN VE YÜKSEK GEÇİREN SÜZGEÇ YAPISINA AİT BENZETİM SONUÇLARI



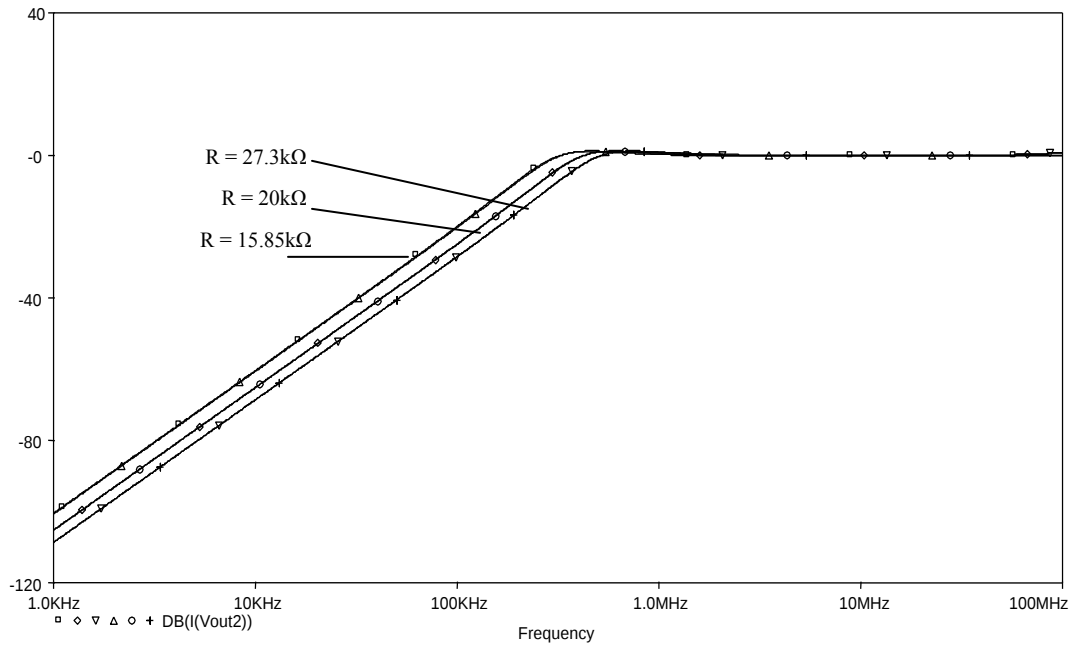
Şekil E.1 Devre 1.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri



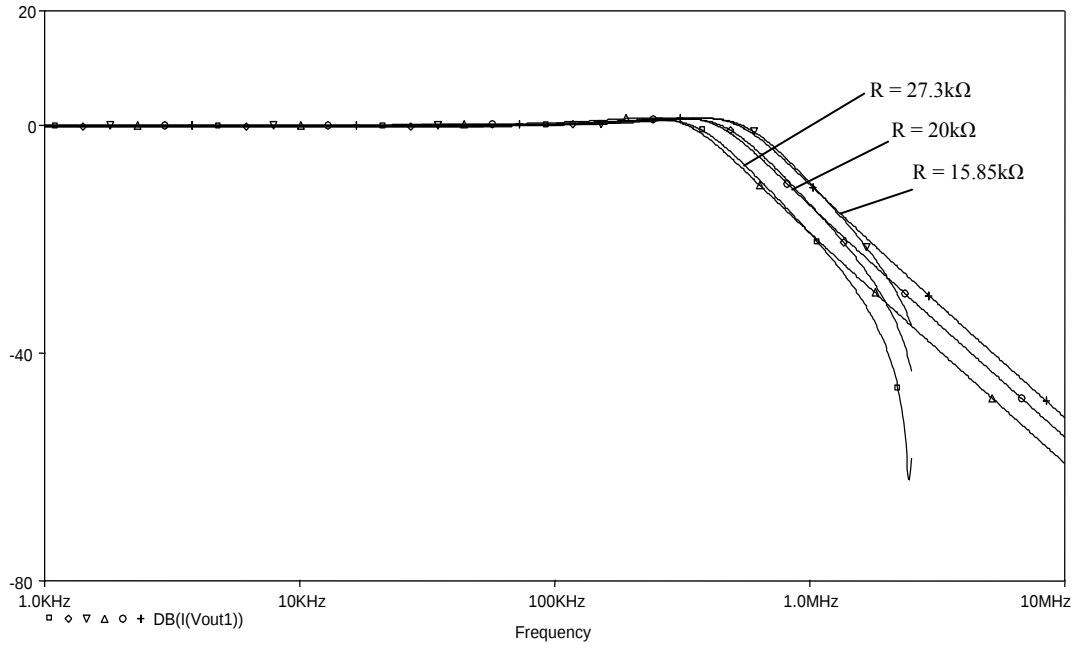
Şekil E.2 Devre 1.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri



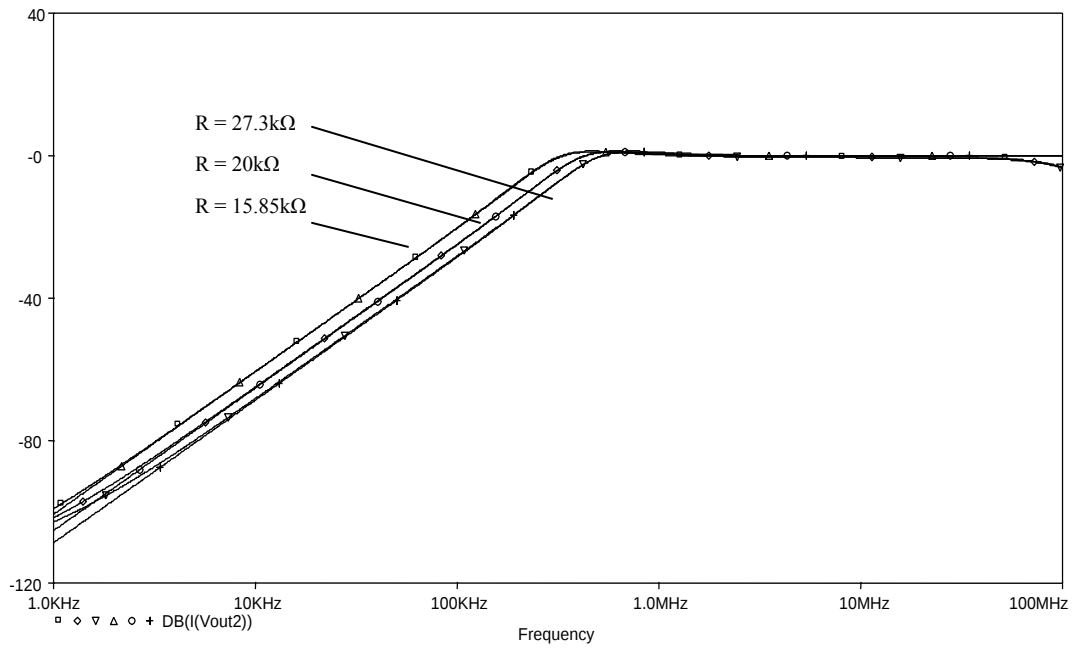
Şekil E.3 Devre 2.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri



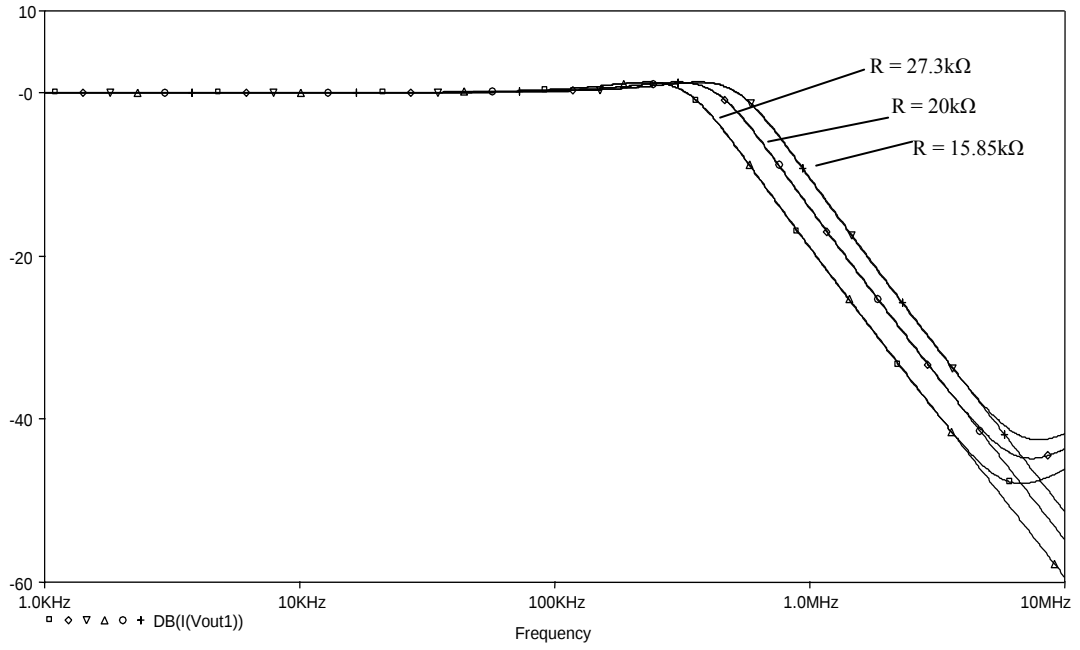
Şekil E.4 Devre 2.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri



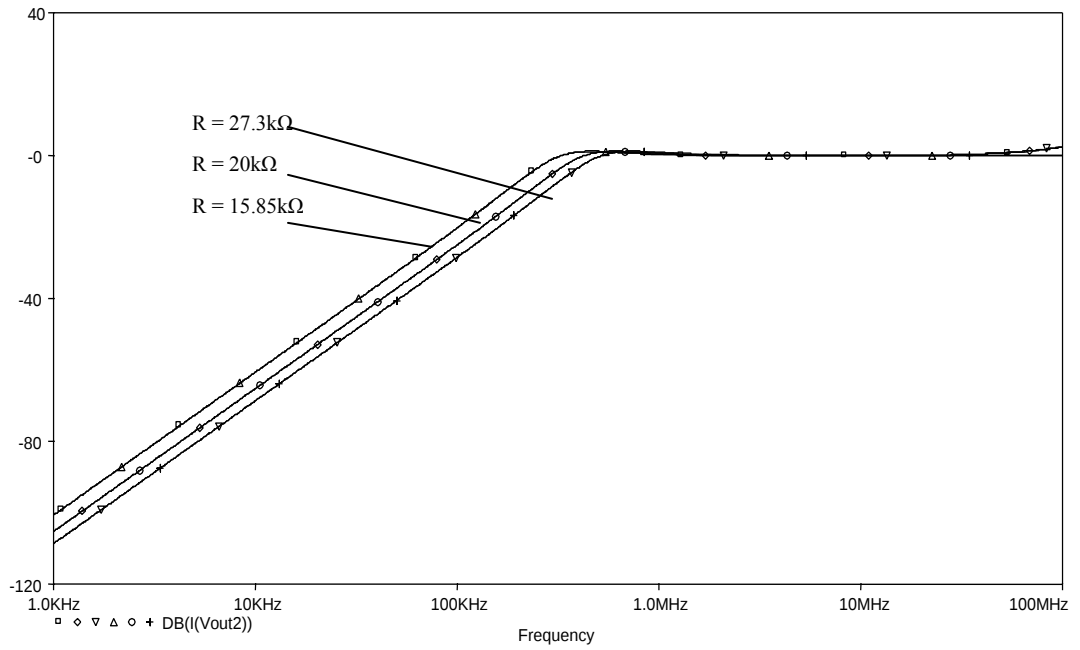
Şekil E.5 Devre 3.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri



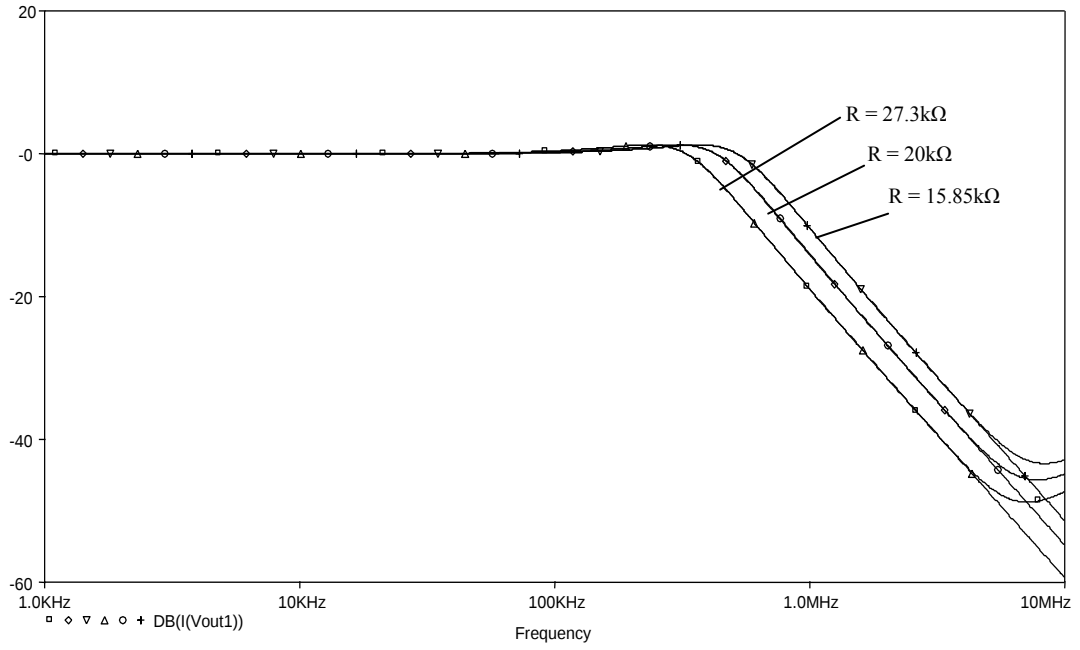
Şekil E.6 Devre 3.1 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri



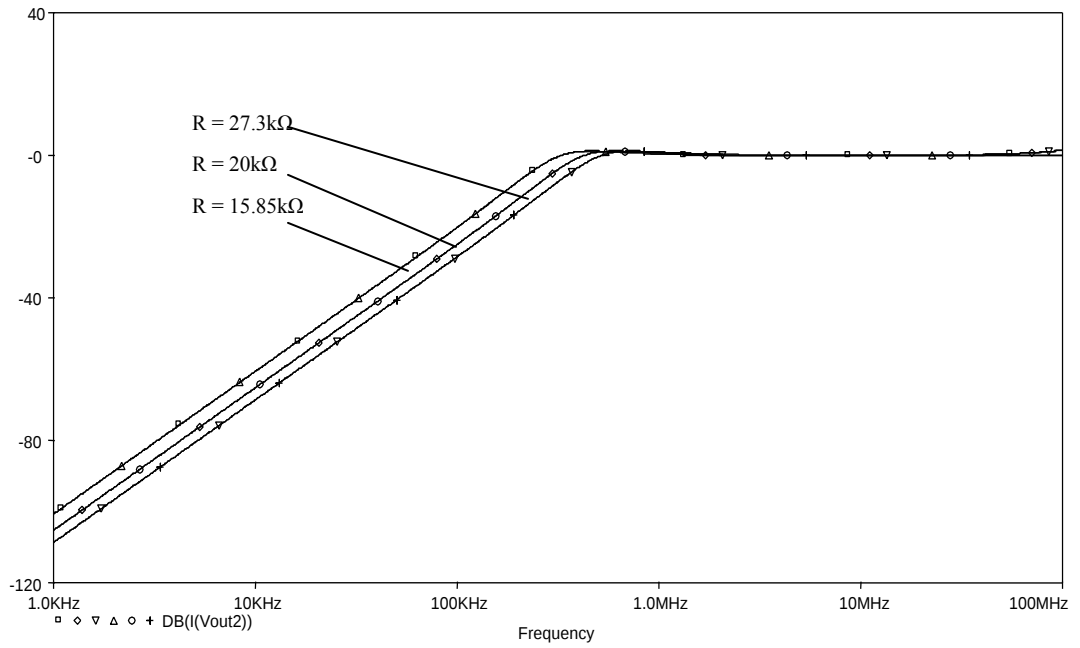
Şekil E.7 Devre 1.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri



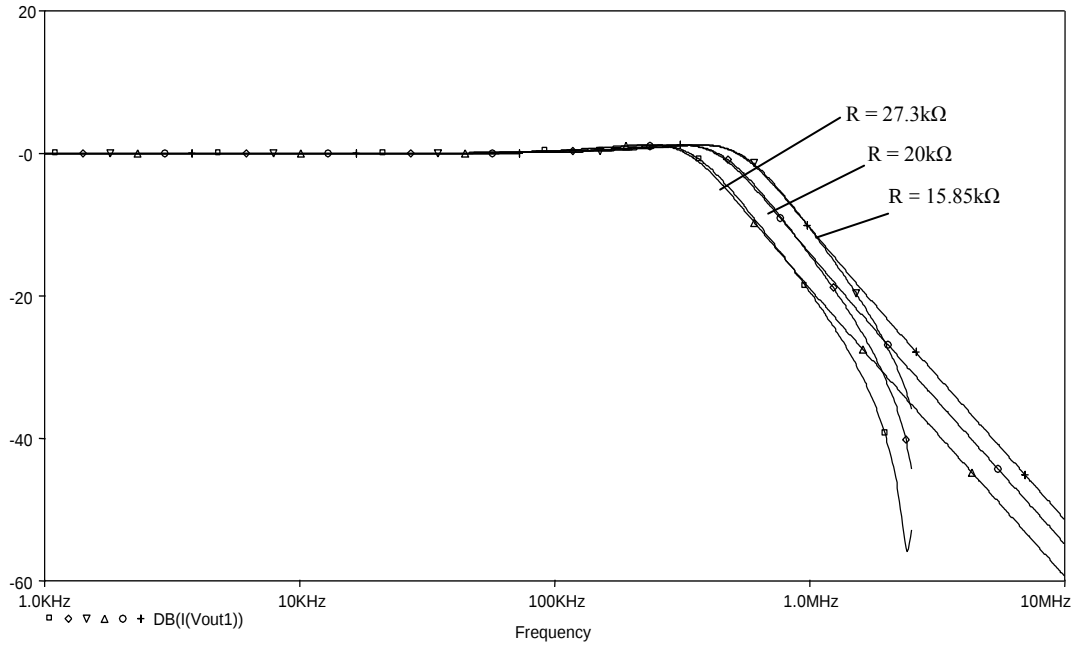
Şekil E.8 Devre 1.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri



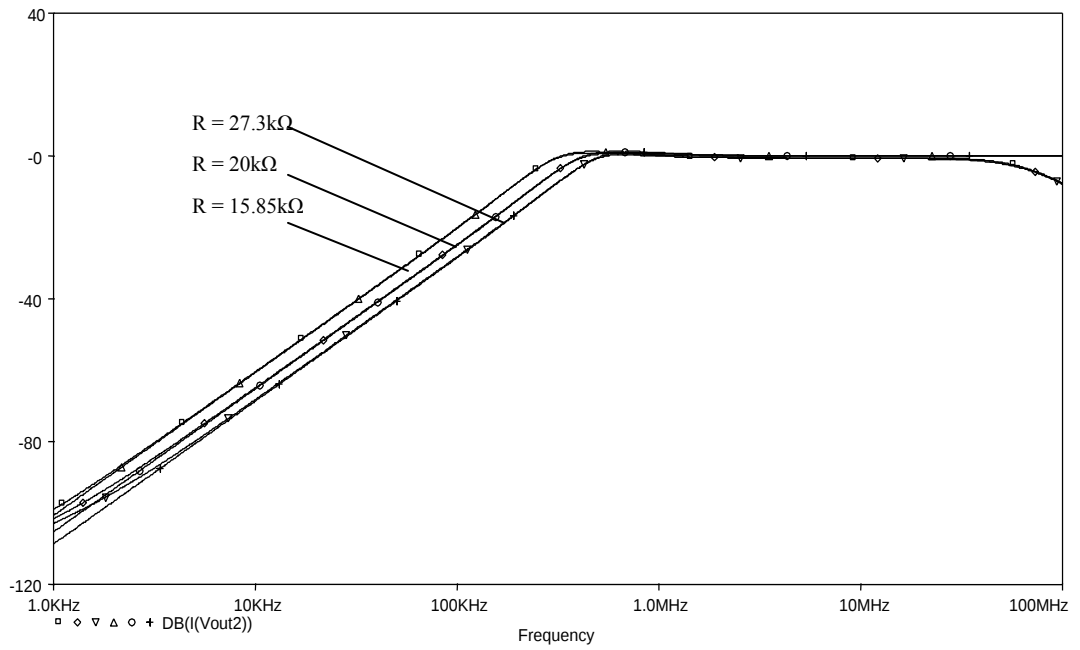
Şekil E.9 Devre 2.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri



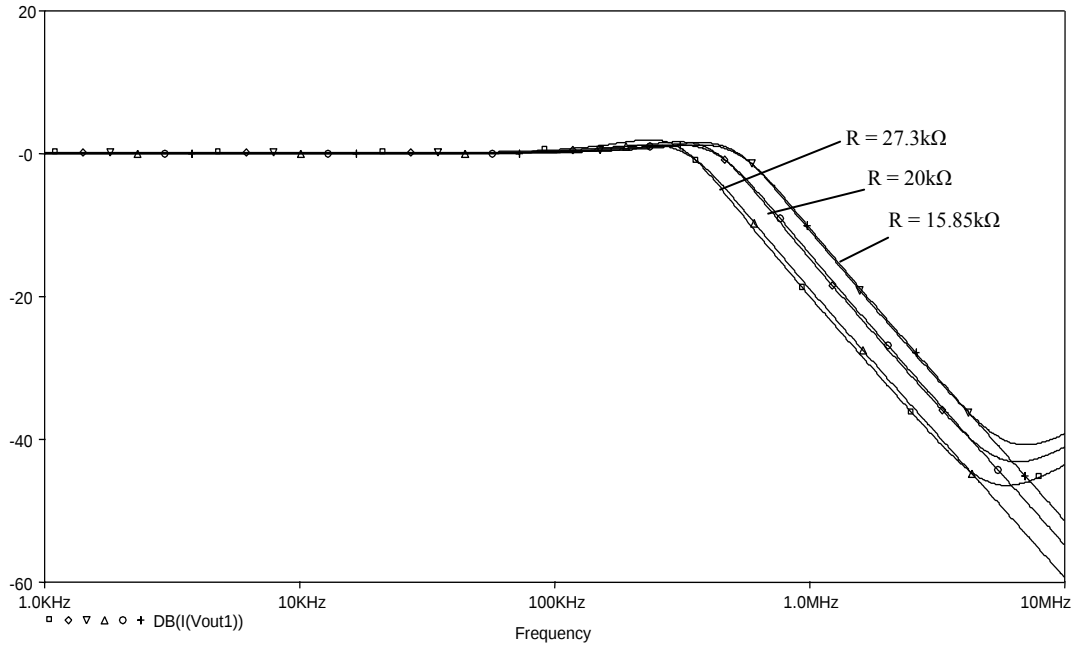
Şekil E.10 Devre 2.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri



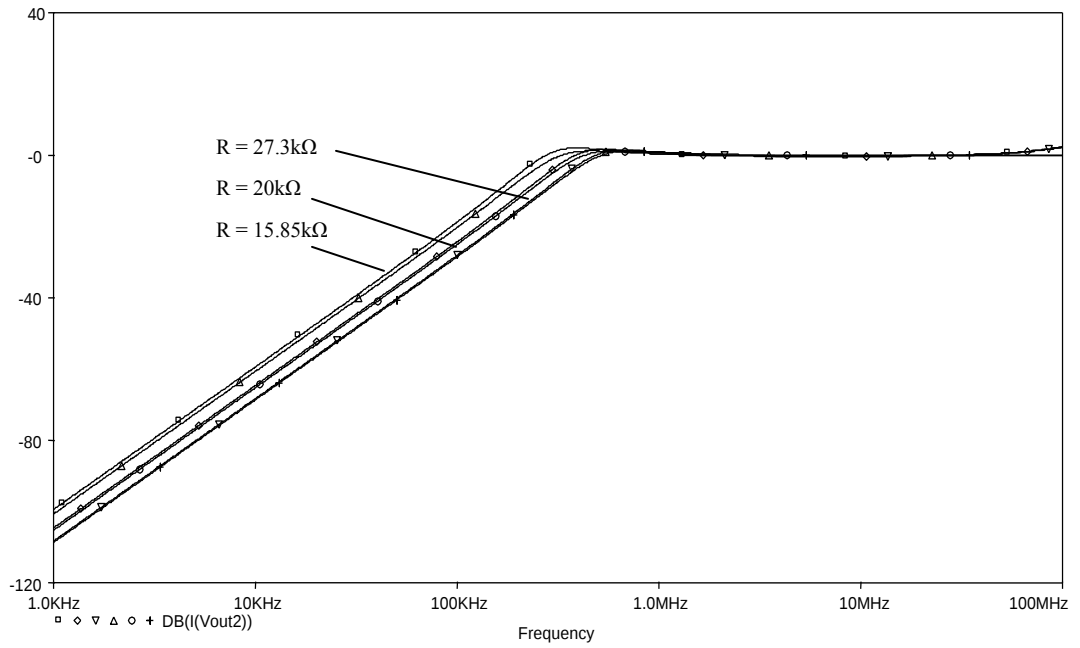
Şekil E.11 Devre 3.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri



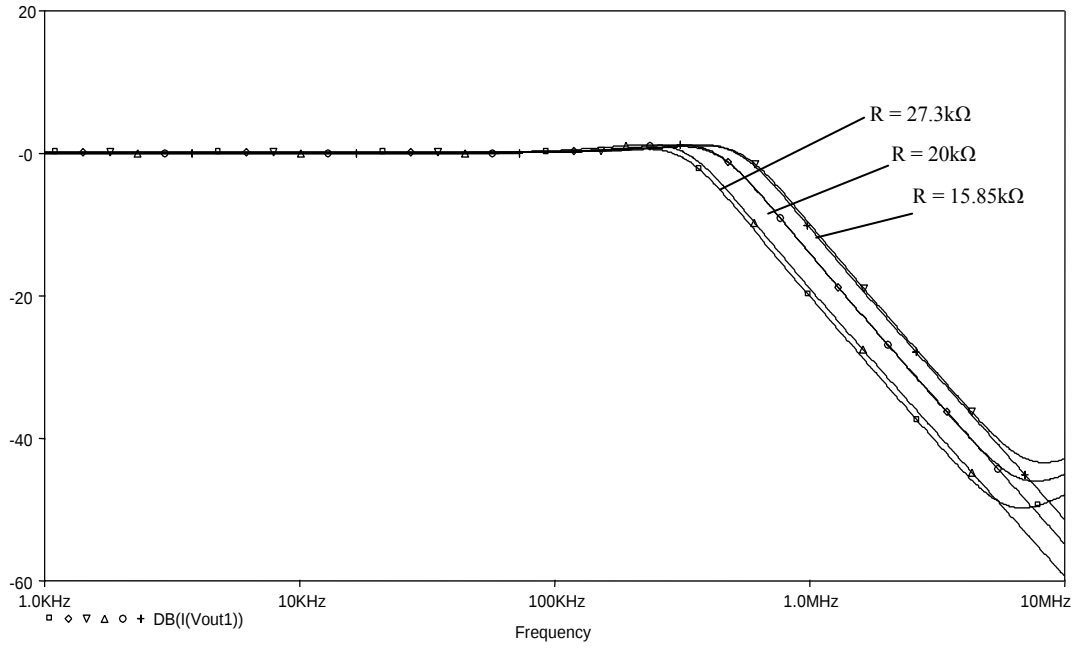
Şekil E.12 Devre 3.2 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri



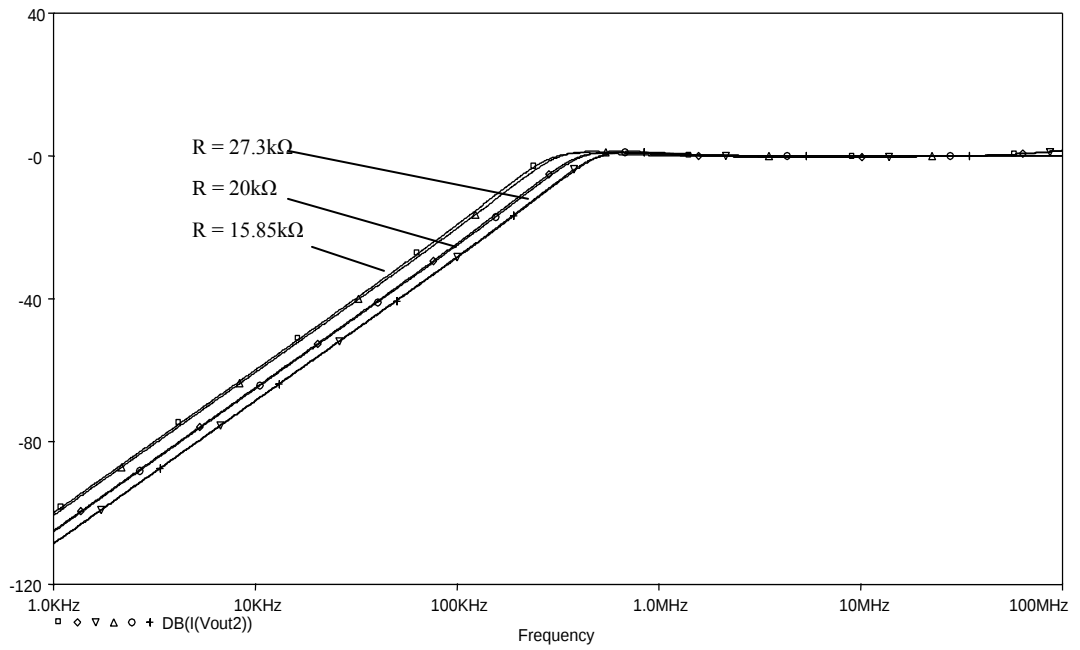
Şekil E.13 Devre 1.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri



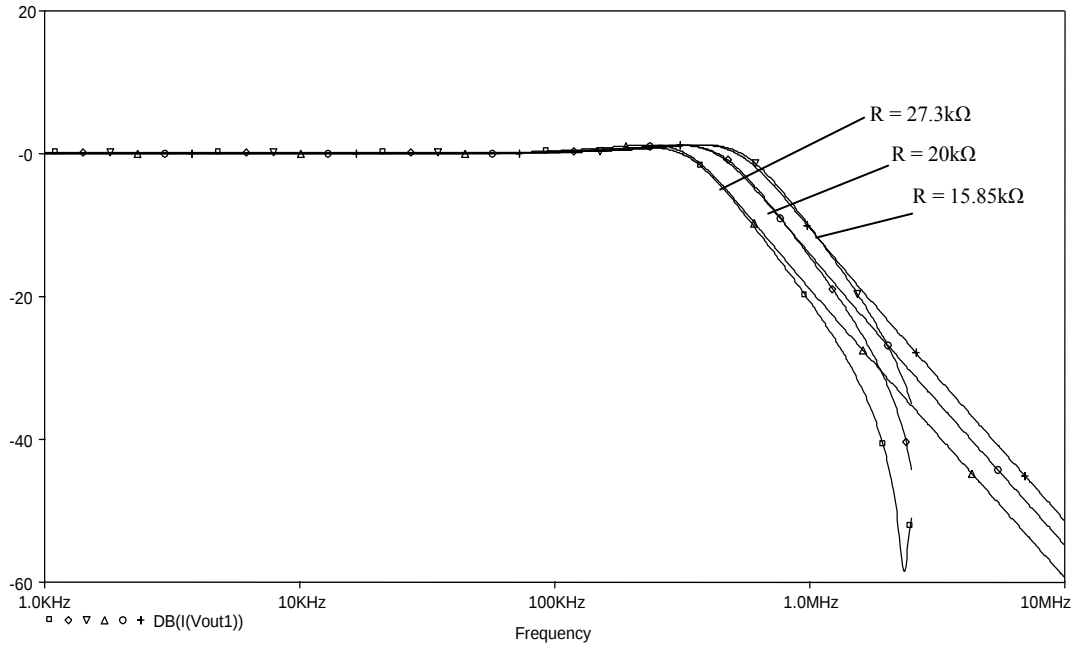
Şekil E.14 Devre 1.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri



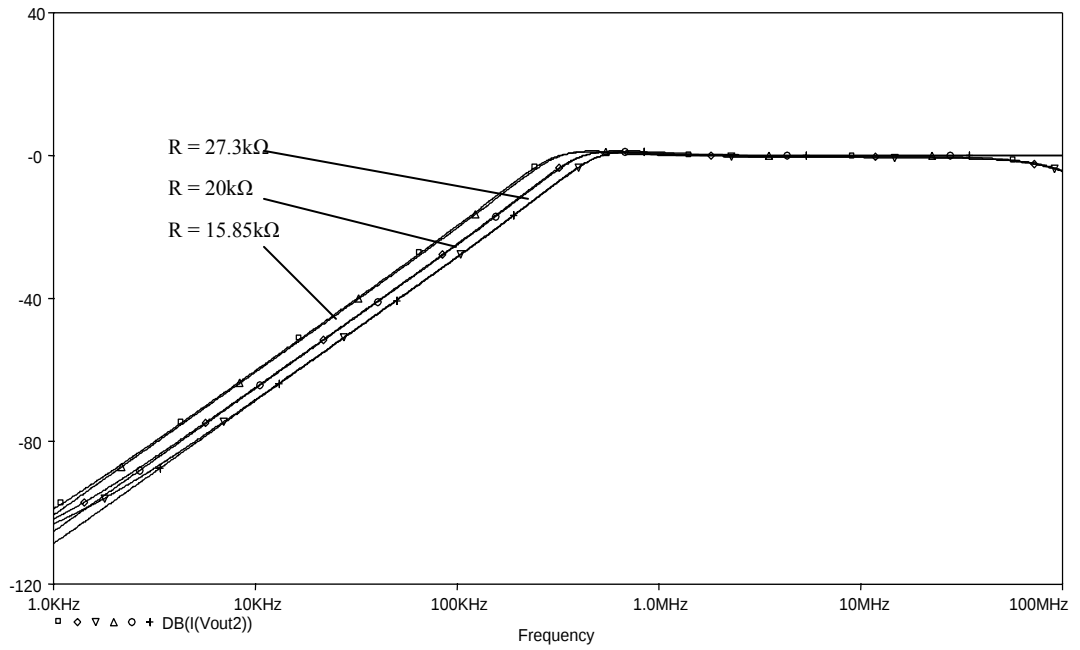
Şekil E.15 Devre 2.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri



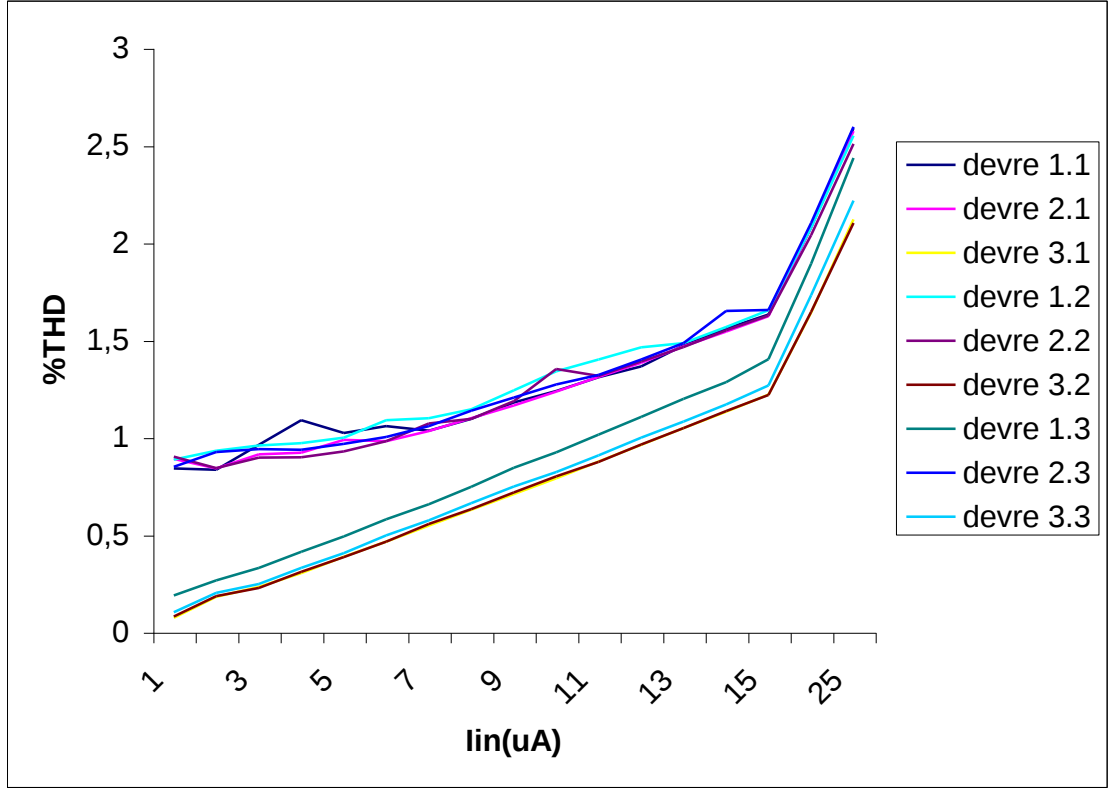
Şekil E.16 Devre 2.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri



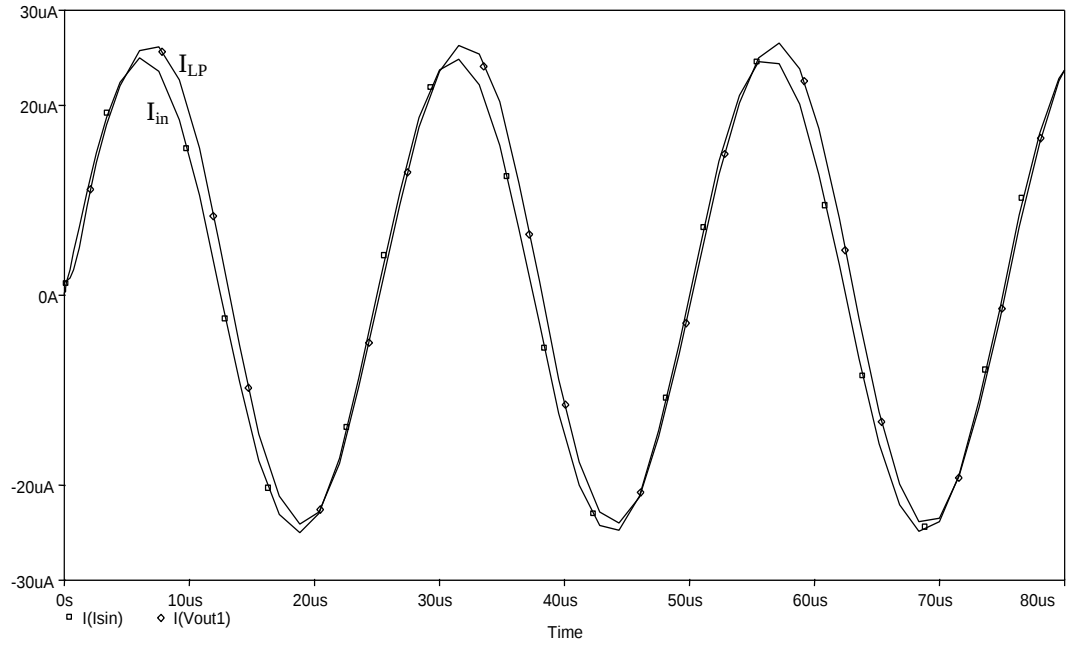
Şekil E.17 Devre 3.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının AG çıkışına ait kazanç-frekans eğrileri



Şekil E.18 Devre 3.3 ve ideal DCCII ile gerçekleştirilen AG ve YG süzgeç yapısının YG çıkışına ait kazanç-frekans eğrileri



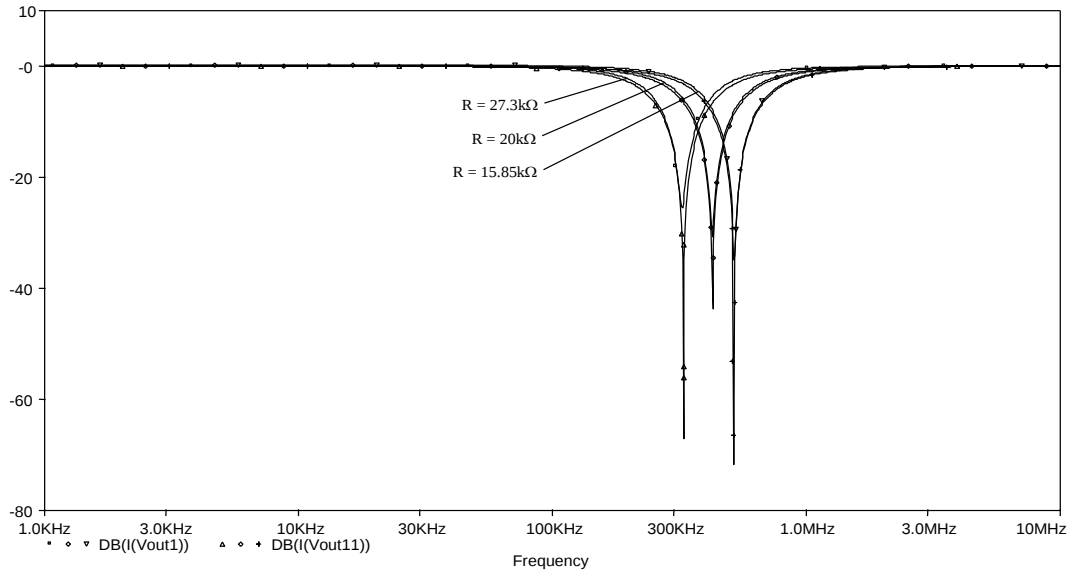
Şekil E.19 AG süzgeç yapılarının I_{in} giriş akımına göre THD değişimi



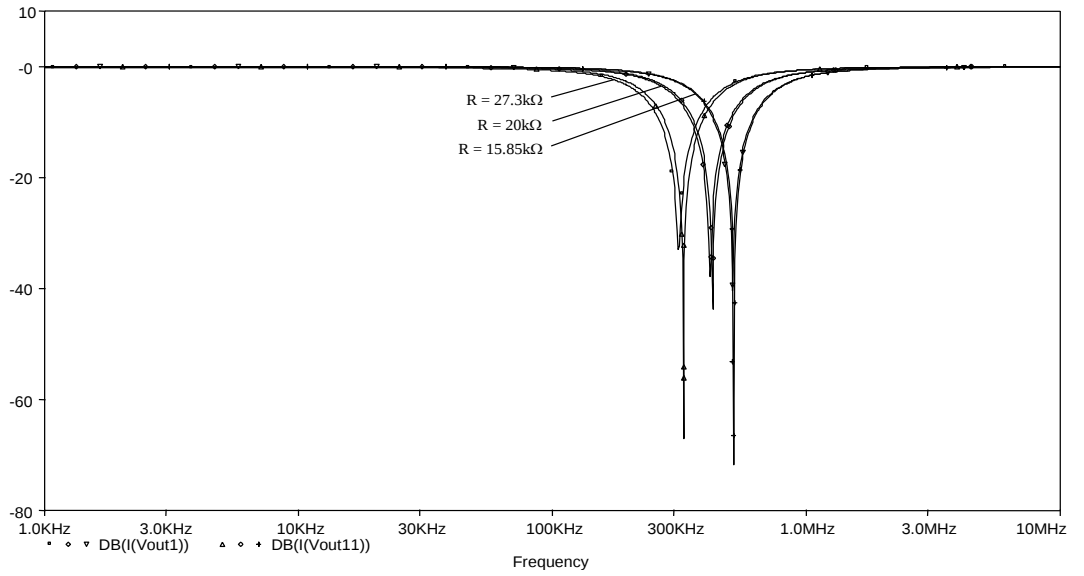
Şekil E.20 Devre 2.3 ile gerçekleştirilen AG süzgecin büyük işaret davranışı

EK F

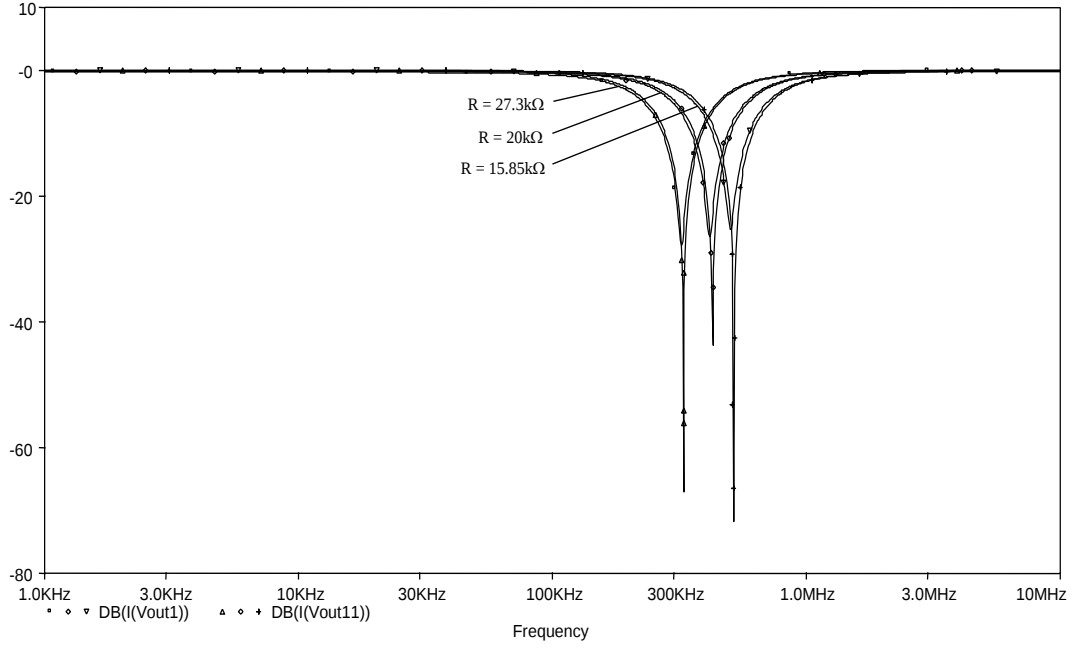
AKIM MODLU BAND SÖNDÜREN SÜZGEÇ YAPISINA AİT BENZETİM SONUÇLARI



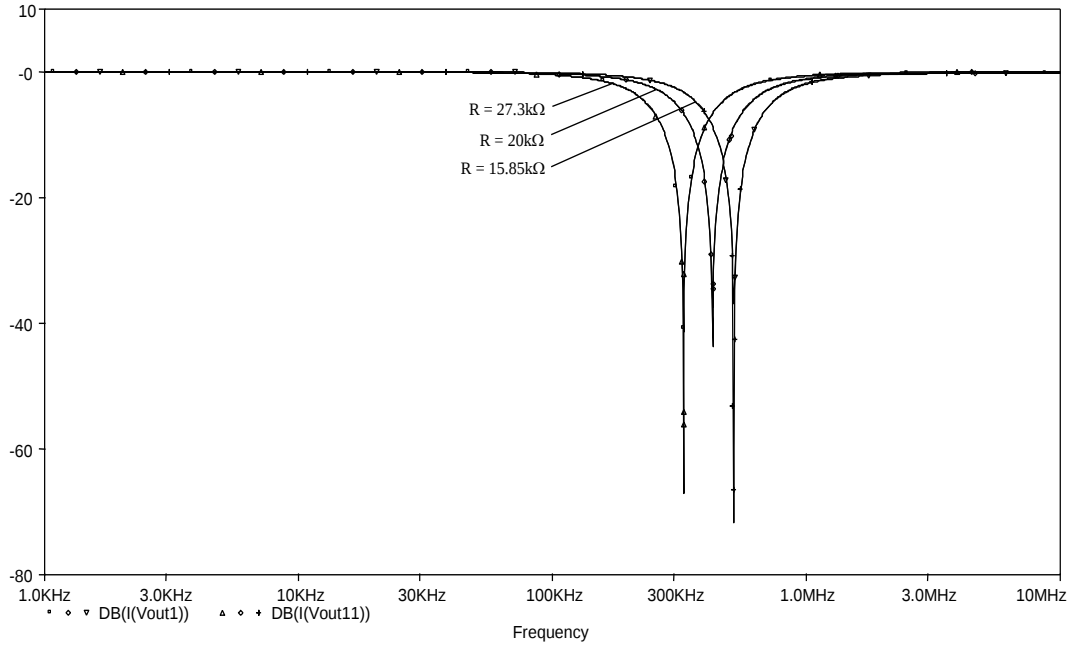
Şekil F.1 Devre 1.1 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri



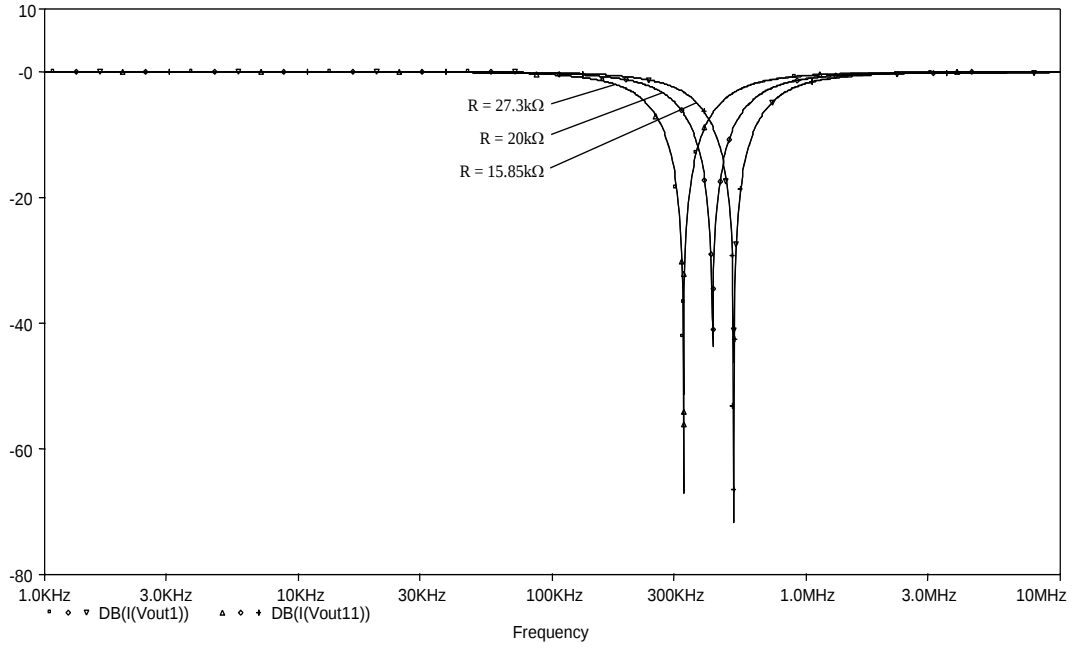
Şekil F.2 Devre 2.1 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri



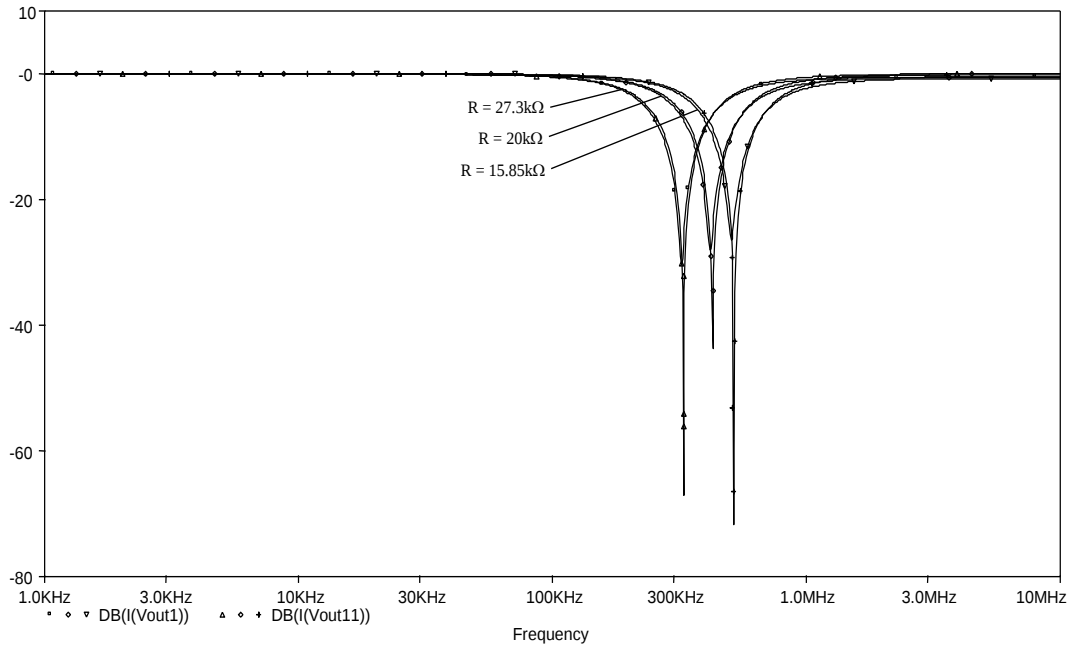
Şekil F.3 Devre 3.1 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri



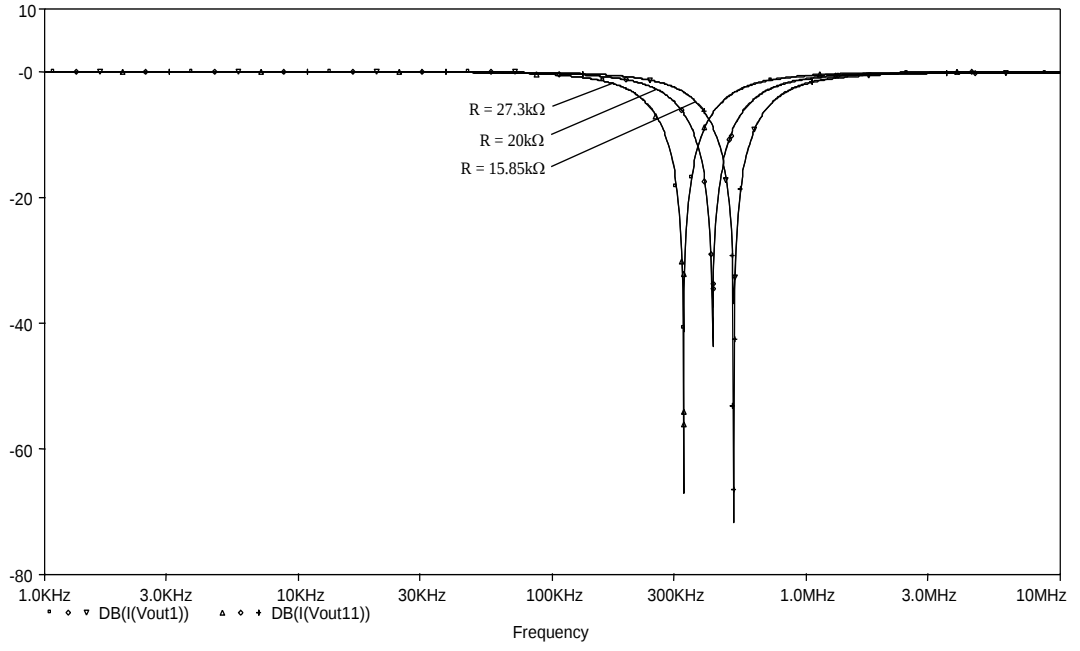
Şekil F.4 Devre 1.2 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri



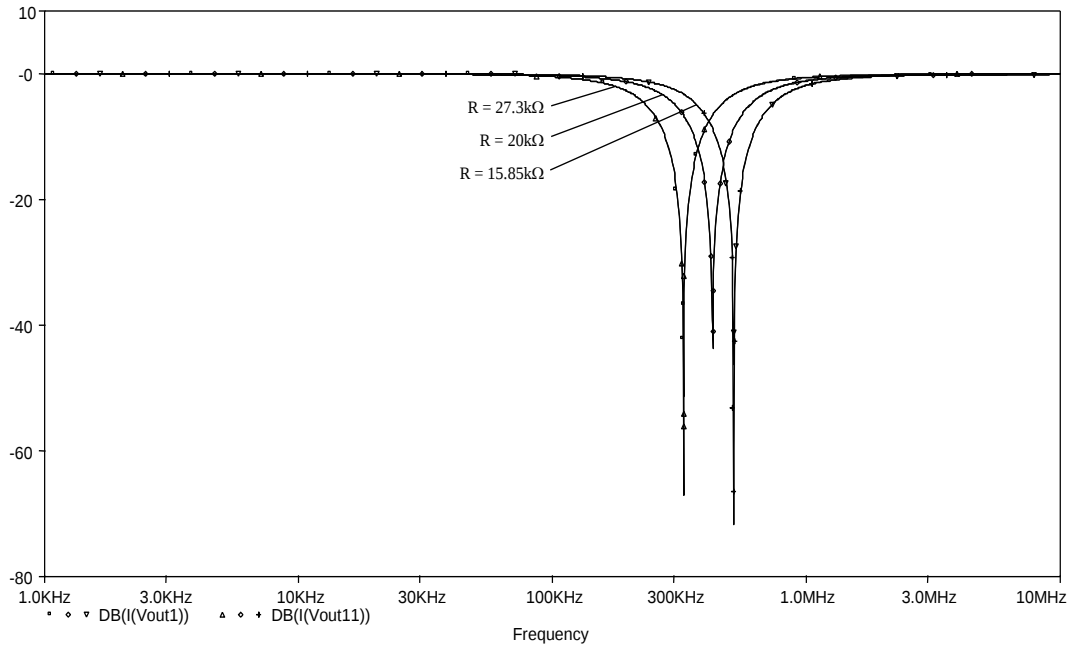
Şekil F.5 Devre 2.2 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri



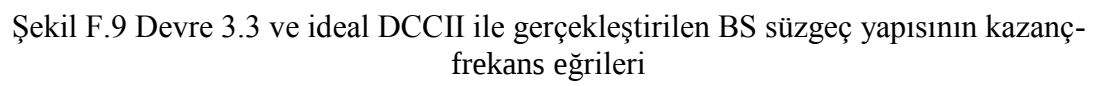
Şekil F.6 Devre 3.2 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri



Şekil F.7 Devre 1.3 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri



Şekil F.8 Devre 2.3 ve ideal DCCII ile gerçekleştirilen BS süzgeç yapısının kazanç-frekans eğrileri



ÖZGEÇMİŞ

Sinem ÇİFTÇİOĞLU, 1979 yılında Gelibolu’da doğdu. Orta öğrenimini 1997 yılında Orhan Cemal Fersoy Lisesi’nde tamamladı, aynı yıl İTÜ Elektronik ve Haberleşme Mühendisliği Bölümü’nde öğrenim görmeye başladı. 2002 yılında lisans öğrenimini tamamladı. Aynı yıl İTÜ Elektronik Mühendisliği Yüksek Lisans Programı’na kabul edildi ve Elektronik Ana Bilim Dalı’nda Araş. Gör. olarak çalışmaya başladı. Halen İTÜ’de yüksek lisans öğrenimini sürdürmekte ve Araş. Gör. olarak çalışmaya devam etmektedir.