

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**HİYERARŞİK BULANIK MANTIK PID
KONTROLÖRLERİ**

**YÜKSEK LİSANS TEZİ
Elk. Müh. Gaye SAĞLAM**

Anabilim Dalı : ELEKTRİK MÜHENDİSLİĞİ

**Programı : KONTROL ve OTOMASYON
MÜHENDİSLİĞİ**

ŞUBAT 2007

İSTANBUL TEKNİK ÜNİVERSİTESİ ★ FEN BİLİMLERİ ENSTİTÜSÜ

**HİYERARŞİK BULANIK MANTIK PID
KONTROLÖRLERİ**

**YÜKSEK LİSANS TEZİ
Elk. Müh. Gaye SAĞLAM
(504041106)**

**Tezin Enstitüye Verildiği Tarih : 25 Aralık 2006
Tezin Savunulduğu Tarih : 30 Ocak 2007**

**Tez Danışmanı : Prof.Dr. Müjde GÜZELKAYA
Diğer Jüri Üyeleri Prof.Dr. İbrahim EKSİN
Yrd.Doç.Dr. Osman Kaan EROL**

ŞUBAT 2007

ÖNSÖZ

Tez çalışmalarım boyunca yardımlarını esirgemeyen danışman hocam Prof. Dr. Müjde GÜZELKAYA'ya, Prof. Dr. İbrahim EKSİN'e, Arş. Gör. Engin YEŞİL'e, sevgili arkadaşım Cenk ULU' ya, maddi katkılarından dolayı TÜBİTAK'a, her türlü desteğinden ötürü aileme ve değerli dostum Ceren TUFAN' a teşekkürü bir borç bilirim.

Şubat, 2007

Gaye SAĞLAM

İÇİNDEKİLER

KISALTMALAR	iv
TABLO LİSTESİ	v
ŞEKİL LİSTESİ	vii
SEMBOL LİSTESİ	x
ÖZET	xi
SUMMARY	xii
1. GİRİŞ	1
2. BULANIK KONTROLÖRLER	4
2.1. Klasik Kontrol Sisteminin Genel Yapısı	4
2.2. Bulanık Kontrolörün Temel Yapısı	4
2.3. Bulanık Kontrolör Tasarım Aşamaları	6
2.4. Bulanık Kontrolör Çeşitleri	7
3. HİYERARŞİK BULANIK MANTIK	12
4. PID KONTROLÖR YAPILARI	18
4.1. İki Girişli Bulanık Mantık PID Kontrolörler	18
4.2. Üç Girişli Bulanık Mantık PID Kontrolörler	19
4.3. Hiyerarşik Bulanık Mantık PID Kontrolörler	19
5. BENZETİM SONUÇLARI	27
5.1. Kontrolörlerin Doğrusal Sistemler Üzerinde Uygulanması	28
5.2. Kontrolörlerin Doğrusal Olmayan Sistemler Üzerinde Uygulanması	38
6. SONUÇLAR VE TARTIŞMALAR	47
KAYNAKLAR	49
EK A	52
EK B	58
ÖZGEÇMİŞ	64

KISALTMALAR

P	: Proportional (Orantı)
PD	: Proportional-Derivative (Orantı-Türev)
PI	: Proportional-Integral (Orantı-İntegral)
PID	: Proportional-Integral-Derivative (Orantı-İntegral-Türev)
2gbPID	: İki Girişli Bulanık PID
3gbPID	: Üç Girişli Bulanık PID
HPID	: Hiyerarşik PID
asim_3gbPID	: Asimetrik Üç Girişli Bulanık PID
asimHPID	: Asimetrik HPID
BMB	: Bulanık Mantık Birimi
N	: Negatif
Z	: Zero (Sıfır)
P	: Pozitif
GA	: Genetik Algoritma

TABLO LİSTESİ

	<u>Sayfa No</u>
Tablo 3.1. Rastgele seçilmiş kural tablosu	14
Tablo 3.2. Rastgele seçilmiş kural tablosunun gruplanması	15
Tablo 3.3. Hiyerarşik yapıda F_1 bloğu için kural tablosu	15
Tablo 3.4. Hiyerarşik yapıda F_2 bloğu için kural tablosu	16
Tablo 4.1. İki girişli PID tip bulanık kontrolör için kontrol kuralları	18
Tablo 4.2. Üç girişli PID tip bulanık kontrolör için kontrol kuralları	19
Tablo 4.3. Sütunları gruplanmış simetrik kural tablosu	20
Tablo 4.4. Sütun hiyerarşi kullanılan HPID yapısında F_1 bloğu için kural tablosu	20
Tablo 4.5. Sütun hiyerarşi kullanılan HPID yapısında F_2 bloğu için kural tablosu	20
Tablo 4.6. Satırları Gruplanmış Simetrik Kural Tablosu	22
Tablo 4.7. Satır hiyerarşi kullanılan HPID yapısında F_1 bloğu için kural tablosu	22
Tablo 4.8. Satır hiyerarşi kullanılan HPID yapısında F_2 bloğu için kural tablosu	23
Tablo 4.9. Simetrik kural tablosunda değiştirilen kurallar	23
Tablo 4.10. Asimetrik kural tablosu	23
Tablo 4.11. Sütunları gruplanmış asimetrik kural tablosu	24
Tablo 4.12. Sütun hiyerarşi ve asimetrik kural tablosu kullanılan HPID yapısında F_1 bloğu için kural tablosu	24
Tablo 4.13. Sütun hiyerarşi ve asimetrik kural tablosu kullanılan HPID yapısında F_2 bloğu için kural tablosu	24
Tablo 4.14. Satırları gruplanmış asimetrik kural tablosu	25
Tablo 4.15. Satır hiyerarşi ve asimetrik kural tablosu kullanılan HPID yapısında F_1 bloğu için kural tablosu	25
Tablo 4.16. Satır hiyerarşi ve asimetrik kural tablosu kullanılan HPID yapısında F_2 bloğu için kural tablosu	25
Tablo 5.1. $1/(s+1)^4$ için ISE amaç ölçütüne göre elde edilen değerler	31
Tablo 5.2. $(1-0.1s)/(s+1)^3$ için ISE amaç ölçütüne göre elde edilen değerler	32
Tablo 5.3. $e^{-0.5s}/(s+1)$ için ISE amaç ölçütüne göre elde edilen değerler	33
Tablo 5.4. $1/(s+1)^4$ için ITSE amaç ölçütüne göre elde edilen değerler	34
Tablo 5.5. $(1-0.1s)/(s+1)^3$ için ITSE amaç ölçütüne göre elde edilen değerler	34
Tablo 5.6. $e^{-0.5s}/(s+1)$ için ITSE amaç ölçütüne göre elde edilen değerler ...	35
Tablo 5.7. $1/(s+1)^4$ için ITSE amaç ölçütüne göre elde edilen değerler	36

	<u>Sayfa No</u>
Tablo 5.8. $(1 - 0.1s)/(s + 1)^3$ için ITSE amaç ölçütüne göre elde edilen değerler	36
Tablo 5.9. $e^{-0.5s}/(s + 1)$ için ISTSE amaç ölçütüne göre elde edilen değerler	37
Tablo 5.10. Doğrusal olmayan sistem için ISE amaç ölçütüne göre elde edilen değerler	42
Tablo 5.11. Doğrusal olmayan sistem için ITSE amaç ölçütüne göre elde edilen değerler	44
Tablo 5.12. Doğrusal olmayan sistem için ISTSE amaç ölçütüne göre elde edilen değerler	46

ŞEKİL LİSTESİ

	Sayfa No
Şekil 2.1 : Kontrol sisteminin genel yapısı	4
Şekil 2.2 : Bulanık kontrolörün temel yapısı	5
Şekil 2.3 : PD tip bulanık kontrolörün yapısı	7
Şekil 2.4 : PI tip bulanık kontrolörün yapısı	8
Şekil 2.5 : Tek girişli PID tip bulanık kontrolör yapısı	8
Şekil 2.6 : İki girişli PID tip bulanık kontrolör yapısı	9
Şekil 2.7 : İki kural tablosu kullanılarak oluşturulan iki girişli PID tip bulanık kontrolör yapısı	9
Şekil 2.8 : Üç girişli PID tip bulanık kontrolör yapısı-1	10
Şekil 2.9 : Üç girişli PID tip bulanık kontrolör yapısı-2	10
Şekil 2.10 : Üç girişli PID tip bulanık kontrolör yapısı-3	10
Şekil 3.1 : Klasik bulanık mantık sistem	13
Şekil 3.2(a) : İki seviyeli hiyerarşi kullanılan hiyerarşik bulanık mantık sistemi	13
Şekil 3.2(b) : Üç seviyeli hiyerarşi kullanılan hiyerarşik bulanık mantık sistemi	13
Şekil 3.3 : Üç girişli klasik bulanık mantık sistem	14
Şekil 3.4 : Hiyerarşik yapıya aktarılmış üç girişli bulanık mantık sistem	15
Şekil 3.5 : Giriş ve çıkış üyelik fonksiyonları	16
Şekil 3.6 : Ara değişken üyelik fonksiyonları	17
Şekil 4.1 : İki girişli PID tip bulanık kontrolör için giriş/çıkış üyelik fonksiyonları	19
Şekil 4.2 : Sütun hiyerarşide kullanılan hiyerarşik PID kontrolör yapısı	20
Şekil 4.3 : Sütun hiyerarşi yapısında kullanılan giriş ve çıkış üyelik fonksiyonları	21
Şekil 4.4 : Sütun hiyerarşi yapısında kullanılan ara değişken üyelik fonksiyonları	21
Şekil 4.5 : Satır hiyerarşide kullanılan hiyerarşik PID kontrolör yapısı	22
Şekil 4.6 : Sütun hiyerarşi ve asimetric kural tablosu uygulanan HPID yapısında kullanılan ara değişken üyelik fonksiyonları	24
Şekil 5.1 : Doğrusal sistemlere uygulanan iki girişli bulanık PID tipi kontrolörün Simulink blok diyagramı	29
Şekil 5.2 : Doğrusal sistemlere uygulanan üç girişli bulanık PID tipi kontrolörün Simulink blok diyagramı	29
Şekil 5.3 : Doğrusal sistemlere uygulanan hiyerarşik yapıda bulanık PID tipi kontrolörün Simulink blok diyagramı	30
Şekil 5.4 : $1/(s+1)^4$ için ISE amaç ölçütüne göre elde edilen sistem yanıtları	31

Şekil 5.5	: $(1 - 0.1s)/(s + 1)^3$ için ISE amaç ölçütüne göre elde edilen sistem yanıtları	32
Şekil 5.6	: $e^{-0.5s}/(s + 1)$ için ISE amaç ölçütüne göre elde edilen sistem yanıtları	32
Şekil 5.7	: $1/(s + 1)^4$ için ITSE amaç ölçütüne göre elde edilen sistem yanıtları	33
Şekil 5.8	: $(1 - 0.1s)/(s + 1)^3$ için ITSE amaç ölçütüne göre elde edilen sistem yanıtları	34
Şekil 5.9	: $e^{-0.5s}/(s + 1)$ için ITSE amaç ölçütüne göre elde edilen sistem yanıtları	35
Şekil 5.10	: $1/(s + 1)^4$ için ISTSE amaç ölçütüne göre elde edilen sistem yanıtları	35
Şekil 5.11	: $(1 - 0.1s)/(s + 1)^3$ için ISTSE amaç ölçütüne göre elde edilen sistem yanıtları	36
Şekil 5.12	: $e^{-0.5s}/(s + 1)$ için ISTSE amaç ölçütüne göre elde edilen sistem yanıtları	37
Şekil 5.13	: Doğrusal olmayan sisteme uygulanan iki girişli bulanık PID tipi kontrolörün Simulink blok diyagramı	38
Şekil 5.14	: Doğrusal olmayan sisteme uygulanan üç girişli bulanık PID tipi kontrolörün Simulink blok diyagramı	38
Şekil 5.15	: Doğrusal olmayan sisteme uygulanan hiyerarşik yapıda bulanık PID tipi kontrolörün Simulink blok diyagramı	39
Şekil 5.16	: Doğrusal olmayan sistem için simetrik kural tablosu ve satır hiyerarşiyle ISE amaç ölçütüne göre elde edilen sistem yanıtları	40
Şekil 5.17	: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve satır hiyerarşiyle ISE amaç ölçütüne göre elde edilen sistem yanıtları	41
Şekil 5.18	: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve sütun hiyerarşiyle ISE amaç ölçütüne göre elde edilen sistem yanıtları	41
Şekil 5.19	: Doğrusal olmayan sistem için simetrik kural tablosu ve satır hiyerarşiyle ITSE amaç ölçütüne göre elde edilen sistem yanıtları	42
Şekil 5.20	: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve satır hiyerarşiyle ITSE amaç ölçütüne göre elde edilen sistem yanıtları	43
Şekil 5.21	: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve sütun hiyerarşiyle ITSE amaç ölçütüne göre elde edilen sistem yanıtları	43
Şekil 5.22	: Doğrusal olmayan sistem için simetrik kural tablosu ve satır hiyerarşiyle ISTSE amaç ölçütüne göre elde edilen sistem yanıtları	44

Şekil 5.23	: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve satır hiyerarşiyle ISTSE amaç ölçütüne göre elde edilen sistem yanıtları	45
Şekil 5.24	: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve sütun hiyerarşiyle ISTSE amaç ölçütüne göre elde edilen sistem yanıtları	45

SEMBOL LİSTESİ

r	: Referans giriş işareti
y	: Çıkış işareti
e	: Hata
$\dot{e}$	: Hatanın birinci türevi
$\ddot{e}$	: Hatanın ikinci türevi
$\int e$	: Hatanın integrali
u	: Kontrol işareti
Δu	: Kontrol işaretinin değişim miktarı
n	: Giriş değişkeni sayısı
m	: Üyelik fonksiyonu sayısı
$\theta, \dot{\theta}, x$	: Giriş değişkenleri
u_0, u_1	: Ara giriş
g	: Doğrusal olmayan sisteme uygulanan giriş değeri
$\mu_z(z)$	: Bulanık çıkarım değeri
z_0	: Durulama ile elde edilen keskin çıkış değeri
m_p	: Aşım değeri
t_p	: Tepe zamanı
t_s	: Yerleşme zamanı
e_{ss}	: Kararlı hal hatası
$K_e, K_{de}, K_{dde}, K_{u1}$	: Giriş ölçekleme çarpanları
K_u, K_i	: Çıkış ölçekleme çarpanları

HİYERARŞİK BULANIK MANTIK PID KONTROLÖRLERİ

ÖZET

Klasik kontrol yöntemlerinde çoğu zaman kontrol edilecek sistemin matematiksel modeline ihtiyaç duyulmaktadır. Oysa gerçek dünyada çoğu sistemin doğrusal olmayan karakteristikleri, karmaşık yapıları ve bilinmeyen parametreleri modelleme anlamında zorluk oluşturmaktadır. Parametre belirleme aşamasında ise modelleme başlı başına zaman alıcı ve maliyetli bir işlemdir. Bu zorluğu yenmek adına uyarlamalı kontrol yöntemleri olmasına karşın uyarlamalı kontrolün karmaşık yapısı uygulama alanında birtakım sıkıntılar yaratmaktadır. Ayrıca basit yapıları ve uygun maliyetleri nedeniyle endüstride sıkça kullanılan klasik PID kontrolörler de doğrusal olmayan sistem yapılarında uygun kontrol imkanı sağlayamamaktadır.

Bulanık mantık yöntemi modele dayalı kontrol sistemlerine iyi bir alternatif oluşturmaktadır. Yöntem ile kontrol, matematiksel modelin bilinmesine gerek duyulmadan basit ve insan düşünce yapısına yakın bir şekilde yaklaşık akıl yürütme ile gerçekleştirilir. Bu özellikleriyle bulanık mantık, hem klasik yöntemlerin yetersiz kaldığı karmaşık sistemler, hem de klasik yöntemlerin sıkça kullanıldığı sistemler için daha basit ve etkili bir kontrol imkanı sağlamaktadır. Yine de, bulanık kontrolörlerin tasarımında, dilsel değişkenlere uygun üyelik fonksiyonlarının ve kontrol kurallarının belirlenmesi için uzman bilgi ve deneyimlerine ihtiyaç duyulmaktadır. Belirlenen bu parametreler bulanık kontrolörün performansını etkileyeceğinden, uzman kişinin doğru seçimleri yapması etkili bir kontrol için oldukça önemlidir.

Klasik bulanık sistemlerde, giriş değişkeni sayısı arttıkça kural sayısı da üstel olarak artar. Bu nedenle, bu boyut sorunu ile başetmek amacıyla hiyerarşik yapıda bulanık sistemler önerilmektedir. Hiyerarşik yapı, klasik yapıya göre daha düşük boyutlu bulanık sistemlerin birleştirilmesi ile oluşur, böylece değişken sayısı artsa bile kural sayısı üstel olarak değil doğrusal olarak artar.

Bu çalışmada, bulanık mantığın temel kontrolörlerinden olan bulanık PID kontrolörüne hiyerarşik özelliğin kazandırılması ele alınmıştır. İki girişli ve üç girişli PID kontrolör yapılarının yanısıra üç girişli PID kontrolörden faydalanarak oluşturulan hiyerarşik PID kontrolör, temel üç doğrusal sistem ve bir doğrusal olmayan sistem üzerinde uygulanmıştır. Ele alınan sistemler üzerinde hangi kontrolör yapısının etkili sonuçlar verdiğine karar verilmeye çalışılmıştır.

HIERARCHICAL FUZZY LOGIC PID CONTROLLERS

SUMMARY

The mathematical model of the controlled plant is mostly required in classical control methods. However, in the real world, most plant have nonlinear characteristics, complex structure and unknown parameters that make modelling a more difficult issue. Besides, parameter estimation thus modelling takes a long time and is a costly process. Although the existence of adaptive control methods may overcome the modelling issue, the complicated structure of adaptive control cause some problem in applications. Moreover, classical PID controllers that are often used in industry due to their simplicity and low cost, can not provide suitable control action on nonlinear plants.

Fuzzy logic theory provide a reasonable alternative to mostly model-based classical control. By fuzzy method, control is implemented via approximate reasoning which is similar to human reasoning and without need of any mathematical model. Because of all these specifications, fuzzy logic supplies a simpler and more effective control not only for complex systems for which classical methods are insufficient, but also for systems on which classical control methods are frequently applied. However, to determine membership functions for linguistic variables and arrange appropriate control rules, the knowledge and experience of an expert are needed in the design of fuzzy logic controllers. Since the performance of fuzzy controller is affected by these parameters, for an efficient control it is rather important to make accurate choices by the expert.

In classical fuzzy systems, the number of rules increases exponentially as the number of input variable increases. Hence, to deal with this curse of dimensionality, the structure of hierarchical fuzzy systems are proposed. According to classical structures, hierarchical structure consists of lower-dimensional fuzzy systems combined, therefore the number of rules increase not exponentially but only linearly with the increase of the number of input variables.

In this study, as being one of the fundamental controller types of the fuzzy logic approach, fuzzy PID controller and its hierarchical designed form are dealt with. In addition to two and three-input fuzzy PID controller structures, hierarchical fuzzy PID controller structure, which is formed by means of three input controller, are applied on three linear benchmark systems and a nonlinear system. The influence of each controller on each of these systems is tried to be determined.

1. GİRİŞ

Klasik kontrol yöntemlerinde kontrol edilecek sistemin matematiksel modeli elde edildikten sonra kullanılacak kontrolörün modeli belirlenir ve böylece sisteme uygun bir kontrolör tasarlanmış olur. Oysa gerçek dünyada çoğu sistemin doğrusal olmayan karakteristiklerinin ve karmaşık yapılarının dışında bilinmeyen parametrelerinin de olması modelleme anlamında zorluk oluşturmaktadır. Parametre belirleme aşamasında ise modelleme başlı başına zaman alıcı ve maliyetli bir işlemdir. Bu zorluğu yenmek için uyarlamalı kontrol yöntemleri olmasına karşın uyarlamalı kontrolün karmaşık yapısı uygulama alanında birtakım sıkıntılar yaratmıştır [1]. Ayrıca basit yapıları ve uygun maliyetleri nedeniyle endüstride sıkça kullanılan klasik PID (orantı-integral-türev) kontrolörler de doğrusal olmayan sistem yapılarında uygun kontrol imkanı sağlayamamaktadır.

İlk kez 1965 yılında ortaya çıkan bulanık mantık kavramı ise modele dayalı kontrol sistemlerine iyi bir alternatif oluşturmuştur [2]. Bu sayede kontrol, matematiksel olarak modellenmesi zor olan karmaşık sistemler için daha basit bir şekilde yaklaşık akıl yürütme ile gerçekleştirilir.

Bulanık mantıkta kesin yargılar yoktur yani bir durum bütünüyle doğru veya bütünüyle yanlış olarak ifade edilmeyip doğruluk derecesiyle ifade edilir. Bir başka deyişle, klasik mantık $\{0,1\}$ olmak üzere iki değerli olup herhangi bir belirsizliğe yer vermezken, bulanık mantıkta üyelik derecesi yani bir elemanın kümeye ait olma derecesi $[0,1]$ aralığındaki her değeri alabilmektedir. İnsan düşünce yapısı da olayları var ya da yok gibi keskin ifadeler yerine az, daha az gibi yaklaşık ifadelerle değerlendirir. Dolayısıyla bulanık mantık bu yönüyle gerçek dünyayı ve insan düşünce yapısını iyi bir şekilde temsil etmektedir.

Bulanık mantıkta, bilgi KÜÇÜK, BÜYÜK, AZ, ÇOK gibi dilsel ifadelerle verilir. Denetim uygulanacak olan sistemle ilgili kontrol kuralları, konuyla ilgili bilgisi bulunan uzman yardımıyla bu dilsel ifadeler kullanılarak oluşturulur.

Bulanık mantık yaklaşımı, davranışı kurallarla ifade edilebilecek her mantıksal sistem için oluşturulabilmektedir. Buna ek olarak, sadece bir çözüm bölgesinde değil tüm işlem aralığında etkindir ve tam olarak bilinmeyen ya da eksik girilen bilgilere göre de işlem yapma yeteneğine sahiptir [3]. Ayrıca kolay, hızlı ve ekonomik bir şekilde uygulamaya geçirilebilir.

Tüm bu özellikleriyle bulanık mantık, hem klasik yöntemlerin yetersiz kaldığı doğrusal olmayan sistemlerin hem de klasik yöntemlerin sıkça kullanıldığı doğrusal sistemlerin kontrolünde daha basit ve etkili bir kontrol imkanı sağlayarak bu yöntemlere ciddi bir alternatif oluşturur.

1974 yılında Mamdani, bulanık çıkarım mekanizmasının uygulamasını dinamik sistem kontrolünde gerçekleştirmiştir [4]. 1975 yılında ise, bulanık kontrolör bir buhar makinasının kontrolünde kullanılmıştır [5]. Mac Vicar-Whelan ise bir yıl sonra kontrolör tasarımında PD (orantı-türev) ve PI (orantı-integral) yapısına benzeyen standart kurallar kullanılmasını önermiştir [6]. Bulanık kontrol 1980'lerden itibaren endüstride, otomobiller, metro sistemi, nükleer reaktör, asansör ve vinç denetimi, ev aletleri gibi konularda sıkça uygulama alanı bulmuştur [7,8].

Bulanık mantık kullanılan sistemlerde en önemli noktalardan biri kural tabanında varolan kural sayısını dolayısıyla da hesap yükünü azaltmaktır. Klasik bulanık sistemlerde, giriş değişkeni sayısı arttıkça kural sayısı da üstel olarak artar. Genel olarak bulanık sistemde (n) adet giriş değişkeni, her bir değişken için de (m) adet üyelik fonksiyonu kullanılmışsa bulanık mantık kontrolörde kural tabanında m^n adet kural gerekir. n giriş değişkeni sayısına bağlı olarak artan kural sayısı hafızayı büyük ölçüde yükleyerek kontrolörü zorlar. Bu boyut sorunu ile başetmek amacıyla hiyerarşik yapıda bulanık sistem önerilmiştir. Bu yapı, düşük boyutlu bulanık sistemlerin hiyerarşik yapıda birleştirilmesi ile oluşur, böylece değişken sayısı artsa bile kural sayısı üstel olarak değil doğrusal olarak artar. Hiyerarşik yapıda ise yine (n) adet giriş değişkeni, her bir değişken için de (m) adet üyelik fonksiyonu kullanılmışsa kullanılacak kural sayısı $(n-1)m^2$ ile ifade edilmektedir [9]. Örneğin, dört giriş değişkenli bir bulanık kontrolörde her değişken için üç üyelik fonksiyonu kullanılmışsa 3^4 yani 81 kural yazılması gerekirken, hiyerarşik yapıda ise 3×3^2 gereği 27 kural kullanmak yeterli olacaktır. Görüldüğü gibi, kullanılacak kural sayısı

hierarchy structure under a large scale is decreasing. By this way, hierarchy structure high scale systems can be applied easily.

With this, in hierarchy fuzzy systems [9-18], intermediate layers' outputs are not a physical meaning expression and most of the time they are evaluated as artificial. Therefore, these outputs are used as inputs for the next layer in their design, which improves and this situation increases the number of layers, which becomes a more important problem. The proposed method, by giving meaning to intermediate variables, brings the concept of intermediate variables to the fore, because of this, the strength of the system is increasing [18].

Fuzzy logic controllers' design parameters, structural parameters and adjustment parameters are two groups [19].

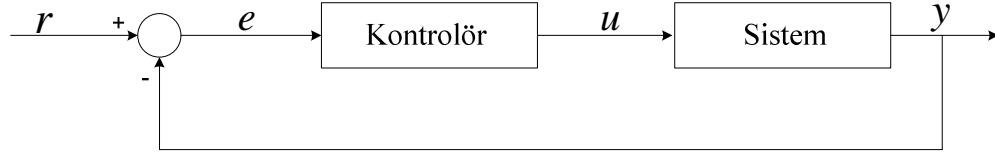
Fuzzy controller's input and output variables, fuzzy sets, membership functions, fuzzy rules, fuzzy inference mechanism and defuzzification mechanism are structural parameters of the controller. Generally, these are fixed parameters. Control system's basic structure is not changed by these parameters. Adjustment parameters, input and output scaling factors, membership function parameters, etc. are parameters that can be changed. Adjustment parameters' values are determined by the performance improvement purpose. Control system's basic structure is not changed by these parameters. Adjustment parameters' values are determined by the performance improvement purpose. Control system's basic structure is not changed by these parameters. Adjustment parameters' values are determined by the performance improvement purpose. Control system's basic structure is not changed by these parameters. Adjustment parameters' values are determined by the performance improvement purpose.

The next sections are as follows: 2. section, fuzzy logic controller structures are explained. 3. section, the basic characteristics of the hierarchy structure are examined. 4. section, the control structures used in the study are shown. By these structures, the comparison of the linear and non-linear systems is made. The results of the simulation are given in 5. section. Finally, 6. section, the results of the study are summarized.

2. BULANIK KONTROLÖRLER

2.1 Klasik Kontrol Sisteminin Genel Yapısı

Temel bir kontrol sisteminde, tasarlanan bir kontrolör yapısıyla kontrol edilecek sistemin yanıtının (r) referans giriş işaretine mümkün olduğunca yüksek bir performansla ulaşması esastır. Bu amaçla sistemden alınan (y) çıkış işareti ile (e) hata bilgisi oluşturulur ve bu bilgiye göre işlev görecektir. Böylece sistemin kontrolü sağlanmış olur. Bazı kontrolörler ise yapıları gereği (e) ve ($\dot{e}$) işaretlerini ya da ($\int e$) ile birlikte her üç işareti de giriş olarak kullanabilmektedir.



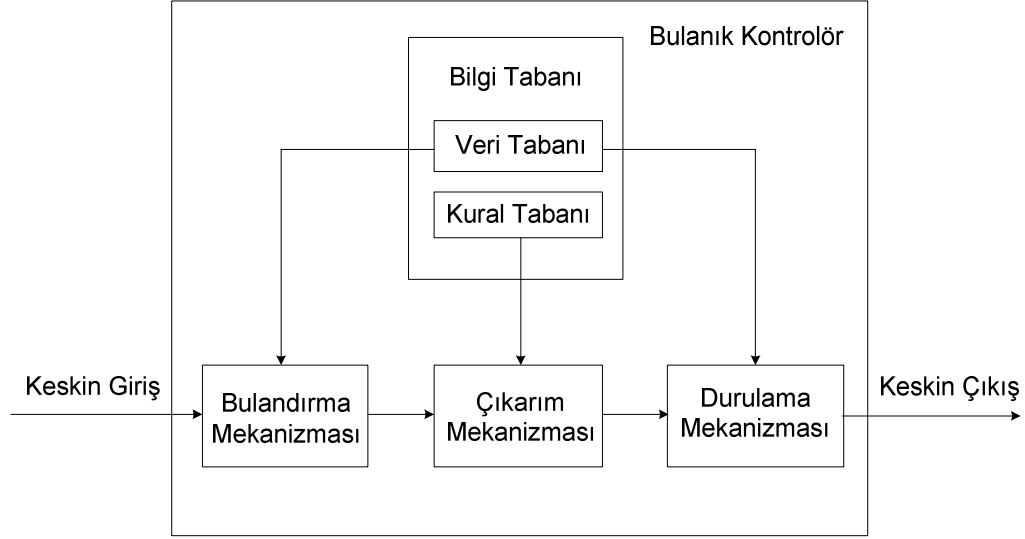
Şekil 2.1: Kontrol sisteminin genel yapısı

Şekil 2.1’ de genel bir kontrol sistemi yapısı görülmektedir.

2.2 Bulanık Kontrolörün Temel Yapısı

Herhangi bir klasik kontrol sisteminde kontrolör bloğu olarak bulanık kontrolör yapısı kullanıldığında elde edilebilen bulanık kontrol sistemi, insan düşünce yapısına yakınlığı, matematiksel modelden bağımsız işlev görmesi gibi üstün niteliklerinden dolayı klasik kontrolörlere önemli bir alternatif oluşturmaktadır.

Bir bulanık kontrolör, bilgi tabanı, bulandırma mekanizması, çıkarım mekanizması, ve durulama mekanizması olmak üzere dört kısımdan oluşur. Şekil 2.2’ de bulanık kontrolörün temel yapısı görülmektedir.



Şekil 2.2: Bulanık kontrolörün temel yapısı

Bulandırma mekanizması, gerçek dünyadan gelen keskin giriş değerlerine bulanık kümeler atayarak keskin değerleri bulanık değerlere çevirir. KÜÇÜK, BÜYÜK gibi dilsel ifadelerle oluşturulan bu bulanık kümeler aracılığıyla kural tabanı oluşturulur. Böylece keskin giriş değerleri bulanık yapıya aktarılmış ve kontrol sistemine dahil edilmiş olur. Bu bulanık kümeler genellikle üçgen şeklinde seçilmekle beraber yamuk ve çan eğrisi şeklinde ya da özel tanımlanmış fonksiyonlar şeklinde de kullanılabilir. Bu fonksiyonlar üyelik fonksiyonu olarak adlandırılır. Üyelik fonksiyonlarının şekli, giriş değerlerinin bulanık kümeye üyelik derecesini, üyelik derecesi de bir kuralın ne ölçüde ateşleneceğini yani ne ölçüde hesaba katılacağını belirleyerek kural kümesi ve üyelik fonksiyonları arasındaki ilişkiyi oluşturur.

Bilgi tabanı kuralların ve üyelik fonksiyonlarının tanımlandığı iki kısımdan oluşur. Veri tabanı giriş ve çıkış üyelik fonksiyonu bilgilerini içerir. Kural tabanı ise kontrol amacını ve stratejisini belirleyen kural kümesini içerir. Kural tabanının “EĞER - O HALDE” şeklinde tanımlanmış kuralları, kontrol edilecek sistemin sözel olarak modellenmiş hali olarak görülebilir. Bulanık kural tabanı oluşturulurken şu üç özellik göz önünde bulundurulmalıdır; ilk olarak kurallar tam olmalıdır yani olası koşulları

atlamamalıdır, ikinci olarak tutarlı olmalıdır yani çelişkili sonuçlar barındırmamalıdır ve son olarak da kurallar fazla ya da eksik olmamalıdır [21].

Bulandırma mekanizmasından elde edilen bulanık çıkışlar çıkarım mekanizmasına kullanılarak o anki giriş değeri için hangi kontrol kuralının uygun olduğunu belirler ve bu şekilde çıkarım mekanizmasında kontrol çıkışının ne olması gerektiğine karar verilir. Çıkarım mekanizmasından elde edilecek çıkış yine bir bulanık kümedir.

Durulama birimi çıkarım mekanizmasından gelen bulanık kümeyi uygulamada kullanılacak gerçek değere dönüştürür. Durulayıcı mekanizması seçilirken, durulayıcıdan elde edilen keskin çıkış değerinin çıkarım mekanizmasından elde edilen bulanık kümeyi sezgisel ve mantıksal açıdan iyi ifade etmesine, durulamada kullanılacak algoritmanın hesaplama kolaylığı sağlayacak şekilde seçilmesine ve durulayıcının süreklilik sağlamasına yani çıkarım mekanizmasından elde edilen bulanık sonuçtaki küçük değişimlerin, elde edilen keskin çıkışta çok büyük değişikliklere sebep olmamasına dikkat edilmelidir.

2.3 Bulanık Kontrolör Tasarım Aşamaları

Bulanık kontrol tasarımında sırasıyla şu adımlar uygulanmalıdır [21]:

- Durum değişkenleri ve denetim değişkenlerinin belirlenmesi
- Çıkarım yönteminin belirlenmesi
- Bulandırma yönteminin belirlenmesi
- Değişken uzayının bölümlenmesi
- Bulanık kümelerin şekillerinin belirlenmesi
- Bulanık kural temelini kuruluması
- Durulama stratejisinin belirlenmesi
- Test ve ayarlama

2.4 Bulanık Kontrolör Çeşitleri

Bu kısımda, literatürde sıkça karşılaşılan PI, PD ve PID tip bulanık kontrolörlerin genel yapısından bahsedilecektir. PD tip bulanık kontrolörlerin girişinde sistemden gelen e hata ve $\dot{e}$ hatanın türevi bilgisi bulunur ve sisteme verilecek olan uygun (u) kontrol işareti bu girişlere göre üretilir. Bulanık PD tip kontrolörün özelliği, sistem yanıtında iyi bir sönüm sağlaması ve maksimum aşım, yükselme zamanı ve yerleşme zamanı değerlerini azaltmasıdır. Ayrıca PD kontrolör geri beslemeli sistemlerin kararlılığını arttırmaktadır [22]. Fakat bu kontrolörle sürekli hal hatasını ortadan kaldırmak zor olduğundan genelde uygulamada bu amacı karşılayan PI kontrolörler tercih edilir.

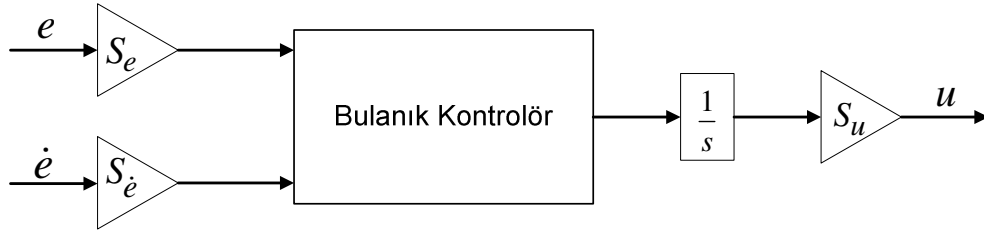
Şekil 2.3' de PD tip bulanık kontrolörün yapısı görülmektedir.



Şekil 2.3: PD tip bulanık kontrolörün yapısı

PI tip bulanık kontrolörler ise, sürekli hal hatasını ortadan kaldırmalarına rağmen, yapılarındaki integral etkisinden dolayı yüksek dereceli sistemlerde ve büyük ölü zamanlı sistemlerde geçici halde yeterince etkin olamamaktadır. PI tip bulanık kontrolörler oluşturulurken girişte ($\int e$) hatanın integrali bilgisinin kullanılması kuralların oluşturulmasında zorluk yarattığından, PD kontrolörlerde olduğu gibi girişte (e) hata ve ($\dot{e}$) hatanın türevi bilgisi kullanılıp kontrolörün çıkışına bir integratör konulur. Bulanık PI tip kontrolör giriş olarak hataya bağlı bu iki işareti kullanarak kontrol işaretindeki değişim miktarını (Δu) belirler [23].

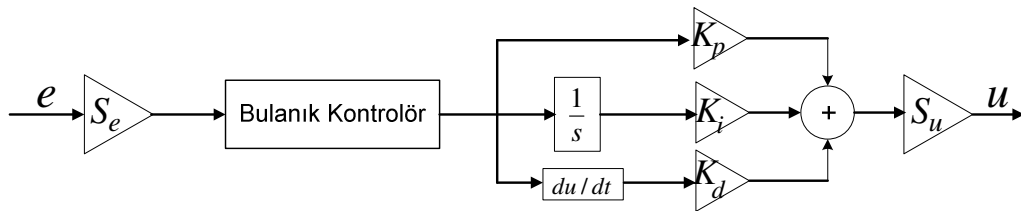
Şekil 2.4’ de PI tip bulanık kontrolörün yapısı görülmektedir.



Şekil 2.4: PI tip bulanık kontrolörün yapısı

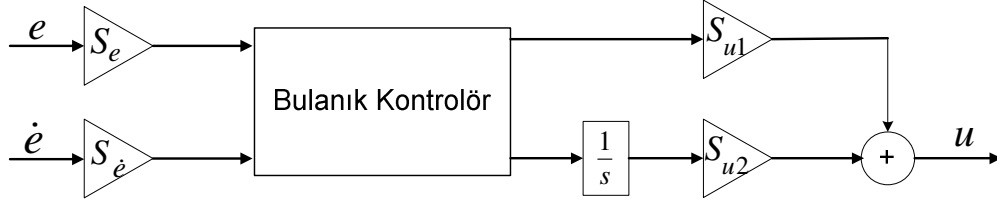
Öte yandan, PID kontrolör yapısıyla PD ve PI kontrolörlere göre daha güçlü bir yapı oluşturularak kontrolden elde edilen performans daha da artırılabilir. PID yapıları, kontrolör girişinde yalnızca (e) hata işareti kullanılmak üzere tek girişli, (e) ile birlikte ($\dot{e}$) hatanın türevi kullanılarak iki girişli ve (e), ($\dot{e}$) ile beraber ($\int e$) işareti de kullanılarak üç girişli olarak oluşturulabilir [24]. Fakat, üç girişli PID kontrolörde ($\int e$) bilgisiyle kontrol kuralları oluşturmak zor olduğundan hatanın integrali yerine ($\ddot{e}$), hatanın ikinci türevi bilgisi de kullanılabilir [25-27]. Ayrıca üç girişli PID kontrolörde üç boyutlu kuralların oluşturulması zor olduğundan uygulamalarda genelde iki girişli PID yapıları tercih edilmektedir.

Tek girişli PID kontrolör yapısı Şekil 2.5’ de görülmektedir [28]. Bu yapıda tek bir giriş işareti olduğundan kural yapısı tek boyutludur ve kontrol temel olarak hatanın bulanık P kontrolünden geçirilip klasik PID kontrolle birleştirilmesi şeklinde gerçekleşir [29].



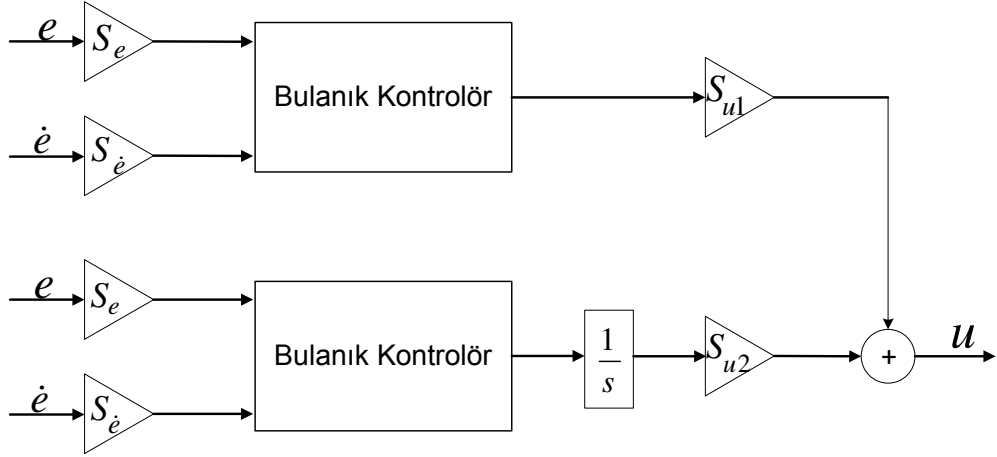
Şekil 2.5: Tek girişli PID tip bulanık kontrolör yapısı

İki giriřli PID kontrolör yapısı Şekil 2.6’ da görölmektedir. Kontrolör çıkışındaki PD kontrol işaretinin önce sadece bir ölçekleme çarpanından sonra da bir integratör ilavesiyle diğeri bir ölçekleme çarpanından geçirilmesiyle ve bu iki işaretin toplanmasıyla (u) kontrol işareti üretilmiş olur. Bu yapı görüldüğü gibi tek kural tablosu kullanılarak oluşturulan PID kontrolör yapısıdır.



Şekil 2.6: İki giriřli PID tip bulanık kontrolör yapısı

Yine iki giriřli fakat iki kural tablosunun kullanıldığı PID kontrolör yapısı ise Şekil 2.7’ de görölmektedir.

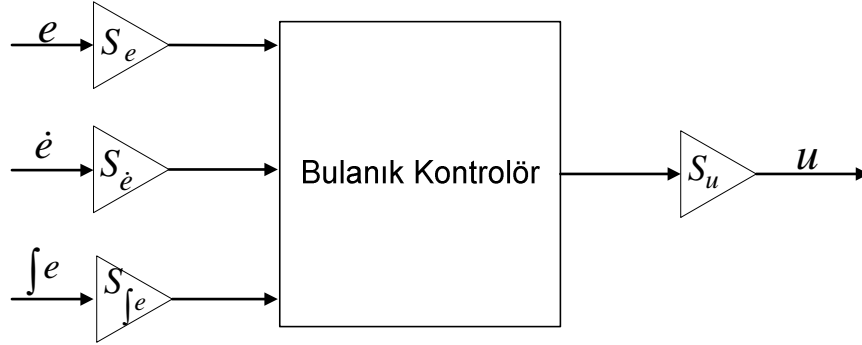


Şekil 2.7: İki kural tablosu kullanılarak oluşturulan iki giriřli PID tip bulanık kontrolör yapısı

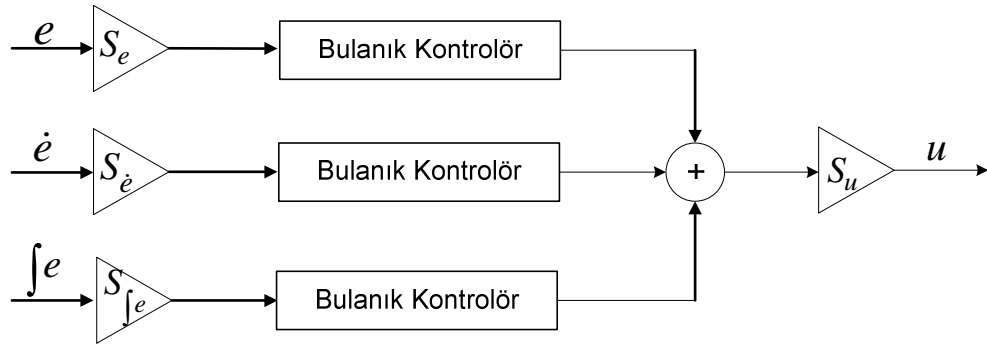
PID kontrolör yapısı, Şekil 2.6 ve Şekil 2.7’ den de görüldüğü gibi, PI ve PD kontrolörlerinin biraraya gelmesiyle de elde edilebilir [30-35]. Bu şekilde, üç giriřli PID yapılarında olduğı gibi üç boyutlu kural oluşturma güçlüğü de ortadan kaldırılmış olur. Yine görüldüğü gibi, PI ve PD tip bulanık kontrolörlerin birarada kullanılması ya tek kural tablosu oluşturularak PD tip bulanık kontrolörün çıkışına bir integratörle birlikte bir toplama biriminin eklenmesiyle ya da iki ayrı kural tablosu

oluşturarak PI ve PD tip bulanık kontrolörlerin çıkışlarının toplanmasıyla gerçekleştirilir.

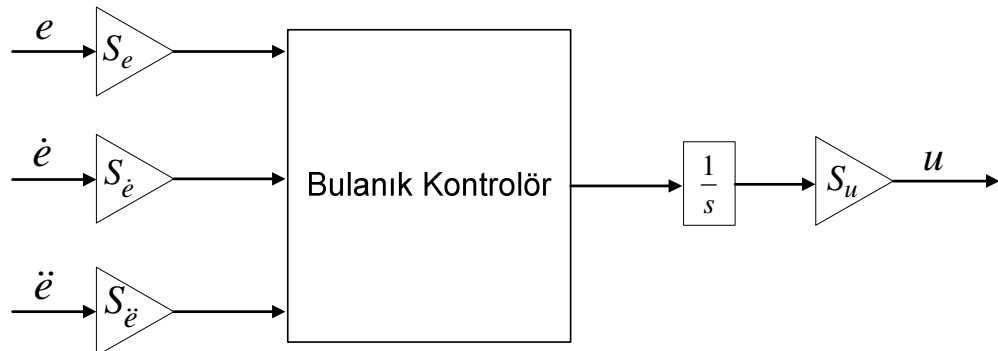
Üç girişli PID yapıları ise Şekil 2.8, Şekil 2.9 ve Şekil 2.10' da görülmektedir.



Şekil 2.8: Üç girişli PID tip bulanık kontrolör yapısı-1



Şekil 2.9: Üç girişli PID tip bulanık kontrolör yapısı-2



Şekil 2.10: Üç girişli PID tip bulanık kontrolör yapısı-3

Şekil 2.8’de ve Şekil 2.10’da üç boyutlu kural tablosu gerekmektedir, Şekil 2.9’ da üç adet bir boyutlu kural tablosu oluşturulup kontrol işaretleri toplanarak sisteme verilmektedir.

Bu çalışmada Şekil 2.6’ da gösterilen iki girişli PID tip bulanık kontrolör ile Şekil 2.10’ da gösterilen üç girişli PID tip bulanık kontrolör kullanılmıştır. Hiyerarşik yapının incelenmesi için de üç girişli PID kontrolörden faydalanılmıştır.

3. HİYERARŞİK BULANIK MANTIK

Bulanık mantık kullanılan sistemlerde, kural tabanını mümkün olduğunca basit yapıda tutmak hesap ve kontrol kolaylığı açısından oldukça önemlidir. Bu yüzden ya varolan kural tabanındaki gereksiz kuralları elimine ederek kural sayısını azaltmak ya da kural tablosunun boyutunu düşürmek gibi yaklaşımlarda bulunulur. Literatürde kural tablosu boyutuyla birlikte kural sayısını dolayısıyla da hesap yükünü azaltmak için önerilen birçok yöntemden biri de hiyerarşik yapıdır [9-18].

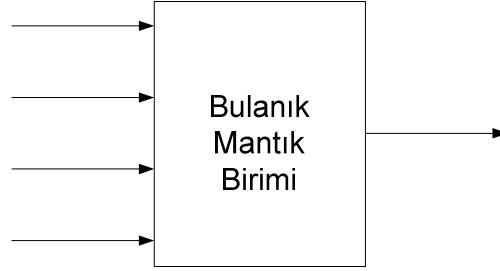
Klasik bulanık sistemlerde, giriş değişkeni sayısı arttıkça kural sayısı da üstel olarak artar, örneğin (n) tane giriş değişkeni, her bir değişken için (m) tane de üyelik fonksiyonu varsa, bulanık mantık kural tabanında gerekecek kural sayısı m^n dir. Giriş değişkeni sayısı arttıkça, özellikle $n > 2$ olduğu durumlarda sayıca oldukça büyük değerlere ulaşan kurallar hafızayı aşırı derecede yükleyerek kontrolörü zorlar. Bu ‘boyut sorunu’ ile başetmek amacıyla hiyerarşik yapıda bulanık sistemler önerilmiştir. Bu yapı, klasik yapıya göre daha düşük boyutlu bulanık sistemlerin hiyerarşik formda birleştirilmesi ile oluşur, böylece değişken sayısı artsa bile kural sayısı üstel olarak değil doğrusal olarak artar.

Klasik ve hiyerarşik yapıdaki bulanık kontrolörlerde her (n) giriş değişkeni için (m) adet üyelik fonksiyonu varsa kullanılacak kural sayısı genel olarak şöyledir:

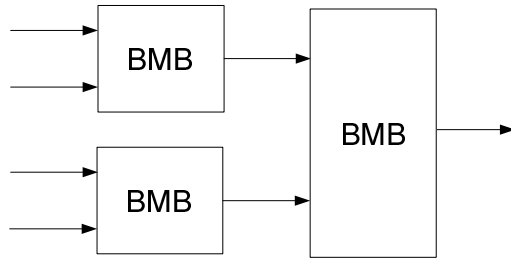
Klasik yapıda bulanık kontrolörde : m^n

Hiyerarşik yapıda bulanık kontrolörde : $(n-1)m^2$

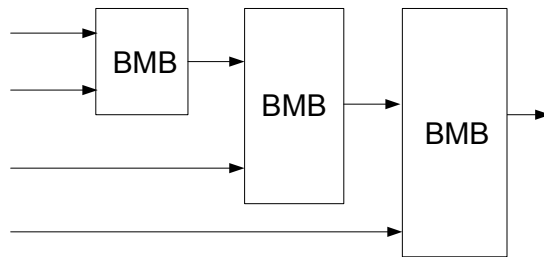
Şekil 3.1 ve Şekil 3.2’ de sırasıyla klasik yapı ile birlikte iki ve üç seviyeli hiyerarşik yapı gösterilmektedir. Daha önce de bahsedildiği gibi dört giriş değişkenli klasik bir bulanık kontrolörde her değişken için üç üyelik fonksiyonunun kullanıldığı durumda 3^4 yani 81 kural yazılmalıyken, hiyerarşik yapıda 3×3^2 gereği 27 kural yazılması yeterli olmaktadır. Görüldüğü gibi hiyerarşik yapı sayesinde kural tabanında üç kat azalma sağlanmıştır.



Şekil 3.1: Klasik bulanık mantık sistem



a)

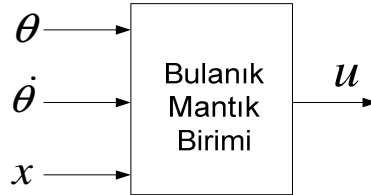


b)

Şekil 3.2: Hiyerarşik bulanık mantık sistem a) İki seviyeli hiyerarşi
b) Üç seviyeli hiyerarşi

Şekil 3.2’ de bulanık mantık birimi kısaca BMB olarak ifade edilmektedir.

Hiyerarşik yapı ile kural tabanının seviyelendirilmesini ve ara değişken kavramını genel hatlarıyla incelemek amacıyla Şekil 3.3’ de gösterildiği gibi üç giriş değişkenli (θ , $\dot{\theta}$, x) bir bulanık mantık sistemi ele alınmıştır. Hiyerarşik yöntem, her bir değişken için üç üyelik fonksiyonu kullanıldığı varsayıp, rastgele seçilmiş fakat birkaç sayıda aynı sütuna sahip kural tablosu üzerinde uygulanmıştır [18].



Şekil 3.3: Üç girişli klasik bulanık mantık sistem

Rastgele seçilmiş kurallardan oluşan ve birkaç sayıda aynı sütuna sahip kural tablosu Tablo 3.1’ de gösterilmektedir. Giriş değişkenleri için seçilen üyelik fonksiyonları N (Negatif), Z (Sıfır) ve P (Pozitif) olarak tanımlanmıştır.

Tablo 3.1: Rastgele Seçilmiş Kural Tablosu

x	θ								
	P			Z			N		
	$\dot{\theta}$			$\dot{\theta}$			$\dot{\theta}$		
	P	Z	N	P	Z	N	P	Z	N
P	P	N	Z	N	P	N	N	Z	N
Z	Z	N	P	N	P	N	N	P	N
N	P	P	Z	P	Z	N	N	Z	N

Tablo kolayca şu şekilde okunmaktadır:

EĞER $\theta = P$, $\dot{\theta} = P$ ve $x = P$ ise, O HALDE $u = P$,

EĞER $\theta = P$, $\dot{\theta} = P$ ve $x = Z$ ise, O HALDE $u = Z$,

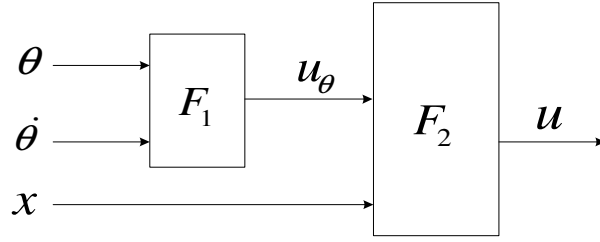
.

.

.

EĞER $\theta = N$, $\dot{\theta} = N$ ve $x = N$ ise, O HALDE $u = N$

Üç girişli klasik yapı hiyerarşik yapıya dönüştürülürken oluşturulan bulanık sistem ve kural tablosunun eş sütunlara göre gruplanması sırasıyla Şekil 3.4' de ve Tablo 3.2'de gösterilmektedir. Tablo 3.2' de gösterildiği gibi gruplanmış kural tablosunda her bir kural grubuna A, B, C, D, E olmak üzere isimler verilmiştir. u_θ ara girişine ait bu beş değişken ara değişken olarak tanımlanarak her biri bir üyelik fonksiyonuyla temsil edilmekte ve böylece bu yöntemle ara katmanlara anlam kazandırılmış olmaktadır [18].



Şekil 3.4: Hiyerarşik yapıya aktarılmış üç girişli bulanık mantık sistem

Tablo 3.2: Rastgele Seçilmiş Kural Tablosunun Gruplanması

x	θ								
	P			Z			N		
	$\dot{\theta}$			$\dot{\theta}$			$\dot{\theta}$		
	P	Z	N	P	Z	N	P	Z	N
P	P	N	Z	N	P	N	N	Z	N
Z	Z	N	P	N	P	N	N	P	N
N	P	P	Z	P	Z	N	N	Z	N
	A	B	C	B	D	E	E	C	E

Tablo 3.1' deki rastgele seçilmiş kural tablosu temel alınarak Tablo 3.2' deki gibi gruplama işlemi yapıldıktan sonra Şekil 3.4'de gösterilen F_1 ve F_2 bulanık blokları için iki ayrı kural tablosu oluşturulur. Bir başka deyişle, hiyerarşik yapıya geçerken referans alınan orijinal tablo gruplanarak iki seviyeli hiyerarşiye uygun olarak ayrıştırılır. Bu durum Tablo 3.3 ve Tablo 3.4' de gösterilmektedir.

Tablo 3.3: Hiyerarşik Yapıda F_1 Bloğu için Kural Tablosu

$\dot{\theta}$	θ		
	P	Z	N
P	A	B	E
Z	B	D	C
N	C	E	E

Tablo 3.4: Hiyerarşik Yapıda F₂ Bloğu için Kural Tablosu

u_θ	x		
	P	Z	N
A	P	Z	P
B	N	N	P
C	Z	P	Z
D	P	P	Z
E	N	N	N

Hiyerarşinin gereği olarak yapılan bu ayrıştırma durumunda da Tablo 3.1' deki kural yapısı korunmuş olur:

EĞER $\theta = P$ ve $\dot{\theta} = P$ ise, O HALDE $u_\theta = A$,

EĞER $u_\theta = A$ ve $x = P$ ise, O HALDE $u = P$

EĞER $\theta = P$ ve $\dot{\theta} = Z$ ise, O HALDE $u_\theta = B$,

EĞER $u_\theta = B$ ve $x = P$ ise, O HALDE $u = N$

.

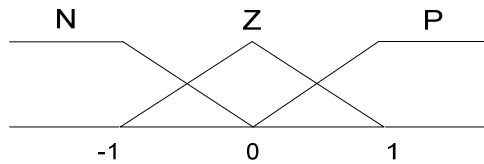
.

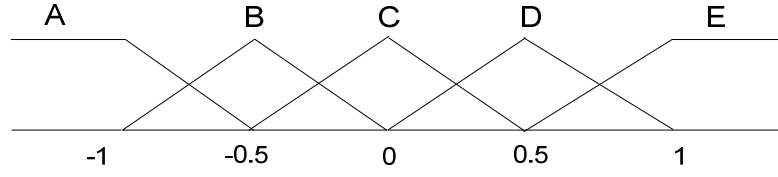
.

EĞER $\theta = N$ ve $\dot{\theta} = N$ ise, O HALDE $u_\theta = E$,

EĞER $u_\theta = E$ ve $x = N$ ise, O HALDE $u = N$

Şekil 3.5' de N, Z, P olarak tanımlanmış giriş ve çıkış üyelik fonksiyonları ile Şekil 3.6' da, u_θ ara girişine ait A, B, C, D, E ara değişkenleri için kullanılan üyelik fonksiyonları görülmektedir.

**Şekil 3.5:** Giriş ve çıkış üyelik fonksiyonları



Şekil 3.6: Ara değişken üyelik fonksiyonları

Burda dikkat edilmesi gereken önemli bir nokta da, giriş/çıkış değişkenlerinin ve ara değişkenlerin üyelik fonksiyonlarının tanım aralığının aynı olması ve kullanılacak değişken sayısına göre eşit aralıklarla yerleştirilmiş olmasıdır.

Klasik yapıda kural sayısı m^n gereği ve Tablo 3.1' den de görüldüğü gibi 27 iken, hiyerarşik yapıda Tablo 3.3 ve Tablo 3.4' den görüldüğü gibi ilk seviyede 9, son seviyede 15 olmak üzere 24' e düşürülmüştür.

4. PID KONTROLÖR YAPILARI

Bu bölümde, 3. bölümde genel hatları ile verilen hiyerarşik yapının kontrole aktarılması ele alınmıştır. Bu ise, bulanık mantığın temel kontrolörlerinden olan PID kontrolörlerine hiyerarşik özelliğin kazandırılmasıyla gerçekleştirilmiştir. Temel bulanık mantık PID kontrolör yapıları Bölüm 2.4’ de verilmişti. Bu çalışmada Şekil 2.6’ da gösterilen iki girişli bulanık PID kontrolörle birlikte Şekil 2.10’ da gösterilen üç girişli bulanık PID kontrolör ve üç girişli PID kontrolörden faydalanarak oluşturulan, Şekil 3.4’ de gösterilen oluşuma sahip iki seviyeli hiyerarşik PID (HPID) kontrolör yapısı kullanılmıştır. Böylece, kontrolde klasik PID ve HPID yapıları arasında karşılaştırma yapma imkanı bulunmuştur.

HPID kontrolörün gerçekleşmesi temel olarak üç girişli kontrolöre bağlı olduğundan, bu bölümde ilk olarak çalışmalarda kullanılan iki ve üç girişli PID tipi bulanık kontrolörlere yer verilmiştir. Daha sonra ise üç girişli PID kontrolöre yapılan bazı müdahalelerle elde edilen HPID kontrolörü incelenmiştir.

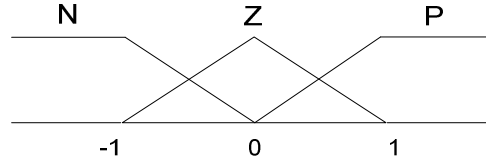
4.1 İki Girişli Bulanık Mantık PID Kontrolörler

Şekil 2.6’ dan da görüldüğü gibi, iki girişli PID yapısındaki kontrolörde giriş olarak (e) ve (ė) işaretleri kullanılır. Dolayısıyla hata ve hatanın değişim hızı olarak adlandırılan bu girişler kontrol kurallarını oluşturmak için esas alınır. Kontrol kurallarını içeren kural tablosu [6], Tablo 4.1’ de gösterilmektedir.

Tablo 4.1: İki Girişli PID Tip Bulanık Kontrolör için Kontrol Kuralları

ė	e		
	P	Z	N
P	P	P	Z
Z	P	Z	N
N	Z	N	N

Giriş/çıkış üyelik fonksiyonları ise Şekil 4.1' de gösterilmektedir.



Şekil 4.1: İki girişli PID tip bulanık kontrolör için giriş/çıkış üyelik fonksiyonları

4.2 Üç Girişli Bulanık Mantık PID Kontrolörler

Üç girişli PID kontrolörlerde, hata ve hatanın değişim hızına yani hatanın birinci türevine ek olarak girişe ($\int e$) hatanın integrali eklenir. Fakat, ($\int e$) bilgisiyle kontrol kuralları oluşturmak zor olduğundan üç girişli kontrolörde üçüncü giriş olarak hatanın integrali yerine ($\ddot{e}$) hatanın ikinci türevi de kullanılabilir. Kullanılan kontrolörün yapısı Şekil 2.10' da gösterilmektedir.

Kontrol kuralları, Tablo 4.2' deki gibi yazılmış ve kullanılan giriş/çıkış fonksiyonları da şekil ve tanım aralığı olarak Şekil 4.1' de verilen iki girişli kontrolörün üyelik fonksiyonları ile aynı seçilmiştir.

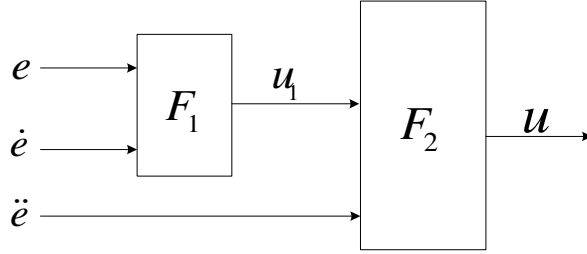
Tablo 4.2: Üç Girişli PID Tip Bulanık Kontrolör için Kontrol Kuralları

$\ddot{e}$	e								
	P			Z			N		
	$\dot{e}$			$\dot{e}$			$\dot{e}$		
	P	Z	N	P	Z	N	P	Z	N
P	P	P	P	P	P	Z	P	Z	N
Z	P	P	Z	P	Z	N	Z	N	N
N	P	Z	N	Z	N	N	N	N	N

4.3 Hiyerarşik Bulanık Mantık PID Kontrolörler

HPID yapısının oluşturulmasında PID kontrol tablosundan yararlanılır. Genel prosedür, Bölüm 3' de gösterildiği gibi üç ya da daha büyük boyutlu PID kural tablosunda yer alan eş kuralların gruplanarak ara değişkenlere atanması ve çıkarımın son seviyedeki kurallar yardımıyla yapılması şeklindedir.

Sütun hiyerarşide kullanılan HPID kontrolör yapısı Şekil 4.2’ de, ele alınan PID kural tablosu Tablo 4.2’ de, sütunları gruplanmış kural tablosu ise Tablo 4.3’ de yer almaktadır.



Şekil 4.2: Sütun hiyerarşide kullanılan hiyerarşik PID kontrolör yapısı

Tablo 4.3: Sütunları Gruplanmış Simetrik Kural Tablosu

$\ddot{e}$	e								
	P			Z			N		
	$\dot{e}$			$\dot{e}$			$\dot{e}$		
	P	Z	N	P	Z	N	P	Z	N
P	P	P	P	P	P	Z	P	Z	N
Z	P	P	Z	P	Z	N	Z	N	N
N	P	Z	N	Z	N	N	N	N	N
	A	B	C	B	C	D	C	D	E

Sütun gruplama işlemi yapıldıktan sonra F_1 ve F_2 bulanık blokları için kural tabloları Tablo 4.4 ve Tablo 4.5’ de gösterildiği gibi oluşturulur.

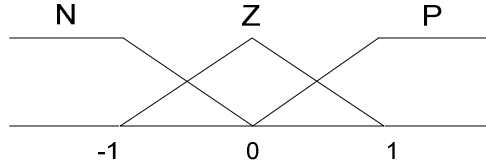
Tablo 4.4: Sütun Hiyerarşi Kullanılan HPID Yapısında F_1 Bloğu için Kural Tablosu

$\dot{e}$	e		
	P	Z	N
P	A	B	C
Z	B	C	D
N	C	D	E

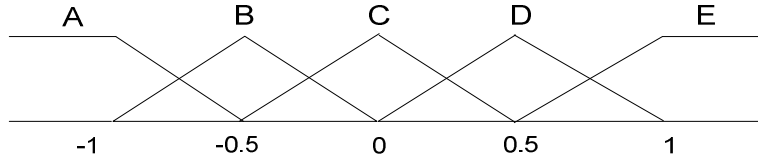
Tablo 4.5: Sütun Hiyerarşi Kullanılan HPID Yapısında F_2 Bloğu için Kural Tablosu

u_1	$\ddot{e}$		
	P	Z	N
A	P	P	P
B	P	P	Z
C	P	Z	N
D	Z	N	N
E	N	N	N

Sütun hiyerarşiyle oluşturulan kontrolörde, giriş/çıkış ve ara değişken üyelik fonksiyonları Şekil 4.3 ve Şekil 4.4’ de görülmektedir. Giriş/çıkış değişkenlerinin ve ara değişkenlerin üyelik fonksiyonlarının tanım aralığı aynıdır ve tüm fonksiyonlar tanım aralığına eşit olarak dağıtılır.



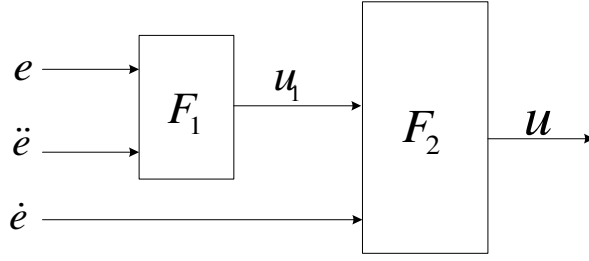
Şekil 4.3: Sütun hiyerarşi yapısında kullanılan giriş ve çıkış üyelik fonksiyonları



Şekil 4.4: Sütun hiyerarşi yapısında kullanılan ara değişken üyelik fonksiyonları

Görüldüğü gibi u_1 ara girişi için A, B, C, D, E olmak üzere beş ara değişken üyelik fonksiyonu kullanılmıştır.

Gruplama, aynı kural sıralamasına sahip sütunlarda yapılabileceği gibi bu özelliğe sahip satırlara da uygulanabilir. Sütun gruplama yapılırken kullanılan ve Tablo 4.2’ de verilen, üç girişe ait PID kural tablosu simetrik yapıdadır. Simetrik kural tablolarında kurallar satır ve sütun tarafından bakıldığında aynı sıralamaya sahiptir ve gruplama hem satır hem de sütunda aynı şekilde gerçekleşir. Bu da satır gruplamada elde edilecek olan ara değişken sayısının sütun gruplamada elde edilen sayıyla aynı olmasını sağlar. Dolayısıyla her iki gruplama durumunda da hiyerarşik kontrolörde kullanılacak olan kural sayısı değişmemektedir. Satır gruplamada oluşacak tek fark, Şekil 4.5’ de görüldüğü gibi hiyerarşik yapının son seviyesinde (ë) giriş değişkeninin yerini (è) değişkenin almasıdır.



Şekil 4.5: Satır hiyerarşide kullanılan hiyerarşik PID kontrolör yapısı

Satırları gruplanmış kural tablosu Tablo 4.6’ da görülmektedir.

Tablo 4.6: Satırları Gruplanmış Simetrik Kural Tablosu

ë	e								
	P			Z			N		
	ë			ë			ë		
	P	Z	N	P	Z	N	P	Z	N
P	P	A	P	P	B	Z	P	C	N
Z	P	B	Z	P	C	N	Z	D	N
N	P	C	N	Z	D	N	N	E	N

Satır gruplama işlemi yapıldıktan sonra yine F_1 ve F_2 bulanık blokları için kural tabloları oluşturulur. Bu tablolar, Tablo 4.7 ve Tablo 4.8’ de görülmektedir.

Tablo 4.7: Satır Hiyerarşi Kullanılan HPID Yapısında F_1 Bloğu için Kural Tablosu

ë	e		
	P	Z	N
P	A	B	C
Z	B	C	D
N	C	D	E

Tablo 4.8: Satır Hiyerarşi Kullanılan HPID Yapısında F₂ Bloğu için Kural Tablosu

u_1	$\dot{e}$		
	P	Z	N
A	P	P	P
B	P	P	Z
C	P	Z	N
D	Z	N	N
E	N	N	N

Satır hiyerarşiyle oluşturulan kontrolörde, giriş/çıkış değişkenleri ve ara değişken üyelik fonksiyonları sütun hiyerarşide kullanıldığı gibidir ve Şekil 4.3 ile Şekil 4.4' de görülmektedir.

Simetrik kural tablosu genelde doğrusal sistemlerde etkili olmaktadır. Doğrusal olmayan sistemlerde ise çoğunlukla daha özelleşmiş ve asimetrik yapıdaki kural tabloları daha iyi sonuç vermektedir. Bu yüzden yapılan benzetimlerde doğrusal sistem için simetrik tablo, doğrusal olmayan sistem için de hem simetrik hem de asimetrik tablo kullanılmıştır. Doğrusal olmayan sistemde denemek amacıyla oluşturulan asimetrik kural tablosu, doğrusal sistemlerde kullanılmış olan simetrik tablodaki birkaç kuralda değişiklik yaparak elde edilmiştir.

Tablo 4.9' da gösterilen kurallar değiştirilerek Tablo 4.10' daki asimetrik kural tablosu elde edilmiştir.

Tablo 4.9: Simetrik Kural Tablosunda Değiştirilen Kurallar

$\ddot{e}$	e								
	P			Z			N		
	$\dot{e}$			$\dot{e}$			$\dot{e}$		
	P	Z	N	P	Z	N	P	Z	N
P	P	P	P	P	P	Z	P	Z	N
Z	P	P	Z	P	Z	N	Z	N	N
N	P	Z	N	Z	N	N	N	N	N

Tablo 4.10: Asimetrik Kural Tablosu

$\ddot{e}$	e								
	P			Z			N		
	$\dot{e}$			$\dot{e}$			$\dot{e}$		
	P	Z	N	P	Z	N	P	Z	N
P	P	P	P	P	P	Z	Z	Z	Z
Z	P	P	Z	Z	Z	N	N	N	N
N	Z	Z	N	N	N	N	N	N	N

Elde edilen asimetrik kural tablosuna Tablo 4.11’ deki gibi sütun gruplama uygulandığında üç ara değişken kullanılacağı görülür. Değişkenlere ait üyelik fonksiyonları yine Şekil 4.3 ve Şekil 4.4’ de görülmektedir.

Tablo 4.11: Sütunları Gruplanmış Asimetrik Kural Tablosu

ë	e								
	P			Z			N		
	ë			ë			ë		
	P	Z	N	P	Z	N	P	Z	N
P	P	P	P	P	P	Z	Z	Z	Z
Z	P	P	Z	Z	Z	N	N	N	N
N	Z	Z	N	N	N	N	N	N	N
	A	A	B	B	B	C	C	C	C

Asimetrik kural tablosu, gerekli sütun gruplama işlemi yapıldıktan sonra Tablo 4.12 ve Tablo 4.13’ de gösterildiği gibi ayrıştırılır.

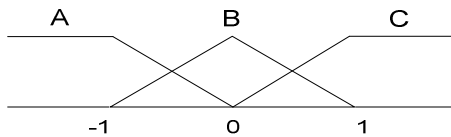
Tablo 4.12: Sütun Hiyerarşi ve Asimetrik Kural Tablosu Kullanılan HPID Yapısında F₁ Bloğu için Kural Tablosu

ë	e		
	P	Z	N
P	A	B	C
Z	A	B	C
N	B	C	C

Tablo 4.13: Sütun Hiyerarşi ve Asimetrik Kural Tablosu Kullanılan HPID Yapısında F₂ Bloğu için Kural Tablosu

u ₁	ë		
	P	Z	N
A	P	P	Z
B	P	Z	N
C	Z	N	N

Giriş/çıkış değişkenleri üyelik fonksiyonları Şekil 4.3’ de görülmektedir. Ara değişken üyelik fonksiyonları ise Şekil 4.6’ da verilmektedir. Görüldüğü gibi üyelik fonksiyonları tanım aralığına eşit olarak dağıtılmıştır.



Şekil 4.6: Sütun hiyerarşi ve asimetrik kural tablosu uygulanan HPID yapısında kullanılan ara değişken üyelik fonksiyonları

Asimetrik kural tablosuna satır gruplama yapıldığında ise Tablo 4.14’ deki tablo elde edilir.

Tablo 4.14: Satırları Gruplanmış Asimetrik Kural Tablosu

ë	e								
	P			Z			N		
	ë			ë			ë		
	P	Z	N	P	Z	N	P	Z	N
P	P	A	P	P	B	Z	Z	C	Z
Z	P	B	Z	Z	D	N	N	E	N
N	Z	D	N	N	E	N	N	E	N

Satır gruplama işlemi yapıldıktan sonra F_1 ve F_2 bulanık blokları için oluşturulan tablolar Tablo 4.15 ve Tablo 4.16’ da verilmiştir.

Tablo 4.15: Satır Hiyerarşi ve Asimetrik Kural Tablosu Kullanılan HPID Yapısında F_1 Bloğu için Kural Tablosu

ë	e		
	P	Z	N
P	A	B	C
Z	B	D	E
N	D	E	E

Tablo 4.16: Satır Hiyerarşi ve Asimetrik Kural Tablosu Kullanılan HPID Yapısında F_2 Bloğu için Kural Tablosu

u_1	ë		
	P	Z	N
A	P	P	P
B	P	P	Z
C	Z	Z	Z
D	Z	Z	N
E	N	N	N

Kullanılan üyelik fonksiyonlarının özellikleri ise yine Şekil 4.3 ve Şekil 4.4’ de görülmektedir.

Görüldüğü gibi, simetrik kural yapısı kullanıldığında HPID yapısında kullanılacak olan kural sayısında fark olmazken, asimetrik kural tabloları gruplamanın satır veya sütunda yapılmasına göre ara değişken için kullanılacak üyelik fonksiyonu sayısında farklılığa neden olduğundan yapılacak gruplamaya göre HPID yapısının kural sayısı değişmektedir.

Simetrik yapıda her iki gruplamada da, birinci seviyede iki giriş değişkeni için üçer üyelik fonksiyonu tanımlandığından 9, ikinci ve son seviyede ise bir giriş değişkeni için üç, ara değişken için de beş üyelik fonksiyonu tanımlı olduğundan 15 kural gerekmekte toplamda ise 24 kural kullanılmaktadır. Üç girişli bulanık mantık PID kontrolde ise bu sayı üç giriş değişkenine de üç üyelik fonksiyonu atandığından m^n gereği 27 idi. Asimetrik kural tablosu kullanıldığında ise satır gruplamada yine beş adet ara değişken üyelik fonksiyonu kullanıldığından kural sayısı 24 olmakta, sütun gruplamada ise ikinci seviyedeki ara değişken için de üç adet üyelik fonksiyonu yeterli olduğundan kural sayısı her iki seviyede de 9 olmakta yani toplam 18 kural kullanılmaktadır.

Daha önce de bahsedildiği gibi bu çalışmada, doğrusal sistemler için simetrik yapıdaki kural tablosu kullanılırken, doğrusal olmayan sistem için hem simetrik hem de asimetrik kural tablosu kullanılarak kontrol gerçekleştirilmiştir.

5. BENZETİM SONUÇLARI

Bu bölümde iki ve üç girişli bulanık mantık PID kontrolörler ile birlikte hiyerarşik bulanık mantık PID kontrolörünün doğrusal üç sistem ve doğrusal olmayan bir sistem üzerinde uygulanmasıyla elde edilen benzetim sonuçlarına yer verilmiştir.

Doğrusal sistem olarak, (5.1)' de verilen zaman sabitinin yarısı büyüklüğünde ölü zamana sahip olan sistem, (5.2) ile verilen dördüncü dereceden sistem ve (5.3)' deki sağ yarı düzlemde sıfırı olan sistem kullanılmıştır.

$$G(s) = \frac{1}{s+1} e^{-0.5s} \quad (5.1)$$

$$G(s) = \frac{1}{(s+1)^4} \quad (5.2)$$

$$G(s) = \frac{1-0.1s}{(s+1)^3} \quad (5.3)$$

Doğrusal olmayan sistem ise [36],

$$\begin{aligned} y(k+1) = & 0.2y^2(k) + 0.2y(k-1) \\ & + 0.4 \sin[0.5(y(k) + y(k-1))] \\ & \times \cos[0.5(y(k) + y(k-1))] + 1.2g(k) \end{aligned} \quad (5.4)$$

modeliyle verilmiştir. Burada (g) sisteme uygulanan giriş değerini, (y) ise sistem çıkışını ifade etmektedir. Benzetim çalışmaları MATLAB Simulink benzetim programı ile gerçekleştirilmiştir. Benzetimler örnekleme zamanı 0.2 saniye seçilerek ayrık devre modelleriyle oluşturulmuş fakat sistem yanıtlarının kolayca incelenebilmesi amacıyla benzetim sonuçlarında yanıtların sürekli durumu

gösterilmiştir. Ayrıca kontrolörlerin ayarlama parametrelerinden olan giriş ve çıkış ölçekleme çarpanları tüm sistemler için MATLAB Genetik Algoritma (GA) araç kutusu ile belirlenmiş ve kontrol boyunca değiştirilmemiştir. Parametrelerin aratılması sırasında amaç ölçütü olarak tüm sistemlerde sırasıyla (5.5), (5.6) ve (5.7)'de verilen ISE, ITSE ve ISTSE ölçütleri kullanılmıştır. GA yardımıyla bu ölçütlerin değerini en düşük yapan parametreler belirlenmiştir.

$$ISE = \int e(t)^2 dt \quad (5.5)$$

$$ITSE = \int te(t)^2 dt \quad (5.6)$$

$$ISTSE = \int t^2 e(t)^2 dt \quad (5.7)$$

Bulanık kontrolörlerin üyelik fonksiyonları ve kural tabloları önceki bölümde verilmişti. Kontrolörlerde durulama yöntemi olarak uygulamalarda sıklıkla kullanılan ağırlık merkezi yöntemi seçilmiştir. Bu yöntemde keskin çıkış, z_0

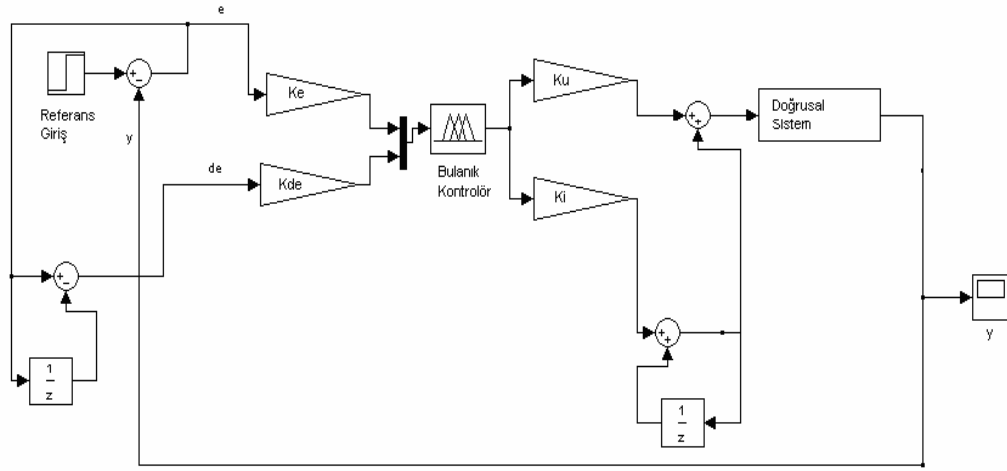
$$z_0 = \frac{\int \mu_z(z) \times z dz}{\int \mu_z(z) dz} \quad (5.8)$$

şeklinde elde edilir. Burada $\mu_z(z)$, z girişine karşılık gelen bulanık çıkarım değeri olarak ifade edilir.

5.1 Kontrolörlerin Doğrusal Sistemler Üzerinde Uygulanması

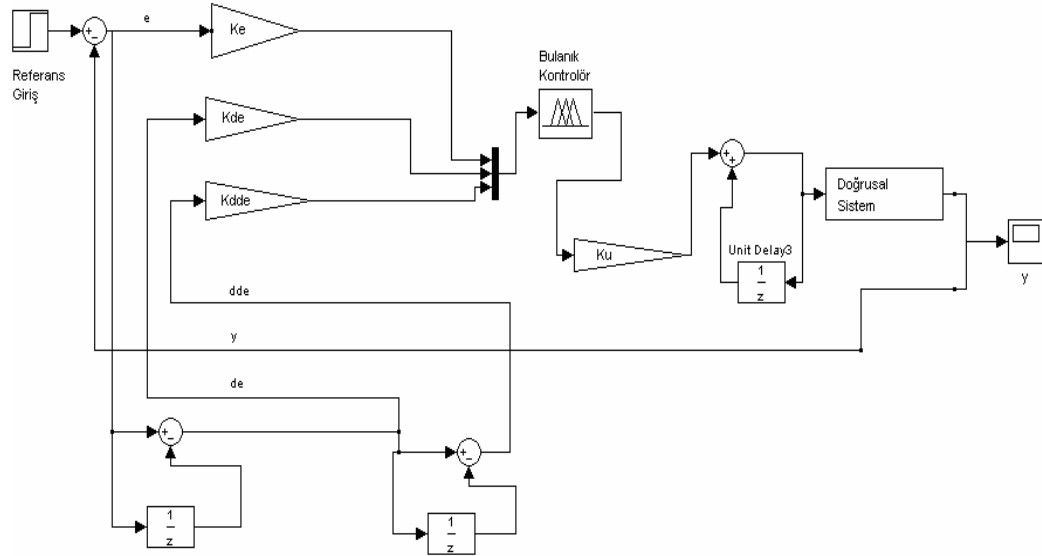
Doğrusal sistem üzerindeki benzetim sonuçları verilmeden önce benzetim çalışmalarında kullanılan MATLAB - Simulink devre modellerine yer verilmiştir.

Doğrusal sistemlere uygulanan iki girişli bulanık PID tipi kontrolörün Simulink blok diyagramı Şekil 5.1’ de görülmektedir.



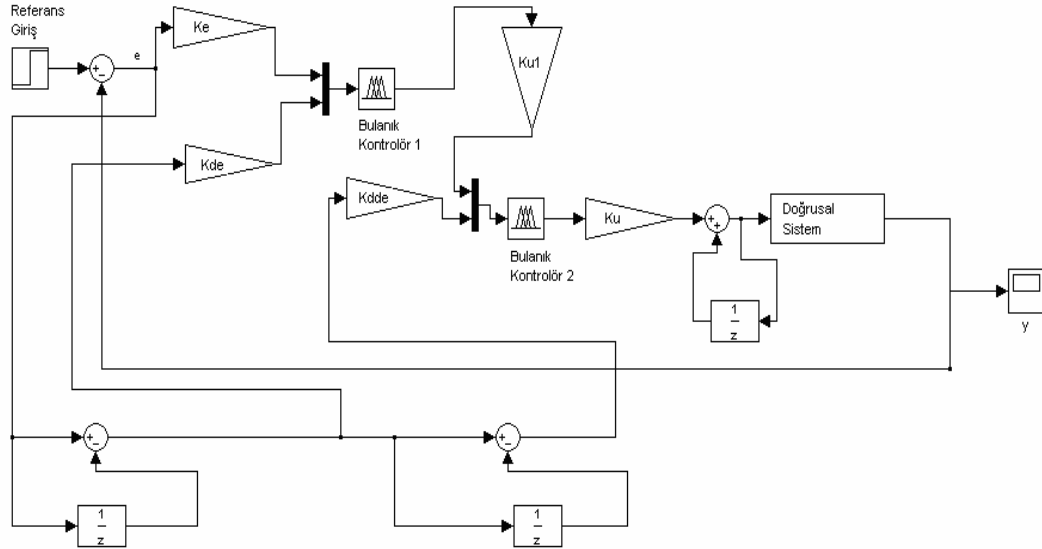
Şekil 5.1: Doğrusal sistemlere uygulanan iki girişli bulanık PID tipi kontrolörün Simulink blok diyagramı

Doğrusal sistemlere uygulanan üç girişli bulanık PID tipi kontrolörün Simulink blok diyagramı Şekil 5.2’ de görülmektedir.



Şekil 5.2: Doğrusal sistemlere uygulanan üç girişli bulanık PID tipi kontrolörün Simulink blok diyagramı

Doğrusal sistemlere uygulanan hiyerarşik yapıda bulanık PID tipi kontrolörün Simulink blok diyagramı Şekil 5.3’ de görülmektedir.



Şekil 5.3: Doğrusal sistemlere uygulanan hiyerarşik yapıda bulanık PID tipi kontrolörün Simulink blok diyagramı

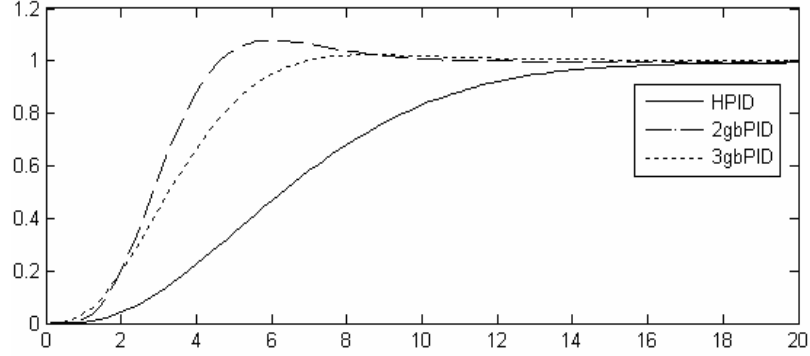
Doğrusal sistemler için önceki bölümde detaylandırıldığı gibi simetrik yapıdaki kural tablosu kullanılmış ve bu kural tablosuna satır gruplama yapılarak satır hiyerarşi uygulanmıştır. Sütun gruplama ile yapılan denemelerde elde edilen sonuçlarda fazlaca bir fark görülmediğinden burada satır hiyerarşi sonuçlarına yer verilmiştir.

Her üç kontrolör yapısının giriş/çıkış ölçekleme çarpanları tüm sistemler için [0.1 4] aralığında aratılmıştır.

Doğrusal sistemler için benzetimlerde kullanılan giriş ve çıkış ölçekleme çarpanları değerleri Ek A’ da verilmiştir. GA ile belirlenen ve kontrol boyunca değiştirilmeyen bu parametreler yardımıyla çevrimdışı bir ayarlama yapılmış ve benzetim sonuçları elde edilmiştir.

Benzetimlerde gösterim kolaylığı açısından iki girişli bulanık PID kontrolör sonuçları 2gbPID, üç girişli bulanık PID kontrolör sonuçları ise 3gbPID, hiyerarşik bulanık PID kontrolör sonuçları ise HPID olarak belirtilmiştir.

Benzetim sonuçları, kullanılan amaç ölçütlerine göre sıralanmıştır. Öncelikle ISE, daha sonra ITSE ve en son olarak da ISTSE ölçütlerine ait sonuçlar verilmektedir. Benzetim sonuçları, sistem yanıtları ve yanıtlara ait aşım, tepe zamanı, yerleşme zamanı, kararlı hal hatası değerleriyle birlikte amaç ölçütü değerlerini içeren tabloları kapsamaktadır.



Şekil 5.4: $1/(s+1)^4$ için ISE amaç ölçütüne göre elde edilen sistem yanıtları

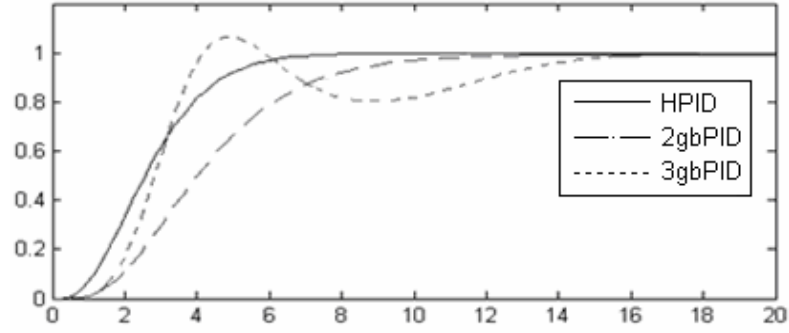
m_p , t_r , t_s ve e_{ss} sırasıyla aşım, tepe zamanı, yerleşme zamanı ve kararlı hal hatası değerlerini belirtmek kaydıyla elde edilen değer tablosu Tablo 5.1’ de gösterilmektedir.

Tablo 5.1 : $1/(s+1)^4$ için ISE Amaç Ölçütüne Göre Elde Edilen Değerler

	m_p	t_r	t_s	e_{ss}	ISE değeri
3gbPID	0.0241	8.6	12.4	0.0037	13.1926
2gbPID	0.0791	6	10.2	0.0016	12.1655
HPID	0	17.8	17.8	0.0074	24.9377

Görüldüğü gibi en iyi amaç ölçütü değerini veren iki girişli bulanık PID kontrolördür.

$(1-0.1s)/(s+1)^3$ için elde edilen sistem yanıtları ise, Şekil 5.5' de gösterilmiştir.



Şekil 5.5: $(1-0.1s)/(s+1)^3$ için ISE amaç ölçütüne göre elde edilen sistem yanıtları

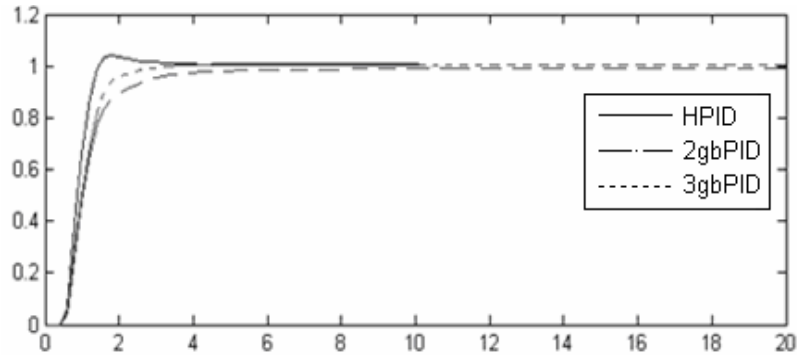
Değer tablosu Tablo 5.2' dedir.

Tablo 5.2 : $(1-0.1s)/(s+1)^3$ için ISE Amaç Ölçütüne Göre Elde Edilen Değerler

	m_p	t_r	t_s	e_{ss}	ISE değeri
3gbPID	0.0653	4.8	16.6	0.0039	13.0548
2gbPID	0	13.8	13.8	0.0068	16.4745
HPID	0	7.4	7.4	0.0041	10.4932

Görüldüğü gibi en iyi amaç ölçütü değerini veren hiyerarşik bulanık PID kontrolördür.

$e^{-0.5s}/(s+1)$ için elde edilen sistem yanıtları ise, Şekil 5.6' da gösterilmiştir.



Şekil 5.6: $e^{-0.5s}/(s+1)$ için ISE amaç ölçütüne göre elde edilen sistem yanıtları

Değer tablosu Tablo 5.3' dendir.

Tablo 5.3 : $e^{-0.5s}/(s+1)$ için ISE Amaç Ölçütüne Göre Elde Edilen Değerler

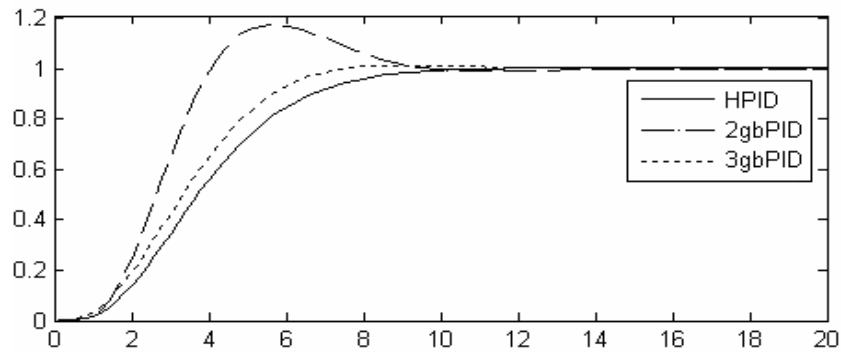
	m_p	t_r	t_s	e_{ss}	ISE değeri
3gbPID	0	3.2	3.2	0.0028	4.7893
2gbPID	0	10.6	10.6	0.0059	5.0050
HPID	0.0388	1.8	3.8	0.0017	4.3821

Görüldüğü gibi en iyi amaç ölçütü değerini veren hiyerarşik bulanık PID kontrolördür.

Hiyerarşik PID kontrolör, ISE ölçütüne göre parametre belirleme durumunda $(1-0.1s)/(s+1)^3$ ve $e^{-0.5s}/(s+1)$ sistemleri üzerinde diğer kontrolörlere göre daha başarılı sonuçlar vermiştir.

Şekil 5.7' den itibaren de ITSE ölçütüne göre elde edilen sonuçlar verilmektedir.

$1/(s+1)^4$ yanıtı Şekil 5.7' de, değer tablosu Tablo 5.4' de görülmektedir.



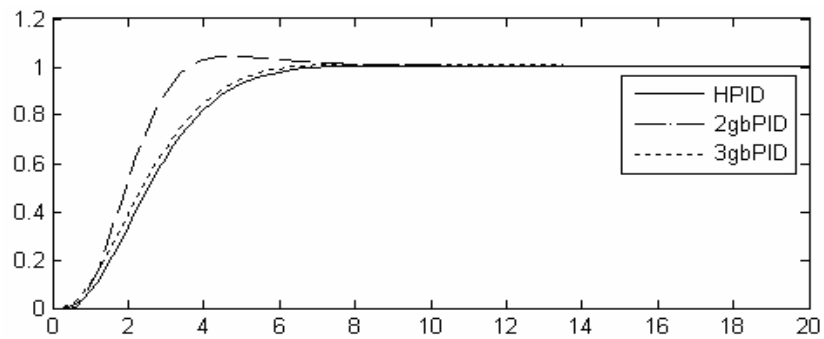
Şekil 5.7: $1/(s+1)^4$ için ITSE amaç ölçütüne göre elde edilen sistem yanıtları

Tablo 5.4 : $1/(s+1)^4$ için ITSE Amaç Ölçütüne Göre Elde Edilen Değerler

	m_p	t_r	t_s	e_{ss}	ITSE değeri
3gbPID	0.0134	9	10.6	0.0002	20.0401
2gbPID	0.1724	5.6	11.6	0.0002	14.7929
HPID	0	10.2	10.2	0.0013	25.9740

Görüldüğü gibi en iyi amaç ölçütü değerini veren iki girişli bulanık PID kontrolördür.

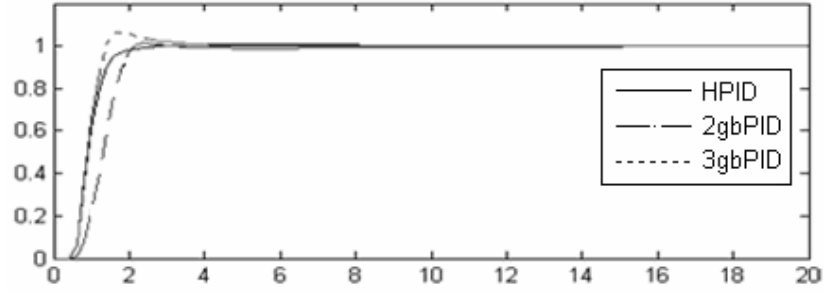
$(1-0.1s)/(s+1)^3$ için elde edilen sistem yanıtları, Şekil 5.8' de değerler Tablo 5.5' de gösterilmiştir.

**Şekil 5.8:** $(1-0.1s)/(s+1)^3$ için ITSE amaç ölçütüne göre elde edilen sistem yanıtları**Tablo 5.5 :** $(1-0.1s)/(s+1)^3$ için ITSE Amaç Ölçütüne Göre Elde Edilen Değerler

	m_p	t_r	t_s	e_{ss}	ITSE değeri
3gbPID	0.0109	8.2	9.8	0.0047	10.3734
2gbPID	0.0438	4.8	8.6	0.0046	7.0126
HPID	0	6.8	6.8	0.0046	11.9617

Görüldüğü gibi en iyi amaç ölçütü değerini veren iki girişli bulanık PID kontrolördür.

$e^{-0.5s}/(s+1)$ için elde edilen sistem yanıtları ise, Şekil 5.9' da gösterilmiştir.



Şekil 5.9: $e^{-0.5s}/(s+1)$ için ITSE amaç ölçütüne göre elde edilen sistem yanıtları

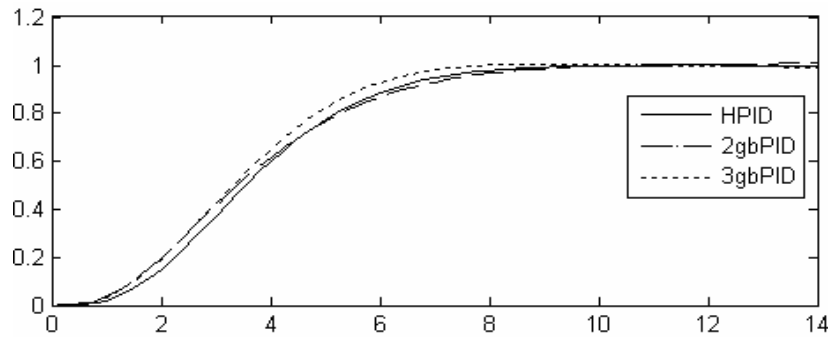
$e^{-0.5s}/(s+1)$ için elde edilen değer tablosu Tablo 5.6' dadır.

Tablo 5.6 : $e^{-0.5s}/(s+1)$ için ITSE Amaç Ölçütüne Göre Elde Edilen Değerler

	mp	t_r	t_s	e_{ss}	ITSE değeri
3gbPID	0.0656	1.8	3.8	0.0003	1.6126
2gbPID	0.0121	2.4	2.8	0.0012	3.2616
HPID	0	2.6	2.6	0.0001	1.6852

Görüldüğü gibi en iyi amaç ölçütü değerini veren üç girişli bulanık PID kontrolördür.

ISTSE ölçütüne göre $1/(s+1)^4$ yanıtı Şekil 5.10' da, değer tablosu Tablo 5.7' de görülmektedir.

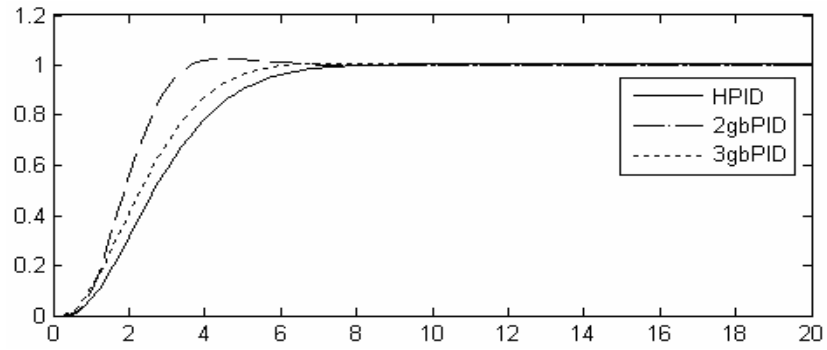


Şekil 5.10: $1/(s+1)^4$ için ISTSE amaç ölçütüne göre elde edilen sistem yanıtları

Tablo 5.7 : $1/(s+1)^4$ için ISTSE Amaç Ölçütüne Göre Elde Edilen Değerler

	m_p	t_r	t_s	e_{ss}	ISTSE değeri
3gbPID	0	7.6	7.6	0.0059	47.6190
2gbPID	0	9.4	9.4	0.0086	56.8182
HPID	0	8.8	8.8	0.0004	59.1716

Görüldüğü gibi en iyi amaç ölçütü değerini veren üç girişli bulanık PID kontrolördür.

**Şekil 5.11:** $(1-0.1s)/(s+1)^3$ için ISTSE amaç ölçütüne göre elde edilen sistem yanıtları

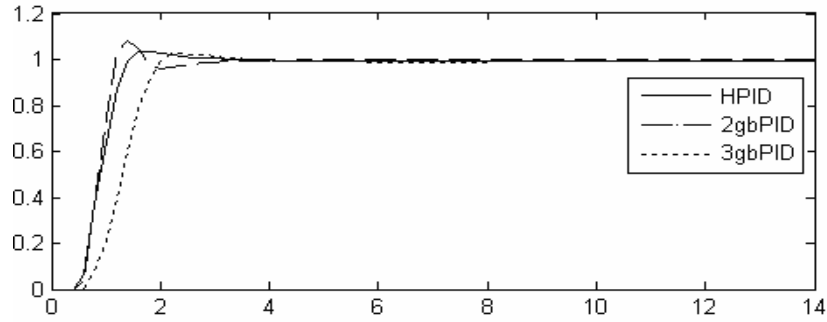
$(1-0.1s)/(s+1)^3$ için elde edilen sistem yanıtları, Şekil 5.11' de değerler Tablo 5.8' de gösterilmektedir.

Tablo 5.8 : $(1-0.1s)/(s+1)^3$ için ISTSE Amaç Ölçütüne Göre Elde Edilen Değerler

	m_p	t_r	t_s	e_{ss}	ISTSE değeri
3gbPID	0	6	6	0.0002	16.8350
2gbPID	0.0268	4.6	6.4	0.0017	8.4890
HPID	0	7.4	7.4	0.0036	26.8817

Görüldüğü gibi en iyi amaç ölçütü değerini veren iki girişli bulanık PID kontrolördür.

$e^{-0.5s}/(s+1)$ için elde edilen sistem yanıtları ve değer tablosu ise, Şekil 5.12' de ve Tablo 5.9' dadır.



Şekil 5.12: $e^{-0.5s}/(s+1)$ için ISTSE amaç ölçütüne göre elde edilen sistem yanıtları

Tablo 5.9 : $e^{-0.5s}/(s+1)$ için ISTSE Amaç Ölçütüne Göre Elde Edilen Değerler

	m_p	t_r	t_s	e_{ss}	ISTSE değeri
3gbPID	0.0323	2.4	3.4	0.0027	2.9744
2gbPID	0.0865	1.4	3.2	0.0004	0.8948
HPID	0.0388	1.6	3	0.0006	0.9663

Görüldüğü gibi en iyi amaç ölçütü değerini veren iki girişli bulanık PID kontrolördür.

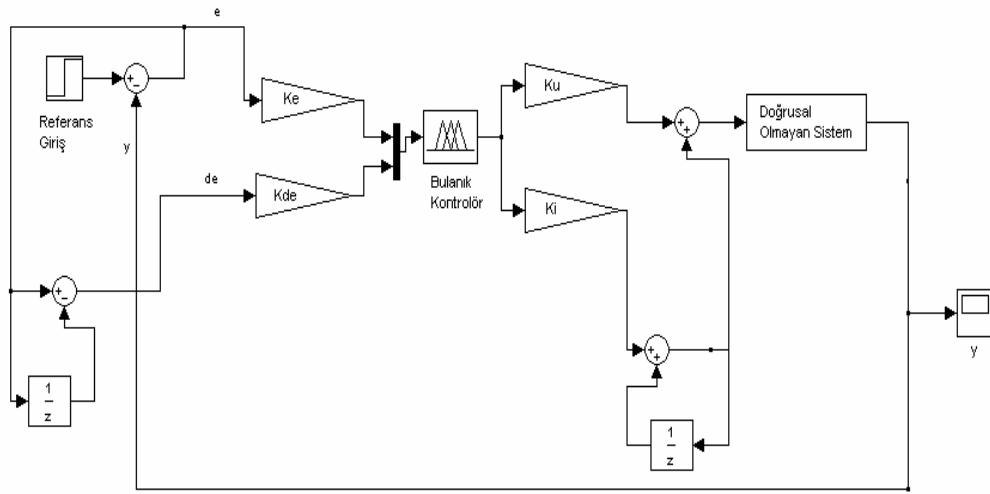
Doğrusal sistemlerde elde edilen sonuçlara genel olarak bakılırsa, her üç sistem için de en düşük amaç ölçütü değerlerini veren kontrolörün iki girişli PID olduğu görülmektedir. Bu durum şu şekilde özetlenebilir:

$1/(s+1)^4$ için en düşük ölçüt değeri 12.1655' dir ve bu değer ISE ölçütünde gerçekleşmiştir. $(1-0.1s)/(s+1)^3$ için en düşük ölçüt değeri 7.0126' dır ve bu değer ITSE ölçütünde gerçekleşmiştir. $e^{-0.5s}/(s+1)$ içinse en düşük ölçüt değeri 0.8948' dir ve bu değer ISTSE ölçütünde gerçekleşmiştir.

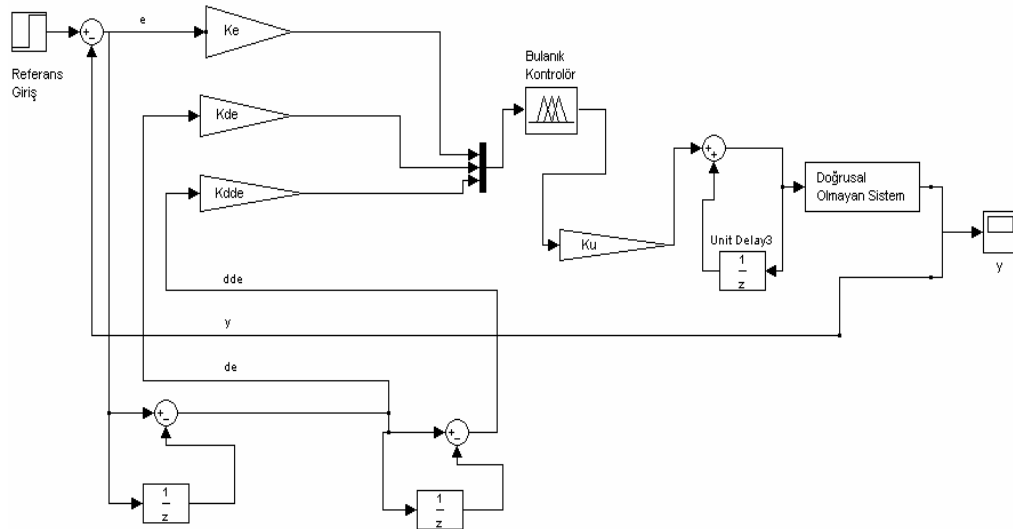
5.2 Kontrolörlerin Doğrusal Olmayan Sistem Üzerinde Uygulanması

Bu bölümde de önceki bölümde olduğu gibi, doğrusal olmayan sistem üzerindeki benzetim sonuçları verilmeden önce benzetim çalışmalarında kullanılan MATLAB - Simulink devre modellerine yer verilmiştir.

Doğrusal olmayan sisteme uygulanan iki ve üç girişli bulanık PID tipi kontrolörlerin Simulink blok diyagramı sırasıyla Şekil 5.13 ve Şekil 5.14’ de görülmektedir.

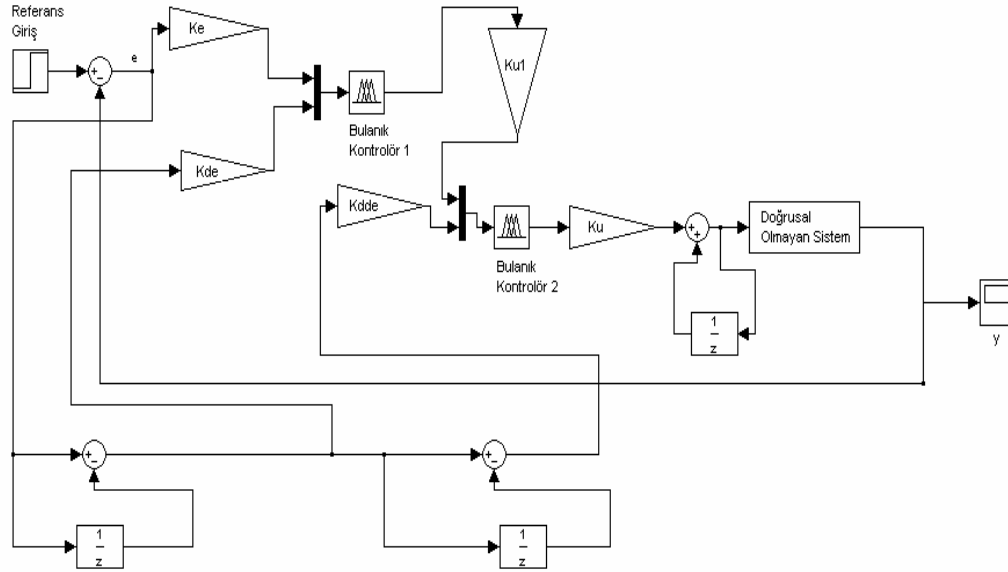


Şekil 5.13: Doğrusal olmayan sisteme uygulanan iki girişli bulanık PID tipi kontrolörün Simulink blok diyagramı



Şekil 5.14: Doğrusal olmayan sisteme uygulanan üç girişli bulanık PID tipi kontrolörün Simulink blok diyagramı

Doğrusal olmayan sisteme uygulanan hiyerarşik yapıda bulanık PID tipi kontrolörün Simulink blok diyagramı ise Şekil 5.15’ de görülmektedir.



Şekil 5.15: Doğrusal olmayan sisteme uygulanan hiyerarşik yapıda bulanık PID tipi kontrolörün Simulink blok diyagramı

Doğrusal olmayan sistem için öncelikle simetrik yapıdaki kural tablosu kullanılmış ve bu kural tablosuna satır grplama yapılarak satır hiyerarşi uygulanmıştır. Sütun grplama ile yapılan denemelerde elde edilen sonuçlarda fazlaca bir fark görülmediğinden bu bölümde simetrik yapı için sütun hiyerarşi sonuçlarına yer verilmemiştir. Daha sonra ise, doğrusal olmayan sistemin performansını arttırabilmek amacıyla asimetrik kural tablosu kullanılmış ve hem satır hem de sütun hiyerarşi yapısı incelenmiştir.

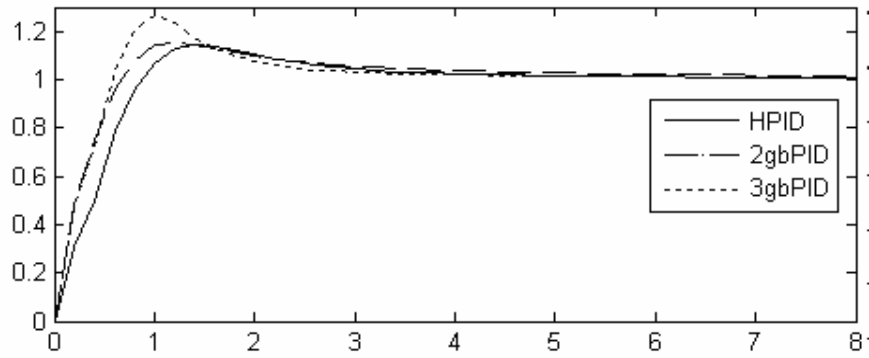
Doğrusal olmayan sistem için de her üç kontrolör yapısının giriş/çıkış ölçekleme çarpanları GA aracılığıyla belirlenmiştir. Simetrik kural tablosuna uygulanan satır hiyerarşiye göre belirlenen çarpanlardan (u) kontrol sinyaline ait çıkış çarpanı [0.1 0.7] aralığında, diğer çarpanlar ise yine [0.1 4] aralığında aratılmıştır.

Asimetrik kural tablosuna uygulanan satır ve sütun hiyerarşiye göre belirlenen çarpanlardan (u) kontrol sinyaline ait çıkış çarpanı [0.1 0.55] aralığında, diğer çarpanlar ise yine [0.1 4] aralığında aratılmıştır. Ayrıca, kural tabloları öncelikle üç girişli PID kontrolör için oluşturulup sonradan satır ve sütun hiyerarşi yaklaşımlarıyla HPID’ ye aktarıldığından, asimetrik tablo PID kontrolörde de

kullanılarak benzetim gerçekleştirilmiştir. Böylece simetrik ve asimetrik tablo arasındaki karşılaştırma PID kontrolör için de yapılmıştır. Asimetrik kural tablosu kullanılan PID kontrolör için de aynı şekilde sadece (u) kontrol sinyaline ait çıkış çarpanı [0.1 0.55] aralığında, diğer çarpanlar [0.1 4] aralığında aratılmıştır.

Doğrusal olmayan sistem için benzetimlerde kullanılan giriş ve çıkış ölçekleme çarpanları değerleri Ek B' de verilmiştir.

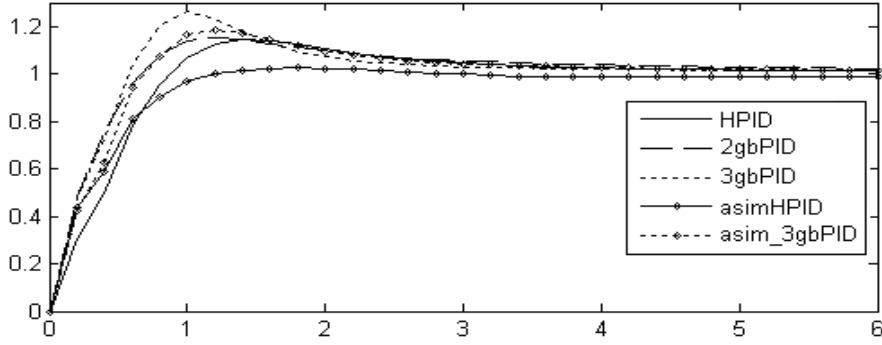
Benzetim sonuçları, kullanılan amaç ölçütlerine göre sıralanmıştır. Öncelikle, ISE ölçütüne göre belirlenen ölçekleme çarpanları kullanarak elde edilen sistem yanıtlarına yer verilmektedir.



Şekil 5.16: Doğrusal olmayan sistem için simetrik kural tablosu ve satır hiyerarşisiyle ISE amaç ölçütüne göre elde edilen sistem yanıtları

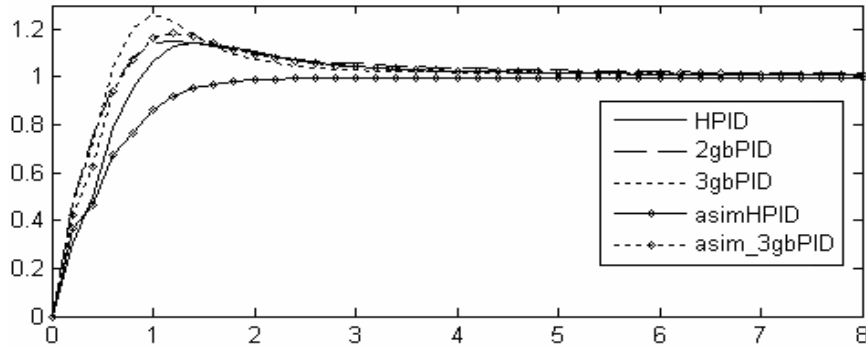
Şekil 5.16, doğrusal olmayan sistem için simetrik kural tablosundan faydalanarak oluşturulmuş üç girişli bulanık PID kontrolör ve yine bu tabloya uygulanan satır hiyerarşi ile oluşturulan HPID kontrolör sonuçlarıyla birlikte iki girişli bulanık PID kontrolör sonuçlarını göstermektedir. İki girişli PID kontrolör yapısı simetrik/asimetrik kural tablosundan etkilenmemekte ve Tablo 4.1' deki kuralları kullanmaktadır.

Şekil 5.17’ de ise asimetrik kural tablosundan faydalanarak oluşturulmuş üç girişli bulanık PID kontrolör ve yine bu tabloya uygulanan satır hiyerarşi ile oluşturulan HPID kontrolör yanıtları şekilde sırasıyla asim_3gbPID ve asimHPID olarak gösterilip Şekil 5.16’ daki simetrik tablonun oluşturduğu yanıtlarla birlikte verilmiştir.



Şekil 5.17: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve satır hiyerarşiyle ISE amaç ölçütüne göre elde edilen sistem yanıtları

Asimetrik kural tablosundan faydalanarak oluşturulmuş üç girişli bulanık PID kontrolör ve yine bu tabloya uygulanan sütun hiyerarşi ile oluşturulan HPID kontrolör yanıtları ise Şekil 5.18’ de yine sırasıyla asim_3gbPID ve asimHPID olarak gösterilip Şekil 5.16’ daki simetrik tablonun oluşturduğu yanıtlarla birlikte verilmiştir.



Şekil 5.18: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve sütun hiyerarşiyle ISE amaç ölçütüne göre elde edilen sistem yanıtları

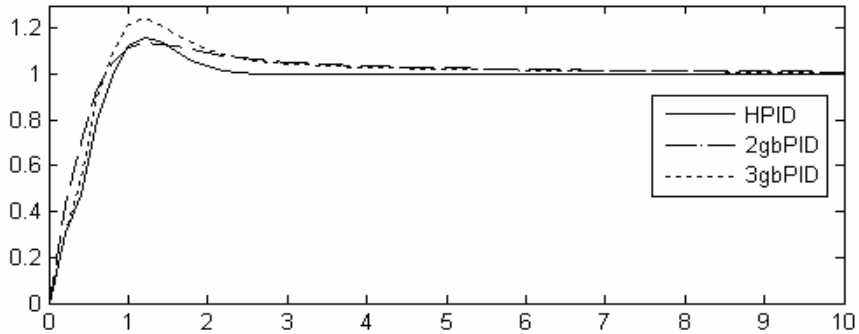
Tüm sistem yanıtlarının aşım, tepe zamanı, yerleşme zamanı ve kararlı hal hatası gibi kriterlerini içeren değer tablosu Tablo 5.10’ da gösterilmektedir.

Tablo 5.10: Doğrusal Olmayan Sistem için ISE Amaç Ölçütüne Göre Elde Edilen Değerler

		m_p	t_r	t_s	e_{ss}	ISE değeri
	3gbPID	0.263	1	7	0.0061	1.5949
	asim_3gbPID	0.18	1.2	8.6	0.0085	1.6439
	2gbPID	0.153	1.2	10	0.0125	1.4892
SATIR	HPID	0.145	1.4	7	0.0057	1.9001
SATIR	asimHPID	0.0244	1.8	10	0.0144	1.5473
SÜTUN	asimHPID	0	2.4	2.4	0.0034	1.8832

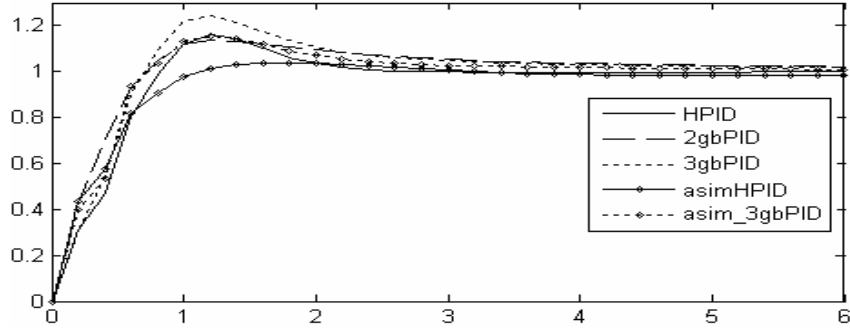
Görüldüğü gibi, en düşük ISE ölçüt değeri simetrik kurallı iki girişli bulanık PID kontrolörde gerçekleşmiştir.

Simetrik kural tablosu ve satır hiyerarşi kullanılması durumunda ITSE ölçütüne göre elde edilen sistem yanıtları Şekil 5.19’ da görülmektedir.



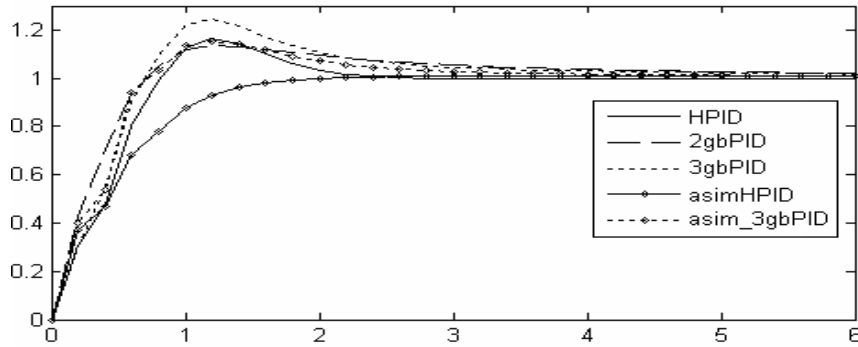
Şekil 5.19: Doğrusal olmayan sistem için simetrik kural tablosu ve satır hiyerarşiyle ITSE amaç ölçütüne göre elde edilen sistem yanıtları

Şekil 5.20’ de ise asimetrik kural tablosundan faydalanarak oluşturulmuş PID kontrolör ve yine bu tabloya uygulanan satır hiyerarşi ile oluşturulan HPID kontrolör yanıtları simetrik tablonun oluşturduğu yanıtlarla birlikte verilmiştir.



Şekil 5.20: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve satır hiyerarşiyle ITSE amaç ölçütüne göre elde edilen sistem yanıtları

Şekil 5.21, simetrik tablonun oluşturduğu yanıtlarla birlikte asimetrik kural tablosundan faydalanarak oluşturulmuş PID kontrolör ve yine bu tabloya uygulanan sütun hiyerarşi ile oluşturulan HPID kontrolör yanıtlarını göstermektedir.



Şekil 5.21: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve sütun hiyerarşiyle ITSE amaç ölçütüne göre elde edilen sistem yanıtları

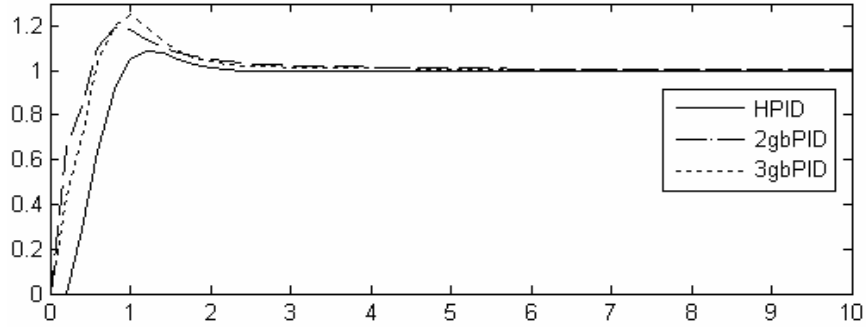
Tüm sistem yanıtlarının aşım, tepe zamanı, yerleşme zamanı ve kararlı hal hatası gibi kriterlerini içeren değer tablosu Tablo 5.11’ de gösterilmektedir.

Tablo 5.11: Doğrusal Olmayan Sistem için ITSE Amaç Ölçütüne Göre Elde Edilen Değerler

		m_p	t_r	t_s	e_{ss}	ITSE değeri
	3gbPID	0.2450	1.2	10	0.0102	0.6066
	asim_3gbPID	0.1560	1.2	6.2	0.0050	0.3282
	2gbPID	0.1370	1.2	10	0.0121	0.3887
SATIR	HPID	0.1620	1.2	2.6	0.0003	0.3321
SATIR	asimHPID	0.0400	1.8	10	0.0140	0.2220
SÜTUN	asimHPID	0	2	2	0.0079	0.3309

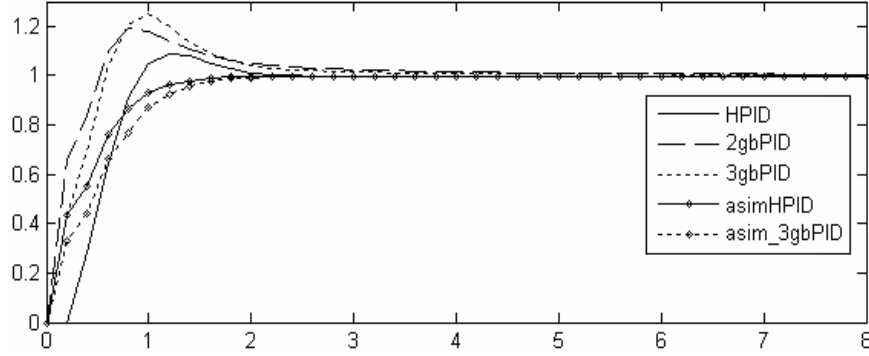
Görüldüğü gibi, en düşük ITSE ölçüt değeri asimetrik kurallı, satır hiyerarşili bulanık HPID kontrolörde gerçekleşmiştir.

Simetrik kural tablosu ve satır hiyerarşi kullanılması durumunda ISTSE ölçütüne göre elde edilen sistem yanıtları Şekil 5.22’ de görülmektedir.



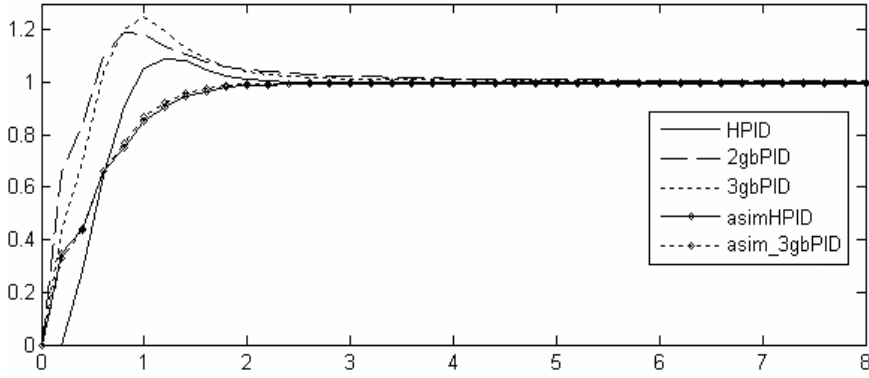
Şekil 5.22: Doğrusal olmayan sistem için simetrik kural tablosu ve satır hiyerarşisiyle ISTSE amaç ölçütüne göre elde edilen sistem yanıtları

Şekil 5.23’ de ise asimetrik kural tablosundan faydalanarak oluşturulmuş PID kontrolör ve yine bu tabloya uygulanan satır hiyerarşi ile oluşturulan HPID kontrolör yanıtları simetrik tablonun oluşturduğu yanıtlarla birlikte verilmiştir.



Şekil 5.23: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve satır hiyerarşiyle ISTSE amaç ölçütüne göre elde edilen sistem yanıtları

Şekil 5.24 simetrik tablonun oluşturduğu yanıtlarla birlikte asimetrik kural tablosundan faydalanarak oluşturulmuş PID kontrolör ve yine bu tabloya uygulanan sütun hiyerarşi ile oluşturulan HPID kontrolör yanıtlarını göstermektedir.



Şekil 5.24: Doğrusal olmayan sistem için simetrik tablo yanıtları ile asimetrik kural tablosu ve sütun hiyerarşiyle ISTSE amaç ölçütüne göre elde edilen sistem yanıtları

Tüm sistem yanıtlarının aşım, tepe zamanı, yerleşme zamanı ve kararlı hal hatası gibi kriterlerini içeren değer tablosu Tablo 5.12’ de gösterilmektedir.

Tablo 5.12: Doğrusal Olmayan Sistem için ISTSE Amaç Ölçütüne Göre Elde Edilen Değerler

		m_p	t_r	t_s	e_{ss}	ISE değeri
	3gbPID	0.2514	1	4.4	0.0029	0.3013
	asim_3gbPID	0	2.2	2.2	0.0005	0.1747
	2gbPID	0.19	0.8	5.6	0.0036	0.2677
SATIR	HPID	0.089	1.2	2.4	0.0002	0.2099
SATIR	asimHPID	0	2	2	0.0011	0.0877
SÜTUN	asimHPID	0	2.4	2.4	0.0043	0.2261

Görüldüğü gibi, en düşük ISTSE ölçüt değeri asimetrik kurallı, satır hiyerarşili bulanık HPID kontrolörde gerçekleşmiştir.

Tüm sonuçlara bakıldığında doğrusal olmayan sistem için en düşük amaç ölçütü değerini veren yapının asimetrik kurallı, satır hiyerarşili HPID olduğu görülmüştür. Amaç ölçütü değeri 0.0877’ dir ve bu değer ISTSE ölçütünde gerçekleşmiştir.

Çalışmalardan elde edilen sonuçlar 6. bölümde özetlenmiştir.

6. SONUÇLAR VE TARTIŞMALAR

Klasik bulanık mantık kontrolör yapılarında, giriş değişkeni sayısının ya da bu değişkenler için kullanılan üyelik fonksiyonu sayısının artması sonucu üstel olarak artan kural sayısı kural tabanında önemli bir boyut sorunu oluşturmaktadır. Bu sorun, giriş değişkeni sayısının ikiden fazla olduğu kontrolörlerde daha da önemli hale gelmektedir. Bunu ortadan kaldırabilmek amacıyla literatürde bulanık mantık kontrolörlerin hiyerarşik yapıda kullanılması önerilmiştir. Bu sayede klasik bulanık kontrolörde giriş sayısına bağlı olarak oluşan üstel kural artışı hiyerarşik yapıyla birlikte yalnızca doğrusal olarak artmaktadır. Ayrıca, bu niceliklerin sabit kaldığı durumda bile hiyerarşik yapı klasik çok girişli kontrolörde varolan kural sayısını azaltmaktadır. Örneğin, üç girişli ve her bir girişe ait yedi üyelik fonksiyonu tanımlanan klasik yapıdaki bir kontrolörde 7^3 gereği 343 kural gerekirken, hiyerarşik yapıda eş satır veya sütunların oluşturulabildiği bir kural tabanında 13 ara değişken kullanılabilmişse $(7 \times 7) + (13 \times 7)$ gereği 140 kurala kadar düşebilmek mümkündür.

Bu çalışmada genel olarak, bulanık mantığın temel kontrolörlerinden olan PID kontrolörlere hiyerarşik yapı kazandırılarak kontrol amaçları gerçekleştirilmeye çalışılmış, önerilen yapının performansı klasik iki ve üç girişli PID kontrolör yapılarınıninkile karşılaştırılmıştır.

Hiyerarşik yapıda satır ve sütun gruplamalar incelenmiş ve kullanılacak kural tablosunun simetrik/asimetrik biçimde oluşturulmasının bu gruplamalarla birlikte kontrolörün kural sayısı ve performansı üzerinde etkisi incelenmiştir.

İlk önce, iki ve üç girişli PID kontrolörlerin ve simetrik kural tablosunda satır gruplama kullanarak oluşturulan HPID kontrolörün seçilmiş üç doğrusal sistem üzerindeki performansı irdelenmiştir. Daha sonra, doğrusal olmayan sistem için yine üç kontrolör yapısı da oluşturularak öncelikle simetrik kural tablosu kullanılmış ve HPID yapısı satır gruplama ile gerçekleştirilmiştir. Bir sonraki aşamada ise asimetrik

kural tablosundaki farklı gruplamaların ortaya çıkardığı farklı kural sayılarının hiyerarşik kontrolörün doğrusal olmayan sistemde oluşturduğu kontrol etkisi gözlemlenmiştir.

Yapılan incelemeler sonucu, kullanılan doğrusal sistemlerde iki giriş ile oluşturulan PID yapısının hem sistem yanıtları hem de amaç ölçütü değerleri bakımından HPID yapısına üstün geldiği görülmüştür.

Doğrusal olmayan sistemde ise, asimetrik kural tablosuyla oluşturulan kontrolör yapılarının simetrik tablonun kullanıldığı yapılara göre daha iyi sonuç verdiği görülmüştür. Üç girişli PID yapısında doğrusal sistemlerde olduğu gibi yine 27 kural kullanılırken, asimetrik tabloda sütun hiyerarşi ile 18 kural, satır hiyerarşi ile 24 kural elde edilmiş ve en düşük amaç ölçütü değerini veren yapı satır hiyerarşi ile ortaya çıkmıştır.

Tüm sonuçlar incelendiğinde, bulanık mantık kontrolde hiyerarşik yapının doğrusal olmayan sistemde doğrusal sistemlere göre daha iyi sonuç verdiği görülmüştür. Doğrusal sistemlerde ise iki girişli PID yapısı, hem kural boyutunu dolayısıyla da kural sayısını azaltması bakımından sağladığı kontrol kolaylığı hem de sistem yanıtlarından elde edilen performans açısından HPID yapısına ciddi bir alternatif oluşturmaktadır.

Doğrusal olmayan sistemlerde ise kullanılacak kural yapısının asimetrik olması sistemin kontrolüne avantaj sağlamakla beraber HPID kontrolörün diğer PID yapılarına oranla üstün performans verip vermeyeceği kullanılacak kural yapısına ve kontrol edilecek sisteme göre değişecektir. Bu yüzden bu kontrolörün üstünlüğü üzerinde bir genelleştirme yapabilmek için çeşitli doğrusal olmayan sistemler üzerinde incelemeler sürdürülmelidir.

Son olarak, hiyerarşik yapı ile klasik çok girişli yapıya göre daha az kural sayısı, klasik yapıda varolan giriş-çıkış eşleşmesi aynı şekilde oluşturulabiliyorsa hiyerarşik yapı modelleme anlamında kolaylıklar sağlayabilir.

KAYNAKLAR

- [1] **Anderson, B.**, 1985. Adaptive systems, lack of persistency of excitations and bursting phenomena, *Automatica*, **21**, 247-258.
- [2] **Zadeh L. A.**, 1965. Fuzzy sets, *Information and Control*, **8**, 338-353.
- [3] **Elmas, Ç.**, 2003. Bulanık Mantık Denetleyiciler, Seçkin Yayıncılık, Ankara.
- [4] **Mamdani, E. H.**, 1974. Application of fuzzy logic algorithms for control of simple dynamic plant, *Proceedings of the Institute of Electrical Engineering*, **121**, 1585-1588.
- [5] **Mamdani, E. H., Assilian S.**, 1975. An experiment in linguistic synthesis with a fuzzy logic controller, *Int. J. Man-Machine Studies*, **7**, 1-13.
- [6] **Mac Vicar-Whelan, P. J.**, 1976. Fuzzy sets for man-machine interaction, *Int. J. Man-Machine Studies*, **8**, 687-697.
- [7] **Passino K. M. and Yurkovich, S.**, 1998. Fuzzy Control, Addison-Wesley Longman, Inc., California.
- [8] **Sugeno M.**, 1985. Industrial Applications of Fuzzy Control, Elsevier Science Inc., Amsterdam.
- [9] **Raju, G. V. S., Zhou J., Kisner R. A.**, 1991. Hierarchical fuzzy control, *Int. J. Control*, **54 (5)**, 1201-1216.
- [10] **Brown M., Bossley K. M., Mills D. J., Harris C. J.**, 1995. High dimensional neurofuzzy systems: overcoming the curse of dimensionality, *Proc. IEEE Int. Conf. on Fuzzy Systems*, 2139-2146.
- [11] **Joo M. G., Lee J. S.**, 1999. Hierarchical fuzzy control scheme using structured Takagi-Sugeno type fuzzy inference, *Proc. IEEE Int. Conf. on Fuzzy Systems*, 78-83.
- [12] **Kikuchi H., Otake A., Nakanishi S.**, 1998. Functional completeness of hierarchical fuzzy modeling, *Information Sciences*, **110**, 51-60.
- [13] **Linkens D. A., Nyongesa H. O.**, 1996. A Hierarchical multi-variable fuzzy controller for learning with genetic algorithms, *Int. J. Control*, **63 (5)**, 855-883.
- [14] **Yager R. R.**, 1998. On the construction of hierarchical fuzzy systems model, *IEEE Trans. Systems Man Cybernet.*, **28(1)**, 55-66.
- [15] **Shimojima K., Fukuda T., Hasegawa Y.**, 1995. Self-tuning fuzzy modeling with adaptive membership function, rules and hierarchical structure based on genetic algorithm, *Fuzzy Sets and Systems*, **71**, 295-309.
- [16] **Wang L. X.**, 1998. Universal approximation by hierarchical fuzzy systems, *Fuzzy Sets and Systems*, **93**, 223-230.

- [17] **Wang L. X.**, 1999. Analysis and design of hierarchical fuzzy systems, *IEEE Trans. on Fuzzy Systems*, **7 (5)**, 617-624.
- [18] **Lee M. L., Chung H. Y., Yu F. M.**, 2003. Modeling of hierarchical fuzzy systems, *Fuzzy Sets and Systems*, **138**, 343-361.
- [19] **Hu, B., Mann, G. K. I., Gosine, R. G.**, 1999. A new methodology for analytical and optimal design of fuzzy PID controllers, *IEEE Transactions on Fuzzy Systems*, **7 (5)**, 521-539.
- [20] **Woo, Z. W., Chung, H. Y., Lin, J. J.**, 2000. A PID-type fuzzy controller with self-tuning scaling factors, *Fuzzy Sets and Systems*, **115**, 321-326.
- [21] **Baykal, N. and Beyan, T.**, 2004. Bulanık Mantık Uzman Sistemler ve Denetleyiciler, Bıçaklar Kitabevi, Ankara.
- [22] **Mohan B. M., Patel A. V.**, 2002. Analytical structures and analysis of the simplest fuzzy PD controllers, *IEEE Transactions on Systems, Man, and Cybernetics - Part B*, **32 (2)**, 239-248.
- [23] **Arzen, K. E., Johansson, M., Babuska, R.**, 1999. Fuzzy algorithms for control, Verbruggen, H. B., Zimmermann, H. J., Babuska, R. (editors), Kluwer Academic Publishers.
- [24] **Chen, C. L., Chen, P. C., Chen, C. K.**, 1993. Analysis and design of fuzzy control systems, *Fuzzy Sets and Systems*, **57**, 125-140.
- [25] **Peng, X. T., Liu, S. M., Yamakawa, T., Wang, P., Liu, X.**, 1988. Self-regulating PID controllers and their applications to a temperature controlling process, *Fuzzy Computing; Theory, Hardware, and Applications*, M. M. Gupta and T. Yamakawa (editors), Amsterdam, Elsevier, 355-364.
- [26] **Sugiyama, K.**, 1988. Rule-based self-organizing controller, *Fuzzy Computing; Theory, Hardware, and Applications*, M. M. Gupta and T. Yamakawa (editors), Amsterdam, Elsevier, 341-353.
- [27] **Maeda, M., Murakami S.**, 1992. Fuzzy gain scheduling of PID controllers, *Fuzzy Sets and Systems*, **51**, 29-40.
- [28] **Hu, B., Mann, G. K. I., Gosine, R. G.**, 1997. Theoretic and genetic designs of a three-rule fuzzy PI controller, *Proc. Sixth IEEE Int. Conf. Fuzzy Sets*, 1489-1496.
- [29] **Akbıyık, B., Eksin İ., Güzelkaya M., Yeşil, E.**, 2005. Evaluation of the performance of various fuzzy PID controller structures on benchmark systems, *ELECO '2005 , 4rd International Conf. on Electrical and Electronics Engineering*, Bursa, Türkiye.
- [30] **Kwok, D. P., Tam, P., Li, C.K., Wang, P.**, 1990. Linguistic PID controllers, *Proceedings of the 11th IFAC World Congress*, Tallinn, Estonia, 13-17 Aug., **7**, 192-197.
- [31] **Li, H. X., Gatland, H.B.**, 1996. Conventional fuzzy control and its enhancement, *IEEE Transactions on Systems Man and Cybernetics - Part B*, **26 (5)**, 791-797.

- [32] **Güzelkaya, M., Eksin, İ., Gürleyen, F.**, 2001. A new methodology for designing a fuzzy logic controller and PI, PD blending mechanism, *Journal of Intelligent and Fuzzy Systems*, **11**, 85-98.
- [33] **Qiao, W. Z., Mizumoto, M.**, 1996. PID type fuzzy controller and parameters adaptive method, *Fuzzy Sets and Systems*, **78**, 23-35.
- [34] **Golob, M.**, 2001. Decomposed fuzzy proportional-integral-derivative controllers, *Applied Soft Computing*, **1**, 201-204.
- [35] **Hu, J. X., Hang, C. C., Liu, C.**, 2000. Parallel structure and tuning of a fuzzy PID controller, *Automatica*, **36**, 673-684.
- [36] **Liu, B. D., Chen, C.Y., and Tsao, J.Y.**, 2001. Design of adaptive fuzzy logic controller based on linguistic hedge concepts and genetic algorithms, *IEEE Transactions on Systems, Man and Cybernetics*, **31**, 32-53.

EK A: Doğrusal Sistemler için Genetik Algoritma ile Belirlenen Giriş ve Çıkış Ölçekleme Çarpanları Değerleri

$1/(s+1)^4$ sistemi için kullanılan çarpan değerleri Tablo A.1, Tablo A.2 ve Tablo A.3’ de gösterilmektedir.

Tablo A.1: $1/(s+1)^4$ için ISE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	$K_e = 0.9435$ $K_{de} = 3.2607$	$K_u = 2.8616$ $K_i = 0.1885$
Üç Girişli PID Kontrolör	$K_e = 0.1327$ $K_{de} = 1.9943$ $K_{dde} = 1.1821$	$K_u = 3.9561$
HPID Kontrolör	$K_e = 0.5653$ $K_{de} = 1.3843$ $K_{dde} = 2.7465$ $K_{u1} = 0.7413$	$K_u = 0.3582$

Tablo A.2: $1/(s+1)^4$ için ITSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ITSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	Ke = 1.5802 Kde = 3.7261	Ku = 3.1770 Ki = 0.1736
Üç Girişli PID Kontrolör	Ke = 0.1312 Kde = 1.9601 Kdde = 1.243	Ku = 3.8776
HPID Kontrolör	Ke = 0.4379 Kde = 1.1572 Kdde = 0.621 Ku1 = 0.1784	Ku = 1.4354

Tablo A.3: $1/(s+1)^4$ için ISTSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISTSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	Ke = 0.1214 Kde = 0.9190	Ku = 3.8428 Ki = 1.6771
Üç Girişli PID Kontrolör	Ke = 0.1296 Kde = 1.9743 Kdde = 1.1228	Ku = 3.9365
HPID Kontrolör	Ke = 0.1522 Kde = 1.5017 Kdde = 0.3701 Ku1 = 0.2039	Ku = 1.5790

$(1 - 0.1s)/(s + 1)^3$ sistemi için elde edilen giriş/çıkış ölçekleme çarpanlarının değeri Tablo A.4, Tablo A.5 ve Tablo A.6' da verilmektedir.

Tablo A.4: $(1 - 0.1s)/(s + 1)^3$ için ISE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	$K_e = 0.4690$ $K_{de} = 3.8219$	$K_u = 2.1172$ $K_i = 0.6789$
Üç Girişli PID Kontrolör	$K_e = 0.3640$ $K_{de} = 3.8258$ $K_{dde} = 0.2218$	$K_u = 3.8570$
HPID Kontrolör	$K_e = 0.1454$ $K_{de} = 1.8149$ $K_{dde} = 3.9643$ $K_{u1} = 0.1302$	$K_u = 1.6859$

Tablo A.5: $(1 - 0.1s)/(s + 1)^3$ için ITSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ITSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	Ke = 1.6076 Kde = 3.5759	Ku = 3.5846 Ki = 0.2446
Üç Girişli PID Kontrolör	Ke = 0.1506 Kde = 1.8292 Kdde = 1.9656	Ku = 3.8327
HPID Kontrolör	Ke = 0.2376 Kde = 1.9153 Kdde = 2.0705 Ku1 = 0.1743	Ku = 1.7011

Tablo A.6: $(1 - 0.1s)/(s + 1)^3$ için ISTSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISTSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	Ke = 1.7180 Kde = 3.8918	Ku = 3.9505 Ki = 0.2574
Üç Girişli PID Kontrolör	Ke = 0.1533 Kde = 1.9451 Kdde = 1.9573	Ku = 3.9706
HPID Kontrolör	Ke = 0.2707 Kde = 1.9933 Kdde = 2.2856 Ku1 = 0.3801	Ku = 1.5486

$e^{-0.5s}/(s+1)$ sistemi için elde edilen giriş/çıkış ölçekleme çarpanlarının değeri ise Tablo A.7, Tablo A.8 ve Tablo A.9’ da verilmektedir.

Tablo A.7: $e^{-0.5s}/(s+1)$ için ISE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	Ke = 0.6738 Kde = 0.7155	Ku = 3.4797 Ki = 0.8628
Üç Girişli PID Kontrolör	Ke = 0.3241 Kde = 1.7342 Kdde = 1.4608	Ku = 3.1410
HPID Kontrolör	Ke = 0.3588 Kde = 1.5672 Kdde = 1.3692 Ku1 = 0.3948	Ku = 3.0999

Tablo A.8: $e^{-0.5s}/(s+1)$ için ITSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ITSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	Ke = 0.5151 Kde = 2.1197	Ku = 0.1987 Ki = 3.0197
Üç Girişli PID Kontrolör	Ke = 0.2559 Kde = 1.6407 Kdde = 0.4528	Ku = 3.1590
HPID Kontrolör	Ke = 2.4419 Kde = 1.8257 Kdde = 2.6488 Ku1 = 0.2759	Ku = 2.5714

Tablo A.9: $e^{-0.5s}/(s+1)$ için ISTSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISTSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	Ke = 1.9989 Kde = 2.0667	Ku = 2.4414 Ki = 0.6037
Üç Girişli PID Kontrolör	Ke = 0.8424 Kde = 3.5418 Kdde = 0.1830	Ku = 1.0919
HPID Kontrolör	Ke = 0.1258 Kde = 1.6380 Kdde = 0.4421 Ku1 = 2.1021	Ku = 3.3758

EK B: Doğrusal Olmayan Sistemler için Genetik Algoritma ile Belirlenen Giriş ve Çıkış Ölçekleme Çarpanları Değerleri

Simetrik kural tablosuna uygulanan satır hiyerarşiyle ISE ölçütüne göre elde edilen çarpan değerleri Tablo B.1’ de gösterilmektedir.

Tablo B.1: Doğrusal Olmayan Sistem için Simetrik Kural Tablosuna Uygulanan Satır Hiyerarşiyle ISE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	$K_e = 1.7109$ $K_{de} = 0.2929$	$K_u = 0.2199$ $K_i = 0.3961$
Üç Girişli PID Kontrolör	$K_e = 1.5531$ $K_{de} = 0.372$ $K_{dde} = 0.2744$	$K_u = 0.6201$
HPID Kontrolör	$K_e = 1.4704$ $K_{de} = 0.8511$ $K_{dde} = 0.1531$ $K_{u1} = 0.8421$	$K_u = 0.6058$

Simetrik kural tablosuna uygulanan satır hiyerarşiyle ITSE ölçütüne göre elde edilen çarpan değerleri Tablo B.2’ de gösterilmektedir.

Tablo B.2: Doğrusal Olmayan Sistem için Simetrik Kural Tablosuna Uygulanan Satır Hiyerarşiyle ITSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ITSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	$K_e = 1.8968$ $K_{de} = 0.2346$	$K_u = 0.2050$ $K_i = 0.3403$
Üç Girişli PID Kontrolör	$K_e = 1.7710$ $K_{de} = 0.6015$ $K_{dde} = 0.1222$	$K_u = 0.3990$
HPID Kontrolör	$K_e = 2.1394$ $K_{de} = 1.0252$ $K_{dde} = 0.3384$ $K_{u1} = 1.3374$	$K_u = 0.3807$

Simetrik kural tablosuna uygulanan satır hiyerarşiyle ISTSE ölçütüne göre elde edilen çarpan değerleri Tablo B.3’ de gösterilmektedir.

Tablo B.3: Doğrusal Olmayan Sistem için Simetrik Kural Tablosuna Uygulanan Satır Hiyerarşiyle ISTSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISTSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
İki Girişli PID Kontrolör	$K_e = 1.9493$ $K_{de} = 0.4721$	$K_u = 0.2584$ $K_i = 0.6193$
Üç Girişli PID Kontrolör	$K_e = 1.9673$ $K_{de} = 0.7749$ $K_{dde} = 0.1035$	$K_u = 0.5538$
HPID Kontrolör	$K_e = 1.1779$ $K_{de} = 3.7308$ $K_{dde} = 0.1557$ $K_{u1} = 3.4892$	$K_u = 0.3524$

Asimetrik kural tablosu kullanılan üç girişli PID kontrolörün ISE ölçütüne göre elde edilen ölçekleme çarpanı değerleri Tablo B.4' de gösterilmektedir.

Tablo B.4: Doğrusal Olmayan Sistem için Asimetrik Kural Tablosu Kullanılan Üç Girişli PID Kontrolörün ISE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
Üç Girişli PID Kontrolör	$K_e = 1.5846$ $K_{de} = 1.0213$ $K_{dde} = 0.1366$	$K_u = 0.5307$

Asimetrik kural tablosu kullanılan üç girişli PID kontrolörün ITSE ölçütüne göre elde edilen ölçekleme çarpanı değerleri Tablo B.5' de gösterilmektedir.

Tablo B.5: Doğrusal Olmayan Sistem için Asimetrik Kural Tablosu Kullanılan Üç Girişli PID Kontrolörün ITSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ITSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
Üç Girişli PID Kontrolör	$K_e = 1.9363$ $K_{de} = 1.3902$ $K_{dde} = 0.2198$	$K_u = 0.5050$

Asimetrik kural tablosu kullanılan üç girişli PID kontrolörün ISTSE ölçütüne göre elde edilen ölçekleme çarpanı değerleri Tablo B.6’ da gösterilmektedir.

Tablo B.6: Doğrusal Olmayan Sistem için Asimetrik Kural Tablosu Kullanılan Üç Girişli PID Kontrolörün ISTSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISTSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
Üç Girişli PID Kontrolör	$K_e = 1.0085$ $K_{de} = 1.6406$ $K_{dde} = 0.1237$	$K_u = 0.4109$

Asimetrik kural tablosuna uygulanan satır hiyerarşiyle ISE ölçütüne göre elde edilen çarpan değerleri Tablo B.7’ de gösterilmektedir.

Tablo B.7: Doğrusal Olmayan Sistem için Asimetrik Kural Tablosuna Uygulanan Satır Hiyerarşiyle ISE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
HPID Kontrolör	$K_e = 1.6089$ $K_{de} = 1.6362$ $K_{dde} = 0.1879$ $K_{u1} = 1.0905$	$K_u = 0.5418$

Asimetrik kural tablosuna uygulanan satır hiyerarşiyle ITSE ölçütüne göre elde edilen çarpan değerleri Tablo B.8’ de gösterilmektedir.

Tablo B.8: Doğrusal Olmayan Sistem için Asimetrik Kural Tablosuna Uygulanan Satır Hiyerarşiyle ITSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ITSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
HPID Kontrolör	$K_e = 1.7033$ $K_{de} = 1.7522$ $K_{dde} = 0.2008$ $K_{u1} = 1.0930$	$K_u = 0.5409$

Asimetrik kural tablosuna uygulanan satır hiyerarşiyle ISTSE ölçütüne göre elde edilen çarpan değerleri Tablo B.9’ da gösterilmektedir.

Tablo B.9: Doğrusal Olmayan Sistem için Asimetrik Kural Tablosuna Uygulanan Satır Hiyerarşiyle ISTSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISTSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
HPID Kontrolör	$K_e = 1.5647$ $K_{de} = 1.9766$ $K_{dde} = 1.5552$ $K_{u1} = 0.6118$	$K_u = 0.5356$

Asimetrik kural tablosuna uygulanan sütun hiyerarşiyle ISE ölçütüne göre elde edilen çarpan değerleri Tablo B.10’ da gösterilmektedir.

Tablo B.10: Doğrusal Olmayan Sistem için Asimetrik Kural Tablosuna Uygulanan Sütun Hiyerarşiyle ISE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
HPID Kontrolör	$K_e = 1.6070$ $K_{de} = 2.1878$ $K_{dde} = 1.5906$ $K_{u1} = 1.2650$	$K_u = 0.4507$

Asimetrik kural tablosuna uygulanan sütun hiyerarşiyle ITSE ölçütüne göre elde edilen çarpan değerleri Tablo B.11’ de gösterilmektedir.

Tablo B.11: Doğrusal Olmayan Sistem için Asimetrik Kural Tablosuna Uygulanan Sütun Hiyerarşiyle ITSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ITSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
HPID Kontrolör	$K_e = 3.6376$ $K_{de} = 3.4242$ $K_{dde} = 1.5889$ $K_{u1} = 0.7402$	$K_u = 0.4563$

Asimetrik kural tablosuna uygulanan sütun hiyerarşiyle ISTSE ölçütüne göre elde edilen çarpan değerleri Tablo B.12’ de gösterilmektedir.

Tablo B.12: Doğrusal Olmayan Sistem için Asimetrik Kural Tablosuna Uygulanan Sütun Hiyerarşiyle ISTSE Amaç Ölçütüne Göre Belirlenen Giriş/Çıkış Ölçekleme Çarpanları

ISTSE Amaç Ölçütü	Giriş Ölçekleme Çarpanları	Çıkış Ölçekleme Çarpanları
HPID Kontrolör	$K_e = 2.0715$ $K_{de} = 3.4826$ $K_{dde} = 1.9346$ $K_{u1} = 0.9594$	$K_u = 0.4306$

ÖZGEÇMİŞ

Gaye Sağlam 1983 yılında İstanbul’da doğdu. Lise öğrenimini 2000 yılında İstek Acıbadem Lisesinde tamamladıktan sonra aynı yıl Yıldız Teknik Üniversitesi Elektrik Mühendisliği bölümüne girdi. 2004 yılında lisans öğrenimini tamamlayıp İstanbul Teknik Üniversitesi Kontrol ve Otomasyon Mühendisliği Yüksek Lisans Programında lisansüstü öğrenimine başladı. İlgilendiği alanlar bulanık mantık kontrolörler, genetik algoritmalar ve PLC’lerdir.